



(12)发明专利

(10)授权公告号 CN 103985711 B

(45)授权公告日 2017.04.12

(21)申请号 201310178005.9

(22)申请日 2013.05.14

(65)同一申请的已公布的文献号
申请公布号 CN 103985711 A

(43)申请公布日 2014.08.13

(30)优先权数据
13/763,242 2013.02.08 US

(73)专利权人 台湾积体电路制造股份有限公司
地址 中国台湾新竹

(72)发明人 黄玉莲 吕昆谚

(74)专利代理机构 北京德恒律治知识产权代理
有限公司 11409
代理人 章社杲 孙征

(51)Int.Cl.

H01L 27/088(2006.01)

H01L 29/06(2006.01)

H01L 29/78(2006.01)

H01L 21/762(2006.01)

(56)对比文件

US 7973344 B2,2011.07.05,

US 7037803 B2,2006.05.02,

KR 100548521 B1,2006.02.02,

US 2004099906 A1,2004.05.27,

CN 102054741 A,2011.05.11,

审查员 张慧明

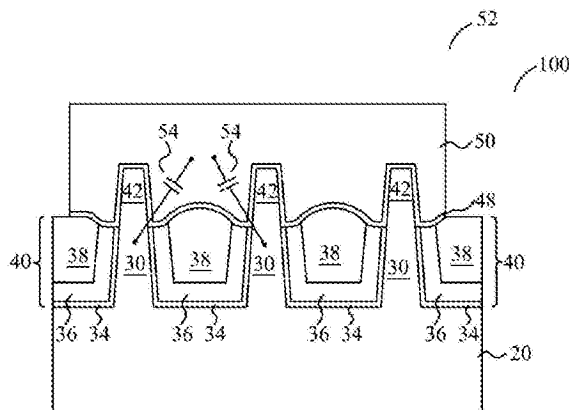
权利要求书2页 说明书7页 附图9页

(54)发明名称

具有减少的寄生电容量的FinFET及其制造方法

(57)摘要

一种集成电路结构包括半导体衬底、位于半导体衬底的一部分上的半导体条以及位于半导体条的侧面的浅沟槽隔离(STI)区。STI区包括介电层,介电层包括位于半导体条的侧壁上的侧壁部分以及底部部分。所述介电层在使用稀释的HF溶液蚀刻时具有第一蚀刻率。STI区还包括位于介电层的底部部分上的介电区。介电区具有与介电层的侧壁部分的边缘相接触的边缘。介电区在使用稀释的HF蚀刻时具有第二蚀刻率,其中第二蚀刻率小于第一蚀刻率。本发明还公开了一种具有减少的寄生电容量的鳍式场效应晶体管FinFET及其制造方法。



1. 一种集成电路结构,包括:

半导体衬底;

半导体条,位于所述半导体衬底的一部分上方;以及

浅沟槽隔离(STI)区,位于所述半导体条的侧面,所述浅沟槽隔离区包括:

介电层,所述介电层在使用稀释的HF溶液蚀刻时具有第一蚀刻率,所述介电层包括:

位于所述半导体条的侧壁上的侧壁部分;

底部部分;以及

介电区,位于所述介电层的底部部分上方,所述介电区包括与所述介电层的侧壁部分的边缘相接触的边,所述介电区在使用所述稀释的HF溶液蚀刻时具有第二蚀刻率,并且所述第二蚀刻率小于所述第一蚀刻率,其中,所述介电层的侧壁部分的第一顶面低于所述介电区的第二顶面。

2. 根据权利要求1所述的集成电路结构,其中,所述第一蚀刻率与第二蚀刻率的比率大于1.2。

3. 根据权利要求1所述的集成电路结构,其中,所述介电层具有第一密度,并且所述介电区具有大于所述第一密度的第二密度。

4. 根据权利要求1所述的集成电路结构,还包括衬里氧化物,所述衬里氧化物包括另外的侧壁部分,所述另外的侧壁部分位于所述半导体条的侧壁和所述介电层的侧壁部分之间并与所述半导体条的侧壁和所述介电层的侧壁部分接触,所述衬里氧化物在使用所述稀释的HF溶液蚀刻时具有第三蚀刻率,并且所述第三蚀刻率小于所述第一蚀刻率。

5. 根据权利要求1所述的集成电路结构,其中,所述第二顶面的最高点比所述第一顶面的最低点高出大于1nm的差值。

6. 根据权利要求1所述的集成电路结构,其中,所述介电层的侧壁部分的厚度大于5nm。

7. 根据权利要求1所述的集成电路结构,其中,所述介电层包括低k介电材料,所述低k介电材料具有低于3.0的k值。

8. 一种集成电路结构,包括:

半导体衬底;

延伸进所述半导衬底中的开口;

位于所述开口的侧面的半导体条,所述半导体条是所述半导体衬底的一部分;以及

加衬于所述开口的底部和侧壁的衬里氧化物,所述衬里氧化物包括:

与所述半导体条的侧壁接触的第一侧壁部分;和

第一底部部分;

位于所述衬里氧化物上方的介电层,所述介电层包括:

第二侧壁部分;和

与所述第一底部部分重叠的第二底部部分;以及

位于所述第二底部部分上方的介电区,所述第二侧壁部分位于所述第一侧壁部分和所述介电区之间,其中所述第二侧壁部分的顶面低于所述介电区的顶面;

其中,所述衬里氧化物在使用稀释的HF溶液蚀刻时具有第一蚀刻率,所述介电层在使用所述稀释的HF溶液蚀刻时具有第二蚀刻率,所述介电区在使用所述稀释的HF溶液蚀刻时具有第三蚀刻率,并且所述第二蚀刻率大于所述第一蚀刻率和所述第三蚀刻率。

9. 根据权利要求8所述的集成电路结构,其中,所述第二侧壁部分的顶面比所述介电区的顶面低大于1nm的高度差。

10. 根据权利要求8所述的集成电路结构,其中,所述第一侧壁部分的顶面与所述第二侧壁部分的顶面齐平。

11. 根据权利要求8所述的集成电路结构,其中,所述第一侧壁部分的顶面高于所述第二侧壁部分的顶面。

12. 根据权利要求8所述的集成电路结构,其中,所述半导体条高于所述第一侧壁部分的顶部部分形成半导体鳍,并且所述集成电路结构还包括:

栅极电介质,位于所述半导体鳍的侧壁和顶面上;以及

栅电极,位于所述栅极电介质上方。

13. 根据权利要求8所述的集成电路结构,其中,所述衬里氧化物和所述介电区具有比所述介电层的密度大的密度。

14. 一种形成集成电路结构的方法,包括:

形成从半导体衬底的顶面延伸进所述半导体衬底中的开口,其中所述半导体衬底的一部分形成从所述开口暴露的半导体条;

在所述开口中形成介电层,所述介电层在使用稀释的HF溶液蚀刻时具有第一蚀刻率;

在所述介电层上方形成介电区并填充所述开口的剩余部分,其中所述介电区在使用所述稀释的HF溶液蚀刻时具有第二蚀刻率,并且所述第一蚀刻率大于所述第二蚀刻率,所述介电层的侧壁部分的第一顶面低于所述介电区的第二顶面;

实施平坦化以去除所述介电层和所述介电区的过量部分,其中所述过量部分位于所述半导体衬底的所述顶面上方,并且所述介电层和所述介电区的剩余部分形成浅沟槽隔离(STI)区。

15. 根据权利要求14所述形成集成电路结构的方法,还包括:

使所述浅沟槽隔离区凹陷,其中所述半导体条的顶部部分形成位于所述浅沟槽隔离区的剩余部分之上的半导体鳍;

在所述半导体鳍的侧壁和顶面上形成栅极电介质,其中配置所述介电层和所述介电区的材料以当形成所述栅极电介质时,所述介电层的顶面低于所述介电区的顶面;以及

在所述栅极电介质上方形成栅电极。

16. 根据权利要求14所述的形成集成电路结构的方法,还包括:

在使所述浅沟槽隔离区凹陷的步骤之后,使用清洁溶液实施清洁步骤,在所述清洁步骤中,以比用所述清洁溶液蚀刻所述介电区的蚀刻率更快的蚀刻率来蚀刻所述介电层。

17. 根据权利要求14所述的形成集成电路结构的方法,还包括:

在形成所述介电层的步骤之前,形成对所述开口的底部和侧壁加衬的衬里氧化层,当以所述稀释的HF溶液来蚀刻所述介电层、所述衬里氧化物和所述介电区时,以比所述介电区和所述衬里氧化物的蚀刻率快的速率来蚀刻所述介电层。

18. 根据权利要求14所述的形成集成电路结构的方法,其中,所述介电层被形成为共形层。

具有减少的寄生电容量的FinFET及其制造方法

技术领域

[0001] 本发明涉及半导体技术领域,更具体地,涉及一种具有减少的寄生电容量的鳍式场效应晶体管FinFET及其制造方法。

背景技术

[0002] 随着集成电路尺寸的逐渐减小以及集成电路速度逐渐增加的需求,晶体管需要在更小的尺寸下具有更高的驱动电流。因此开发出了鳍式场效应晶体管 (FinFET)。FinFET包括衬底上的垂直半导体鳍。半导体鳍用于形成源极区和漏极区以及源极区和漏极区之间的沟道区。形成浅沟槽隔离 (STI) 区以限定半导体鳍。FinFET还包括栅极堆叠件,其形成于半导体鳍的侧壁和顶面上。

[0003] 在STI区的形成和FinFET的形成过程中,实施各种湿蚀刻步骤以及清洁步骤。这些步骤形成了在STI区的顶面中的凹陷。作为湿蚀刻步骤以及清洁步骤的结果,STI区的顶面的中心部分低于STI区的顶面的边缘区域。具有这样的表面轮廓的STI区被认为具有(凹形)微笑轮廓。

[0004] 在一些FinFET中,在半导体鳍下面有半导体条。在相应的FinFET中,寄生电容器形成于FinFET的栅电极与邻近的半导体条之间,其中STI区用作寄生电容器的绝缘体。寄生电容器的寄生容量不利地影响相应的集成电路的性能,因此亟需减少。

发明内容

[0005] 为了解决现有技术中所存在的问题,根据本发明的一个方面,提供了一种集成电路结构,包括:

[0006] 半导体衬底;

[0007] 半导体条,位于所述半导体衬底的一部分上方;以及

[0008] 浅沟槽隔离 (STI) 区,位于所述半导体条的侧面,所述STI区包括:

[0009] 介电层,所述介电层在使用稀释的HF溶液蚀刻时具有第一蚀刻率,所述介电层包括:

[0010] 位于所述半导体条的侧壁上的侧壁部分;

[0011] 底部部分;以及

[0012] 介电区,位于所述介电层的底部部分上方,所述介电区包括与所述介电层的侧壁部分的边缘相接触的边缘,所述介电区在使用所述稀释的HF溶液蚀刻时具有第二蚀刻率,并且所述第二蚀刻率小于所述第一蚀刻率。

[0013] 在可选实施例中,所述第一蚀刻率与第二蚀刻率的比率大于约1.2。

[0014] 在可选实施例中,所述介电层具有第一密度,并且所述介电区具有大于所述第一密度的第二密度。

[0015] 在可选实施例中,所述集成电路结构还包括衬里氧化物,所述衬里氧化物包括另外的侧壁部分,所述另外的侧壁部分位于所述半导体条的侧壁和所述介电层的侧壁部分之

间并与所述半导体条的侧壁和所述介电层的侧壁部分接触,所述衬里氧化物在使用所述稀释的HF溶液蚀刻时具有第三蚀刻率,并且所述第三蚀刻率小于所述第一蚀刻率。

[0016] 在可选实施例中,所述介电层的侧壁部分的第一顶面低于所述介电区的第二顶面。

[0017] 在可选实施例中,所述第二顶面的最高点比所述第一顶面的最低点高出大于约1nm的差值。

[0018] 在可选实施例中,所述介电层的侧壁部分的厚度大于约5nm。

[0019] 在可选实施例中,所述介电层包括低k介电材料,所述低k介电材料具有低于约3.0的k值。

[0020] 根据本发明的另一方面,提供了一种集成电路结构,包括:

[0021] 半导体衬底;

[0022] 延伸进所述半导体衬底中的开口;

[0023] 位于所述开口的侧面的半导体条,所述半导体条是所述半导体衬底的一部分;以及

[0024] 加衬于所述开口的底部和侧壁的衬里氧化物,所述衬里氧化物包括:

[0025] 与所述半导体条的侧壁接触的第一侧壁部分;和

[0026] 第一底部部分;

[0027] 位于所述衬里氧化物上方的介电层,所述介电层包括:

[0028] 第二侧壁部分;和

[0029] 与所述第一底部部分重叠的第二底部部分;以及

[0030] 位于所述第二底部部分上方的介电区,所述第二侧壁部分位于所述第一侧壁部分和所述介电区之间,其中所述第二侧壁部分的顶面低于所述介电区的顶面。

[0031] 在可选实施例中,所述第二侧壁部分的顶面比所述介电区的顶面低大于约1nm的高度差。

[0032] 在可选实施例中,所述第一侧壁部分的顶面与所述第二侧壁部分的顶面基本齐平。

[0033] 在可选实施例中,所述第一侧壁部分的顶面高于所述第二侧壁部分的顶面。

[0034] 在可选实施例中,所述衬里氧化物在使用稀释的HF溶液蚀刻时具有第一蚀刻率,所述介电层在使用所述稀释的HF溶液蚀刻时具有第二蚀刻率,所述介电区在使用所述稀释的HF溶液蚀刻时具有第三蚀刻率,并且所述第二蚀刻率大于所述第一蚀刻率和所述第三蚀刻率。

[0035] 在可选实施例中,所述半导体条高于所述第一侧壁部分的顶部部分形成半导体鳍,并且所述集成电路结构还包括:栅极电介质,位于所述半导体鳍的侧壁和顶面上;以及,栅电极,位于所述栅极电介质上方。

[0036] 在可选实施例中,所述衬里氧化物和所述介电区具有比所述介电层的密度大的密度。

[0037] 根据本发明的另一方面,还提供了一种方法,包括:

[0038] 形成从半导体衬底的顶面延伸进所述半导体衬底中的开口,其中所述半导体衬底的一部分形成从所述开口暴露的半导体条;

[0039] 在所述开口中形成介电层,所述介电层在使用稀释的HF溶液蚀刻时具有第一蚀刻率;

[0040] 在所述介电层上方形成介电区并填充所述开口的剩余部分,其中所述介电区在使用所述稀释的HF溶液蚀刻时具有第二蚀刻率,并且所述第一蚀刻率大于所述第二蚀刻率;

[0041] 实施平坦化以去除所述介电层和所述介电区的过量部分,其中所述过量部分位于所述半导体衬底的所述顶面上方,并且所述介电层和所述介电区的剩余部分形成浅沟槽隔离(STI)区。

[0042] 在可选实施例中,所述方法还包括:使所述STI区凹陷,其中所述半导体条的顶部部分形成位于所述STI区的剩余部分之上的半导体鳍;在所述半导体鳍的侧壁和顶面上形成栅极电介质,其中配置所述介电层和所述介电区的材料以当形成所述栅极电介质时,所述介电层的顶面低于所述介电区的顶面;以及,在所述栅极电介质上方形成栅电极。

[0043] 在可选实施例中,所述方法还包括:在使所述STI区凹陷的步骤之后,使用清洁溶液实施清洁步骤,在所述清洁步骤中,以比用所述清洁溶液蚀刻所述介电区的蚀刻率更快的蚀刻率来蚀刻所述介电层。

[0044] 在可选实施例中,所述方法还包括:在形成所述介电层的步骤之前,形成对所述开口的底部和侧壁加衬的衬里氧化层,当以所述稀释的HF溶液来蚀刻所述介电层、所述衬里氧化物和所述介电区时,以比所述介电区和所述衬里氧化物的蚀刻率快的速率来蚀刻所述介电层。

[0045] 在可选实施例中,所述介电层被形成为基本的共形层。

附图说明

[0046] 为更完整的理解实施例及其优点,现将结合附图所进行的以下描述作为参考,其中:

[0047] 图1至图10C是根据一些示例性实施例的在浅沟槽隔离(STI)区以及鳍式场效应晶体管(FinFET)制造中的中间阶段的横截面示图;以及

[0048] 图11示出了作为STI区的高度差的函数的寄生电容量比率。

具体实施方式

[0049] 下面,详细讨论本发明各实施例的制造和使用。然而,应该理解,本发明提供了许多可以在各种具体环境中实现的可应用的概念。所讨论的具体实施例仅仅示出了制造和使用本发明的具体方式,而不用于限制本发明的范围。

[0050] 提供了浅沟槽隔离(STI)区、鳍式场效应晶体管(FinFET)以及用于形成上述器件的方法。根据典型实施例来说明形成STI区和FinFET的中间阶段。讨论了实施例的变形方式。在各种示图以及示例性实施例中,相同的附图标号用于指代相同的元件。

[0051] 参考图1,提供了作为半导体晶圆100的一部分的半导体衬底20。在一些实施例中,半导体衬底20包括晶体硅。其他常用材料,例如碳、锗、镓、硼、砷、氮、钢和/或磷等也可以包括在半导体衬底20中。半导体衬底20可为块状衬底或绝缘体上半导体(SOI)衬底。

[0052] 衬垫层22和掩模层24形成在半导体衬底20之上。衬垫层22可为薄膜,该薄膜包括使用例如热氧化工艺形成的氧化硅。衬垫层22可用作为半导体衬底20和掩模层24之间的粘

附层。衬垫层22还可用作用于蚀刻掩模层24的蚀刻停止层。在一些实施例中,使用例如低压化学汽相沉积(LPCVD)工艺由氮化硅来形成掩模层24。在其他实施例中,掩模层24由硅的热氮化工艺、等离子体增强化学汽相沉积(PECVD)或等离子体阳极氮化工艺来形成。掩模层24在后续的光刻工艺中用作硬掩模。在掩模层24上形成光刻胶26然后对其图案化,以在光刻胶26中形成开口28。

[0053] 参考图2,掩模层24和衬垫层22通过开口28进行蚀刻,以露出下方的半导体衬底20。然后蚀刻所露出的半导体衬底20,以形成沟槽32。半导体衬底20位于相邻的沟槽32之间的部分形成半导体带30。沟槽32可为互相平行并且互相处于邻近位置的条(当从晶圆的顶部看时)。在蚀刻半导体20之后,去除光刻胶26(图1)。接着,可实施清洁步骤以去除半导体衬底20的原生氧化物(native oxide)。该清洁可使用例如稀释氢氟(HF)酸来进行。

[0054] 根据一些实施例,如图3所示,衬里氧化物34形成在沟槽32中并且在半导体条30的侧壁上。衬里氧化物34可为水平部分和垂直部分具有相互接近的厚度的共形层。衬里氧化物34可为具有大约10 Å至大约100 Å的厚度的热氧化物。在一些实施例中,通过在含氧环境下对晶圆100进行氧化(例如通过硅的局部氧化(LOCOS))来形成衬里氧化物34,其中氧气(O₂)可包括在相应的工艺气体中。在其他实施例中,采用现场水汽生成(ISSG)工艺,例如使用水分或者用于氧化半导体条30氢气(H₂)和氧气(O₂)的组合气体,来形成衬里氧化物34。可在提升的温度下实施ISSG氧化。在另一些其他实施例中,衬里氧化物34可使用诸如亚大气压汽相沉积(SACVD)的沉积技术来形成。衬里氧化物34的形成可导致沟槽32的角部圆形化,这减少了最后得到的FinFET的电场,并因此提高了最后得到的集成电路的性能。衬里氧化物34可包括二氧化硅或其他介电材料。在一些实施例中,衬里氧化物34的密度可为大约2.2克/立方厘米至2.3克/立方厘米之间。在可选实施例中,跳过衬里氧化物34的形成。

[0055] 图4示出了介电层36的形成。介电层36部分地填充沟槽32,并且沟槽32的一些部分保持未被填充。介电层36可为共形的或者接近共形的,其中介电层36的垂直部分的厚度T₁接近介电层36的水平部分的厚度T₂。在可选实施例中,厚度T₂大于厚度T₁。此外,可在半导体条30的顶面的水平被测量的厚度T₁,可为大于大约5nm,以使得在后续工艺步骤中,STI区40(图10A、10B和10C)可具有期望的顶面轮廓。介电层36的形成方法可选自化学汽相沉积(CVD)、原子层沉积(ALD)、可流动化学汽相沉积(FCVD)等。在形成衬里氧化物34的实施例中,衬里氧化物34与半导体条30接触,介电层36形成在衬里氧化物34上并与衬里氧化物34接触。在可选实施例中,不形成衬里氧化物34,因此介电层36与半导体条30的侧壁相接触。图6示出了介电层36与半导体条30相接触的结构。

[0056] 介电层36的材料包括但不限于具有k值低于大约3.0的低k介电材料、多孔介电材料等。在一些实施例中,介电层36包括硅、氧、氢以及它们的化合物。介电层36的密度可低于大约2.0克/立方厘米,并且可低于衬里氧化物34的密度,例如,具有大于大约0.2克/立方厘米的密度差。

[0057] 接着,参考图5,沟槽32的剩余部分被填充介电材料以形成介电区38。介电区38的顶面高于掩模层24的顶面。介电区38可包括氧化硅,因而在下文中被称作氧化物38,尽管也使用其他诸如SiN、SiC等的介电材料。在一些实施例中,使用高纵横比处理(HARP)、高密度等离子体CVD(HDPCVD)等来形成氧化物38。在介电区域30的沉积过程中,相应的处理气体可包括正硅酸乙酯(TEOS)以及O₃(臭氧)(在HARP工艺中),或者SiH₄和O₂(在HDPCVD工艺中)。

[0058] 如图6A所示,然后实施诸如化学机械研磨(CMP)的平坦化处理,并因而形成STI区40,STI区40包括衬里氧化物34、介电层36以及介电区38的剩余部分。在CMP之后,介电层36和介电区38可分为多个分隔的部分,并相应地被称作介电层36和介电区38。掩模层24用作CMP停止层,因此掩模层24的顶面与介电区38的顶面和介电层36的顶面大致齐平。此外,在下文中衬里氧化物34的分隔部分被称为衬里氧化物层34。图6B示出了根据可选实施例的晶圆100,其中跳过了衬里氧化物34的形成,并且介电层36与半导体条30的侧壁相接触。

[0059] 图7示出了掩模层24的去除。掩模层24(如果由氧化硅形成)可使用热 H_3PO_4 以湿工艺来去除。接下来,图7中示出的结构用于通过使STI区40凹陷来形成半导体鳍,并且衬垫层22也被移除,图8中示出了所得到的结构。参考图8,在剩余的STI区40的顶面上方突出的半导体条30的部分成为半导体鳍42。可使用干蚀刻工艺或者湿蚀刻工艺来实施STI区40的凹陷化。在一些实施例中,使用干蚀刻方法来实施STI区40的凹陷化,其中使用包括 NH_3 和HF的工艺气体。在可选实施例中,使用湿蚀刻方法来实施STI区40的凹陷化,其中蚀刻剂溶液包括 NF_3 和HF。在另一些其他实施例中,使用稀释的HF溶剂来实施STI区40的凹陷化,该溶剂可具有低于大约百分之一的HF浓度。

[0060] 在使STI区凹陷的过程中,衬里氧化物层34、介电层36以及介电区域38均被蚀刻。在一些实施例中,介电层36具有蚀刻率 E_2 ,蚀刻率 E_2 高于衬里氧化物层34的蚀刻率 E_1 和介电区38的蚀刻率 E_3 。当使用稀释的HF溶液作为参考蚀刻剂时,蚀刻率的比率 E_2/E_3 可大于约1.2。此外,当使用稀释的HF蚀刻时,蚀刻率的比率 E_2/E_1 也可大于约1.2。当使用其他蚀刻剂使STI区40凹陷时,蚀刻率的比率 E_2/E_3 和 E_2/E_1 可与使用稀释的HF溶液作为参考蚀刻剂获得的蚀刻率比率不同。然而,当使用其他蚀刻剂使STI区40凹陷时,蚀刻率的比率 E_2/E_3 和 E_2/E_1 仍可大于1.0。

[0061] 作为较高蚀刻率的结果,介电层36的顶面可低于介电区域38的顶面。使用虚线44来示意性地示出介电层36的相应顶面。在一些实施例中,可使用多种方法以相对于介电区域38以及衬里氧化物34的顶面来进一步对介电层36的顶面开凹陷。例如,对压力、温度,和/或 NH_3 /HF气体比进行微调可导致相比于介电区域38以及衬里氧化物34更多地蚀刻介电层36,并因此导致凸形STI表面。

[0062] 在使STI区40凹陷以形成半导体鳍42之后,在半导体鳍42上进行多个工艺步骤,其中工艺步骤可包括阱式注入、伪栅极(未示出)形成和去除、多个清洁步骤等。因此,进一步地使STI区40的顶面轮廓成形。在这些工艺步骤中,使用化学品。例如,在清洁步骤中,可使用稀释HF和含表面活性剂的稀释HF。这些化学品腐蚀STI区40。此外,当介电层36被这些化学品腐蚀时,相比于衬里氧化物层34和/或介电区38,介电层36被蚀刻得更快。因此可形成图9A、9B和9C中示出的结构。

[0063] 图9A示出了STI区40的可能的顶面轮廓之一。由于蚀刻率比 E_2/E_3 和 E_2/E_1 大于1.0,和/或介电层36的密度低于衬里氧化物层34和/或介电区38的密度,因此介电层36通过使用化学品被凹陷化的程度大于衬里氧化物层34和/或介电区38。位于两个相邻半导体条30之间的介电区38的最高点比(同一STI区40中的)相应的介电层36的最低点高出高度差 ΔH_1 ,该高度差大于大约2nm。因此所得到的STI区40被认为具有凸形顶面。在一些实施例中,衬里氧化物层34比介电层36薄很多,因此衬里氧化物层34相比于介电区域38被凹陷化得更多,这部分由于从它们的侧表面对衬里氧化物层34进行蚀刻,因此当使介电层36凹陷时暴

露出侧表面。图9A中示出了最后得到的STI区40的顶面的轮廓,其中衬里氧化物层34和介电层36的侧壁部分的顶面彼此齐平,并低于相应的介电区38的顶面。

[0064] 在可选实施例中,如图9B所示,衬里氧化物34和介电区38的顶面都高于同一STI区40中相应的介电层36的顶面。在一些示例性实施例中,介电层36的顶面可具有靠近中点的最低点,该中点具有与邻近的介电区38和衬里氧化物层34相等的距离。介电层36的顶面在更接近介电区38或衬里氧化物层34的位置处逐渐增高。在图9A和9B中,介电区38中的每一个都位于相应介电层36的底部上方,并且介电区38的侧壁与介电层的侧壁区相接触。

[0065] 图9C示出了根据又一可选实施例的晶圆100,其中没有形成衬里氧化物。因此,介电层36的侧壁部分与半导体条30的侧壁物理接触。同样,介电层36的顶面高于介电区域30的顶面。在图9A、9B和9C的每一个中,介电区38的顶面的中点部分可高于相应介电区38的顶面的边缘部分。

[0066] 图10A、10B和10C示出了以相应的图9A、9B和9C中示出的结构所形成的FinFET52。在图10A、10B和10C的每一个中,形成栅极电介质48以覆盖鳍42的顶面和侧壁。可通过热氧化来形成栅极电介质48,并进而可包括热氧化硅。可选地,可通过沉积步骤来形成栅极电介质48,栅极电介质48还可包括高k介电材料。然后在栅极电介质48上形成栅电极50。在一些实施例中,栅电极50覆盖一个以上的鳍42,使得所得到的FinFET66包括一个以上的鳍42。在可选实施例中,每个鳍42可用于形成一个FinFET。然后形成FinFET52的剩余元件,包括源极区和漏极区以及源极硅化物和漏极硅化物(未示出)。这些组件的形成工艺属于现有技术,因此在此不再赘述。可使用是先栅极方法或者后栅极方法来形成栅极电介质48和栅电极50。先栅极方法或后栅极方法的细节在此不再描述。

[0067] 根据本发明的实施例,通过在形成介电区38之前形成高蚀刻率的介电层36(图3至图6B),STI区40具有凸形形状,并因此与STI区具有凹形(微笑)轮廓的FinFET相比,寄生电容量(图10A、10B以及10C中示出为寄生电容器54)得以减少。寄生电容器54形成于栅电极50和半导体条30的底部之间,其中该底部低于半导体鳍42。

[0068] 图11示出了仿真结果,其中寄生电容量比率示出为高度差 $\Delta H1$ (图9A、9B和9C)的函数。通过对 $\Delta H1$ 大于0nm的FinFET的寄生电容器54(图10A、10B和10C)的电容量相比 $\Delta H1$ 等于0nm的FinFET的寄生电容器54(图10A、10B和10C)的电容量进行归一化来获得寄生电容量比率。图11的结果指示出随着高度差 $\Delta H1$ 的增加,寄生电容量减少。

[0069] 根据一些实施例,集成电路结构包括半导体衬底、位于半导体衬底的一部分上方的半导体条,以及位于半导体条的侧面的STI区。STI区包括介电层,其包括底部部分和在半导体条的侧壁上的侧壁部分。介电层在使用稀释的HF溶液蚀刻时具有第一蚀刻率。STI区还包括在介电层的底部部分上方的介电区。介电区具有与介电层的侧壁部分的边缘接触的边。介电区在使用稀释的HF溶液蚀刻时具有第二蚀刻率,其中第二蚀刻率小于第一蚀刻率。

[0070] 根据其他实施例,集成电路结构包括半导体衬底、延伸进入半导体衬底的开口以及位于开口的侧面的半导体条。半导体条是半导体衬底的一部分。衬里氧化物位于开口的底部和侧壁上。衬里氧化物包括第一底部部分以及与半导体条的侧壁相接触的第一侧壁部分。介电层位于衬里氧化物上方并且包括第二侧壁部分以及与第一底部部分重叠的第二底部部分。介电区位于第二底部部分上方,第二侧壁部分位于第一侧壁部分和介电区之间。第二侧壁部分的顶面低于介电区的顶面。

[0071] 在另一些其他实施例中,一种方法包括形成从半导体衬底的顶面延伸进半导体衬底中的开口,其中半导体衬底的一部分形成从该开口暴露的半导体条。介电层形成在开口中,其中,介电层在使用稀释的HF溶液蚀刻时具有第一蚀刻率。介电区形成于介电层上方,并且填充开口的剩余部分。介电区在使用稀释的HF溶液蚀刻时具有第二蚀刻率,其中第一蚀刻率大于第二蚀刻率。该方法还包括实施平坦化以去除介电层和介电区的过量部分,其中过量部分位于半导体衬底的顶面上方。介电层以及介电区的剩余部分形成STI区。

[0072] 尽管已经详细地描述了本发明实施例及其优势,但应该理解,可以在不背离所附权利要求限定的本发明主旨和范围的情况下,做各种不同的改变,替换和更改。而且,本申请的范围并不仅限于本说明书中描述的工艺、机器、制造、材料组分、装置、方法和步骤的特定实施例。作为本领域普通技术人员应理解,通过本发明,现有的或今后开发的用于执行与根据本发明所采用的所述相应实施例基本相同的功能或获得基本相同结果的工艺、机器、制造,材料组分、装置、方法或步骤根据本发明可以被使用。因此,所附权利要求应该包括在这样的工艺、机器、制造、材料组分、装置、方法或步骤的范围内。此外,各权利要求构成独立的实施例,并且各权利要求和实施例的结合也包括在本申请的范围内。

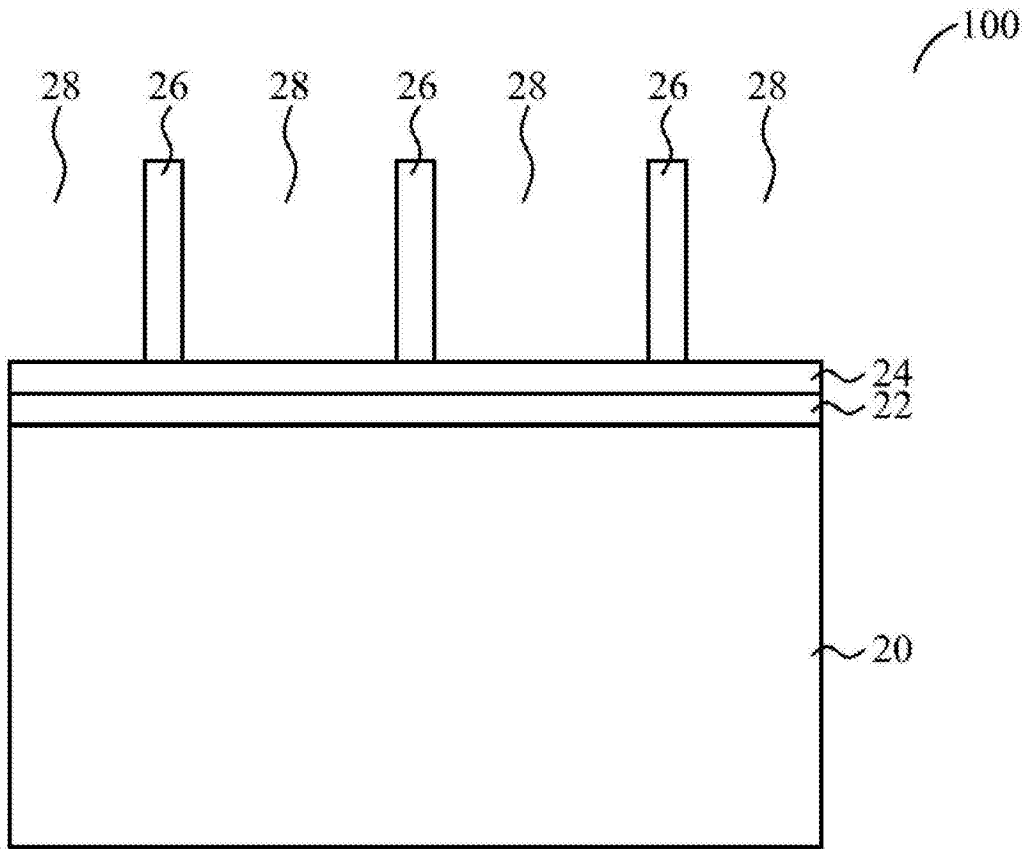


图1

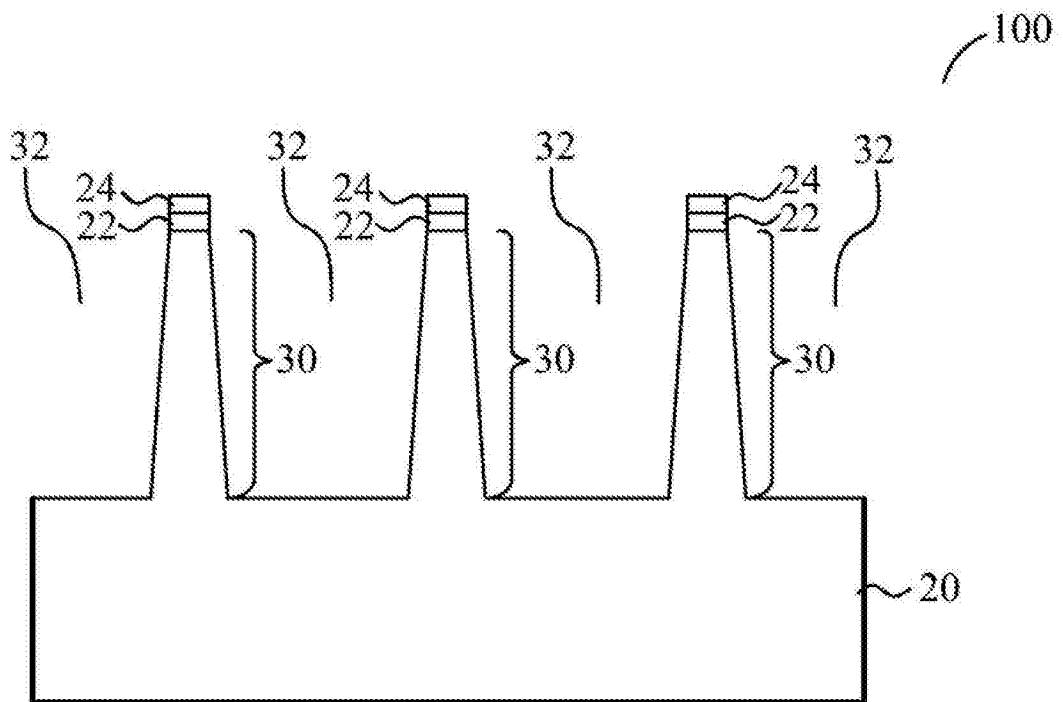


图2

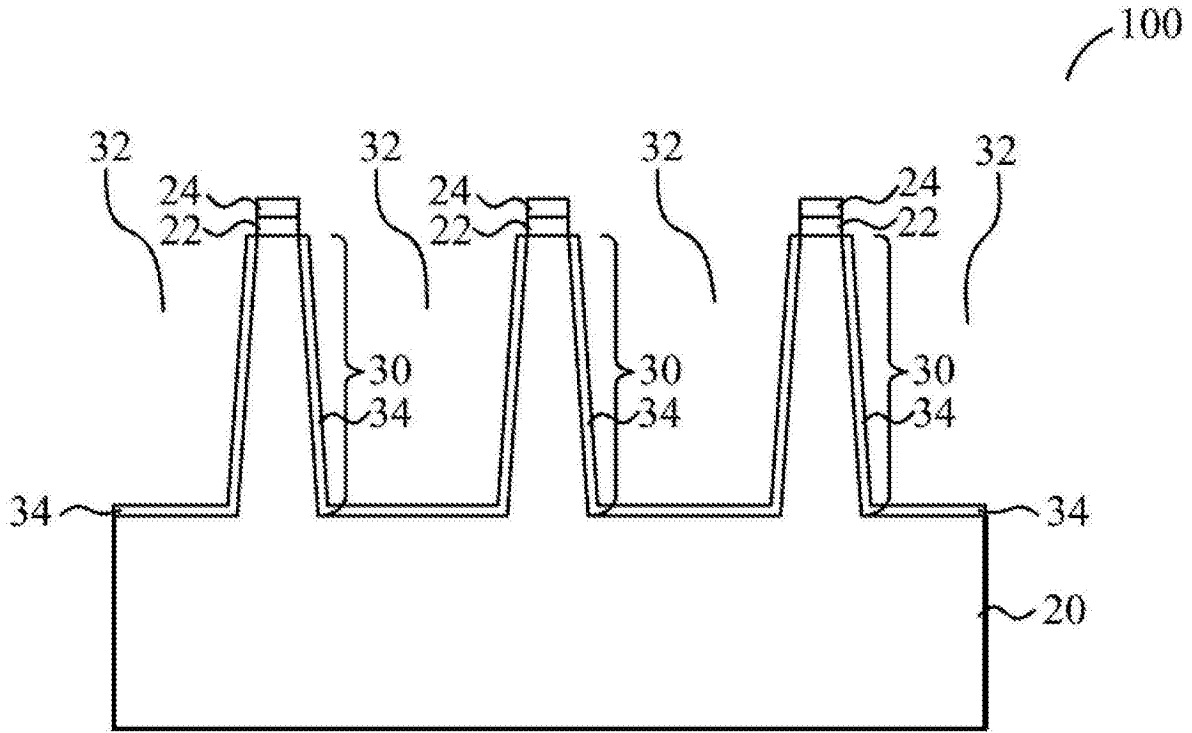


图3

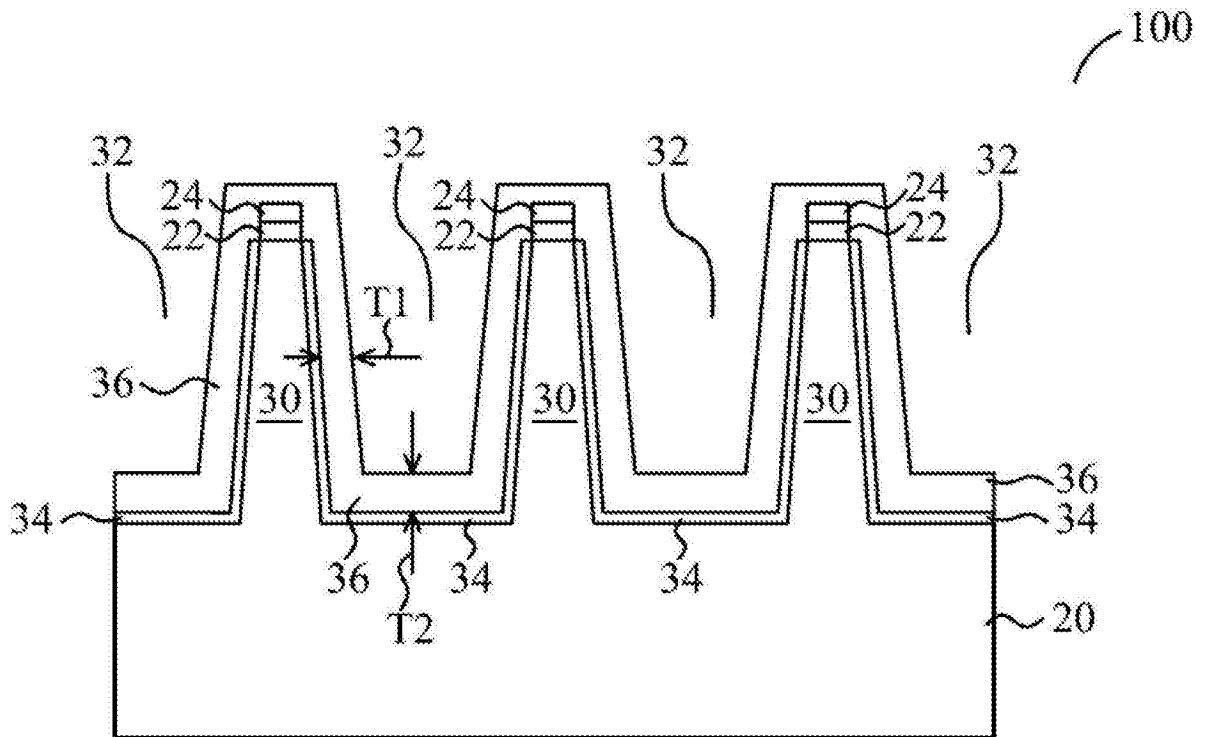


图4

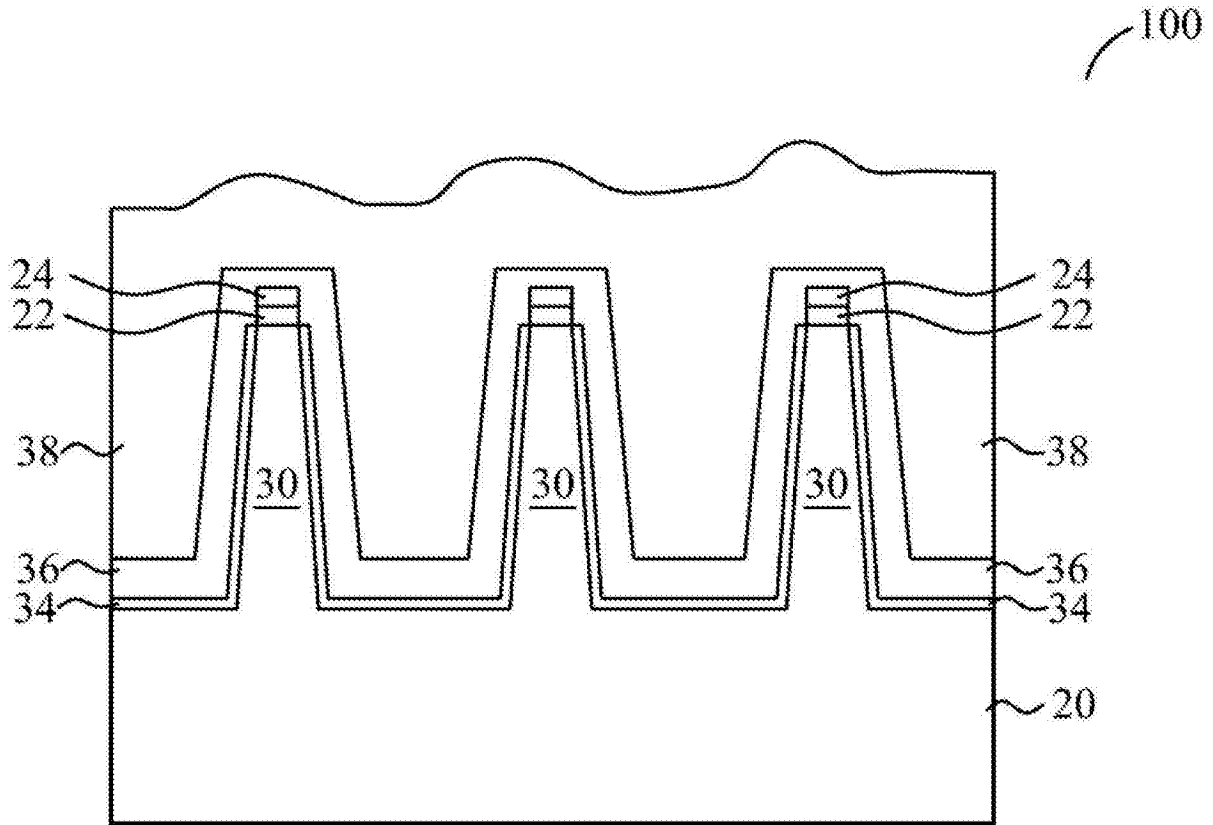


图5

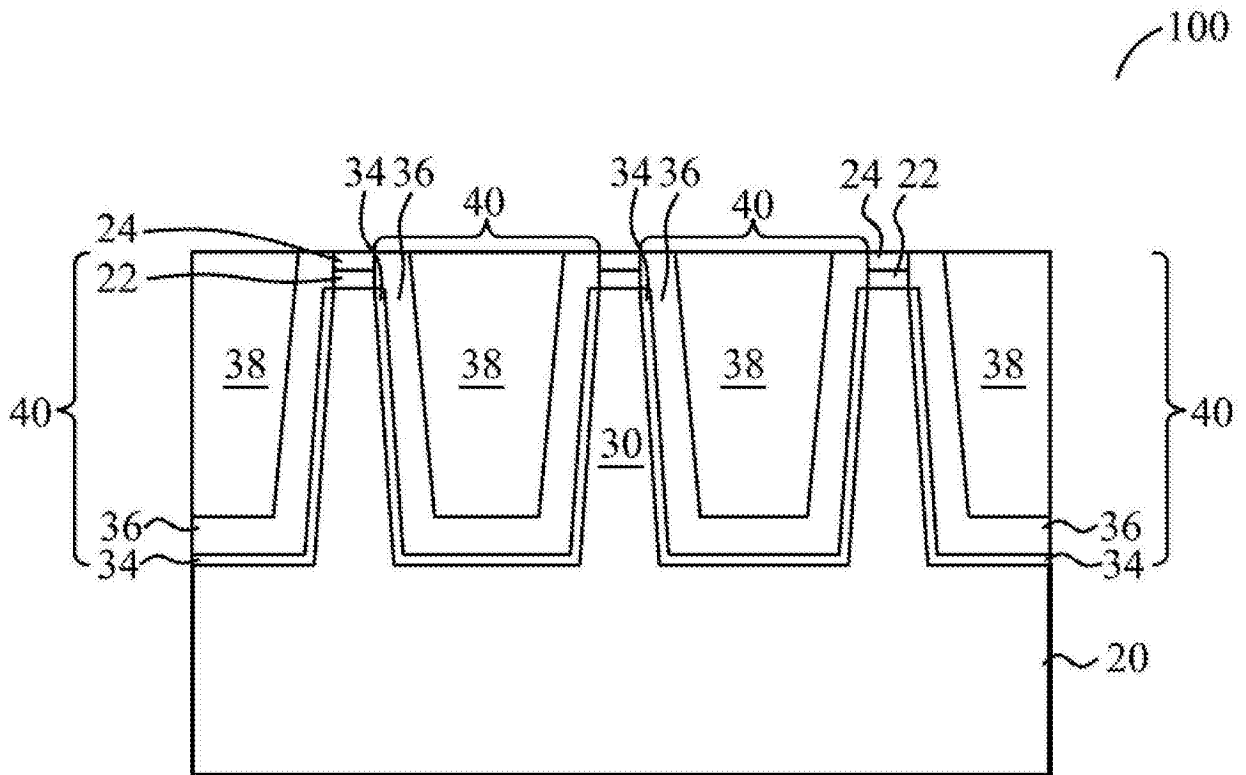


图6A

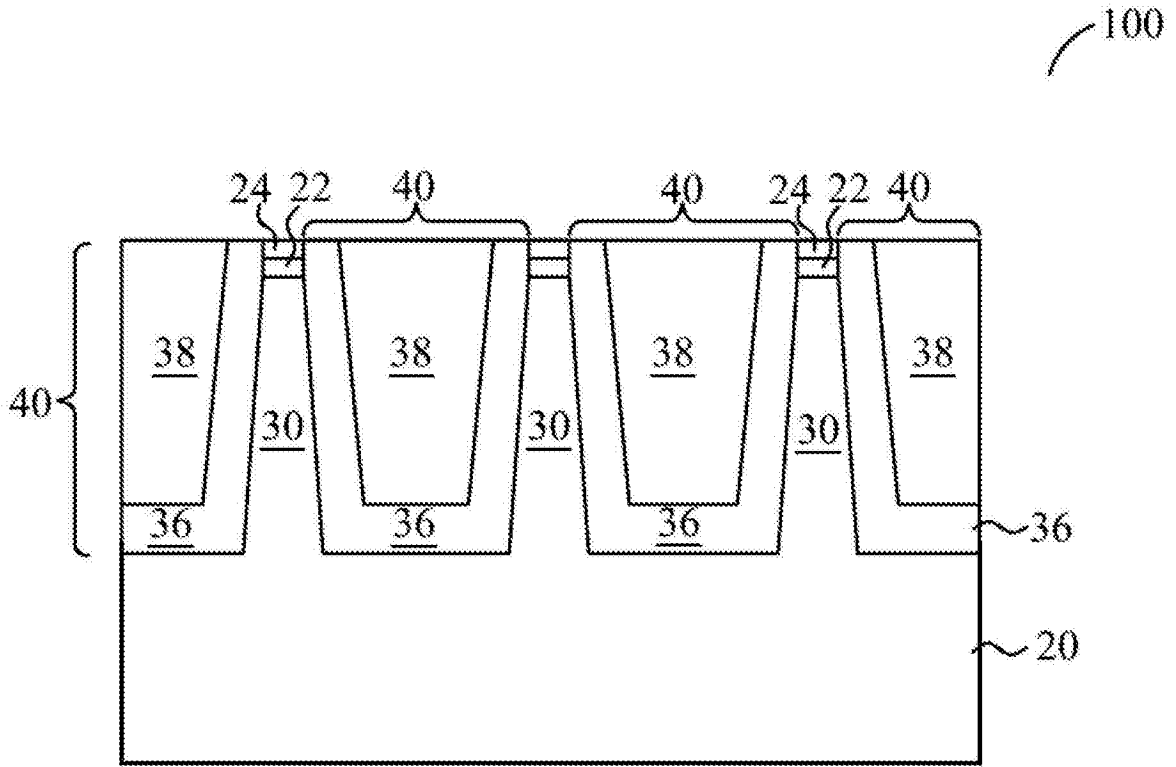


图6B

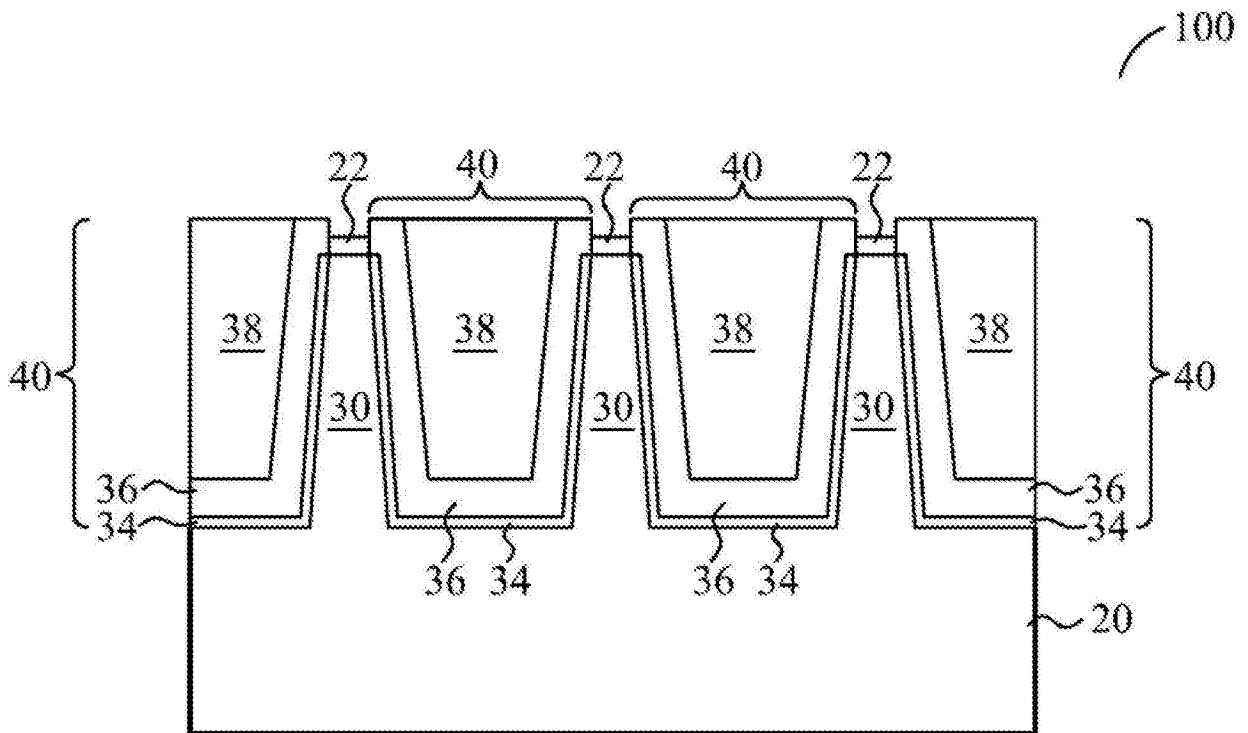


图7

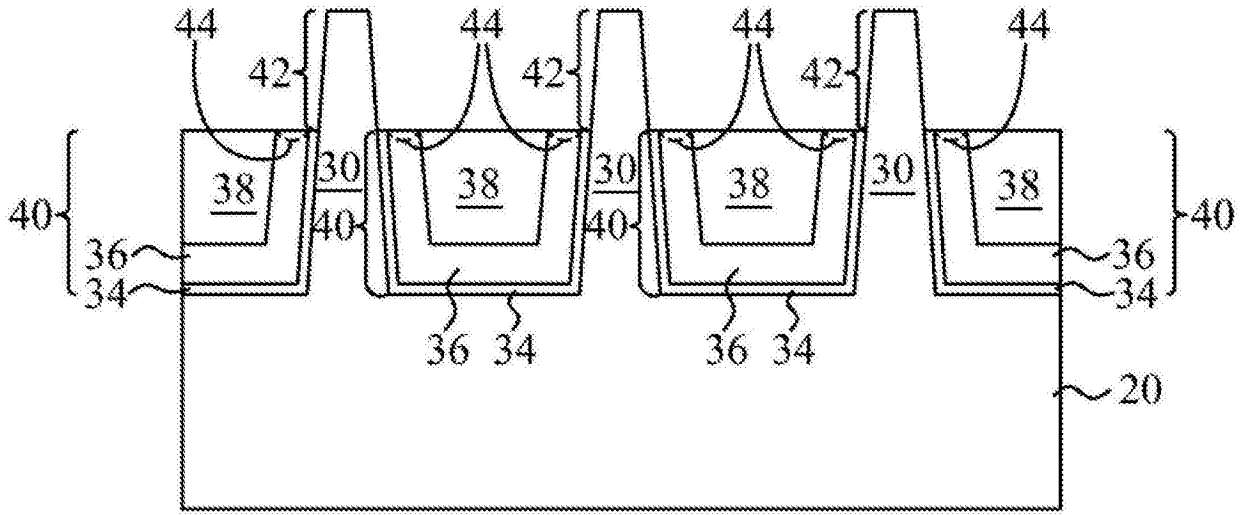


图8

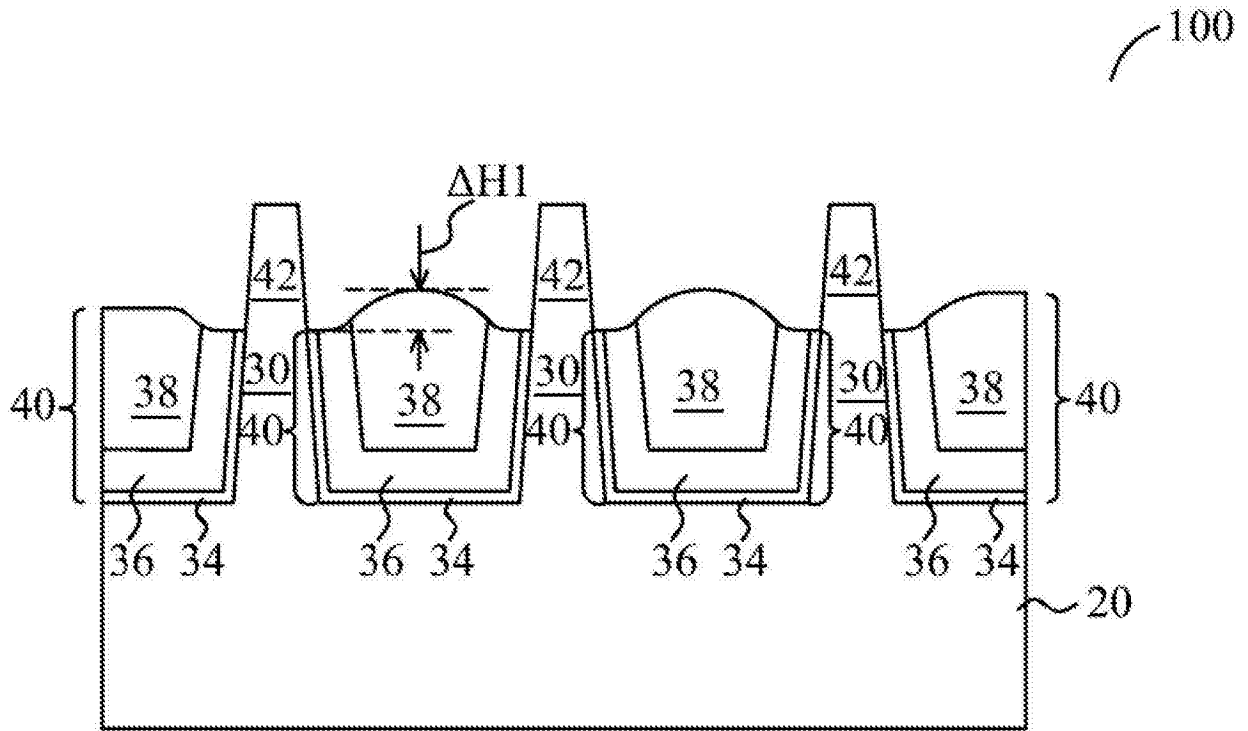


图9A

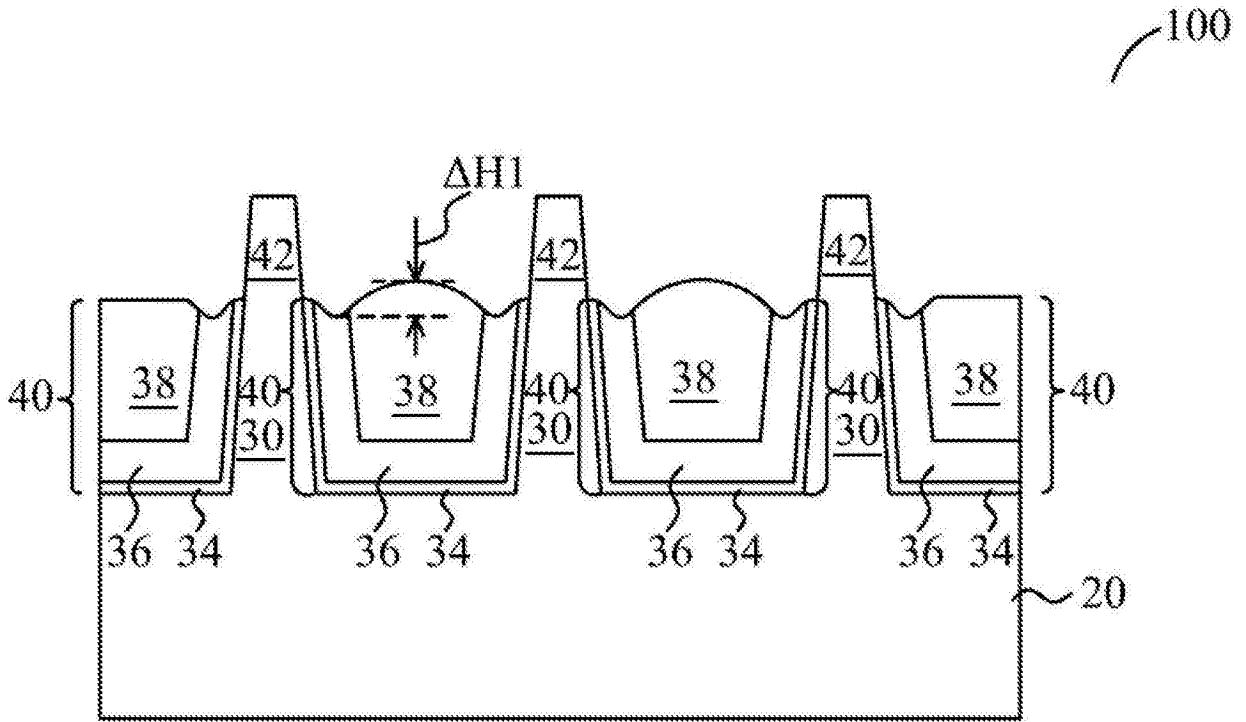


图9B

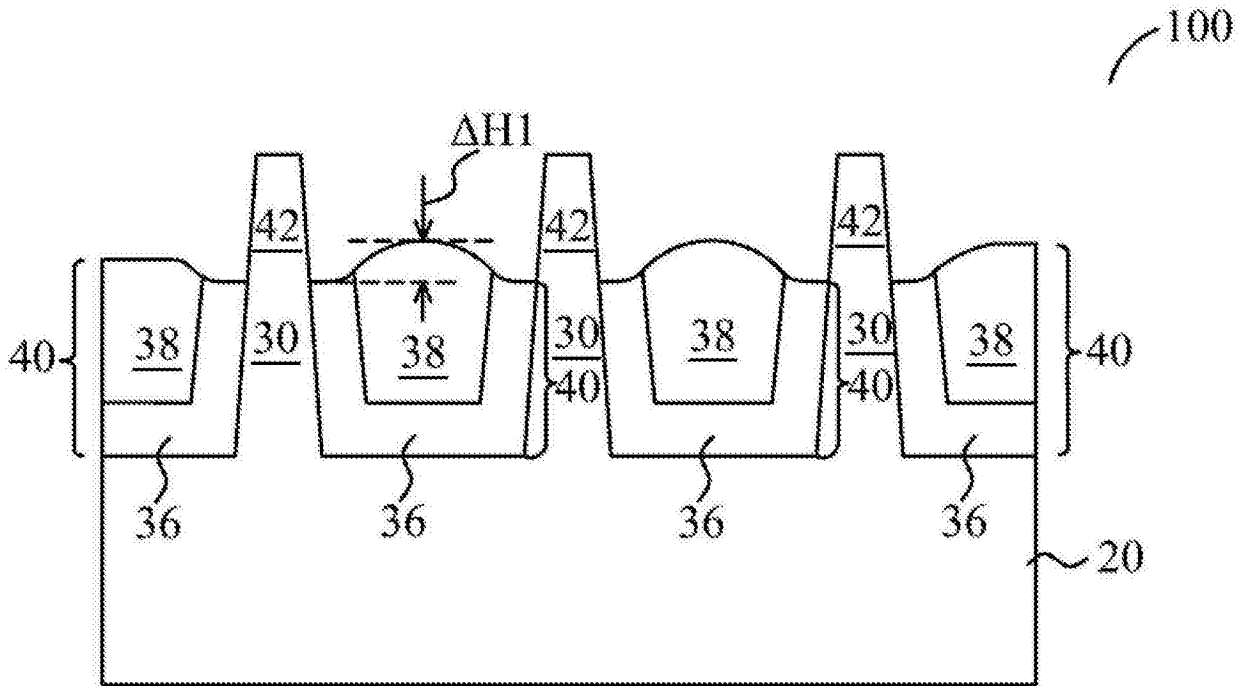


图9C

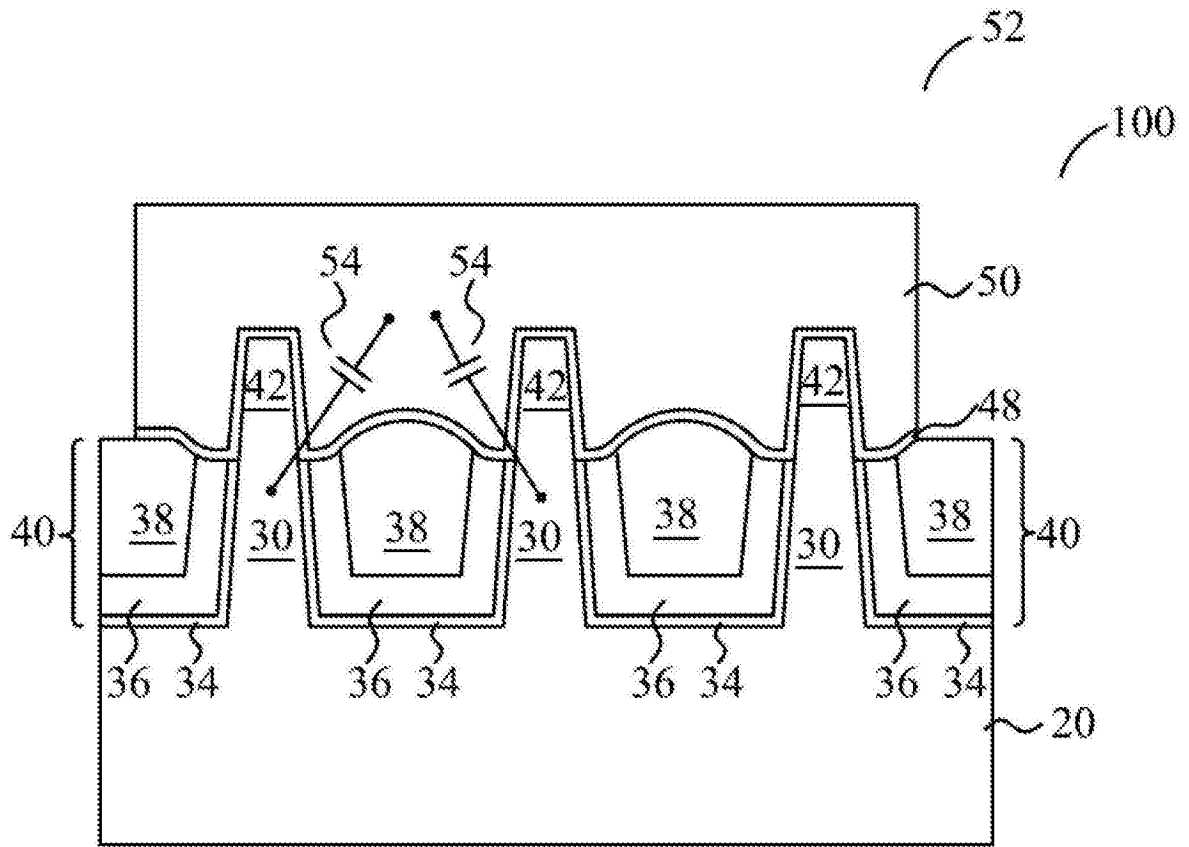


图10A

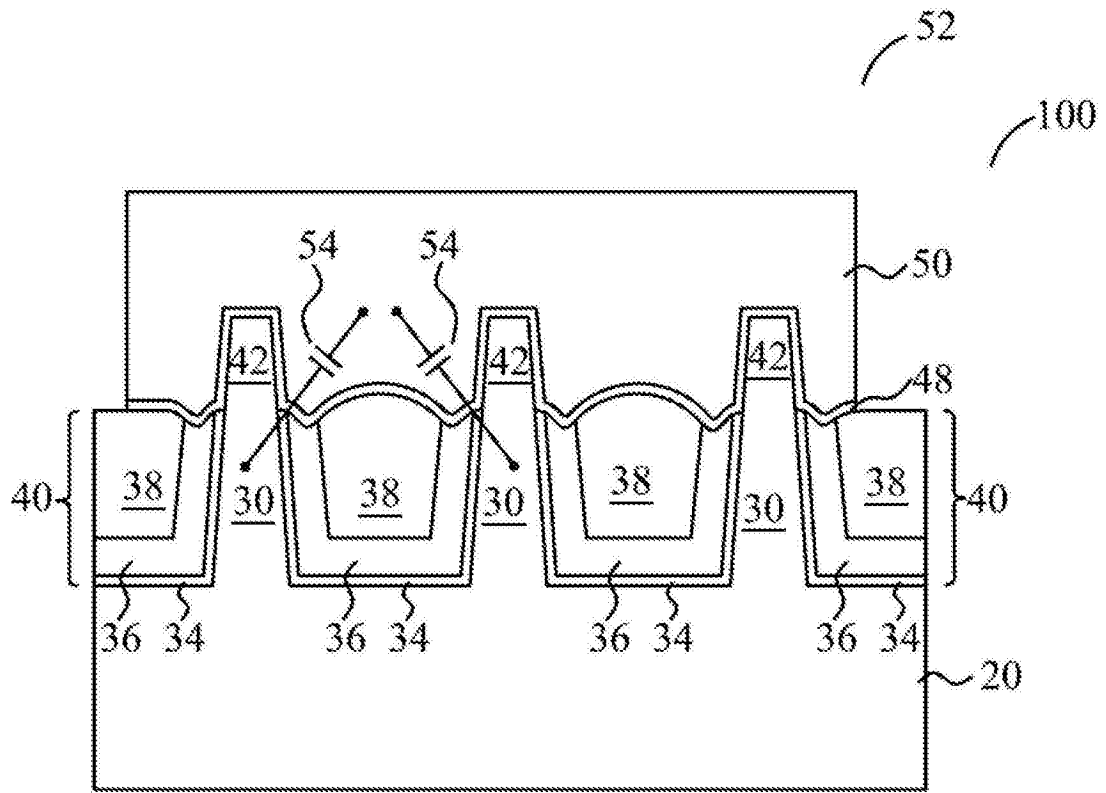


图10B

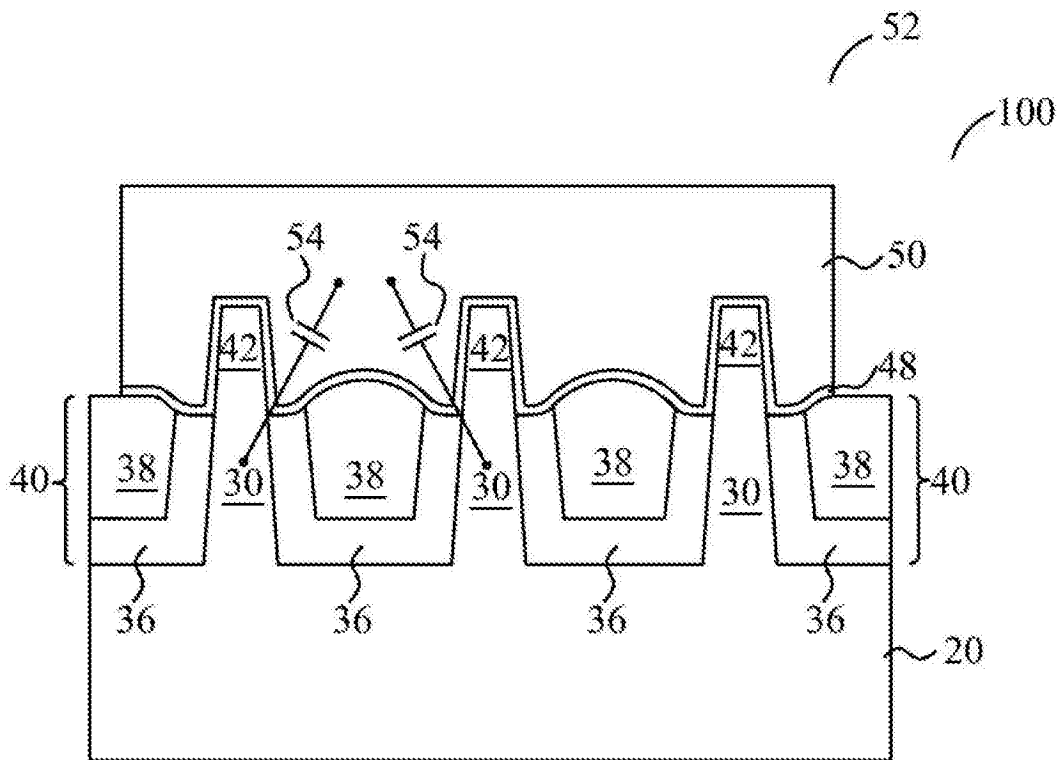


图10C

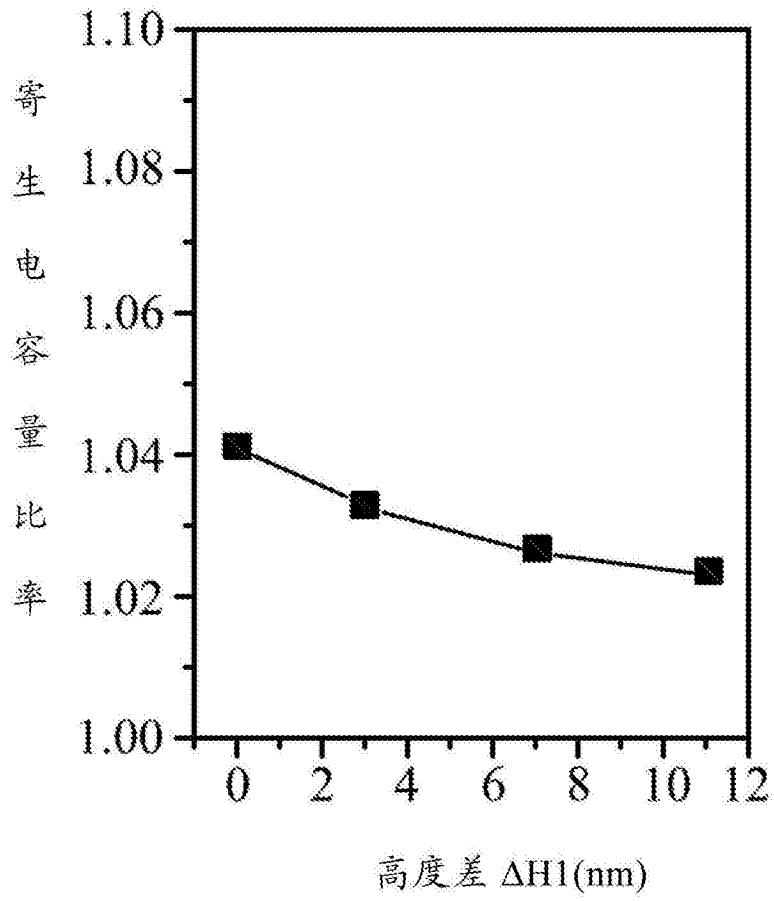


图11