

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4416456号
(P4416456)

(45) 発行日 平成22年2月17日(2010.2.17)

(24) 登録日 平成21年12月4日(2009.12.4)

(51) Int.Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	6 1 1 H
H04N 5/70 (2006.01)	G09G 3/20	6 2 3 L
H01L 51/50 (2006.01)	G09G 3/20	6 2 4 B
	G09G 3/20	6 4 1 D
請求項の数 3 (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2003-305081 (P2003-305081)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成15年8月28日(2003.8.28)	(74) 代理人	100096828 弁理士 渡辺 敬介
(65) 公開番号	特開2004-145296 (P2004-145296A)	(74) 代理人	100110870 弁理士 山口 芳広
(43) 公開日	平成16年5月20日(2004.5.20)	(72) 発明者	川崎 素明 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	平成18年6月23日(2006.6.23)	(72) 発明者	井関 正己 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(31) 優先権主張番号	特願2002-256432 (P2002-256432)	審査官	福村 拓
(32) 優先日	平成14年9月2日(2002.9.2)		最終頁に続く
(33) 優先権主張国	日本国(JP)		

(54) 【発明の名称】 エレクトロルミネッセンス装置

(57) 【特許請求の範囲】

【請求項1】

エレクトロルミネッセンス素子(E L)と、該エレクトロルミネッセンス素子を発光させる駆動電流を供給するための駆動トランジスタ(M 1 0 0)と、該駆動トランジスタのゲートに接続された容量(C 1 0 0)と、を有する画素回路(2)の複数と、

トランジスタ(M 3)、該トランジスタのゲートに容量素子(C 1)を介して映像電圧信号を書き込むための第1のスイッチ(M 1)、該トランジスタの一方の主電極をダイオード接続されたトランジスタ(M 5)を介して参照電源(V c c)に接続するための第2のスイッチ(M 4)、該トランジスタの該一方の主電極とゲート電極とを接続するための第3のスイッチ(M 2)、ならびに該トランジスタの該一方の主電極から前記複数の画素回路に電流信号を供給するための第4のスイッチ(M 6)、を有する列制御回路(1)と

を具備し、

前記列制御回路から前記画素回路に供給された電流信号は、当該画素回路の容量(C 1 0 0)に充電電圧として保持され、該保持された充電電圧に基づいて前記駆動トランジスタ(M 1 0 0)が前記エレクトロルミネッセンス素子に前記駆動電流を供給する、エレクトロルミネッセンス装置において、

前記列制御回路は、

前記第1のスイッチ(M 1)を閉じてブランキングレベルの電圧を前記容量素子(C 1)に入力した状態で、前記第2のスイッチ(M 4)を閉じて前記トランジスタ(M 3)の

前記一方の主電極をダイオード接続されたトランジスタ (M 5) を介して前記参照電源 (V c c) に接続し、第 3 のスイッチ (M 2) を閉じて前記トランジスタ (M 3) のゲート容量 (C 2) を充電し、

前記充電を停止して、前記トランジスタ (M 3) のゲート容量 (C 2) に充電された電荷を、前記第 3 のスイッチ (M 2) を介して放電し、

前記第 3 のスイッチ (M 2) を切り離し、前記第 2 のスイッチ (M 4) を閉じた状態で、前記第 1 のスイッチ (M 1) を介して映像電圧信号を前記容量素子 (C 1) に入力し、前記第 1 のスイッチ (M 1) を切り離して前記トランジスタ (M 3) のゲート容量 (C 2) の電圧を保持し、

前記第 2 のスイッチ (M 4) を切り離し、前記第 4 のスイッチ (M 6) を閉じて、前記トランジスタ (M 3) の前記一方の主電極から電流信号を前記画素回路に供給する、回路であることを特徴とするエレクトロルミネッセンス装置。

【請求項 2】

前記列制御回路 (1) を 2 組備え、前記複数の画素回路 (2) への電流信号の供給を交互に行うことを特徴とする請求項 1 に記載のエレクトロルミネッセンス装置。

【請求項 3】

前記複数の画素回路 (2) の各々に供給される電流信号は、前記映像電圧信号のフレームごとに、前記列制御回路 (1) の 2 組から交互に供給されることを特徴とする請求項 2 に記載のエレクトロルミネッセンス装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流信号を出力する電流信号出力回路に関する。また該電流信号出力回路を用いた表示装置に関する。

【背景技術】

【0002】

従来から種々の表示装置が知られている。表示装置の一例としてエレクトロルミネッセンス素子を用いた表示装置がある。その例が、特許文献 1 に記載されている。

【0003】

【特許文献 1】米国特許第 6 3 7 3 4 5 4 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明者は、表示装置の構成として種々の構成を検討してきた。

【0005】

以下にエレクトロルミネッセンス素子を用いた表示装置として検討してきた構成を説明する。

【0006】

エレクトロルミネッセンス (E L) 素子は一般に T F T で構成された画素表示回路を 2 次元に配列したパネル型画像表示システム (以後 E L パネルと言う) 等に応用されている。この E L 素子の発光設定方式としては電圧設定方式と電流設定方式とを挙げることができる。

【0007】

< 電圧設定方式による E L パネル >

電圧設定方式によるカラー化した E L パネルの回路構成を図 1 2 に示す。

【0008】

入力映像信号 1 0 は、赤、緑、青 (R G B) 各色ごとに設けられた E L パネルの水平画素数の 3 倍数設けられた列制御回路 2 2 に適宜入力される。また、水平走査制御信号 1 1 a は入力回路 6 に入力され水平走査制御信号 1 1 を出力し、該水平走査制御信号 1 1 は水平画素数のレジスタからなる水平シフトレジスタ 3 に入力される。水平走査制御信号 1 1

10

20

30

40

50

は水平クロック信号と水平走査開始信号からなる。そして水平シフトレジスタ3の各端子から出力される水平サンプリング信号群17は各々が受け持つ列制御回路22に入力される。

【0009】

列制御回路22の構成は、図14に示す様に水平サンプリング信号SPがM100/Gに接続され、M100/Sに入力映像信号video(ここではRGBの1つ)が接続され、M100/Dに列制御信号14である映像電圧データv(data)を出力する非常に簡単な構成である。

【0010】

尚、本明細書中においては説明の便宜上、トランジスタのゲート電極、ソース電極、ドレイン電極をそれぞれ/G、/S、/Dの略号にて示し、また信号とそれを供給する信号線とを区別せずに表現する。

10

【0011】

画像表示領域9には各々同等の構成を有する画素回路2が2次元に配置され、各々RGBのEL表示素子の駆動を受け持ち、3個対の画素回路2で1画素の表示を受け持つことになる。

【0012】

列制御回路22から出力される映像電圧データv(data)は、同じ列に配置された画素回路2群に入力される。また、垂直走査制御信号12aは入力回路7を介して垂直走査制御信号12を出力し、該垂直走査制御信号12はELパネルの垂直画素数に等しいレジスタを含む垂直シフトレジスタ5に入力される。この垂直走査制御信号12は垂直クロック信号と垂直走査開始信号からなる。そして垂直シフトレジスタの各出力端子から出力される行制御信号20は、同じ行に配置されている画素回路2に入力される。

20

【0013】

〔電圧設定方式の画素回路〕

電圧設定方式の画素回路2の構成を図13に示す。

【0014】

電圧データv(data)はM300/Sに接続される。また、行制御信号20はP13、P14、P15に対応し、各々M300/G、M200/G、M400/Gに接続される。M300/Dは容量C200に接続され、容量C200はソースが電源に接続されたM100/Gと容量C100に接続される。そしてM100/DとM100/Gは各々M200/DとM200/Sに接続され、M100/DはM400/Sに接続されM400/Dは一端が接地されたEL素子の電流注入端子に接続される。

30

【0015】

次に図12のELパネルの動作について図15のタイムチャートを使用して説明する。(a)は入力映像信号videoを示し、(b)は水平サンプリング信号SP、(c)~(e)は該当行の行制御信号P13~P15を示す。尚、図15では3水平期間、つまり3行期間を示している。

【0016】

まず入力映像信号の水平ブランキング期間内の時間t1~t2において各水平サンプリングパルスSPは一斉にHレベルに変化し、このとき入力映像信号であるブランキング電圧が列制御信号14とされる。尚、図15(b)のSPにおいては、該当列の水平サンプリング信号を太線で示している。

40

【0017】

時刻t5以前(発光保持期間)

時間t1~t5において該当行の画素回路2の行制御信号P13~P15は、各々Hレベル、Hレベル、Lレベルになっており、時間t1~t2において各水平サンプリングパルスSPが一斉にHレベルに変化しても、該当画素回路2のM200、M300、M400が各々OFF、OFF、ONのままであるので、容量C100及びM100のゲート容量の保持電圧である該当画素回路2のM100/G電圧によって決定されるM100のド

50

ライン電流が該当E L素子に注入され発光を継続している。尚、水平ブランキング期間内の時間 $t_1 \sim t_2$ においては、入力映像信号 $v i d e o$ 電圧は図15に示すように黒レベル近傍の電圧 V_{b1} である。

【0018】

時刻 $t_5 \sim t_9$ (発光設定期間)

時刻 t_5 において、該当行の行制御信号 P_{13} 及び P_{15} はLレベル及びHレベルに変化する。時間 $t_5 \sim t_6$ において、再び各水平サンプリングパルス $S P$ は一斉にHレベルに変化するとともに、このとき入力映像信号であるブランキング電圧が列制御信号14とされる。

【0019】

このとき、該当行の図13に示す画素回路2において、 M_{400} はOFFして該当E L素子への電流供給は無くなるため該当E L素子は消灯する。また M_{200} 及び M_{300} は各々ON及びON状態になっているので ($V_{CC} - M_{100} / G$) 電圧が M_{100} の閾電圧 V_{th} に漸近するように容量 C_{100} 、 C_{200} 及び M_{100} のゲート容量は放電動作するため、 M_{100} のドレイン電流は非常に小さい値にリセットされる。尚、水平ブランキング期間内の時間 $t_5 \sim t_6$ においても、入力映像信号 $v i d e o$ 電圧は図15に示すように $t_1 \sim t_2$ と同様に黒レベル近傍の電圧 V_{b1} である。

【0020】

時刻 t_6 において、 $S P$ 及び P_{14} は各々Lレベル及びHレベルになるが、該当画素回路2の ($V_{CC} - M_{100} / G$) 電圧は引き続き M_{100} の閾電圧 V_{th} である。

【0021】

時間 $t_7 \sim t_8$ において該当列の $S P$ がHレベルになり、この時の入力映像信号値 d_2 が $v(d a t a)$ として該当画素回路2に入力される。このとき該当画素回路2の M_{100} / G 電圧は電圧 V だけ電圧変化する。電圧 V は概略(1)式に示される。

【0022】

$$V = -d_2 \times C_{200} \div (C_{200} + C_{100} + C(M_{100})) \cdots (1)$$

【0023】

ここで、 $C(M_{100})$ は該当画素回路2内の M_{100} のゲート入力容量を示している。

【0024】

時刻 t_8 において再び $S P$ はLレベルに変化して(1)式で示される M_{100} / G 電圧の変化は保持され、時刻 t_9 までこの状態を保持する。

【0025】

時刻 t_9 以降 (発光保持期間)

時刻 t_9 において、 P_{13} 及び P_{15} は再びHレベル及びLレベルに変化して、該当画素回路2の M_{300} 及び M_{400} はOFF及びON状態になる。こうして変化した該当画素回路の M_{100} / G 電圧によって決定される M_{100} のドレイン電流が該当E L素子に注入され、発光量の変化が起こり、この状態が保持される。

【0026】

時間 $t_9 \sim t_{10}$ 及び時間 $t_{11} \sim t_{12}$ において該当の $S P$ 信号はHレベルに変化するが、該当画素回路2の M_{300} がOFFであるので該当E L素子の発光動作に影響はない。

【0027】

(1)式は、発光量が入力映像信号 $v i d e o$ の水平ブランキング期間中の V_{b1} を基準とした電圧値 (d_2) によって設定できることを意味している。画素回路2の M_{100} のドレイン電流 I_d は、(2)式によって概略示すことができる。

【0028】

$$I_d = \quad \times \quad V^2 \cdots (2)$$

【0029】

E L素子は基本的に注入電流に比例した発光動作をするので、図12で示した電圧設定

10

20

30

40

50

方式のELパネルにおいて、各画素のEL素子の発光量はブランキング電圧を基準とした入力映像信号レベルの2乗に比例した値で制御可能であることが(2)式より分かる。電圧設定方式のELパネルは、画素回路2を除くと実績のある液晶パネルの回路構成を流用できる。

【0030】

<電流設定方式によるELパネル>

電流設定方式によるカラー化したELパネルの回路構成を図3に示す。まず、図12の電圧設定方式によるELパネルとの違いについて説明する。

【0031】

補助列制御信号13aは入力回路8を介して補助列制御信号13を出力し、該補助列制御信号13はゲート回路4及び16に入力される。また、水平シフトレジスタ3の各端子に出力される水平サンプリング信号群17はゲート回路15に入力され、変換された水平サンプリング信号群18が列制御回路1に入力される。ゲート回路15にはゲート回路16から出力される制御信号21が入力される。列制御回路1にはゲート回路4から出力される制御信号19が入力される。

10

【0032】

[列制御回路]

電流設定方式のELパネルの水平画素数と同数配列される列制御回路1の構成を図8に示す。

【0033】

入力映像情報は入力映像信号video及び基準信号REFであり、各々M100/S、M200/S及びM500/S、M600/Sに入力される。また、ゲート回路15より出力される水平サンプリング信号群18は各々SPa及びSPbからなり、列制御回路1のM100/G、M500/G及びM200/G、M600/Gに接続される。そしてM100/D、M200/D、M500/D及びM600/Dには各々容量C100、C200、C300及びC400が接続されるとともに、M300/S、M400/S、M700/S、及びM800/Sが接続される。制御信号19はP11及びP12であり各々M300/G、M700/G及びM400/G、M800/Gに接続される。M300/DとM400/D及びM700/DとM800/Dは各々接続されてv(data)及びv(REF)として電圧電流変換回路gmに入力される。また、電圧電流変換回路gmには基準電流設定バイアスVBが入力され列制御信号14として使用される電流信号i(data)を出力する。

20

30

【0034】

電圧電流変換回路の構成例を図10(a)に示す。基本的動作は一般的なので説明は省くが、留意点としては省電力を目指すELパネルにおいて例えば200ppiELパネルを想定すると、各画素のEL素子への注入電流が小さく、最大電流で1 μ Aを大きく下回り100nAを想定していることである。この条件で、できる限り線形な電圧電流変換特性を得るためには、M200、M300のゲート領域のW/L比を小さくして、電流駆動能力を小さくしておく必要がある。

【0035】

図10(b)に図10(a)の電圧電流変換特性を示す。図10(a)の電圧電流変換回路では最小電圧V1(黒レベル)における最小電流I1(黒電流)をゼロ電流にする設計が難しい。黒電流I1がゼロ電流にできないと画像表示パネルとして重要なコントラストが確保できなくなる。

40

【0036】

この点に関して対策した電圧電流変換回路の構成例を図11(a)に示す。第1のソースカップル回路M200、M300の各ドレイン端子に各々ソースが接地されドレインとゲートが短絡されたM600、M700を接続する。さらにソースが電源に接続されゲートが基準電流バイアスVBに接続された第2の基準電流源として動作するM800を設け、M800/Dを第2のソースカップル回路M900、M1000に接続し、M900/

50

G及びM1000/Gを各々M700/D、M600/Dに接続する。そしてM1000/Dから図10(a)の電圧電流変換回路と同様にM400及びM500のカレントミラー回路を介して列制御信号14となる電流信号*i*(data)を出力する。図11(a)においてM600及びM700の電流駆動能力をM900及びM1000より小さくするため、M600及びM700のゲート領域のW/L比をM900及びM1000のゲート領域のW/L比より小さくしておく。

【0037】

このように設計された図11(a)の電圧電流変換回路の電圧電流変換特性を図11(b)に示す。黒レベルV1における黒電流I1が小さくすることができるとともに、電圧電流変換特性の線形性を崩すことなく実現できる。

10

【0038】

列制御回路の動作を図9のタイムチャートで説明する。

【0039】

時刻t1において制御信号P11、P12は各々Lレベル、Hレベルに変化する。

【0040】

時間t1～t4の入力映像信号の有効期間において水平サンプリング信号群SPaが発生する。この時間t2～t3において該当列のSPaが発生して、この時点のvideo及びREFを容量C100及びC300にサンプリングして時刻t3以降ホールドする。

【0041】

時刻t4において、制御信号P11、P12は各々Hレベル、Lレベルに変化し、電圧電流変換回路に入力される(*v*(data) - *v*(REF))はd1となり、時間t2～t3に取り込まれた映像情報に基づいて時間t4～t7の間電流信号*i*(data)を列制御信号14として出力する。

20

【0042】

時間t4～t7の入力映像信号の有効期間において水平サンプリング信号群SPbが発生し、時間t5～t6において該当列のSPbが発生してこの時点の入力video及びREFが容量C200及びC400にサンプリングされ、時刻t6以降ホールドされる。

【0043】

時刻t7において、制御信号P11、P12は再び各々Lレベル、Hレベルに変化し、電圧電流変換回路に入力される(*v*(data) - *v*(REF))はd2となり、時間t5～t6に取り込まれた映像情報に基づいて時間t7から1水平走査期間、電流信号*i*(data)を列制御信号14として出力する。

30

【0044】

時間t7から1水平走査期間の入力映像信号の有効期間において再び水平サンプリング信号群SPaが発生し、時間t8～t9において該当列のSPa発生してこの時点の入力video及びREFが容量C200及びC400にサンプリングされ時刻t9以降ホールドされる。

【0045】

以上の動作を繰り返すことによって、列制御信号14である電流信号*i*(data)は入力映像信号videoの水平走査周期毎に更新される線順次信号に変換される。

40

【0046】

〔電流設定方式の画素回路〕

図6は電流設定方式の画素回路2の構成例である。P9及びP10が行制御信号20に対応し、列制御信号14として電流信号*i*(data)が入力され、M100/Dは接地されたEL素子の電流注入端子に接続されている。

【0047】

図7のタイムチャートを使用して動作を説明する。時刻t0以前において、該当m行のP9及びP10はHレベルであるのでM300及びM400は共にOFFであり容量C100及びM100のゲート容量に保持された充電電圧によって決定されたM100/G電圧によってEL素子に電流が注入され、これに応じて該当EL素子は発光している。

50

【 0 0 4 8 】

時刻 t_0 において、該当行の P 9、P 10 は共に L レベルに変化するとともに、 m 行目の電流信号 $i(m)$ が確定する。即ち、M 300、M 400 がともに ON になるため M 200 に電流信号 $i(m)$ が供給され、これに応じて M 200 / G 電圧が設定され容量 C 100 及び M 100、M 200 のゲート容量は充電され、電流信号 $i(m)$ に対応した電流が該当 EL 素子に注入され始める。

【 0 0 4 9 】

電流信号 $i(m)$ が確定している時刻 t_1 において、P 10 は H レベルに変化して M 300 は OFF 状態になり、M 200 / G 電圧の設定動作は終了して保持動作に移行する。時刻 t_2 において P 9 も H レベルに変化して M 200 への電流供給を停止するが、電流信号 $i(m)$ によって設定された M 200 / G 電圧は保持されたままであり、引き続き再設定された注入電流によって該当 EL 素子が再設定されて発光を継続する。

10

【 0 0 5 0 】

図 4 は電流設定方式の画素回路 2 の他の構成例である。P 7 及び P 8 が行制御信号 20 に対応し、列制御信号 14 として電流信号 $i(data)$ が入力され、M 400 / D は接地された EL 素子の電流注入端子に接続されている。

【 0 0 5 1 】

図 5 のタイムチャートを使用して動作を説明する。時刻 t_0 以前において、該当 m 行の P 7 及び P 8 は各々 L レベル及び H レベルであるので M 200 及び M 300 は共に OFF であり M 400 が ON であるので容量 C 100 及び M 100 のゲート容量に保持された充電電圧によって決定された M 100 / G 電圧によって EL 素子に電流が注入されこれに応じて該当 EL 素子は発光している。

20

【 0 0 5 2 】

時刻 t_0 において、該当行の P 7 及び P 8 は各々 H レベル及び L レベルに変化するとともに、 m 行目の電流信号 $i(m)$ が確定する。M 200、M 300 がともに ON し M 400 が OFF するため、該当行 EL 素子への電流注入は停止して該当行の EL 素子は消灯する。さらに M 100 に電流信号 $i(m)$ が供給されるため、これに応じて M 100 / G 電圧が設定され容量 C 100 及び M 100 のゲート容量は充電される。

【 0 0 5 3 】

電流信号 $i(m)$ が確定している時刻 t_1 において、P 8 は再び H レベルに変化して M 200 は OFF 状態になり、M 100 / G 電圧の設定動作は終了して保持動作に移行する。

30

【 0 0 5 4 】

時刻 t_2 において P 7 は L レベルに変化して M 100 への電流供給を停止するとともに M 400 が ON して M 100 / G 電圧で設定された M 100 のドレイン電流が該当 EL 素子に注入されこれに応じて該当 EL 素子は時刻 t_1 以前の再設定された発光を開始しこれを再び設定されるまで継続する。

【 0 0 5 5 】

本発明は以上の検討結果を踏まえ、これまで知られていなかった新規な電流信号出力回路を実現し、特にばらつきを抑制した出力を得られる電流信号出力回路を実現することを課題とする。また、それを用いて表示むらの少ない表示装置を実現することを課題とする。

40

【課題を解決するための手段】

【 0 0 5 6 】

本発明に係る電流信号出力回路の発明の一つは以下のように構成される。すなわち、入力される電圧信号に応じて電流信号を出力する電流信号出力回路であって、電流信号制御回路を有しており、該電流信号制御回路は、少なくとも、第 1 から第 6 のスイッチと、第 1、第 2 の容量素子と、第 1、第 2 のトランジスタとを備えており、

50

第1のスイッチの第1端子は電圧信号を与える電圧信号線に接続され、第1のスイッチの第2端子は第1の容量素子の第1端子に接続され、

第1の容量素子の第2端子は第1のトランジスタのゲート電極に接続され、

第3のスイッチの第1端子と第2端子とは第1のトランジスタのゲート電極と第2主電極とに夫々接続され、

第1のトランジスタの第1主電極は第1の電源に接続され、

第1のトランジスタの第2主電極は第4のスイッチの第1端子に接続され、

第2のスイッチの第1端子は電圧信号を与える電圧信号線に接続され、第2のスイッチの第2端子は第2の容量素子の第1端子に接続され、

第2の容量素子の第2端子は第2のトランジスタのゲート電極に接続され、

第5のスイッチの第1端子と第2端子とは第2のトランジスタのゲート電極と第2主電極とに夫々接続され、

第2のトランジスタの第1主電極は第1の電源に接続され、

第2のトランジスタの第2主電極は第6のスイッチの第1端子に接続され、

第4及び第6のスイッチの第2端子は互いに接続されて前記電流信号を出力する電流信号出力端子とされ、

第1から第6のスイッチの制御端子は、夫々第1から第6の制御信号線に接続されていることを特徴とする電流信号出力回路、である。

【0057】

なお本発明においては、スイッチの第1端子、第2端子とは、スイッチがその間の導通を制御するところの2端子を意味しており、スイッチの導通はスイッチの制御端子に入力される制御信号により制御される。また、トランジスタの第1主電極、第2主電極とは、ゲート電極以外の2電極、即ちソース電極とドレイン電極とのいずれかを表している。また、容量素子の第1端子、第2端子とは、容量素子の2端子の各々を便宜上示すものに過ぎず、特別区別する意味を有するものではない。

【0058】

本発明に係る電流信号出力回路の他の発明は以下のように構成される。すなわち、

入力される電圧信号に応じて電流信号を出力する電流信号出力回路であって、

電流信号制御回路を有しており、

該電流信号制御回路は、

少なくとも、第1から第8のスイッチと、第1、第2の容量素子と、第1から第4のトランジスタとを備えており、

第1のスイッチの第1端子は電圧信号を与える電圧信号線に接続され、第1のスイッチの第2端子は第1の容量素子の第1端子に接続され、

第1の容量素子の第2端子は第1のトランジスタのゲート電極に接続され、

第3のスイッチの第1端子と第2端子とは第1のトランジスタのゲート電極と第2主電極とに夫々接続され、

第1のトランジスタの第1主電極は第1の電源に接続され、

第1のトランジスタの第2主電極は第4のスイッチの第1端子と第7のスイッチの第1端子とに接続され、

第7のスイッチの第2端子は第3のトランジスタの第1主電極に接続され、

第3のトランジスタはゲート電極と第1主電極又は第2主電極とが短絡されており且つ第2主電極は第2の電源に接続され、

第2のスイッチの第1端子は電圧信号を与える電圧信号線に接続され、第2のスイッチの第2端子は第2の容量素子の第1端子に接続され、

第2の容量素子の第2端子は第2のトランジスタのゲート電極に接続され、

第5のスイッチの第1端子と第2端子とは第2のトランジスタのゲート電極と第2主電極とに夫々接続され、

第2のトランジスタの第1主電極は第1の電源に接続され、

第2のトランジスタの第2主電極は第6のスイッチの第1端子と第8のスイッチの第1

10

20

30

40

50

端子とに接続され、

第 8 のスイッチの第 2 端子は第 4 のトランジスタの第 1 主電極に接続され、

第 4 のトランジスタはゲート電極と第 1 主電極又は第 2 主電極とが短絡されており且つ第 2 主電極は第 2 の電源に接続され、

第 4 及び第 6 のスイッチの第 2 端子は互いに接続されて外部に前記電流信号を出力する電流信号出力端子とされ、

第 1 から第 8 のスイッチの制御端子は、夫々第 1 から第 8 の制御信号線に接続されていることを特徴とする電流信号出力回路である。

【 0 0 5 9 】

具体的には、第 3 のスイッチと第 7 のスイッチの双方が導通する期間を設ける及び / 又は第 5 のスイッチと第 8 のスイッチの双方が導通する期間を設けるようにすると好適である。

10

【 0 0 6 0 】

また本発明に係る電流信号出力回路の他の発明として、以下を挙げることができる。すなわち、

(4)

入力される電圧信号に応じて電流信号を出力する電流信号出力回路であって、

電流信号制御回路を有しており、

該電流信号制御回路は、

少なくとも、第 1 及び第 3 のスイッチと、第 1 の容量素子と、第 1 のトランジスタとを備えており、

20

第 1 のスイッチの第 1 端子は電圧信号を与える電圧信号線に接続され、第 1 のスイッチの第 2 端子は第 1 の容量素子の第 1 端子に接続され、

第 1 の容量素子の第 2 端子は第 1 のトランジスタのゲート電極に接続され、

第 3 のスイッチの第 1 端子と第 2 端子とは第 1 のトランジスタのゲート電極と第 2 主電極とに夫々接続され、

第 1 のトランジスタの第 1 主電極は第 1 の電源に接続されていることを特徴とする電流信号出力回路である。

【 0 0 6 1 】

ここで、

30

(5)

前記第 3 のスイッチを介して第 1 のトランジスタのゲート電極を充電した後、第 1 のトランジスタのゲート電極の電圧が閾値電圧に近づくように放電させてから、前記第 1 のスイッチに与えられる電圧信号に応じた電圧に第 1 のトランジスタのゲート電極を充電し、該充電された状態に応じた電流信号を前記第 1 のトランジスタの第 2 主電極から電流信号を出力する構成を好適に採用できる。

また、前記第 3 のスイッチの第 2 端子には第 3 のスイッチを介して第 1 のトランジスタのゲート電極を充電するための電流供給経路が接続されている構成を好適に採用できる。該電流供給経路に流れる電流を制御するスイッチを更に有する構成を好適に採用できる。

【 0 0 6 2 】

40

本発明に係る電流信号出力回路の他の発明は以下のように構成される。すなわち、

(6)

入力される電圧信号に応じて電流信号を出力する電流信号出力回路であって、

電流信号制御回路を有しており、

該電流信号制御回路は、

少なくとも、第 1 のスイッチと、第 1 の容量素子と、第 1 のトランジスタとを備えており、

第 1 のスイッチの第 1 端子は電圧信号を与える電圧信号線に接続され、第 1 のスイッチの第 2 端子は第 1 の容量素子の第 1 端子に接続され、

第 1 の容量素子の第 2 端子は第 1 のトランジスタのゲート電極に接続され、

50

第1のトランジスタの第1主電極は第1の電源に接続されていることを特徴とする電流信号出力回路である。

【0063】

ここで、(7)前記第1のトランジスタのゲート電極の電圧が閾値電圧に近づくように放電させてから、前記第1のスイッチに与えられる電圧信号に応じた電圧に第1のトランジスタのゲート電極を充電し、該充電された状態に応じた電流信号を前記第1のトランジスタの第2主電極から出力する構成を好適に採用できる。

【0064】

また、(8)前記第1のトランジスタのゲート電極の電圧が閾値電圧に近づくように放電させる構成においては、第1のスイッチに与えられる電圧信号が基準レベルになっている期間において、前記第1のトランジスタのゲート電極の電圧が閾値電圧に近づくように放電させる構成を好適に採用できる。

【0065】

また(9)上記(4)から(8)のいずれかに記載の電流信号制御回路を少なくとも2つ有しており、一方の電流信号制御回路において前記電流信号を出力しているときに、他方の電流信号制御回路において第1のトランジスタのゲート電極を電圧信号に応じた電圧に充電する構成を好適に採用できる。

各電流信号制御回路が前記第1のトランジスタの第2主電極から出力される電流信号を外部に出力するか否かを制御するスイッチを有しており、一方の電流信号制御回路の該スイッチが第1のトランジスタの第2主電極から出力される電流信号を外部に出力する状態にあるときに、他方の電流信号制御回路の該スイッチが第1のトランジスタの第2主電極から出力される電流信号を外部に出力しない状態に制御しておく構成を好適に採用できる。

【0066】

また本発明は表示装置の発明として、(10)上記の電流信号出力回路と、複数の表示素子とを備えており、前記電流信号出力回路が複数の前記表示素子に対して順次前記電流信号を供給することを特徴とする表示装置の発明を含んでいる。

【0067】

特に、(11)上記(9)に記載の電流信号出力回路と、複数の表示素子とを備えており、前記電流信号出力回路が複数の前記表示素子に対して順次前記電流信号を供給するように構成されており、前記電流信号出力回路を構成する少なくとも2つの電流信号制御回路と前記複数の表示素子それぞれとの対応関係が非固定的に制御されることを特徴とする表示装置の発明を含んでいる。

電流信号出力回路を構成する少なくとも2つの電流信号制御回路と前記複数の表示素子それぞれとの対応関係が非固定的に制御されるとは、複数の表示素子に対する電流信号の順次の供給を複数回行う際に、ある一巡の順次供給の際に所定の表示素子に対して一方の電流信号制御回路からの出力電流が供給された場合には、該一巡に続く一巡など前記一巡とは異なる一巡の順次供給の際には前記所定の表示素子に対しては他方の電流信号制御回路からの出力電流が供給されるようにすることを言う。複数の表示素子により画面を構成する場合、例えば1フレーム毎など画面の更新(表示画面の内容が変化しない場合を含む)ごとに各表示素子に対応する電流信号制御回路が変化する構成が特に好適である。

【0068】

なお、表示装置としては前記電流信号出力回路を列方向信号の入力に用い、更に業方向信号の制御を行う行方向制御回路を持つ構成を好適に採用できる。具体的には、上記(10)もしくは(11)に記載の電流信号出力回路と、該電流信号出力回路が順次電流信号を供給する複数の表示素子とを組として、該組を複数備えており、各組に属する表示素子によって表示素子のマトリックスが構成されており、前記電流信号出力回路は該マトリックスの列方向の制御を行うものであり、更に該マトリックスの行方向の制御を行う行制御回路を有する構成を好適に採用できる。

【0069】

10

20

30

40

50

また、上記第4のスイッチ及び第6のスイッチを持つ構成に関して言うと、電流信号出力回路を備えており、該電流信号出力信号からの信号の供給を受ける表示素子を2次元の領域に複数配置した表示装置であって、

第4及び第6のスイッチを選択的に動作させる機能を有し、表示する映像信号のフレームによって第4及び第6のスイッチの動作を奇数行または偶数行で変更する表示装置を好適に採用できる。第4及び第6のスイッチに相当する他のスイッチがなければ第4及び第6のスイッチを相補的に動作させればよい。

【0070】

また、電流信号制御回路と表示素子との対応関係を非固定にする構成として、電流信号制御回路が各色に対応する信号を切り替えながら出力する構成を好適に採用できる。

10

【0071】

なお、以上の構成における表示素子としては、電子放出素子と該電子放出素子が放出する電子によって発光する発光体とを組み合わせたものなど種々の構成の表示素子を採用できるが、特に好適なのはエレクトロルミネセンス素子を用いた表示素子である。更に具体的に言うと、エレクトロルミネセンス素子と該エレクトロルミネセンス素子を駆動する画素回路とを有する表示素子を好適に用いることができる。

【0072】

また前記表示素子が画素回路を有しており、該画素回路は前記電流信号出力回路からの信号に対応した電圧値を保持し、該保持した電圧値に応じた電流値を出力するものである構成を特に好適に採用できる。

20

これらのうち、本発明のエレクトロルミネセンス装置は、

エレクトロルミネセンス素子(EL)と、該エレクトロルミネセンス素子を発光させる駆動電流を供給するための駆動トランジスタ(M100)と、該駆動トランジスタのゲートに接続された容量(C100)と、を有する画素回路(2)の複数と、

トランジスタ(M3)、該トランジスタのゲートに容量素子(C1)を介して映像電圧信号を書き込むための第1のスイッチ(M1)、該トランジスタの一方の主電極をダイオード接続されたトランジスタ(M5)を介して参照電源(Vcc)に接続するための第2のスイッチ(M4)、該トランジスタの該一方の主電極とゲート電極とを接続するための第3のスイッチ(M2)、ならびに該トランジスタの該一方の主電極から前記複数の画素回路に電流信号を供給するための第4のスイッチ(M6)、を有する列制御回路(1)と

30

を具備し、

前記列制御回路から前記画素回路に供給された電流信号は、当該画素回路の容量(C100)に充電電圧として保持され、該保持された充電電圧に基づいて前記駆動トランジスタ(M100)が前記エレクトロルミネセンス素子に前記駆動電流を供給する、エレクトロルミネセンス装置において、

前記列制御回路は、

前記第1のスイッチ(M1)を閉じてブランキングレベルの電圧を前記容量素子(C1)に入力した状態で、前記第2のスイッチ(M4)を閉じて前記トランジスタ(M3)の前記一方の主電極をダイオード接続されたトランジスタ(M5)を介して前記参照電源(Vcc)に接続し、第3のスイッチ(M2)を閉じて前記トランジスタ(M3)のゲート容量(C2)を充電し、

40

前記充電を停止して、前記トランジスタ(M3)のゲート容量(C2)に充電された電荷を、前記第3のスイッチ(M2)を介して放電し、

前記第3のスイッチ(M2)を切り離し、前記第2のスイッチ(M4)を閉じた状態で、前記第1のスイッチ(M1)を介して映像電圧信号を前記容量素子(C1)に入力し、前記第1のスイッチ(M1)を切り離して前記トランジスタ(M3)のゲート容量(C2)の電圧を保持し、

前記第2のスイッチ(M4)を切り離し、前記第4のスイッチ(M6)を閉じて、前記トランジスタ(M3)の前記一方の主電極から電流信号を前記画素回路に供給する、

50

回路であることを特徴とするエレクトロルミネッセンス装置であり、前記列制御回路(1)を2組備え、前記複数の画素回路(2)への電流信号の供給を交互に行う構成を好適に採用でき、前記複数の画素回路(2)の各々に供給される電流信号は、前記映像電圧信号のフレームごとに、前記列制御回路(1)の2組から交互に供給される構成をより好適に採用できる。

【発明の効果】

【0073】

本発明によると、良質な電流信号を発生することができる。また良質な表示を実現することができる。

【発明を実施するための最良の形態】

10

【0074】

以下に本発明に係る各実施の形態を説明するが、特に次に示す具体的な問題点を解消できるような実施の形態を説明している。

【0075】

本発明者は、以下に示す具体的な課題に着目した。

【0076】

まず図13の電圧設定方式の画素回路を用いた場合、閾電圧 V_{th} のトランジスタ間バラツキをリセットできているが、チャンネルの移動度 μ バラツキが主因の駆動係数のバラツキに対して対応できていない。チャンネルの移動度 μ バラツキを抑えるには電流駆動トランジスタM100のゲート領域面積を拡大するのが良いが、画素回路面積への制約の大きい200ppiを目指す小型且つ高精細パネルでは駆動トランジスタM100のゲート領域面積によって駆動係数のバラツキを大きく改善できない。

20

【0077】

従って、特に小型の表示パネルを想定した場合に、個々の画素の輝度がランダムに変動した固定ノイズを有した画像となり高画質な表示パネルを実現できないという問題がある。

【0078】

また、図4の電流設定方式の画素回路を用いた場合、個々の画素回路2においては、小型且つ高精細な表示パネルにおいても閾電圧 V_{th} 及び駆動係数のバラツキのリセットが可能であるが、電流設定方式の場合、点順次信号から線順次信号に電圧電流変換して電流信号*i*(data)を列制御信号14として出力する列制御回路が必要になる。

30

【0079】

しかし、図10(a)及び図11(a)で示すソースカップル回路及びカレントミラー回路を含む電圧電流変換回路gmではTFTの閾電圧 V_{th} 及び駆動係数のバラツキによって各画素列の電圧電流変換特性が均一化されず画像として縦縞の固定パターンを有する表示パネルとなり、高画質化が困難である。

【0080】

また、上記のように入力映像信号に忠実な電流信号を画素回路に出力しようとする、列制御回路の構成が複雑化し、表示パネルの小型化に適したものとは言えなかった。

【0081】

40

図1は図3に示すような電流設定方式のELパネルに使用する、エレクトロルミネッセンス素子駆動制御回路に含まれる電流信号制御回路(以下では主に列制御回路として記す)の一実施形態である。以下、図1に示す具体的な実施態様を参照して本発明を詳細に説明するが、本発明はこの形態に限定されるものではない。

【0082】

図1に示す好ましい形態においては、列制御回路1は、少なくとも、第1から第8のスイッチ(M1、M7、M2、M6、M8、M10、M4、M11)と、第1、第2の容量素子(C1、C3)と、第1から第4のトランジスタ(M3、M9、M5、M12)とを含み、第1のスイッチM1の第1端子は情報電圧信号を与える情報電圧信号線(映像信号video)に接続され、第1のスイッチM1の第2端子は第1の容量素子C1の第1端

50

子に接続され、第1の容量素子C1の第2端子は第1のトランジスタM3のゲート電極に接続され、第3のスイッチM2の第1端子と第2端子とは第1のトランジスタM3のゲート電極と第2主電極とに夫々接続され、第1のトランジスタM3の第1主電極は第1の電源(GND)に接続され、第1のトランジスタM3の第2主電極は第4のスイッチM6の第1端子と第7のスイッチM4の第1端子とに接続され、第7のスイッチM4の第2端子は第3のトランジスタM5の第1主電極に接続され、第3のトランジスタM5はゲート電極と第1主電極又は第2主電極とが短絡されており且つ第2主電極は第2の電源(VCC)に接続され、第2のスイッチM7の第1端子は情報電圧信号を与える情報電圧信号線(映像信号video)に接続され、第2のスイッチM7の第2端子は第2の容量素子C3の第1端子に接続され、第2の容量素子C3の第2端子は第2のトランジスタM9のゲート電極に接続され、第5のスイッチM8の第1端子と第2端子とは第2のトランジスタM9のゲート電極と第2主電極とに夫々接続され、第2のトランジスタM9の第1主電極は第1の電源GNDに接続され、第2のトランジスタM9の第2主電極は第6のスイッチM10の第1端子と第8のスイッチM11の第1端子とに接続され、第8のスイッチM11の第2端子は第4のトランジスタM12の第1主電極に接続され、第4のトランジスタM12はゲート電極と第1主電極又は第2主電極とが短絡されており且つ第2主電極は第2の電源VCCに接続され、第4及び第6のスイッチM6及びM10の第2端子は互いに接続されて外部に前記電流信号を出力する電流信号出力端子とされ、第1から第8のスイッチ(M1、M7、M2、M6、M8、M10、M4、M11)の制御端子は、夫々第1から第8の制御信号線(SP a、SP b、P1、P3、P4、P6、P2、P5)に接続されている。なお、図1の形態においては、列制御回路1は第3の容量素子(C2)及び第4の容量素子(C4)をも含み、第3の容量素子C2の第1端子は第1の電源に接続され、第2端子は第1のトランジスタM3のゲート電極に接続され、第4の容量素子C4の第1端子は第1の電源に接続され、第2端子は第2のトランジスタM9のゲート電極に接続されているが、これらC2、C4はM3及びM9のゲート入力容量(チャンネル容量)のみで実現してもよく、この場合容量C2及びC4は必要ない。

【0083】

次に、トランジスタのチャンネル特性を図1に示すようにM1はnチャンネル、M5はpチャンネルというように特定した場合について、より具体的に本発明の構成を示し、その動作を説明するが、これは一例に過ぎず、第1の電源GNDと、第2の電源VCCとの間の電位の関係や、各トランジスタのチャンネル特性を逆転させたりした場合には、それに合わせて適宜構成を変更すれば良い。

【0084】

列制御回路1には、映像信号video、サンプリング信号SP a、SP b、制御信号P1~P6が入力される。

【0085】

映像信号videoはM1/S及びM7/Sに接続されサンプリング信号SP a及びSP bは各々M1/G、M7/Gに接続される。M1/Dは容量C1に接続され容量C1の他端は一端が接地された容量C2とソースが接地されたM3/Gに接続される。M3/D及びM3/GはM2/D及びM2/Sと接続され、M2/GにはP1が接続される。M3/DはM4/Sと接続され、M4/Dはソースが電源VCCに接続されゲートとドレインが短絡されたM5に接続され、M4/GにはP2が接続される。さらにM3/DにはM6/Sが接続され、M6/Dは電流信号i(data)を出力する端子に接続され、M6/GはP3と接続されている。一方、M7/Dは容量C3に接続され容量C3の他端は一端が接地された容量C4とソースが接地されたM9/Gに接続される。M9/D及びM9/GはM8/D及びM8/Sと接続され、M8/GにはP4が接続される。M9/DはM11/Sと接続され、M11/Dはソースが電源VCCに接続されゲートとドレインが短絡されたM12に接続され、M11/GにはP5が接続される。さらにM9/DにはM10/Sが接続され、M10/Dは電流信号i(data)を出力する端子に接続され、M10/GはP6と接続されている。また各トランジスタのゲートサイズ(W、L)及び容量

値は、

$M 1 = M 7$ 、 $M 3 = M 9$ 、 $M 2 = M 8$ 、 $M 5 = M 1 2$ 、 $C 1 = C 3$ 、 $C 2 = C 4$. . .
・ (3)

となっている。

【 0 0 8 6 】

〔 列制御回路の動作説明 〕

図 2 は図 1 の動作を説明するタイムチャートである。図 2 は映像信号の 3 水平走査期間、E L パネルからすると 3 行分の動作を示したものである。

【 0 0 8 7 】

時刻 $t 1$ 直前

S P a、S P b は各々 L、L レベルであり、P 1 ~ P 6 は各々 L、L、H、L、H、L レベルである。したがって、各 S W 動作をするトランジスタは

$M 1 = O F F$ 、 $M 2 = O F F$ 、 $M 4 = O F F$ 、 $M 6 = O N$

$M 7 = O F F$ 、 $M 8 = O F F$ 、 $M 1 1 = O N$ 、 $M 1 0 = O F F$ となる。

【 0 0 8 8 】

この時、M 3 及び M 9 は各々ゲート電極に付随する容量に充電された保持電圧 $V a 1$ 及び $V b 1$ によって電流駆動している。即ち、M 3 / D 電流 $I a 1$ が電流信号 $i (d a t a)$ に出力され列制御信号 1 4 となる。M 9 / D 電流は M 1 2 に供給され M 9 / D 電圧が決定される。

【 0 0 8 9 】

時刻 $t 1 \sim t 7$

時刻 $t 1$ において、入力映像信号 $v i d e o$ はブランキングレベル $V b 1$ になっているとともに、S P a、P 2、P 3、P 5、P 6 は各々 H、H、L、L、H レベルに変化する。

【 0 0 9 0 】

したがって、各 S W 動作をするトランジスタは

$M 1 = O N$ 、 $M 2 = O F F$ 、 $M 4 = O N$ 、 $M 6 = O F F$

$M 7 = O F F$ 、 $M 8 = O F F$ 、 $M 1 1 = O F F$ 、 $M 1 0 = O N$ となる。

【 0 0 9 1 】

この時、M 9 / G 電圧の $V b 1$ によって駆動された M 9 / D 電流 $I b 1$ が M 3 / D 電流 $I b 2$ に替わって電流信号 $i (d a t a)$ に出力されるようになる。電流信号 $i (d a t a)$ は E L パネルの列長を通過し多数の列画素数に対応する素子に接続する為、大きな寄生容量を駆動しなければならないので、図に示すように画素回路への有効電流供給遷移 $I a 1$ $I b 1$ に時間を要する。時刻 $t 2$ になる前に P 1 は H レベルになり M 2 = O N となり、この時点から時刻 $t 2$ の短時間において M 3 / G は M 5 によって充電される。

【 0 0 9 2 】

時刻 $t 2$ で M 3 / G の M 5 による充電動作は停止して、M 3 / G は自身の閾電圧 $V t h$ に漸近するように自己放電動作を行う。

【 0 0 9 3 】

時刻 $t 3$ において S P a は L レベルに変化して M 1 = O F F になる。時刻 $t 4$ になる前に P 1 が L レベルに変化し M 2 = O F F になり、この時点で M 3 の自己放電動作は終了する。この時点から時刻 $t 4$ までの期間、M 2 及び M 4 はともに O F F になり M 3 / D は急速に L レベルに変化する為、ドレイン - ゲート容量などによって M 3 / G は図に示すように多少電圧降下が発生する。

【 0 0 9 4 】

P 2 が H レベルに変化する時刻 $t 4$ において M 4 = O N になるので再び M 3 / D は上昇する為、再び M 3 / G は図に示すように再び電圧上昇しほぼ元の状態に戻る。この時点で M 3 / G は自身の閾電圧 $V t h$ 近傍であるので M 3 / D 電流はほとんどゼロである。時刻 $t 1 \sim t 7$ の映像信号 $v i d e o$ の有効期間内では、水平サンプリング信号群 S P a が発生するが S P b は発生しない。時刻 $t 5 \sim t 6$ において該当する列の水平サンプリング信

10

20

30

40

50

号 S P a が発生して自身の閾電圧 V_{th} 近傍に保持されている M 3 / G 電圧を、この時点でのブランキングレベルを基準とする映像信号レベル d_1 によって遷移電圧 V_1 変化させる。

【 0 0 9 5 】

V_1 は (4) 式で概略示される。

【 0 0 9 6 】

$$V_1 = d_1 \times C_1 \div (C_1 + C_2 + C (M_3)) \cdots (4)$$

【 0 0 9 7 】

$C (M_3)$ は M 3 ゲート入力容量を示す。このとき M 3 / D 電流は (2) 式で示される。該当する S P a が L レベルに変化すると M 1 = O F F なり、M 1 の寄生容量動作によって多少電圧降下した V_{a2} に変化して再び M 3 / G 電圧は保持状態になる。

10

【 0 0 9 8 】

時刻 $t_7 \sim t_{13}$

時刻 t_7 において、入力映像信号 $video$ はブランキングレベル V_{b1} になっているとともに、S P b、P 2、P 3、P 5、P 6 は各々 H、L、H、H、L レベルに変化する。

【 0 0 9 9 】

したがって、各 S W 動作をするトランジスタは

M 1 = O F F、M 2 = O F F、M 4 = O F F、M 6 = O N

M 7 = O N、M 8 = O F F、M 11 = O N、M 10 = O F F となる。

20

【 0 1 0 0 】

この時、M 3 / G 電圧の V_{a2} によって駆動された M 3 / D 電流 I_{a2} が M 9 / D 電流 I_{b1} に替わって電流信号 $i (data)$ に出力されるようになる。電流信号 $i (data)$ は E L パネルの列長を通過し多数の列画素数に対応する素子に接続する為、大きな寄生容量を駆動しなければならないので、図に示すように画素回路への有効電流供給遷移 $I_{b1} - I_{a2}$ に時間を要する。時刻 t_8 になる前に P 4 は H レベルになり M 8 = O N となり、この時点から時刻 t_8 までの短時間において M 9 / G は M 12 によって充電される。

【 0 1 0 1 】

時刻 t_8 で M 9 / G の M 12 による充電動作は停止して、M 9 / G は自身の閾電圧 V_{th} に漸近するように自己放電動作を行う。

30

【 0 1 0 2 】

時刻 t_9 において S P b は L レベルに変化して M 7 = O F F になる。時刻 t_{10} になる前に P 4 が L レベルに変化し M 8 = O F F になり、この時点で M 9 の自己放電動作は終了する。この時点から時刻 t_{10} までの期間、M 8 及び M 11 はともに O F F になり M 9 / D は急速に L レベル変化する為、ドレイン - ゲート容量などによって M 9 / G は図に示すように多少電圧降下が発生する。

【 0 1 0 3 】

P 5 が H レベルに変化する時刻 t_{10} において M 11 = O N になるので再び M 9 / D は上昇する為、再び M 9 / G は図に示すように再び電圧上昇しほぼ元の状態に戻る。この時点で M 9 / G は自身の閾電圧 V_{th} 近傍であるので M 9 / D 電流はほとんどゼロである。時刻 $t_7 \sim t_{13}$ の映像信号 $video$ の有効期間内で水平サンプリング信号群 S P b が発生するが S P a は発生しない。

40

【 0 1 0 4 】

時間 $t_{11} \sim t_{12}$ において該当する列の水平サンプリング信号 S P b が発生して自身の閾電圧 V_{th} 近傍に保持されている M 9 / G 電圧を、この時点でのブランキングレベルを基準とする映像信号レベル d_2 によって遷移電圧 V_2 だけ変化させる。 V_2 は (5) 式で概略示される。

【 0 1 0 5 】

$$V_2 = d_2 \times C_3 \div (C_3 + C_4 + C (M_9)) \cdots (5)$$

$C (M_9)$ は M 9 ゲート入力容量を示す。このとき M 9 / D 電流は (2) 式で示される

50

。該当するSPbがLレベルに変化するとM7 = OFFなり、M7の寄生容量動作によって多少電圧降下したVb2に変化して再びM9 / G電圧は保持状態になる。

【0106】

時刻t13 ~ 1水平走査期間

時刻t13において、入力映像信号videoはブランキングレベルVb1になっているとともに、SPa、P2、P3、P5、P6は各々H、H、L、L、Hレベルに変化する。

【0107】

したがって、各SW動作をするトランジスタは

M1 = ON、M2 = OFF、M4 = ON、M6 = OFF

M7 = OFF、M8 = OFF、M11 = OFF、M10 = ON となる。

10

【0108】

この時、M9 / G電圧のVb2によって駆動されたM9 / D電流Ib2がM3 / D電流Ia2に替わって電流信号i (data) に出力されるようになる。電流信号i (data) はELパネルの列長を通過し多数の列画素数に対応する素子に接続する為、大きな寄生容量を駆動しなければならないので、Ia2とIb2とが異なる場合には、Ib1 Ia2の変化と同様に画素回路への有効電流供給遷移Ia2 Ib2の変化に時間を要する。時刻t14になる前にP1はHレベルになりM2 = ONとなり、この時点から時刻t14の短時間においてM3 / GはM5によって充電される。

【0109】

時刻t14でM3 / GのM5による充電動作は停止してM3 / Gは自身の閾電圧Vthに漸近するように自己放電動作を行う。

20

【0110】

時刻t15においてSPaはLレベルに変化してM1 = OFFになる。時刻t16になる前にP1がLレベルに変化しM2 = OFFになり、この時点でM3の自己放電動作は終了する。この時点から時刻t16までの期間、M2及びM4はともにOFFになりM3 / Dは急速にLレベルに変化する為、ドレイン - ゲート容量などによってM3 / Gは図に示すように多少電圧降下が発生する。

【0111】

P2がHレベルに変化する時刻t16においてM4 = ONになるので再びM3 / Dは上昇する為、再びM3 / Gは図に示すように再び電圧上昇しほぼ元の状態に戻る。この時点でM3 / Gは自身の閾電圧Vth近傍であるのでM3 / D電流はほとんどゼロである。

30

【0112】

時間t16 ~ t17の映像信号videoの有効期間内では、水平サンプリング信号群SPaが発生するがSPbは発生しない。

【0113】

時間t17 ~ t18において該当する列の水平サンプリング信号SPaが発生し、自身の閾電圧Vth近傍に保持されているM3 / G電圧を、この時点でのブランキングレベルを基準とする映像信号レベルd3によって遷移電圧 V3だけ変化させる。

【0114】

V3は(6)式で概略示される。

40

【0115】

$$V3 = d3 \times C1 \div (C1 + C2 + C(M3)) \cdots (6)$$

【0116】

C(M3)はM3ゲート入力容量を示す。このときM3 / D電流は(2)式で示される。該当するSPaがLレベルに変化するとM1 = OFFとなり、M1の寄生容量動作によって多少電圧降下したVa2に変化して再びM3 / G電圧は保持状態になる。

【0117】

本発明のELパネルは、図3に示すようなアクティブマトリクス型の電流設定方式のELパネルにおいて、列制御回路1として上記本発明の電流信号制御回路を用いることによ

50

り実現され、列制御回路 1 を上記のように制御する以外は従来と同様にして動作させることができる。従って、画素回路 2 についても、言うまでもなく図 4 や図 6 に示す形態のものが使用できる。

【 0 1 1 8 】

また本発明は、エレクトロルミネセンス素子と一対に配置され、入力される電流信号に応じて各々のエレクトロルミネセンス素子に注入電流を供給する画素回路が、2次元の領域に複数配置されたエレクトロルミネセンスパネルにおいて、外部から入力される情報電圧信号に応じて画素回路に対して電流信号を供給するための電流信号制御回路を複数備え、夫々の電流信号制御回路が、単一の情報電圧信号を入力とし、該当する制御回路書き込み期間に入力される情報電圧信号に対応した第 1 の電圧値を保持し、該保持した第 1 の電圧値に対応した電流信号を制御回路出力期間に選択された画素回路に出力する機能を有し、夫々の画素回路が、該当する画素回路書き込み期間に入力される電流信号に対応した第 2 の電圧値を保持し、該保持した第 2 の電圧値に対応した注入電流をエレクトロルミネセンス素子に対して該当する発光期間に供給し続ける機能を有するものを含んでいる。

10

【 0 1 1 9 】

このようなエレクトロルミネセンスパネルは、上記に詳述した本発明の電流信号制御回路を用い、図 4 ~ 図 7 に示すような電流設定方式の画素回路を用いた図 3 のような E L パネルをその具体的な実施形態として包むものである。図 1、図 2 に基づく本発明の電流信号制御回路の構成及び動作についての説明、及び図 4 ~ 図 7 に基づく従来の画素回路の構成及び動作についての説明と対応させると、次のようになる。

20

【 0 1 2 0 】

まず、電流信号制御回路が入力する単一の情報電圧信号とは、*video* に対応し、図 8 に示すような従来例と異なり基準信号 *REF* は不要である。

【 0 1 2 1 】

該当する制御回路書き込み期間とは、図 1 のような一つの電流信号制御回路において、サンプリング信号 *SPa* により、第 1 のスイッチ *M1* が *ON* している期間（例えば図 2 における *t5* ~ *t6* の間の *SPa* が *H* である期間）等に対応する。この期間に該当する電流信号制御回路に入力された情報電圧信号に対応した第 1 の電圧値は、例えば、第 1 の容量素子 *C1* にて保持し、*C1* にゲート電極が接続された第 1 のトランジスタ *M3* を出力手段として用いて前記保持した第 1 の電圧値に対応した電流信号を出力することができる。この電流信号は、制御回路出力期間に選択された画素回路に出力するが、制御回路出力期間とは、図 1 のような一つの電流信号制御回路において、第 4 の制御信号 *P3* により第 4 のスイッチ *M6* が *ON* している期間（例えば図 2 における *t7* ~ *t13* の *P3* が *H* である期間）等に対応している。また、画素回路が選択されているとは、例えば図 4 に示すような画素回路 2 の場合には、図 5 における *t0* ~ *t2* の期間のように、行制御信号の *P7* が *H* であり *M300* が *ON* して *M100/G* の設定動作の状態にあることを指しており、これは画素回路書き込み期間でもある。

30

【 0 1 2 2 】

夫々の画素回路において、上記画素回路書き込み期間に電流信号制御回路から入力される電流信号に対応した第 2 の電圧値は、例えば図 4 の画素回路の場合には、第 2 電圧保持手段として容量素子 *C100* を利用して保持し、*C100* にゲート電極が接続されたトランジスタ *M3* を注入手段として用いて前記保持した第 2 の電圧値に対応した注入電流を E L 素子に対して該当する発光期間に供給し続けることができる。ここで該当する発光期間とは、例えば図 5 における *t2* 以降の *P7* が *L* であり *M300* が *OFF* し、*M400* が *ON* して E L 素子に注入電流が供給できる期間である。

40

【 0 1 2 3 】

以上説明したような本発明は、入力映像信号 *video* 等の情報電圧信号を基に線順次電流信号 *idata* を出力することができるものである。

【 0 1 2 4 】

図 1 の列制御回路 1 には電圧設定回路が搭載されているので、電流駆動トランジスタで

50

あるM3及びM9の動作に留意する必要がある。ELパネルにおいて、列制御回路1は画素回路に比べると面積的な余裕があるため、M3及びM9のゲート面積を大きくできる。一般にTFTの基本サイズの駆動係数バラツキは20%pp程度であるが、本発明のようにM3及びM9のゲート面積を大きくできることにより、例えばこれらを画素回路に設ける場合よりも16倍のサイズで構成した場合、駆動係数バラツキを1/4の5%pp程度とすることが期待できる。

【0125】

さらに図2で示す動作において、SPa、P1、P2、P3とSPb、P4、P5、P6の各々のペアの制御信号を、映像信号フレーム毎に受け持つ水平走査期間を奇数偶数と切り替え、第4及び第6のスイッチ(M6、M10)を相補的に動作させると、各画素の電流信号i(data)はM3及びM9によって発生したものであるので駆動係数バラツキはさらに1/2の3.5%ppになる。

10

【0126】

また、該当列の列制御回路の処理する色を決定せず映像信号フレーム毎に入力映像信号によって、例えばRGB、GBR、BRGの様に切り替え、同一画素の3色の列制御回路1からの電流信号i(data)を切り替えるようにすることもできる。即ち、情報電圧信号として3色の映像信号群が少なくとも入力されるものであるとき、3つの列制御回路を一組とし、該一組の列制御回路から出力される各色の映像信号に対応する電流信号を、映像信号フレーム単位で前記一組の列制御回路に含まれる3つの列制御回路間で切り替えて出力させるようにする。この場合、駆動係数バラツキはさらに1/3の2.0%ppにできる。

20

【0127】

また、本発明において、SPa、P1、P2、P3を使用するM1~M6及びC1、C2を含む第1のブロックと、SPb、P4、P5、P6を使用するM7~M12及びC3、C4を含む第2のブロックとにより交互に電流信号i(data)を出力させることにより、サンプリング信号SPa群又はSPb群の終了時点から各列制御回路から所望の電流出力が得られるため、このような構成が好ましい。しかしながら、サンプリング信号SPa群の終了時点から次の行制御開始タイミングまで該当画素回路に電流供給するように構成すると、図1の列制御回路はSPb、P4、P5、P6を使用せずM7~M12、C3、C4を除く列制御回路に構成しても良い。

30

【0128】

また、図1において、P2、M4、M5及びP5、M11、M12から構成される、M3/D及びM9/Dのバイアス回路及びM3/G及びM9/Gの充電回路は、無くて本発明の基本的概念を崩すものではない。

【0129】

さらに、図2において、P1及びP2の変化タイミングは時刻t1、t3、t13、t15としてSPaと等しくしても良い。また、P4及びP5の変化タイミングは時刻t8、t10としてSPbと等しくしても良い。

【0130】

また、本発明においてはトランジスタとして、通常、特性のばらつきが問題となるTFTを用いた場合に顕著な効果を有するものであるが、単結晶シリコンを用いた絶縁ゲート型電界効果トランジスタで回路を構成した場合にも広く適用できるものである。

40

【0131】

以上説明した様に本発明を適用したEL素子駆動制御回路を使用した場合、TFT等の絶縁ゲート型電界効果トランジスタの素子特性バラツキを簡単な回路構成によって高精細表示の要望を損うことなく大幅に軽減できるため、均一な特性を有する表示画像が得られるELパネルを実現でき、高精細ELパネルの小型化にも著しい効果を有するものとなる。

【0132】

図16は上記実施形態で説明したELパネルを表示装置として用いた情報表示装置の構

50

成を説明する図である。この情報表示装置は携帯電話、携帯コンピュータ、スチルカメラもしくはビデオカメラのいずれかの形態をとる。もしくはそれらの各機能の複数を実現する装置である。上記実施形態で説明してきたELパネルに相当するのが表示装置1601である。符号1602は情報入力部である。携帯電話の場合には情報入力部はアンテナを含んで構成され、例えばPDAや携帯パソコンの場合には情報入力部はネットワークに対するインターフェース部を含んで構成され、スチルカメラやムービーカメラの場合には情報入力部はCCDやCMOSなどによるセンサ部を含んで構成される。符号1603は情報入力部1602と表示装置1601を保持する筐体である。

【図面の簡単な説明】

【0133】

10

【図1】エレクトロルミネセンス素子駆動制御回路に含まれる列制御回路の一実施形態である。

【図2】図1の列制御回路の動作を説明するタイムチャートである。

【図3】電流設定方式によるELパネル全体の回路図である。

【図4】電流設定方式の画素回路である。

【図5】図4の画素回路の動作を説明するタイムチャートである。

【図6】電流設定方式の画素回路である。

【図7】図6の画素回路の動作を説明するタイムチャートである。

【図8】電流設定方式のEL素子駆動制御回路に含まれる列制御回路の一例である。

【図9】図8の列制御回路の動作を説明するタイムチャートである。

20

【図10】図8の形態の列制御回路に使用される電圧電流変換回路を説明するための図である。(a)は回路図である。(b)は(a)の回路の電圧電流変換特性を説明する図である。

【図11】図8の形態の列制御回路に使用される別の電圧電流変換回路を説明するための図である。(a)は回路図である。(b)は(a)の回路の電圧電流変換特性を説明する図である。

【図12】電圧設定方式によるELパネル全体の回路図である。

【図13】電圧設定方式による画素回路である。

【図14】電圧設定方式による列制御回路である。

【図15】図12のELパネルの動作を説明するタイムチャートである。

30

【図16】情報表示装置の構成を示す図である。

【符号の説明】

【0134】

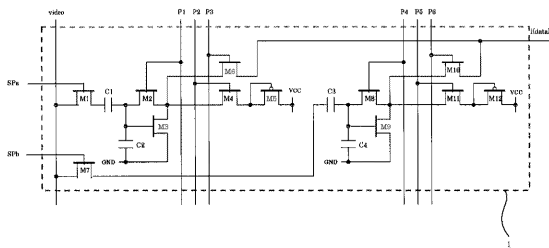
- 1 列制御回路
- 2 画素回路
- 3 水平シフトレジスタ
- 4 ゲート回路
- 5 垂直シフトレジスタ
- 6, 7, 8 入力回路
- 9 画素表示領域
- 10 入力映像信号
- 11, 11a 水平走査制御信号
- 12, 12a 垂直走査制御信号
- 13, 13a 補助列制御信号
- 14 列制御信号
- 15 水平サンプリング信号ゲート回路
- 16 ゲート回路
- 17 水平サンプリング信号
- 18 水平サンプリング信号
- 19 制御信号

40

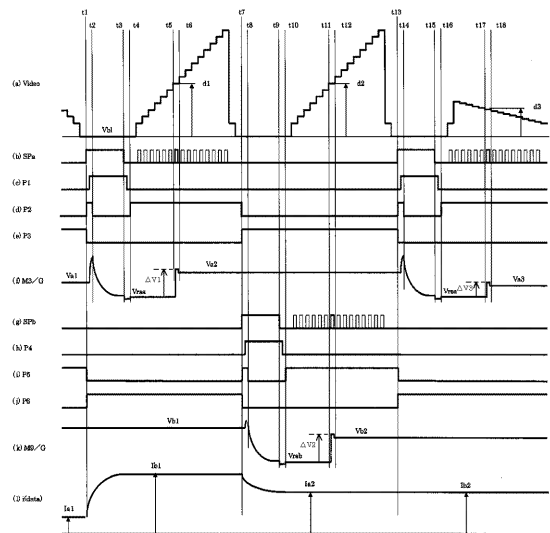
50

- 2 0 行制御信号
- 2 1 制御信号
- 2 2 列制御回路

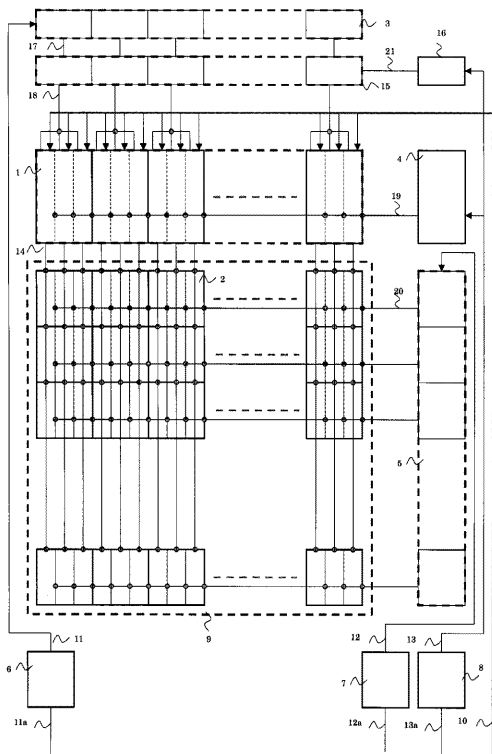
【図 1】



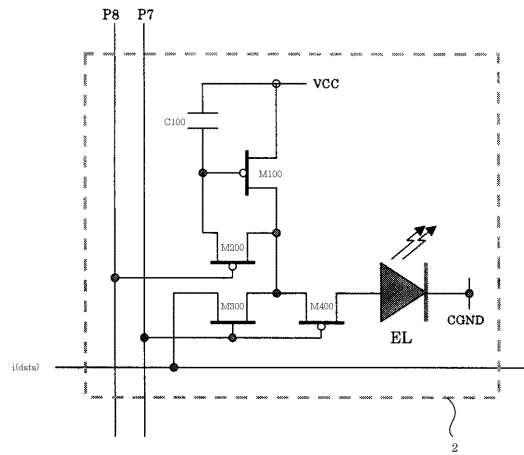
【図 2】



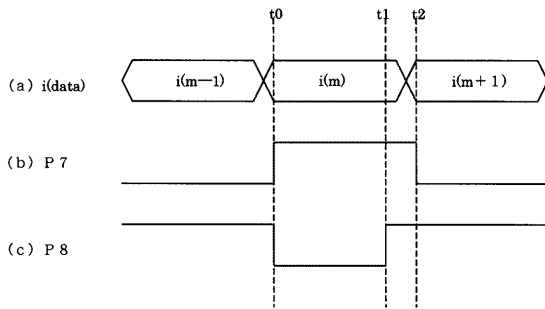
【 図 3 】



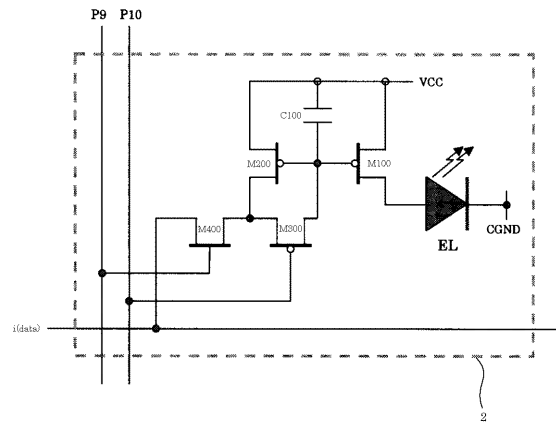
【 図 4 】



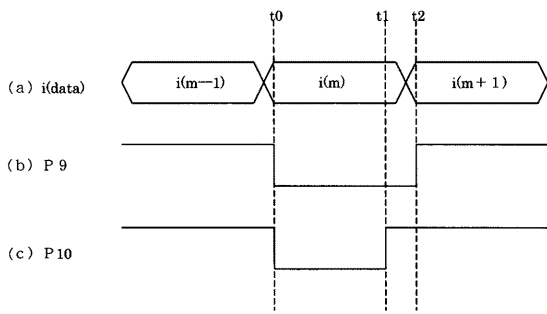
【 図 5 】



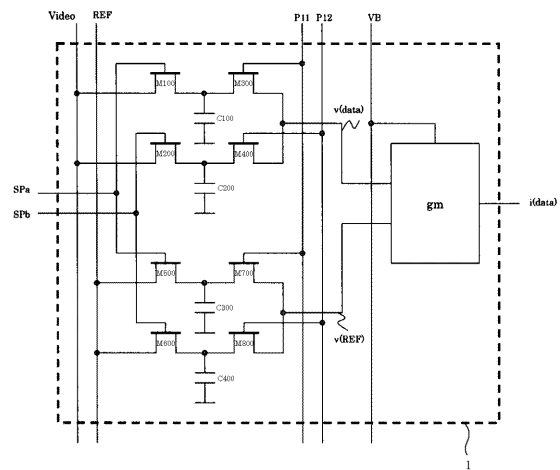
【 図 6 】



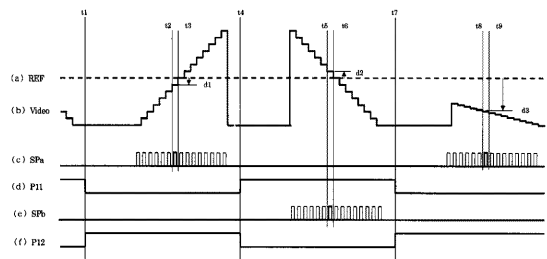
【 図 7 】



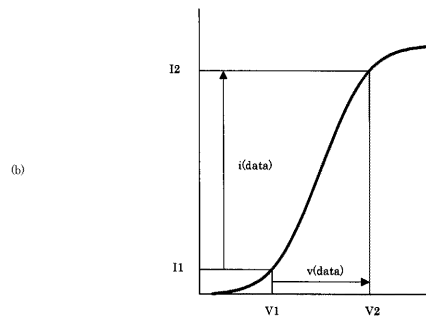
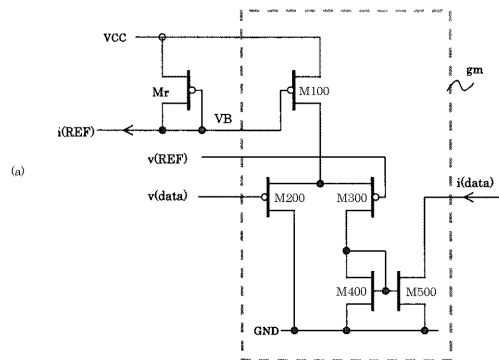
【 図 8 】



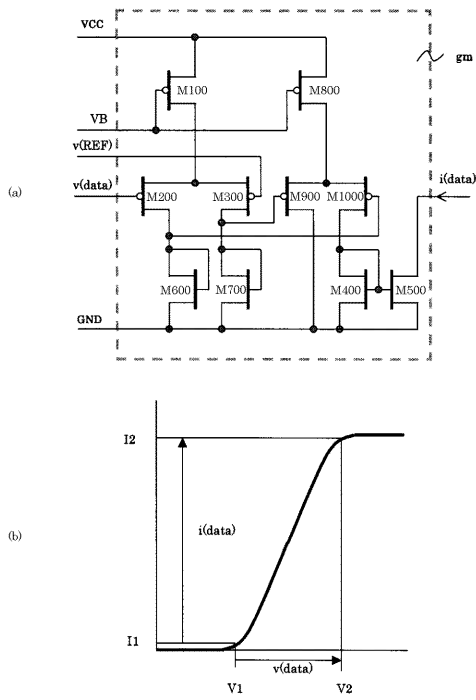
【 図 9 】



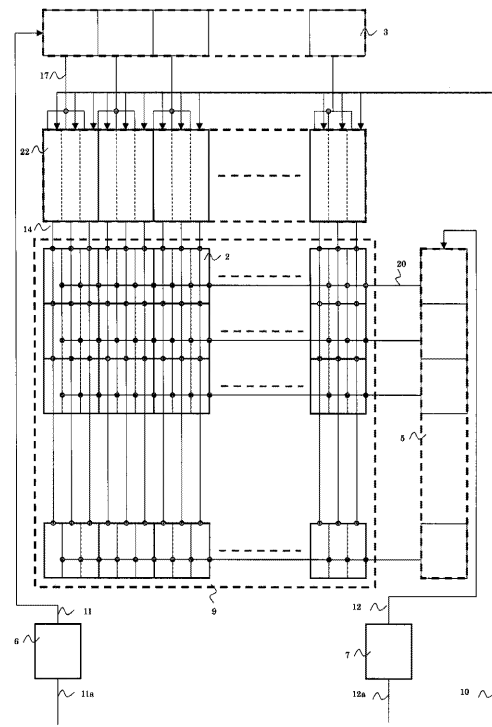
【 図 10 】



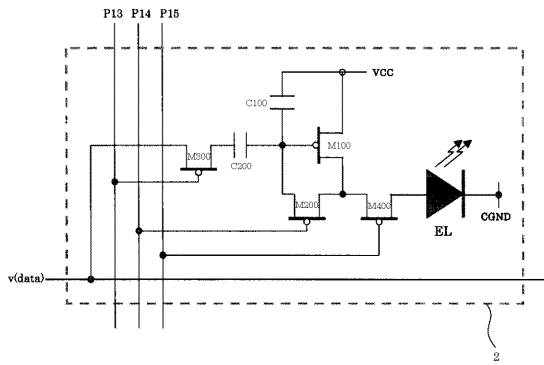
【 図 1 1 】



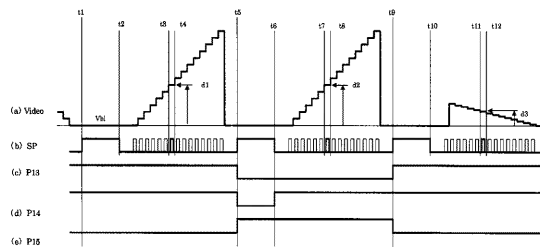
【 図 1 2 】



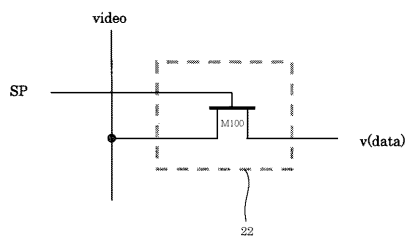
【 図 1 3 】



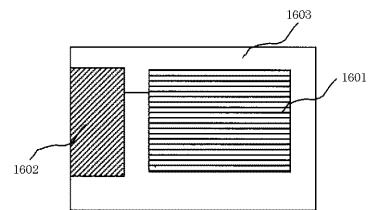
【 図 1 5 】



【 図 1 4 】



【 図 1 6 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 A
H 0 4 N 5/70 A
H 0 5 B 33/14 A

(56)参考文献 特開2004-029219(JP,A)
特表平11-509937(JP,A)
特開2000-081920(JP,A)
特開平11-219146(JP,A)
実開昭62-122488(JP,U)
特開平11-073165(JP,A)
特開2003-195815(JP,A)
特開2004-029528(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0