

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-76200
(P2009-76200A)

(43) 公開日 平成21年4月9日(2009.4.9)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/402 (2006.01)	G 1 1 C 11/34 3 5 2 F	5 B 0 1 5
G 1 1 C 11/412 (2006.01)	G 1 1 C 11/40 3 0 1	5 M 0 2 4

審査請求 有 請求項の数 3 O L (全 27 頁)

(21) 出願番号	特願2008-310748 (P2008-310748)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成20年12月5日 (2008.12.5)	(74) 代理人	100064746 弁理士 深見 久郎
(62) 分割の表示	特願2002-90768 (P2002-90768) の分割	(74) 代理人	100085132 弁理士 森田 俊雄
原出願日	平成14年3月28日 (2002.3.28)	(74) 代理人	100083703 弁理士 仲村 義平
		(74) 代理人	100096781 弁理士 堀井 豊
		(74) 代理人	100098316 弁理士 野田 久登
		(74) 代理人	100109162 弁理士 酒井 将行

最終頁に続く

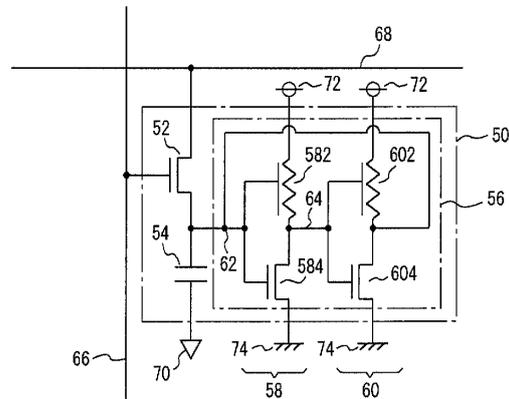
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 DRAMに近い高集積化・大容量化を実現し、かつ、リフレッシュ動作を必要としないメモリセルを備える半導体記憶装置を提供する。

【解決手段】 メモリセル50は、トランスファゲートであるNチャンネルMOSトランジスタ52と、記憶情報に対応した電荷を蓄電するキャパシタ54と、電荷補填回路56とを備える。電荷補填回路56は、2段のインバータ58, 60から構成される双安定型回路であり、ノード62の論理レベルをラッチする。インバータ58, 60の各々の負荷抵抗は、多結晶ポリシリコンで形成され、バルクのトランジスタであるNチャンネルMOSトランジスタ584, 604の上層に形成可能なPチャンネル薄膜トランジスタ582, 602によってそれぞれ構成される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

行列状に配列された複数のメモリセルを含むメモリセルアレイと、

前記メモリセルの行および列ごとにそれぞれ配列される複数のワード線および複数のビット線とを備え、

前記複数のメモリセルの各々は、

第 1 の電源ノードと前記第 1 の電源ノードよりも電位の低い第 2 の電源ノードとの間に接続される第 1 の P チャンネル薄膜トランジスタおよび第 1 の N チャンネル MOS トランジスタからなる第 1 のインバータと、

前記第 1 の電源ノードと前記第 2 の電源ノードとの間に接続される第 2 の P チャンネル薄膜トランジスタおよび第 2 の N チャンネル MOS トランジスタからなる第 2 のインバータとを含み、

10

前記第 1 のインバータの出力ノードは、前記第 2 のインバータの入力ノードに接続され、

前記第 1 のインバータの入力ノードおよび前記第 2 のインバータの出力ノードは、記憶ノードに接続され、さらに

制御電極に前記ワード線が接続され、前記ビット線と前記記憶ノードとの間に接続される第 3 の N チャンネル MOS トランジスタと、

セルプレートと前記記憶ノードとの間に接続され、前記記憶ノードの論理レベルに応じた電荷を保持する容量素子とを含み、

20

前記第 1 の N チャンネル MOS トランジスタの電流駆動能力は、前記第 3 の N チャンネル MOS トランジスタの電流駆動能力の 1 倍以上 2 倍以下である、半導体記憶装置。

【請求項 2】

行列状に配列された複数のメモリセルを含むメモリセルアレイと、

前記メモリセルの行および列ごとにそれぞれ配列される複数のワード線および複数のビット線とを備え、

前記複数のメモリセルの各々は、

第 1 の電源ノードと前記第 1 の電源ノードよりも電位の低い第 2 の電源ノードとの間に接続される第 1 の P チャンネル薄膜トランジスタおよび第 1 の N チャンネル MOS トランジスタからなる第 1 のインバータと、

30

前記第 1 の電源ノードと前記第 2 の電源ノードとの間に接続される第 2 の P チャンネル薄膜トランジスタおよび第 2 の N チャンネル MOS トランジスタからなる第 2 のインバータとを含み、

前記第 1 のインバータの出力ノードは、前記第 2 のインバータの入力ノードに接続され、

前記第 1 のインバータの入力ノードおよび前記第 2 のインバータの出力ノードは、記憶ノードに接続され、さらに

制御電極に前記ワード線が接続され、前記ビット線と前記記憶ノードとの間に接続される第 3 の N チャンネル MOS トランジスタと、

セルプレートと前記記憶ノードとの間に接続され、前記記憶ノードの論理レベルに応じた電荷を保持する容量素子とを含み、

40

前記第 1 の N チャンネル MOS トランジスタの電流駆動能力は、前記第 3 の N チャンネル MOS トランジスタの電流駆動能力の 1 倍である、半導体記憶装置。

【請求項 3】

行列状に配列された複数のメモリセルを含むメモリセルアレイと、

前記メモリセルの行および列ごとにそれぞれ配列される複数のワード線および複数のビット線とを備え、

前記複数のメモリセルの各々は、

第 1 の電源ノードと前記第 1 の電源ノードよりも電位の低い第 2 の電源ノードとの間に接続される第 1 の P チャンネル薄膜トランジスタおよび第 1 の N チャンネル MOS トランジスタ

50

タからなる第1のインバータと、

前記第1の電源ノードと前記第2の電源ノードとの間に接続される第2のPチャンネル薄膜トランジスタおよび第2のNチャンネルMOSトランジスタからなる第2のインバータとを含み、

前記第1のインバータの出力ノードは、前記第2のインバータの入力ノードに接続され、

前記第1のインバータの入力ノードおよび前記第2のインバータの出力ノードは、記憶ノードに接続され、さらに

制御電極に前記ワード線が接続され、前記ビット線と前記記憶ノードとの間に接続される第3のNチャンネルMOSトランジスタと、

セルプレートと前記記憶ノードとの間に接続され、前記記憶ノードの論理レベルに応じた電荷を保持する容量素子とを含み、

前記第1のNチャンネルMOSトランジスタのゲート幅は、前記第3のNチャンネルMOSトランジスタのゲート幅と同一である、半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体記憶装置に関し、特に、メモリセルを構成するキャパシタの蓄電の有無によって記憶情報を記憶する半導体記憶装置に関する。

【背景技術】

【0002】

半導体記憶装置の代表格の1つであるDRAM (Dynamic Random Access Memory) は、メモリセルの構成が1素子型 (1トランジスタおよび1キャパシタ) であり、メモリセル自体の構造が単純であることから、半導体デバイスの高集積化・大容量化に最適なものとして、様々な電子機器において使用されている。

【0003】

図11は、DRAMにおけるメモリセルアレイ上に行列状に配列されるメモリセルの構成を示す回路図である。

【0004】

図11を参照して、メモリセル500は、NチャンネルMOSトランジスタ502と、キャパシタ504とを備える。NチャンネルMOSトランジスタ502は、ビット線508およびキャパシタ504に接続され、ゲートがワード線506に接続される。キャパシタ504のNチャンネルMOSトランジスタ502との接続端と異なるもう一端は、セルプレート510に接続される。

【0005】

NチャンネルMOSトランジスタ502は、データ書込時およびデータ読出時のみ活性化されるワード線506によって駆動され、データ書込時およびデータ読出時のみONし、それ以外のときはOFFする。

【0006】

キャパシタ504は、電荷を蓄積しているか否かに応じて、2進情報“1”、“0”を記憶する。ビット線508からNチャンネルMOSトランジスタ502を介して2進情報“1”、“0”に対応した電圧がキャパシタ504に印加されることによってキャパシタ504の充放電が行なわれ、データの書込みが行なわれる。

【0007】

すなわち、データ“1”の書込みが行なわれるときは、ビット線508が電源電圧V_{cc}にプリチャージされ、ワード線506が活性化されることによってNチャンネルMOSトランジスタ502がONし、ビット線508からNチャンネルMOSトランジスタ502を介してキャパシタ504に電源電圧V_{cc}が印加され、キャパシタ504に電荷が蓄電される。そして、このキャパシタ504に電荷が蓄電されている状態がデータ“1”に対応する。

10

20

30

40

50

【 0 0 0 8 】

また、データ“0”の書込みが行なわれるときは、ビット線508が接地電圧GNDにプリチャージされ、ワード線506が活性化されることによってNチャンネルMOSトランジスタ502がONし、キャパシタ504からNチャンネルMOSトランジスタ502を介してビット線508に電荷が放電される。そして、このキャパシタ504に電荷が蓄電されていない状態が記憶データ“0”に対応する。

【 0 0 0 9 】

一方、データの読出しが行なわれるときは、予めビット線508が電圧 $V_{cc}/2$ にプリチャージされ、ワード線506が活性化されることによってNチャンネルMOSトランジスタ502がONし、ビット線508とキャパシタ504が通電する。これによって、キャパシタ504の蓄電状態に応じた微小な電圧変化がビット線508に現われ、図示しないセンスアンプがその微小な電圧変化を電圧 V_{cc} または接地電圧GNDに増幅する。このビット線508の電圧レベルが読出されたデータの状態に対応する。

【 0 0 1 0 】

なお、上述したデータの読出動作は破壊読出であるので、読出されたデータに応じてビット線508が電圧 V_{cc} または接地電圧GNDに増幅されている状態で、再びワード線506が活性化され、上述したデータの書込動作と同様の動作でキャパシタ504への再チャージが行なわれる。これによって、データの読出に応じて一旦破壊されたデータが元の状態に復帰する。

【 0 0 1 1 】

ここで、DRAMのメモリセルにおいては、記憶データに相当するキャパシタ504の電荷が種々の要因によってリークし、徐々に失われていく。すなわち、時間とともに記憶データが失われる。このため、DRAMにおいては、データの読出しにおいて、記憶データに対応したビット線508の電圧変化が検出できなくなる前に、データを一旦読出して再度書込むというリフレッシュ動作が実施される。

【 0 0 1 2 】

DRAMは、このリフレッシュ動作を常時周期的にすべてのメモリセルに対して行なう必要があり、この点で高速化・低消費電力化に対する欠点を有し、リフレッシュ動作を必要としないSRAM(Static Random Access Memory)に対して高速化・低消費電力化の観点からは劣る。しかしながら、DRAMは、上述したように、メモリセルの構造が単純で高集積化が可能であることから、1ビット当りのコストが他のメモリデバイスと比較して格段に安く、現在のRAMの主流となっている。

【 0 0 1 3 】

一方、DRAMとともに代表的な半導体記憶装置の1つであるSRAMは、上述したように、DRAMにおいて不可欠なリフレッシュ動作が不要なRAMである。

【 0 0 1 4 】

図12は、6トランジスタSRAMにおけるメモリセルアレイ上に行列状に配列されるメモリセルの構成を示す回路図である。

【 0 0 1 5 】

図12を参照して、メモリセル700は、NチャンネルMOSトランジスタ702~708と、PチャンネルMOSトランジスタ710, 712と、記憶ノード714, 716とを備える。

【 0 0 1 6 】

メモリセル700は、NチャンネルMOSトランジスタ702およびPチャンネルMOSトランジスタ710からなるインバータと、NチャンネルMOSトランジスタ704およびPチャンネルMOSトランジスタ712からなるインバータとを交差接続したフリップフロップが、トランスファゲートである2個のNチャンネルMOSトランジスタ706, 708を介してビット線対718, 720に接続される構成となっている。

【 0 0 1 7 】

メモリセル700においては、記憶ノード714, 716の電圧レベルの状態が記憶デ

10

20

30

40

50

ータに対応し、たとえば記憶ノード714, 716がそれぞれHレベル, Lレベルであるときが記憶データ“1”に対応し、その逆の状態が記憶データ“0”に対応する。交差接続された記憶ノード714, 716上のデータは、双安定状態であり、所定の電源電圧が供給されている限りは状態が維持され続けるため、この点において、キャパシタに蓄電された電荷が時間とともに消失していくDRAMと根本的に異なるものである。

【0018】

メモリセル700においては、データの書込みが行なわれるときは、ビット線対718, 720に書込データに対応した相反する電圧を印加し、ワード線722を活性化してトランスファゲート706, 708をONすることによって、フリップフロップの状態を設定する。一方、データの読出しは、ワード線722を活性化してトランスファゲート706, 708をONし、記憶ノード714, 716の電位をビット線718, 720に伝達し、このときのビット線718, 720の電圧変化を検出することによって行なわれる。

10

【0019】

このメモリセル700は、6個のバルクのトランジスタで構成されるが、4個のバルクのトランジスタで構成可能なメモリセルを備えるSRAMも存在する。

【0020】

図13は、4トランジスタSRAMにおけるメモリセルアレイ上に行列状に配列されるメモリセルの構成を示す回路図である。

【0021】

図13を参照して、メモリセル750は、メモリセル700におけるPチャネルMOSトランジスタ710, 712に代えて、それぞれPチャネル薄膜トランジスタ(PチャネルTFET(Thin Film Transistor):以下、薄膜トランジスタを「TFET」と称する。)730, 732を備える。このPチャネルTFET730, 732には、高抵抗が用いられることもある。なお、4トランジスタSRAMの「4トランジスタ」とは、1つのメモリセルがバルクのトランジスタを4個備えているという意味で用いている。また、「バルク」とは、TFETが基板上に形成されるのに対し、シリコン基板中にトランジスタが作りこまれているものという意味で用いている。以下においては、TFETのように基板上に形成される薄膜素子に対し、シリコン基板中に作りこまれるトランジスタを「バルクトランジスタ」と称する。

20

【0022】

メモリセル750の動作原理は、メモリセル700と基本的に同じであるので、説明は繰り返さない。

30

【0023】

このPチャネルTFET730, 732は、NチャネルMOSトランジスタ702, 704の上層に形成されるため、4トランジスタSRAMは、6トランジスタSRAMと比較してセル面積を小さくできるという利点を有する一方、6トランジスタSRAMと比較して低電圧特性に劣るため、近年の半導体記憶装置に要求される低電圧化の傾向に対応できず、現在はあまり使用されていない。

【発明の開示】

【発明が解決しようとする課題】

40

【0024】

上述したように、DRAMは、メモリセルの構造が単純であることから高集積化・大容量化に適しているが、リフレッシュ動作が不可欠であること、一方、SRAMは、リフレッシュ動作は不要であるが、6個または4個のバルクトランジスタを必要とするためメモリセルが大型化し、高集積化・大容量化に対応できないこと、というようにいずれにも一長一短がある。

【0025】

しかしながら、今後、IT技術のさらなる発展とあいまって、高集積化・大容量化および高性能化(高速化かつ低消費電力化)をととも満足する半導体記憶装置への期待は大きい。

50

【 0 0 2 6 】

そこで、この発明は、かかる課題を解決するためになされたものであり、その目的は、D R A Mに近い高集積化・大容量化を実現し、かつ、リフレッシュ動作を必要としないメモリセルを備える半導体記憶装置を提供することである。

【課題を解決するための手段および発明の効果】

【 0 0 2 7 】

この発明によれば、半導体記憶装置は、行列状に配列された複数のメモリセルを含むメモリセルアレイと、メモリセルの行および列ごとにそれぞれ配列される複数のワード線および複数のビット線とを備える半導体記憶装置であって、複数のメモリセルの各々は、2進情報で表わされる記憶情報の1ビット分のデータについて、その論理レベルに応じた電荷を保持する容量素子と、ワード線に印加される電圧によって駆動され、ビット線と容量素子との間で電荷のやり取りを行なうアクセストランジスタと、容量素子から漏洩する電荷をデータの論理レベルに応じて補填する電荷補填回路とを含む。

10

【 0 0 2 8 】

この発明による半導体記憶装置においては、複数のメモリセルの各々は、記憶情報の論理レベルに対応した電荷を保持する容量素子から漏洩する電荷を補填する電荷補填回路を含む。

【 0 0 2 9 】

したがって、この発明によれば、リフレッシュ動作を行なうことなく、電荷の漏洩による記憶情報の消失を防止することができる。

20

【 0 0 3 0 】

好ましくは、電荷補填回路は、容量素子とアクセストランジスタとの間に接続される。電荷補填回路は、容量素子とアクセストランジスタとの間の記憶ノードに接続される。

【 0 0 3 1 】

したがって、この発明によれば、電荷補填回路によって記憶ノード上の電荷が補填され、記憶ノードに記憶情報を保持することができる。

【 0 0 3 2 】

好ましくは、電荷補填回路は、容量素子とアクセストランジスタとの間の記憶ノードに入力ノードが接続される第1のインバータと、第1のインバータの出力ノードに入力ノードが接続され、記憶ノードに出力ノードが接続される第2のインバータとを含む。

30

【 0 0 3 3 】

電荷補填回路は、第1のインバータと第2のインバータが交差接続されて構成される。したがって、この発明によれば、第1および第2のインバータによってラッチ機能が構成され、記憶ノードに記憶情報を保持することができる。

【 0 0 3 4 】

好ましくは、第1および第2のインバータに含まれるM O S トランジスタは、アクセストランジスタと同一の導電型のM O S トランジスタである。

【 0 0 3 5 】

メモリセルを構成するバルクトランジスタは、1つの導電型のトランジスタで構成される。

40

【 0 0 3 6 】

したがって、この発明によれば、メモリセルを形成する際に2つの導電型のウェル領域を設ける必要がなく、メモリセルのサイズを縮小できる。

【 0 0 3 7 】

好ましくは、記憶ノードは、第1のインバータの出力ノードの容量よりも大きい容量を有する。

【 0 0 3 8 】

したがって、この発明によれば、メモリセルへのデータの書込動作が安定する。好ましくは、記憶ノードの容量は、接続ノードの容量の5倍以上である。

【 0 0 3 9 】

50

したがって、この発明によれば、メモリセルへのデータの書込動作がさらに安定する。

好ましくは、アクセストランジスタは、第1のNチャンネルMOSトランジスタであり、第1および第2のインバータの各々は、一方が電源ノードに接続され、他方が出力ノードに接続される、多結晶ポリシリコンで構成された抵抗素子と、ドレインが出力ノードに接続され、ソースが接地ノードに接続される第2のNチャンネルMOSトランジスタとからなる。

【0040】

メモリセルに含まれるバルクトランジスタは、すべてNチャンネルMOSトランジスタから構成され、さらに、第1および第2のインバータの各々の一部に多結晶ポリシリコンで構成された抵抗素子が用いられる。

10

【0041】

したがって、この発明によれば、メモリセルを形成する際に2つの導電型のウェル領域を設ける必要がなく、さらに、多結晶ポリシリコンで構成された抵抗素子はバルクトランジスタの上層に形成できるので、メモリセルのサイズをさらに縮小できる。

【0042】

好ましくは、第2のNチャンネルMOSトランジスタの電流駆動能力は、第1のNチャンネルMOSトランジスタの電流駆動能力の1倍以上2倍以下である。

【0043】

このメモリセルは容量素子を備えるので、ドライバトランジスタである第2のNチャンネルMOSトランジスタの電流駆動能力がアクセストランジスタである第1のNチャンネルMOSトランジスタの電流駆動能力の1倍以上2倍以下であっても、データの読出動作が安定して行われる。

20

【0044】

したがって、この発明によれば、第1のNチャンネルMOSトランジスタの電流駆動能力に対して、第2のNチャンネルMOSトランジスタの電流駆動能力を通常必要とされる2~3倍以上とする必要がなく、第2のNチャンネルMOSトランジスタを小型化でき、メモリセルのサイズを縮小できる。

【0045】

好ましくは、抵抗素子は、Pチャンネル薄膜トランジスタで構成される。

したがって、この発明によれば、Pチャンネル薄膜トランジスタをバルクトランジスタの上層に形成できるので、メモリセルのサイズを縮小できる。

30

【0046】

好ましくは、記憶ノードの容量は、接続ノードの容量の20倍以上である。

したがって、この発明によれば、抵抗素子にPチャンネル薄膜トランジスタを用いても、メモリセルへのデータの書込動作が安定する。

【0047】

好ましくは、抵抗素子は、記憶ノードのリーク電流の10倍以上の電流供給能力を有する。

【0048】

抵抗素子は、記憶ノードの充電状態が十分に維持されるのに必要な電流を供給可能であり、記憶ノードの状態を安定させる。

40

【0049】

したがって、この発明によれば、安定してメモリセルにデータを記憶することができる。

【0050】

好ましくは、複数のメモリセルの各々からデータを読出すとき、複数のメモリセルの各々に対応するビット線は、電源電圧にプリチャージされ、複数のメモリセルの各々に対応するワード線は、電源電圧以下の電圧が印加される。

【0051】

このメモリセルは、電荷補填回路を備えるため、アクセストランジスタを駆動するワー

50

ド線の電圧をブーストすることなく、電源電圧以下の電圧でデータの読出しを行うことができる。

【0052】

したがって、この発明によれば、データの読出し時に記憶ノードの電位変化を小さくすることができ、非破壊読出しが実現される。

【0053】

好ましくは、複数のメモリセルの各々に対応するワード線に印加される電圧は、アクセストランジスタの電流駆動能力が第2のNチャネルMOSトランジスタの電流駆動能力の半分以上になるように設定される。

【0054】

メモリセルに記憶されるデータへのアクセス性を劣化させないように、アクセストランジスタの電流駆動能力はある程度確保される必要がある。一方、アクセストランジスタの電流駆動能力がドライバトランジスタである第2のNチャネルMOSトランジスタの電流駆動能力の半分以上になるようにワード線に印加される電圧が設定されることによって、ドライバトランジスタとアクセストランジスタとのセルレシオは2以下となるが、このメモリセルは容量素子を備えるので、メモリセルの動作が安定化される。

【0055】

したがって、この発明によれば、データへのアクセス性を劣化させないようにアクセストランジスタの電流駆動能力を確保しつつ、セルレシオが2以下となっても、メモリセルの動作は安定する。

【0056】

好ましくは、アクセストランジスタは、第1のPチャネルMOSトランジスタであり、第1および第2のインバータの各々は、ソースが電源ノードに接続され、ドレインが出力ノードに接続される第2のPチャネルMOSトランジスタと、一方が出力ノードに接続され、他方が接地ノードに接続される、多結晶ポリシリコンで構成された抵抗素子とからなる。

【0057】

メモリセルに含まれるバルクトランジスタは、すべてPチャネルMOSトランジスタから構成され、さらに、第1および第2のインバータの各々の一部に多結晶ポリシリコンで構成された抵抗素子が用いられる。

【0058】

したがって、この発明によれば、メモリセルを形成する際に2つの導電型のウェル領域を設ける必要がなく、さらに、多結晶ポリシリコンで構成された抵抗素子はバルクトランジスタの上層に形成できるので、メモリセルのサイズを縮小できる。

【0059】

好ましくは、抵抗素子は、Nチャネル薄膜トランジスタで構成される。

したがって、この発明によれば、Nチャネル薄膜トランジスタをバルクトランジスタの上層に形成できるので、メモリセルのサイズを縮小できる。

【0060】

好ましくは、第1および第2のインバータの各々は、一方が電源ノードに接続され、他方が出力ノードに接続される、多結晶ポリシリコンで構成された第1の抵抗素子と、一方が出力ノードに接続され、他方が接地ノードに接続される、多結晶ポリシリコンで構成された第2の抵抗素子とからなる。

【0061】

さらに好ましくは、第1の抵抗素子は、Pチャネル薄膜トランジスタで構成され、第2の抵抗素子は、Nチャネル薄膜トランジスタで構成される。

【0062】

第1および第2のインバータは、多結晶ポリシリコンで構成された抵抗素子のみによって形成される。

【0063】

10

20

30

40

50

したがって、この発明によれば、メモリセルに含まれるバルクトランジスタは、アクセストランジスタの1つだけであり、メモリセルのサイズを縮小できる。

【0064】

好ましくは、アクセストランジスタは、第1のNチャネルMOSトランジスタであり、電荷補填回路は、容量素子とアクセストランジスタとの間の記憶ノードに入力ノードが接続されるインバータと、一方が電源ノードに接続され、他方が記憶ノードに接続され、インバータの出力ノードから出力される信号に応じて電源ノードから記憶ノードへの電流特性をスイッチングする、多結晶ポリシリコンで構成された第1の抵抗素子とを含み、インバータは、一方が電源ノードに接続され、他方が出力ノードに接続される、多結晶ポリシリコンで構成された第2の抵抗素子と、ドレインが出力ノードに接続され、ソースが接地ノードに接続される第2のNチャネルMOSトランジスタとからなる。

10

【0065】

電荷補填回路は、インバータと電流特性のスイッチングが可能な第1の抵抗素子とを含み、さらに、このメモリセルに含まれるバルクトランジスタは、すべてNチャネルMOSトランジスタから構成される。

【0066】

したがって、この発明によれば、インバータと電流特性のスイッチングが可能な第1の抵抗素子とによってラッチ機能が構成され、記憶ノードに記憶情報を保持することができ、さらに、メモリセルを形成する際に2つの導電型のウェル領域を設ける必要がなく、その上、メモリセルに含まれるバルクトランジスタは2つであり、多結晶ポリシリコンで構成された抵抗素子はバルクトランジスタの上層に形成できるので、メモリセルのサイズも縮小できる。

20

【0067】

好ましくは、第1および第2の抵抗素子は、Pチャネル薄膜トランジスタで構成される。

【0068】

したがって、この発明によれば、Pチャネル薄膜トランジスタをバルクトランジスタの上層に形成できるので、メモリセルのサイズを縮小できる。

【発明を実施するための最良の形態】

【0069】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

30

【0070】

[実施の形態1]

図1は、この発明の実施の形態1による半導体記憶装置の全体構成を示す概略ブロック図である。

【0071】

図1を参照して、半導体記憶装置10は、制御信号端子12と、クロック端子14と、アドレス端子16と、データ入出力端子18とを備える。また、半導体記憶装置10は、制御信号バッファ20と、クロックバッファ22と、アドレスバッファ24と、入出力バッファ26とを備える。さらに、半導体記憶装置10は、制御回路28と、行アドレスデコーダ30と、列アドレスデコーダ32と、センスアンプ/入出力制御回路34と、メモリセルアレイ36とを備える。

40

【0072】

なお、図1においては、半導体記憶装置10について、データ入出力に関する主要部分のみが代表的に示される。

【0073】

制御信号端子12は、チップセレクト信号/CS、行アドレスストロープ信号/RAS、列アドレスストロープ信号/CASおよびライトイネーブル信号/WEのコマンド制御信号を受ける。クロック端子14は、外部クロックCLKおよびクロックイネーブル信号

50

CKEを受ける。アドレス端子16は、アドレス信号A0～An（nは自然数）を受ける。

【0074】

クロックバッファ22は、外部クロックCLKを受けて内部クロックを発生し、制御信号バッファ20、アドレスバッファ24、入出力バッファ26および制御回路28へ出力する。制御信号バッファ20は、クロックバッファ22から受ける内部クロックに応じて、チップセレクト信号/CS、行アドレスストロブ信号/RAS、列アドレスストロブ信号/CASおよびライトイネーブル信号/WEを取込んでラッチし、制御回路28へ出力する。アドレスバッファ24は、クロックバッファ22から受ける内部クロックに応じて、アドレス信号A0～Anを取込んでラッチし、内部アドレス信号を発生して行アドレスデコード30および列アドレスデコード32へ出力する。

10

【0075】

データ入出力端子18は、半導体記憶装置10において読み書きされるデータを外部とやり取りする端子であって、データ書込時は外部から入力されるデータDQ0～DQi（iは自然数）を受け、データ読出時はデータDQ0～DQiを外部へ出力する。

【0076】

入出力バッファ26は、データ書込時は、クロックバッファ22から受ける内部クロックに応じて、データDQ0～DQiを取込んでラッチし、内部データIDQをセンスアンプ/入出力制御回路34へ出力する。一方、入出力バッファ26は、データ読出時は、クロックバッファ22から受ける内部クロックに応じて、センスアンプ/入出力制御回路34から受ける内部データIDQをデータ入出力端子18へ出力する。

20

【0077】

制御回路28は、クロックバッファ22から受ける内部クロックに応じて、制御信号バッファ20からコマンド制御信号を取込み、取込んだコマンド制御信号に基づいて行アドレスデコード30、列アドレスデコード32および入出力バッファ26を制御する。これによって、データDQ0～DQ15のメモリセルアレイ36への読み書きが行なわれる。

【0078】

行アドレスデコード30は、制御回路28からの指示に基づいて、アドレス信号A0～Anに対応するメモリセルアレイ36上のワード線を選択し、図示されないワードドライバによって選択されたワード線を活性化する。また、列アドレスデコード32は、制御回路28からの指示に基づいて、アドレス信号A0～Anに対応するメモリセルアレイ36上のビット線対を選択する。

30

【0079】

センスアンプ/入出力制御回路34は、データ書込時は、入出力バッファ26から受ける内部データIDQの論理レベルに応じて、列アドレスデコード32によって選択されたビット線対を電源電圧Vccまたは接地電圧GNDにプリチャージする。これによって、行アドレスデコード30によって活性化されたワード線と、列アドレスデコード32によって選択され、センスアンプ/入出力制御回路34によってプリチャージされたビット線対とに接続されるメモリセルアレイ36上のメモリセルに内部データIDQの書込みが行なわれる。

40

【0080】

一方、センスアンプ/入出力制御回路34は、データ読出時は、データ読出前に列アドレスデコード32によって選択されたビット線対を電圧Vcc/2にプリチャージし、選択されたビット線対において読出データに対応して発生する微小電圧変化を検出/増幅して読出データの論理レベルを判定し、入出力バッファ26へ出力する。

【0081】

メモリセルアレイ36は、後述するメモリセルが行列状に配列された記憶素子群であり、各行に対応するワード線を介して行アドレスデコード30と接続され、また、各列に対応するビット線対を介してセンスアンプ/入出力制御回路34と接続される。

【0082】

50

図2は、半導体記憶装置10におけるメモリセルアレイ36上に行列上に配列されるメモリセルの構成を示す回路図である。

【0083】

図2を参照して、メモリセル50は、NチャネルMOSトランジスタ52と、キャパシタ54と、電荷補填回路56とを備える。電荷補填回路56は、インバータ58, 60と、ノード62, 64とを含み、インバータ58は、PチャネルTFT582およびNチャネルMOSトランジスタ584からなり、インバータ60は、PチャネルTFT602およびNチャネルMOSトランジスタ604からなる。

【0084】

NチャネルMOSトランジスタ52は、ゲートがワード線66に接続され、ドレインおよびソースがそれぞれビット線68およびキャパシタ54に接続される。NチャネルMOSトランジスタ52は、データ書込時およびデータ読出時のみ活性化されるワード線66によって駆動され、データ書込時およびデータ読出時のみONし、それ以外のときはOFFする。

【0085】

キャパシタ54は、電荷を蓄積しているか否かに応じて、2進情報“1”, “0”を記憶する。キャパシタ54は、一端がNチャネルMOSトランジスタ52に接続され、もう一端がセルプレート70に接続される。そして、ビット線68からNチャネルMOSトランジスタ52を介して2進情報“1”, “0”に対応した電圧をキャパシタ54に印加することによって、キャパシタ54の充放電が行なわれ、データの書込みが行なわれる。

【0086】

なお、NチャネルMOSトランジスタ52およびキャパシタ54の構成は、一般的なDRAMの構成と同じである。

【0087】

PチャネルTFT582, 602は、多結晶ポリシリコンで構成された、スイッチング機能を備える抵抗素子であり、T(テラ、「T」は 10^{12} を表わす。)オーダのOFF抵抗とG(ギガ、「G」は 10^9 を表わす。)オーダのON抵抗とを有する高抵抗素子である。

【0088】

なお、この発明においては、抵抗素子といった場合、スイッチング機能を備えるものと定抵抗のものとの両方を示すものとする。

【0089】

PチャネルTFT582は、ゲートがノード62に接続され、ソースが電源ノード72に、ドレインがノード64にそれぞれ接続される。また、NチャネルMOSトランジスタ584は、ゲートがノード62に接続され、ドレインがノード64に、ソースが接地ノード74にそれぞれ接続される。

【0090】

PチャネルTFT602は、ゲートがノード64に接続され、ソースが電源ノード72に、ドレインがノード62にそれぞれ接続される。また、NチャネルMOSトランジスタ604は、ゲートがノード64に接続され、ドレインがノード62に、ソースが接地ノード74にそれぞれ接続される。

【0091】

メモリセル50においては、このPチャネルTFT582およびNチャネルMOSトランジスタ584で構成されるインバータ58と、PチャネルTFT602およびNチャネルMOSトランジスタ604で構成されるインバータ60とによるラッチ機能によって、キャパシタ54のリーク電流が補填され、リフレッシュ動作を行なうことなく記憶データが保持される。

【0092】

以下、このメモリセル50の動作について説明する。

(1) データ“0”の書込み

10

20

30

40

50

このメモリセル50においては、バルクトランジスタのON電流は 3×10^{-5} A (アンペア)程度であり、TFTのON電流およびOFF電流は、それぞれ 1×10^{-11} Aおよび 1×10^{-13} A程度である。また、キャパシタ54およびバルクトランジスタのOFF電流によるノード62, 64からのリーク電流は 1×10^{-15} A程度である。なお、ここに示した各電流値は、これらの数値に限定されるものではなく、これらの程度の次数であることを示すものである。

【0093】

上述した各電流値であれば、TFTのON電流は、ノード62, 64からのリーク電流を4桁上回るため、電源ノード72からノード62, 64を電源電圧に充電することができる。

10

【0094】

ノード62の容量は、キャパシタ54の容量、トランジスタのゲート容量、活性領域の接合容量などによるものであるが、記憶データが安定的に読出されるために、ノード62の容量は、少なくとも5 fF (5 f (フェムト) ファラド、「f」は 10^{-15} を表わす。)以上になるように設計される。一方、ノード64の容量は、トランジスタのゲート容量、活性領域の接合容量などによるものであるが、ノード64の容量は、一般的なSRAMと同様に、1 fF程度である。ノード62の容量が上述した最小値の5 fFであり、ノード64の容量が1 fFであれば、ノード62, 64の容量比は5となる。

【0095】

この容量比をどの程度にするのが好ましいかは、このメモリセル50にデータ“0”を書込むことができる条件によって決まる。以下、この条件について説明する。

20

【0096】

メモリセル50にデータ“0”が書込まれると、ノード62の電圧は0Vとなるが、通常の本動作時間であるn (ナノ、「n」は 10^{-9} を表わす。)秒オーダーでは、ノード64は、電源ノード72から電源電圧に充電されない。これは、次式において示される。

【0097】

いま、電源ノード72の電源電圧を2Vとした場合、ノード64において次式が成り立つ。

【0098】

$$\text{電荷 } Q = \text{容量 } C \times \text{電圧 } V = 1 \text{ f} \times 2 = 2 \times 10^{-15}$$

$$P \text{ チャネル TFT } 582 \text{ の ON 電流 } I = 1 \times 10^{-11} \text{ アンペア}$$

$$\text{充電時間 } t = Q / I = 2 \times 10^{-4} \text{ 秒} \quad \dots (i)$$

したがって、ノード64が充電されるためには、 μ (マイクロ、「 μ 」は 10^{-6} を表わす。)秒オーダーの時間を要する。そうすると、ノード62の電圧が0Vになっても、直ちにノード64は電源電圧に充電されないため、ノード62は、PチャネルTFT602を介して充電され始める。そして、ノード64に比べてノード62の充電速度が速いと、ノード64が充電されてPチャネルTFT602がOFFする前にノード62が再充電されてしまうことになり、一旦ノード62に書込まれたデータ“0”は、最終的にデータ“1”となって、書込エラーが発生する。

30

【0099】

しかしながら、上述したノード62, 64の容量比が大きければ、ノード64の充電速度がノード62の充電速度を上回り、ノード62が充電される前にPチャネルTFT602がOFFし、また、NチャネルMOSトランジスタ604がONするので、ノード62は0Vにプルダウンされ、書込エラーは発生しない。

40

【0100】

このノード62, 64の容量比は、NチャネルMOSトランジスタ584とNチャネルMOSトランジスタ604とのしきい値電圧のばらつきを考慮すると、最低限5程度あればよいと考えられる。そして、データの書込みをさらに安定的に実現するために、ノード62と接続されるキャパシタ54が設けられ、キャパシタ54の容量を一般的なDRAMと同等の20 fF程度にすれば、ノード62, 64の容量比は20程度となり、データの

50

書込みはさらに安定化される。なお、PチャンネルTFT582とPチャンネルTFT602とのON電流の比が10倍程度ばらつくこと、およびNチャンネルMOSトランジスタ584とNチャンネルMOSトランジスタ604とのしきい値電圧がばらつくことを考慮すると、ノード62, 64の容量比は20以上であることが望ましい。

【0101】

以上のように、ノード62, 64に容量比を設けることによって、ノード64が電源電圧に充電される前にワード線66を非活性化しても、データ“0”の書込みにおける書込エラーは発生しない。そして、ノード64の電圧が所定の電圧を超えるとNチャンネルMOSトランジスタ604がONし、これによってノード62は0Vに保持され、その後リフレッシュ動作することなく、書込まれたデータ“0”の状態が保持される。

10

【0102】

なお、この実施の形態1では、データの書込みを安定的に実現するためにキャパシタ54を設けているが、キャパシタ54を設けることなくトランジスタのゲート容量などでノード62, 64の容量比が十分に確保できれば、キャパシタ54を不要とすることもできる。

【0103】

(2) データ“1”の書込み

メモリセル50にデータ“1”が書込まれるときは、ノード62は、ビット線68からNチャンネルMOSトランジスタ52を介して直ちに充電され、これに応じてNチャンネルMOSトランジスタ584が直ちにONし、ノード64は直ちに0Vとなる。したがって、ノード62, 64の電圧は早期に安定し、データ“1”の書込みの際にTFTの性能による影響を受けることはない。

20

【0104】

そして、上述したように、PチャンネルTFT602のON電流は、ノード62からのリーク電流を4桁上回るため、ノード62はPチャンネルTFT602によって電源電圧に保持され、その後リフレッシュ動作することなく、書込まれたデータ“1”の状態が保持される。

【0105】

図3, 4は、上述した書込動作におけるノード62, 64の電位変化を示す図である。図3は、メモリセル50にデータ“0”が書込まれるときのノード62, 64の電位変化を示す図であり、図4は、メモリセル50にデータ“1”が書込まれるときのノード62, 64の電位変化を示す図である。

30

【0106】

まず、メモリセル50にデータ“0”が書込まれるときのノード62, 64の電位変化について説明する。

【0107】

図3を参照して、破線はノード62の電位変化を示し、実線はノード64の電位変化を示す。また、電源電圧は2Vとし、インバータ60の論理しきい値電圧(出力電圧が急激に変化するときの入力電圧)は0.3Vとする。そして、時刻T1でワード線66が活性化されるとする。

40

【0108】

時刻T1においてワード線66が活性化されると、ノード62の電荷は、NチャンネルMOSトランジスタ52を介してビット線68へ引き抜かれ、ノード62の電位は直ちに0Vとなる。これに応じて、ノード64は、電源ノード72からPチャンネルTFT582を介して充電され始めるが、TFTのON電流はバルクトランジスタのON電流よりも小さく、ノード64は直ちに充電されないため、ノード62も、電源ノード72からPチャンネルTFT602を介して充電され始める。ただし、ノード62, 64の容量比の関係上、ノード62の充電速度は、ノード64の充電速度に比べて遅い。そして、ワード線66は、時刻T1の数10 μ 秒後に非活性化される。

【0109】

50

ノード64の電位が時刻T1から約30 μ 秒の時刻T2においてインバータ60の論理しきい値電圧0.3Vを超えると、NチャンネルMOSトランジスタ604がONし、これに応じてノード62は0Vとなり、書込まれたデータ“0”の状態が安定する。なお、ノード64の電位がインバータ60の論理しきい値電圧0.3Vを超えるまでにかかる時間約30 μ 秒は、次式に基づいて確認される。

【0110】

ノード64の電荷 $Q = \text{容量} C \times \text{電圧} V = 1 \text{ f} \times 0.3 = 3 \times 10^{-16}$

PチャンネルTFT582のON電流 $I = 1 \times 10^{-11} \text{ A}$

論理しきい値電圧0.3Vに達するまで時間 $t = Q / I = 3 \times 10^{-5} \text{ 秒} \dots (ii)$

一方、ノード64は、PチャンネルTFT582によって充電され続け、上述した式(i)で示されたように、ノード64の充電が開始される時刻から約200 μ 秒後の時刻T3で電源電圧の2Vに充電される。

10

【0111】

次に、メモリセル50にデータ“1”が書込まれる際のノード62, 64の電位変化について説明する。

【0112】

図4を参照して、破線および実線は、それぞれノード62, 64の電位変化を示し、時刻T1でワード線66が活性化されるとする。時刻T1においてワード線66が活性化されると、ノード62は、ビット線68からNチャンネルMOSトランジスタ52を介して電源電圧の2Vに直ちに充電される。これによって、NチャンネルMOSトランジスタ584が直ちにONし、ノード64は直ちに0Vとなる。したがって、データ“1”の書込時は、TFTの特性の影響を受けない。

20

【0113】

(3) 記憶データの読出し

メモリセル50における記憶データの読出しは、一般的なDRAMと同じ動作で行なうことができる。すなわち、予めビット線68が電圧 $V_{cc} / 2$ にプリチャージされ、データの読出しに際して、ブーストされた電源電圧がワード線66に印加されてワード線66が活性化される。これによってNチャンネルMOSトランジスタ52がONし、キャパシタ54の蓄電状態に応じたビット線68の微小電圧変化が図示しないセンスアンプによって検出され、ビット線68の電圧が電圧 V_{cc} または接地電圧GNDまで増幅される。このビット線68の電圧レベルが記憶データの状態に対応する。

30

【0114】

そして、ビット線68の電圧が電圧 V_{cc} または接地電圧GNDに増幅されている状態で、再びワード線66を活性化してNチャンネルMOSトランジスタ52を介してキャパシタ54を再チャージし、上述した(1)または(2)と同様の動作で記憶データの再書込みが行なわれる。

【0115】

ここで、このメモリセル50においては、記憶データ読出時にワード線66に印加される電圧は、電源電圧をブーストした電圧とすることなく、電源電圧以下の電圧とすることができる。

40

【0116】

ワード線66への印加電圧を電源電圧がブーストされた電圧とすると、データの読出しに際してメモリセル50に記憶されていたデータが破壊され、上述した記憶データの再書込みが必要となる。これは、次の理由による。すなわち、データ読出後のノード62の電位は、ビット線68の容量とキャパシタ54の容量とによって決まり、ビット線68の容量はキャパシタ54の容量の10倍以上はあるため、データ読出後のノード62の電位は、データ読出前の電位よりビット線68の電位に近くなるからである。

【0117】

しかしながら、この発明におけるメモリセル50は、一般的なDRAMと異なり、電荷補填回路56を備え、電荷補填回路56は、ノード62と接続されたNチャンネルMOSト

50

ランジスタ604を含む。そして、このNチャネルMOSトランジスタ604の作用によって、ワード線66の電圧をブーストすることなく電源電圧以下にすることができる。以下、その理由について説明する。

【0118】

メモリセル50にデータ“0”が記憶されているときは、NチャネルMOSトランジスタ604はONしており、NチャネルMOSトランジスタ604は、30 μ Aの駆動能力でノード62から電荷を引き抜いている。

【0119】

一方、メモリセル50にデータ“1”が記憶されているときは、NチャネルMOSトランジスタ604はOFFしており、NチャネルMOSトランジスタ604は、ノード62から電荷を引き抜かない。

【0120】

したがって、このメモリセル50における電荷補填回路56は、データの読出時に、NチャネルMOSトランジスタ604によってノード62の電荷を引き抜くか否かという機能も有する。そして、この機能によって、キャパシタ54の電荷の状態をビット線68に完全に伝えなくてもデータの読出しが可能となる。

【0121】

ここで、データ読出しに際して、ビット線68は電源電圧Vccにプリチャージされる。そして、データ“0”の読出しが行なわれるときは、ビット線68からNチャネルMOSトランジスタ52を介して流入する電荷をNチャネルMOSトランジスタ604が引き抜くので、ワード線66の電圧がブーストされていなくても、ビット線68の電圧は、データ“0”が検出できる程度に電源電圧Vccから低下する。一方、ノード62の電圧変化は、NチャネルMOSトランジスタ604がノード62上の電荷を引き抜いているため、0Vから小さい範囲に抑えられる。

【0122】

すなわち、ワード線66の電圧がブーストされていなくても、データ“0”の読出しが可能であり、データ“0”の状態を破壊することなく、ビット線68へ読出すことができる。

【0123】

データ“1”の読出しについては、データ“1”の読出し前はビット線68およびノード62ともに電源電圧Vccであるので、データ“1”の読出しが行なわれるときは、ビット線68の電圧は変化しない。したがって、ビット線68の電圧が変化しないことをデータ“1”に対応させることによって、データ“1”の読出しを行なうことができる。そして、データの読出しに伴うデータの破壊もなされない。

【0124】

以上のようにして、メモリセル50に対する記憶データの読み書きが行なわれ、また、ワード線66の電圧をブーストせずに記憶データの非破壊読出しを行なうこともできる。

【0125】

なお、ワード線66への印加電圧の下限については、後述するセルレシオの関係から、アクセストランジスタであるNチャネルMOSトランジスタ52の電流駆動能力がドライバトランジスタであるNチャネルMOSトランジスタ604の電流駆動能力の半分以上(セルレシオが2以下)になるように決定すればよい。

【0126】

このメモリセル50において、PチャネルTFT582, 602を用いたのは、PチャネルTFT582, 602はNチャネルMOSトランジスタ584, 604の上層に形成することができ、従来のDRAMに比べて、バルクトランジスタであるNチャネルMOSトランジスタ584, 604の面積増加があるものの、メモリセルにおけるバルクトランジスタ数は3個であり、6個のバルクトランジスタから構成される標準のSRAMに比べてセル面積を縮小できるからである。

【0127】

10

20

30

40

50

図5は、この実施の形態1によるメモリセル50の面積縮小効果を示すために、従来のメモリセルおよびメモリセル50の断面を面積的な観点で模式的に示した断面図である。

【0128】

図5(b)に示したメモリセル50においては、PチャネルTFT582, 602はバルクトランジスタであるNチャネルMOSトランジスタ584, 604の上層に形成される。そして、メモリセル50は、図5(a)に示した従来のメモリセルと比較して、バルクトランジスタ数が少ない分、バルクトランジスタ形成域を縮小することができ、セル面積が縮小されている。

【0129】

また、この実施の形態1によるメモリセル50は、バルクトランジスタが1種類の導電型のトランジスタ(NチャネルMOSトランジスタ)から構成されるため、その点からもセル面積の縮小化が図られている。

【0130】

図6は、この実施の形態1によるメモリセル50の面積縮小効果をさらに示すために、6トランジスタSRAMのメモリセルおよびメモリセル50におけるバルクトランジスタの形成領域を面積的な観点で模式的に示した平面図である。

【0131】

図6(a)に示した6トランジスタSRAMのメモリセルは、NチャネルMOSトランジスタおよびPチャネルMOSトランジスタの2種類の導電型のトランジスタを含むため、NチャネルMOSトランジスタが形成されるPウェル領域とPチャネルMOSトランジスタが形成されるNウェル領域とを分離して基板上に生成する必要があるのに対し、図6(b)に示したメモリセル50においては、NチャネルMOSトランジスタのみから構成されるため、2種類のウェル領域を設ける必要はない。したがって、セル面積は、さらに縮小される。

【0132】

さらに、このメモリセル50における特徴の1つとして、セルレシオを1に近い値(レシオレス)とすることができる。

【0133】

セルレシオとは、メモリセルにおけるドライバトランジスタ(図12, 13に示したSRAMのメモリセル700, 750におけるNチャネルMOSトランジスタ702, 704、および図2に示したメモリセル50におけるNチャネルMOSトランジスタ584, 604)と、アクセストランジスタ(図12, 13に示したSRAMのメモリセル700, 750におけるNチャネルMOSトランジスタ706, 708、および図2に示したメモリセル50におけるNチャネルMOSトランジスタ52)との電流駆動能力比であり、一般に、SRAMにおいては、メモリセルの動作を安定させるために、セルレシオは2~3以上にすることとされている。このことは、SRAMにおいては、一定のセルレシオを確保するために、ドライバトランジスタのゲート幅をアクセストランジスタのゲート幅より大きくする必要のあることを意味する。

【0134】

一方、このメモリセル50においては、キャパシタ54が設けられることによって、上述したようにメモリセルの動作が安定化されることから、SRAMのようにセルレシオを2~3以上とする必要がなく、基本的にはレシオレスにすることができる。そして、セルレシオを小さくできるということは、ドライバトランジスタのゲート幅を従来のSRAMと比較して小さくできるということであり、この点からもさらなるセル面積の縮小が実現される。

【0135】

なお、メモリセルの動作の安定性を考慮すると、メモリセル50においても、SRAMと同等のセルレシオを有する必要はないが、多少のセルレシオを設けることは、動作の安定化をさらに高めるためには望ましい。

【0136】

10

20

30

40

50

これまでは、電荷補填回路56においてTFTを用いる構成について説明したが、TFTに代えて高抵抗を用いても同様の効果を有するメモリセルを実現することができる。

【0137】

図7は、図2のメモリセル50におけるPチャネルTFT582, 602に代えて、高抵抗3582, 3602を含む電荷補填回路56Aを備えたメモリセル50Aの回路構成を示した回路図である。高抵抗3582, 3602以外のメモリセル50Aの回路構成は、メモリセル50の回路構成と同じであるので、その説明は繰り返さない。

【0138】

図7を参照して、メモリセル50Aにデータ“0”が書込まれている状態では、ノード62の電圧は0Vであり、ノード64の電圧は電源電圧である。そして、このメモリセル50Aにおいては、電源ノード72から高抵抗3602およびNチャネルMOSトランジスタ604を介して常時電流が流れることになるので、高抵抗3602として抵抗値の高い抵抗を用いなければ、データの読み書きを行っていないスタンバイ期間中の電流(以下、スタンバイ電流と称する。)が増加することとなる。なお、メモリセル50Aにデータ“1”が書込まれている状態を考えると、高抵抗3582についても同じことがいえる。

【0139】

一方、データ“0”がメモリセル50Aに書込まれる場合、高抵抗3582の抵抗値が高すぎると、ノード64においてNチャネルMOSトランジスタ584からリークするリーク電流が無視できなくなり、ノード64の電位が低下する。なお、データ“1”がメモリセル50Aに書込まれる場合を考えると、高抵抗3602およびノード62についても同じことがいえる。

【0140】

したがって、少なくとも、リーク電流の10倍程度の電流を高抵抗から供給することが、ノード64の状態を安定させるために必要となる。電源電圧を2Vとし、リーク電流を 1×10^{-15} Aとすると、高抵抗3582にリーク電流の10倍の電流 1×10^{-14} Aを流すためには、高抵抗3582の抵抗値は 2×10^{14} (オーム)以下であればよいことになる。なお、データ“1”がメモリセル50Aに書込まれる場合を考えると、高抵抗3602の抵抗値についても同じことがいえる。

【0141】

一方、高抵抗3602, 3582の抵抗値の上限は、このメモリセル50Aが搭載される半導体記憶装置のメモリ容量とスタンバイ電流の仕様によって定められる。たとえば、メモリ容量が4M(メガ、「M」は 10^6 を表わす。)ビットである場合に、スタンバイ電流を $10 \mu\text{A}$ に抑えるためには、1メモリセル当りの高抵抗を流れる電流Iは、 $I = (10 \times 10^{-6} \text{A}) / (4 \times 10^6 \text{ビット}) = 2.5 \times 10^{-12} \text{A}$ となる。したがって、電源電圧が2Vであるので、高抵抗3602, 3582の抵抗値は、 $R = 2 \text{V} / (2.5 \times 10^{-12} \text{A}) = 8 \times 10^{11}$ となる。以上より、上記条件においては、高抵抗3602, 3582の抵抗値は、 $8 \times 10^{11} \sim 2 \times 10^{14}$ であればよい。

【0142】

以上のように、実施の形態1による半導体記憶装置によれば、従来のDRAMのメモリセルの構成をベースとし、電荷補填回路をPチャネルTFTもしくは高抵抗を用いて構成したので、従来のDRAMと比較してリフレッシュ動作が不要であり、かつ、従来のSRAMと比較してセル面積が縮小されたメモリセルが実現できる。

【0143】

[実施の形態2]

実施の形態2による半導体記憶装置110は、実施の形態1による半導体記憶装置10と、メモリセルにおける電荷補填回路の構成が異なり、また、電荷補填回路を構成するバルクトランジスタと同じ導電型のPチャネルMOSトランジスタがアクセストランジスタに用いられる。

【0144】

実施の形態 2 による半導体記憶装置 110 の全体構成は、図 1 に示された実施の形態 1 による半導体記憶装置 10 と同じであるので、説明は省略する。

【0145】

図 8 は、半導体記憶装置 110 におけるメモリセルアレイ 36 上に行列上に配列されるメモリセルの構成を示す回路図である。

【0146】

図 8 を参照して、半導体記憶装置 110 におけるメモリセルアレイ 36 上のメモリセル 150 は、実施の形態 1 による半導体記憶装置 10 のメモリセル 50 において、Nチャネル MOS トランジスタ 52 および電荷補填回路 56 に代えて、それぞれ Pチャネル MOS トランジスタ 152 および電荷補填回路 156 を備える。電荷補填回路 156 は、インバータ 158, 160 と、ノード 62, 64 とを含み、インバータ 158 は、Pチャネル MOS トランジスタ 1582 および Nチャネル TFT 1584 からなり、インバータ 160 は、Pチャネル MOS トランジスタ 1602 および Nチャネル TFT 1604 からなる。

10

【0147】

メモリセル 150 におけるキャパシタ 54 の機能およびノード 62, 64 の接続構成については、実施の形態 1 と同じであるので、その説明は繰り返さない。

【0148】

Pチャネル MOS トランジスタ 152 は、ゲートがワード線 66 に接続され、ドレインおよびソースがそれぞれビット線 68 およびキャパシタ 54 に接続される。Pチャネル MOS トランジスタ 152 は、データ書込時およびデータ読出時のみ電圧が 0V となるワード線 66 によって駆動され、データ書込時およびデータ読出時のみ ON し、それ以外のときは OFF する。

20

【0149】

なお、実施の形態 2 において、アクセストランジスタを Pチャネル MOS トランジスタ 152 としたのは、メモリセル 150 を 1 種類のバルクトランジスタで構成することにより、実施の形態 1 において説明したように、2 種類のウェル領域を設ける必要がなく、セル面積を縮小できるからである。

【0150】

Nチャネル TFT 1584, 1604 は、多結晶ポリシリコンで構成された、スイッチング機能を備える抵抗素子であり、T (テラ) オーダの OFF 抵抗と G (ギガ) オーダの ON 抵抗とを有する高抵抗素子である。

30

【0151】

Nチャネル TFT 1584 は、ゲートがノード 62 に接続され、ドレインがノード 64 に、ソースが接地ノード 74 にそれぞれ接続される。また、Pチャネル MOS トランジスタ 1582 は、ゲートがノード 62 に接続され、ソースが電源ノード 72 に、ドレインがノード 64 にそれぞれ接続される。

【0152】

Nチャネル TFT 1604 は、ゲートがノード 64 に接続され、ドレインがノード 62 に、ソースが接地ノード 74 にそれぞれ接続される。また、Pチャネル MOS トランジスタ 1602 は、ゲートがノード 64 に接続され、ソースが電源ノード 72 に、ドレインがノード 62 にそれぞれ接続される。

40

【0153】

メモリセル 150 においては、この Pチャネル MOS トランジスタ 1582 および Nチャネル TFT 1584 で構成されるインバータ 158 と、Pチャネル MOS トランジスタ 1602 および Nチャネル TFT 1604 で構成されるインバータ 160 とによるラッチ機能によって、キャパシタ 54 のリーク電流が補填され、リフレッシュ動作を行なうことなく記憶データが保持される。

【0154】

以下、このメモリセル 150 の動作について説明する。

(1) データ "1" の書込み

50

データ書込時のビット線 6 8 およびキャパシタ 5 4 の動作もしくは状態については、実施の形態 1 と同じである。また、ワード線 6 6 は、データの読み書きが行なわれるとき、0 V の電圧が印加されて活性化され、データの読み書きが行なわれないスタンバイ時は、電源電圧が印加される。

【 0 1 5 5 】

ビット線 6 8 から P チャンネル MOS トランジスタ 1 5 2 を介してノード 6 2 に電圧 V_{cc} が印加されることによって、P チャンネル MOS トランジスタ 1 5 8 2 は OFF し、N チャンネル TFT 1 5 8 4 は ON する。したがって、ノード 6 4 は、N チャンネル TFT 1 5 8 4 によって L レベルにプルダウンされる。この後、データの書込は終了したものとしてワード線 6 6 に電源電圧が印加され、P チャンネル MOS トランジスタ 1 5 2 は OFF する。

10

【 0 1 5 6 】

ノード 6 4 が L レベルとなったことによって、P チャンネル MOS トランジスタ 1 6 0 2 は ON し、N チャンネル TFT 1 6 0 4 は OFF する。これにより、ノード 6 2 は、P チャンネル MOS トランジスタ 1 6 0 2 によって強力にプルアップされ、直ちに H レベルとなってラッチされる。

【 0 1 5 7 】

ここで、N チャンネル TFT 1 5 8 4 は、TFT の特性上、その駆動能力が乏しく、ノード 6 4 をプルダウンするのに時間がかかり、それによって P チャンネル MOS トランジスタ 1 6 0 2 によりノード 6 2 が H レベルにラッチされるまで時間がかかるが、その過渡期間は、キャパシタ 5 4 が電荷を保持する。そして、N チャンネル TFT 1 5 8 4 によってノード 6 4 のプルダウンが完了したときに、ノード 6 2 が完全にラッチされる。

20

【 0 1 5 8 】

なお、N チャンネル TFT 1 6 0 4 の OFF 抵抗は T (テラ) オーダであり、キャパシタ 5 4 のリーク電流に対して OFF 電流が十分小さいため、上述したラッチ機能が実現される。

【 0 1 5 9 】

これによって、キャパシタ 5 4 が何らかの要因によってリークしても、P チャンネル MOS トランジスタ 1 6 0 2 によって電荷が補填され、データ “ 1 ” は、その後リフレッシュ動作することなく保持される。

【 0 1 6 0 】

30

(2) データ “ 0 ” の書込み

データ書込時のビット線 6 8 およびキャパシタ 5 4 の動作および状態については、実施の形態 1 と同じである。また、ワード線 6 6 および P チャンネル MOS トランジスタ 1 5 2 の動作および状態については、データ “ 1 ” の書込み時と同じである。

【 0 1 6 1 】

キャパシタ 5 4 の電荷が放電されることによってノード 6 2 は L レベルとなり、P チャンネル MOS トランジスタ 1 5 8 2 は ON し、N チャンネル TFT 1 5 8 4 は OFF する。したがって、ノード 6 4 は、P チャンネル MOS トランジスタ 1 5 8 2 によって強力に H レベルにプルアップされる。この後、データの書込は終了したものとしてワード線 6 6 に電源電圧が印加され、P チャンネル MOS トランジスタ 1 5 2 は OFF する。

40

【 0 1 6 2 】

ノード 6 4 が H レベルとなったことによって、P チャンネル MOS トランジスタ 1 6 0 2 は OFF し、N チャンネル TFT 1 6 0 4 は ON する。このとき、N チャンネル TFT 1 6 0 4 は、TFT の特性上、その駆動能力が乏しく、完全に ON 状態となるのに時間がかかるが、その過渡期間は、キャパシタ 5 4 が放電後の状態を保持する。そして、N チャンネル TFT 1 6 0 4 が完全に ON 状態となったときに、ノード 6 2 が完全にラッチされる。

【 0 1 6 3 】

これによって、キャパシタ 5 4 が何らかの要因によってリークしても、N チャンネル TFT 1 6 0 4 によってノード 6 2 は L レベルに保持され、L レベルの記憶データは、その後リフレッシュ動作することなく保持される。

50

【 0 1 6 4 】

なお、記憶データの読出動作については、実施の形態 1 と同じであるので、説明は省略する。以上のようにして、メモリセル 1 5 0 に対する記憶データの読み書きが行なわれる。

【 0 1 6 5 】

このメモリセル 1 5 0 において、Nチャネル T F T 1 5 8 4 , 1 6 0 4 を用いたのは、実施の形態 1 において Pチャネル T F T 5 8 2 , 6 0 2 を用いたのと同様の理由による。すなわち、Nチャネル T F T 1 5 8 4 , 1 6 0 4 は Pチャネル M O S トランジスタ 5 8 2 , 6 0 2 の上層に形成することができ、従来の D R A M に比べてバルクトランジスタである Pチャネル M O S トランジスタ 5 8 2 , 6 0 2 の面積増加があるものの、メモリセルにおけるバルクトランジスタ数は 3 個であり、6 個のバルクトランジスタから構成される標準の S R A M に比べてセル面積を縮小できるからである。

10

【 0 1 6 6 】

なお、このメモリセル 1 5 0 は、セル面積のさらなる縮小を目的として、アクセストランジスタに Pチャネル M O S トランジスタ 1 5 2 を用いる構成としたが、実施の形態 1 と同様に、アクセストランジスタに Nチャネル M O S トランジスタを用いてもよい。この場合、メモリセルが 1 種類のウェル領域で構成されることによるセル面積の縮小効果はないが、6 トランジスタ S R A M と比較して、バルクトランジスタの数の削減によるセル面積の縮小効果は達成される。

【 0 1 6 7 】

以上のように、実施の形態 2 による半導体記憶装置 1 1 0 によれば、従来の D R A M のメモリセルの構成をベースとし、電荷補填回路 1 5 6 を Nチャネル T F T を用いて構成したので、従来の D R A M と比較してリフレッシュ動作が不要であり、かつ、従来の S R A M と比較してセル面積が縮小されたメモリセルが実現できる。

20

【 0 1 6 8 】

[実施の形態 3]

実施の形態 3 による半導体記憶装置 2 1 0 は、実施の形態 1 , 2 による半導体記憶装置 1 0 , 1 1 0 と、メモリセルにおける電荷補填回路の構成が異なる。

【 0 1 6 9 】

実施の形態 3 による半導体記憶装置 2 1 0 の全体構成は、図 1 に示された実施の形態 1 による半導体記憶装置 1 0 と同じであるので、説明は省略する。

30

【 0 1 7 0 】

図 9 は、半導体記憶装置 2 1 0 におけるメモリセルアレイ 3 6 上に行列上に配列されるメモリセルの構成を示す回路図である。

【 0 1 7 1 】

図 9 を参照して、半導体記憶装置 2 1 0 におけるメモリセルアレイ 3 6 上のメモリセル 2 5 0 は、実施の形態 1 による半導体記憶装置 1 0 のメモリセル 5 0 において、電荷補填回路 5 6 に代えて電荷補填回路 2 5 6 を備える。電荷補填回路 2 5 6 は、インバータ 2 5 8 , 2 6 0 と、ノード 6 2 , 6 4 とを含み、インバータ 2 5 8 は、Pチャネル T F T 2 5 8 2 および Nチャネル T F T 2 5 8 4 からなり、インバータ 2 6 0 は、Pチャネル T F T 2 6 0 2 および Nチャネル T F T 2 6 0 4 からなる。

40

【 0 1 7 2 】

メモリセル 2 5 0 における電荷補填回路 2 5 6 以外の部分である Nチャネル M O S トランジスタ 5 2 およびキャパシタ 5 4 の構成および機能並びにノード 6 2 , 6 4 の接続構成については、実施の形態 1 と同じであるので、説明は繰り返さない。

【 0 1 7 3 】

Pチャネル T F T 2 5 8 2 , 2 6 0 2 および Nチャネル T F T 2 5 8 4 , 2 6 0 4 は、多結晶ポリシリコンで構成された、スイッチング機能を備える抵抗素子であり、T (テラ) オーダの O F F 抵抗と G (ギガ) オーダの O N 抵抗とを有する高抵抗素子である。

【 0 1 7 4 】

50

PチャンネルTFT2582は、ゲートがノード62に接続され、ソースが電源ノード72に、ドレインがノード64にそれぞれ接続される。また、NチャンネルTFT2584は、ゲートがノード62に接続され、ドレインがノード64に、ソースが接地ノード74にそれぞれ接続される。

【0175】

PチャンネルTFT2602は、ゲートがノード64に接続され、ソースが電源ノード72に、ドレインがノード62にそれぞれ接続される。また、NチャンネルTFT2604は、ゲートがノード64に接続され、ドレインがノード62に、ソースが接地ノード74にそれぞれ接続される。

【0176】

メモリセル250においては、このPチャンネルTFT2582およびNチャンネルTFT2584で構成されるインバータ258と、PチャンネルTFT2602およびNチャンネルTFT2604で構成されるインバータ260とによるラッチ機能によって、キャパシタ54のリーク電流が補填され、リフレッシュ動作を行なうことなく記憶データが保持される。

【0177】

以下、このメモリセル250の動作について説明する。

実施の形態3においては、電荷補填回路256は、すべてTFTで構成されているため、NチャンネルMOSトランジスタ52がONしてからインバータ258、260によってノード62に完全にラッチがかかるまでに、実施の形態1、2と比較して倍相当の時間がかかる。しかしながら、TFTがON/OFFするのに要するオーダの時間であれば、キャパシタ54は電荷を保持することが十分に可能である。

【0178】

また、実施の形態1において説明したように、キャパシタのリーク電流と比較して、TFTのON電流は十分大きく、また、OFF電流は十分小さいので、電荷補填回路256をすべてTFTで構成してもラッチ機能が実現される。

【0179】

なお、記憶データの読出時の動作については、実施の形態1と同じであるので、説明は省略する。

【0180】

このメモリセル250においては、バルクトランジスタ数はNチャンネルMOSトランジスタ52の1個であり、6個のバルクトランジスタから構成される標準のSRAMに比べて大幅にセル面積を縮小できる。

【0181】

以上のように、実施の形態3による半導体記憶装置210によれば、従来のDRAMのメモリセルの構成をベースとし、電荷補填回路256をPチャンネルTFTおよびNチャンネルTFTを用いて構成したので、従来のDRAMと比較してリフレッシュ動作が不要であり、かつ、従来のSRAMと比較してセル面積が大幅に縮小されたメモリセルが実現できる。

【0182】

[実施の形態4]

実施の形態4による半導体記憶装置310は、実施の形態1による半導体記憶装置10のメモリセル50において、電荷補填回路56におけるNチャンネルMOSトランジスタ604を備えない構成からなるメモリセルを備える。

【0183】

実施の形態4による半導体記憶装置310の全体構成は、図1に示された実施の形態1による半導体記憶装置10と同じであるので、説明は省略する。

【0184】

図10は、半導体記憶装置310におけるメモリセルアレイ36上に行列上に配列されるメモリセルの構成を示す回路図である。

10

20

30

40

50

【 0 1 8 5 】

図 10 を参照して、半導体記憶装置 3 1 0 におけるメモリセルアレイ 3 6 上のメモリセル 3 5 0 は、実施の形態 1 による半導体記憶装置 1 0 のメモリセル 5 0 において、電荷補填回路 5 6 に代えて電荷補填回路 3 5 6 を備える。電荷補填回路 3 5 6 は、実施の形態 1 における電荷補填回路 5 6 において、NチャネルMOSトランジスタ 6 0 4 を備えない構成となっている。電荷補填回路 3 5 6 におけるその他の構成は、電荷補填回路 5 6 と同じであるので、説明は繰り返さない。

【 0 1 8 6 】

また、メモリセル 3 5 0 における電荷補填回路 3 5 6 以外の部分であるNチャネルMOSトランジスタ 5 2 およびキャパシタ 5 4 の構成および機能並びにノード 6 2 , 6 4 の接続構成についても、実施の形態 1 と同じであるので、説明は繰り返さない。

10

【 0 1 8 7 】

メモリセル 3 5 0 においては、このPチャネルTFT 5 8 2 およびNチャネルMOSトランジスタ 5 8 4 で構成されるインバータ 5 8 と、PチャネルTFT 6 0 2 とによるラッチ機能によって、キャパシタ 5 4 のリーク電流が補填され、リフレッシュ動作を行なうことなく記憶データが保持される。

【 0 1 8 8 】

以下、このメモリセル 3 5 0 の動作について説明する。

(1) データ “ 1 ” の書込み

データ書込時のビット線 6 8 、ワード線 6 6 、NチャネルMOSトランジスタ 5 2 およびキャパシタ 5 4 の動作および状態については、実施の形態 1 と同じである。

20

【 0 1 8 9 】

ビット線 6 8 からNチャネルMOSトランジスタ 5 2 を介してノード 6 2 に電圧 V_{cc} が印加されることによって、PチャネルTFT 5 8 2 はOFFし、NチャネルMOSトランジスタ 5 8 4 はONする。したがって、ノード 6 4 は、NチャネルMOSトランジスタ 5 8 4 によって強かにプルダウンされ、直ちにLレベルとなる。この後、データの書込は終了したものであるとしてワード線 6 6 は非活性化され、NチャネルMOSトランジスタ 5 2 はOFFする。

【 0 1 9 0 】

ノード 6 4 がLレベルとなったことによって、PチャネルTFT 6 0 2 はONする。このとき、PチャネルTFT 6 0 2 は、TFTの特性上、その駆動能力が乏しく、完全にON状態となるのに時間がかかるが、その過渡期間は、キャパシタ 5 4 が電荷を保持する。そして、PチャネルTFT 6 0 2 が完全にON状態となったときに、ノード 6 2 が完全にラッチされる。

30

【 0 1 9 1 】

以上のように、キャパシタ 5 4 が何らかの要因によってリークしても、PチャネルTFT 6 0 2 によって電荷が補填され、データ “ 1 ” は、その後リフレッシュ動作することなく保持される。

【 0 1 9 2 】

(2) データ “ 0 ” の書込み

データ書込時のビット線 6 8 、ワード線 6 6 、NチャネルMOSトランジスタ 5 2 およびキャパシタ 5 4 の動作および状態については、実施の形態 1 と同じである。

40

【 0 1 9 3 】

キャパシタ 5 4 の電荷が放電されることによってノード 6 2 はLレベルとなり、PチャネルTFT 5 8 2 はONし、NチャネルMOSトランジスタ 5 8 4 はOFFする。したがって、ノード 6 4 は、PチャネルTFT 5 8 2 によってHレベルにプルアップされる。この後、データの書込は終了したものであるとしてワード線 6 6 は非活性化され、NチャネルMOSトランジスタ 5 2 はOFFする。

【 0 1 9 4 】

ノード 6 4 がHレベルとなったことによって、PチャネルTFT 6 0 2 はOFFする。

50

したがって、ノード62はLレベルを維持する。

【0195】

ここで、電荷補填回路356においては、ノード62をLレベルに強力にラッチするNチャンネルMOSトランジスタが備えられていないため、PチャンネルTFT602のOFF電流によるキャパシタ54への電流リークが考えられるが、PチャンネルTFT602のOFF抵抗はT(テラ)オーダであり、PチャンネルTFT602のOFF電流はキャパシタ54の蓄電状態に影響を与えるリーク電流と比較して十分小さいため、NチャンネルMOSトランジスタ604を備えなくてもノード62はLレベルにラッチされる。

【0196】

なお、記憶データの読出動作については、基本的な動作に関しては実施の形態1と同じであるので、その説明は省略するが、実施の形態4における電荷補填回路356は、実施の形態1における電荷補填回路56におけるNチャンネルMOSトランジスタ604を備えていないため、電荷補填回路356は、実施の形態1で説明したNチャンネルMOSトランジスタ604による電荷の引き抜き効果を有さず、実施の形態4では、実施の形態1のようにワード線66の電圧を下げることはできない。したがって、この半導体記憶装置310においては、一般的なDRAMと同様に、ワード線66には電源電圧をブーストした電圧が印加される。

10

【0197】

以上のようにして、メモリセル350に対する記憶データの読み書きが行なわれる。

このメモリセル350においては、バルクトランジスタ数は2個であり、6個のバルクトランジスタから構成される標準のSRAMに比べて大幅にセル面積を縮小できる。

20

【0198】

なお、図示しないが、電荷補填回路356におけるNチャンネルMOSトランジスタ584に代えてNチャンネルTFTを用いることもできる。この場合は、バルクのトランジスタをさらに1つ減らすことができ、さらにセル面積の縮小が実現される。

【0199】

以上のように、実施の形態4による半導体記憶装置310によれば、従来のDRAMのメモリセルの構成をベースとし、電荷補填回路356をPチャンネルTFTを用いて構成したので、従来のDRAMと比較してリフレッシュ動作が不要であり、かつ、従来のSRAMと比較してセル面積が大幅に縮小されたメモリセルが実現できる。

30

【0200】

なお、上述した実施の形態1~4では、容量素子はアクセストランジスタであるNチャンネルMOSトランジスタ52に接続されるが、たとえば、図2に示したNチャンネルMOSトランジスタ604の電流駆動能力が大きい場合(NチャンネルMOSトランジスタ604, 52のセルレシオが2より大きい場合)は、容量素子をノード64に設けてもよい。

【0201】

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

40

【図面の簡単な説明】

【0202】

【図1】この発明の実施の形態1による半導体記憶装置の全体構成を示す概略ブロック図である。

【図2】実施の形態1による半導体記憶装置におけるメモリセルアレイ上に行列状に配列されるメモリセルの構成を示す回路図である。

【図3】図2に示すメモリセルにデータ“0”が書込まれるときのノード62, 64の電位変化を示す図である。

【図4】図2に示すメモリセルにデータ“1”が書込まれるときのノード62, 64の電位変化を示す図である。

50

【図5】従来のメモリセルおよび図2に示すメモリセル50の断面を面積的な観点で模式的に示した断面図である。

【図6】6トランジスタSRAMのメモリセルおよび図2に示すメモリセル50におけるバルクトランジスタの形成領域を面積的な観点で模式的に示した平面図である。

【図7】実施の形態1による半導体記憶装置におけるメモリセルアレイ上に行列状に配列されるメモリセルの他の構成を示す回路図である。

【図8】実施の形態2による半導体記憶装置におけるメモリセルアレイ上に行列状に配列されるメモリセルの構成を示す回路図である。

【図9】実施の形態3による半導体記憶装置におけるメモリセルアレイ上に行列状に配列されるメモリセルの構成を示す回路図である。

【図10】実施の形態4による半導体記憶装置におけるメモリセルアレイ上に行列状に配列されるメモリセルの構成を示す回路図である。

【図11】DRAMにおけるメモリセルアレイ上に行列状に配列されるメモリセルの構成を示す回路図である。

【図12】6トランジスタSRAMにおけるメモリセルアレイ上に行列状に配列されるメモリセルの構成を示す回路図である。

【図13】4トランジスタSRAMにおけるメモリセルアレイ上に行列状に配列されるメモリセルの構成を示す回路図である。

【符号の説明】

【0203】

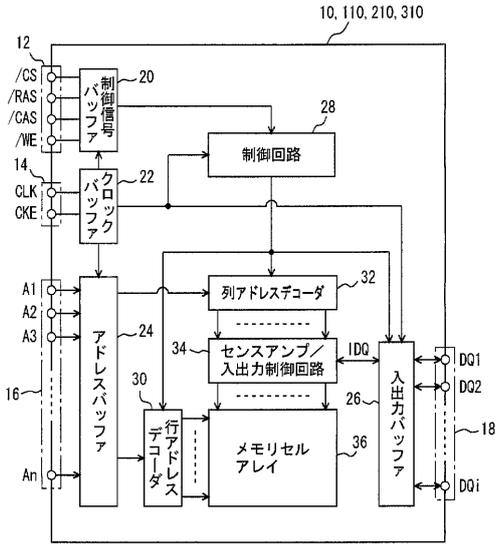
10, 110, 210, 310 半導体記憶装置、12 制御信号端子、14 クロック端子、16 アドレス端子、18 データ入出力端子、20 制御信号バッファ、22 クロックバッファ、24 アドレスバッファ、26 入出力バッファ、28 制御回路、30 行アドレスデコーダ、32 列アドレスデコーダ、34 センスアンプ/入出力制御回路、36 メモリセルアレイ、50, 50A, 150, 250, 350, 500, 700 メモリセル、52, 502, 584, 604, 702~708 NチャネルMOSトランジスタ、54, 504 キャパシタ、56, 56A, 156, 256, 356 電荷補填回路、58, 60, 158, 160, 258, 260 インバータ、62, 64 ノード、66, 506, 722 ワード線、68, 508 ビット線、70, 510 セルプレート、72 電源ノード、74 接地ノード、152, 710, 712, 1582, 1602 PチャネルMOSトランジスタ、582, 602, 730, 732, 2582, 2602 PチャネルTFT、714, 716 記憶ノード、718, 720 ビット線対、1584, 1604, 2584, 2604 NチャネルTFT、3582, 3602 高抵抗。

10

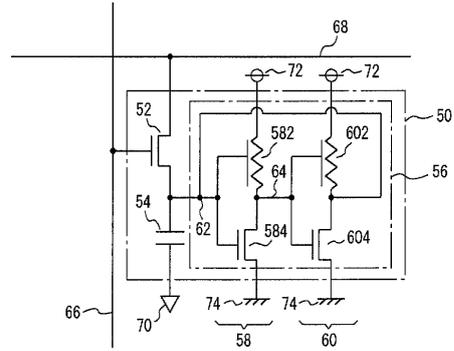
20

30

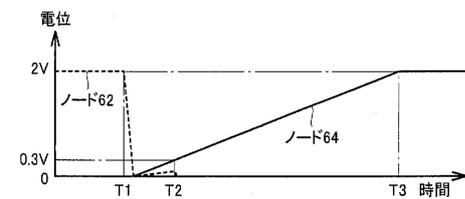
【 図 1 】



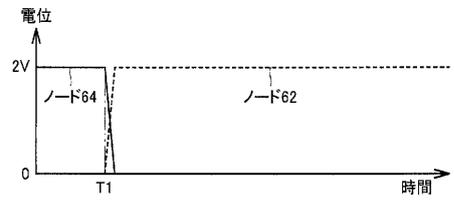
【 図 2 】



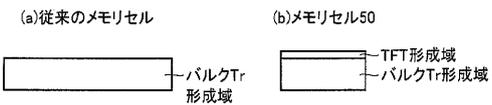
【 図 3 】



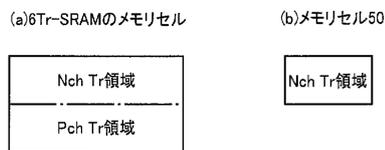
【 図 4 】



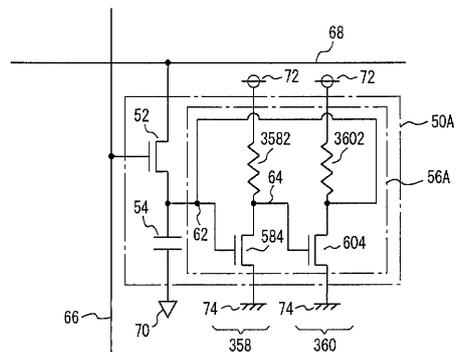
【 図 5 】



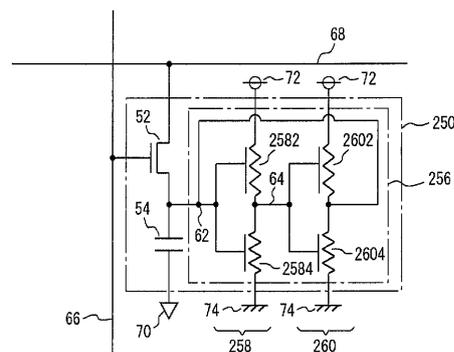
【 図 6 】



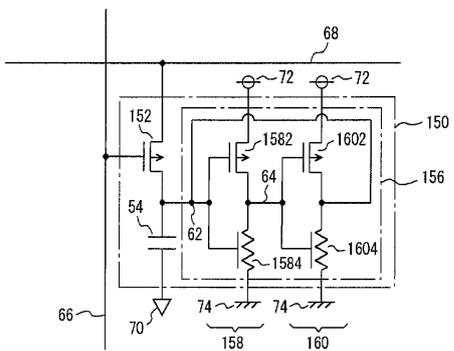
【 図 7 】



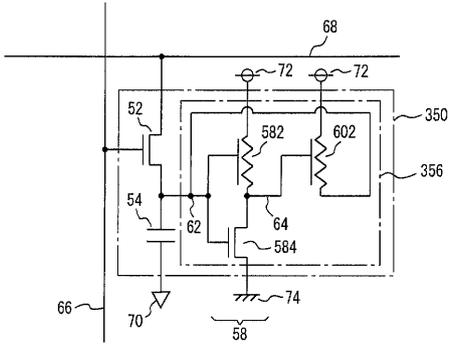
【 図 9 】



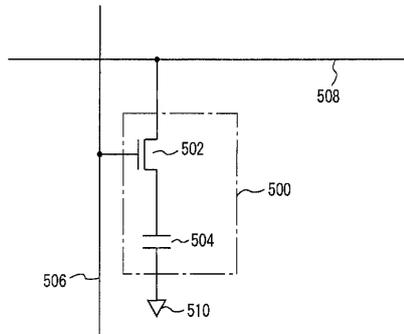
【 図 8 】



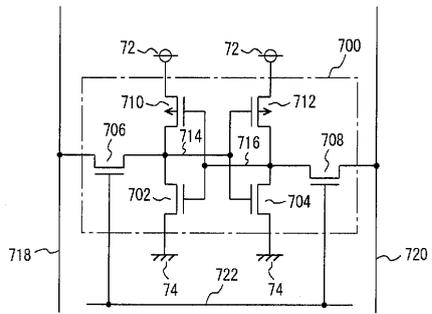
【 図 1 0 】



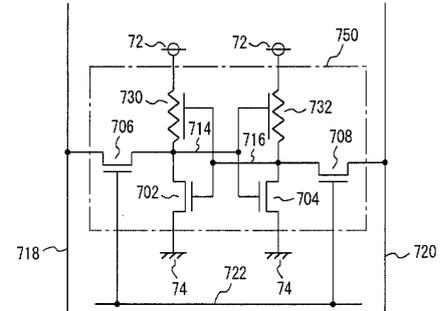
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 木原 雄治

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 5B015 JJ31 KA13

5M024 AA90 BB02 CC20 HH04 HH20 PP01 PP03 PP07 PP10