

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-84586

(P2012-84586A)

(43) 公開日 平成24年4月26日(2012.4.26)

(51) Int.Cl. F I テーマコード(参考)  
 HO 1 L 21/822 (2006.01) HO 1 L 27/04 L 5 F 0 3 8  
 HO 1 L 27/04 (2006.01)

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願2010-227482 (P2010-227482)  
 (22) 出願日 平成22年10月7日 (2010.10.7)

(71) 出願人 302062931  
 ルネサスエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100080816  
 弁理士 加藤 朝道  
 (72) 発明者 長瀬 寛和  
 神奈川県川崎市中原区下沼部1753番地  
 ルネサスエレクトロニクス株式会社内  
 (72) 発明者 田辺 昭  
 神奈川県川崎市中原区下沼部1753番地  
 ルネサスエレクトロニクス株式会社内  
 Fターム(参考) 5F038 AZ04 CD05 EZ10 EZ20

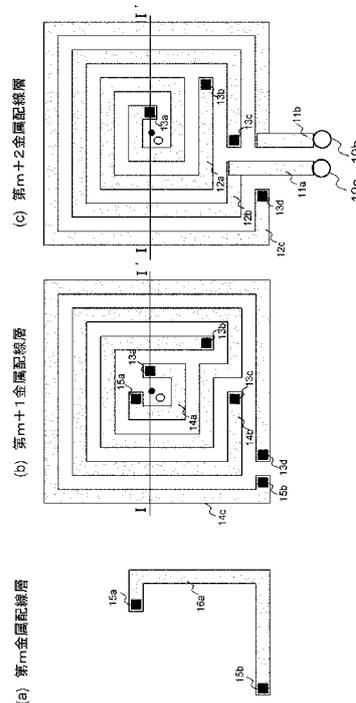
(54) 【発明の名称】 インダクタ

(57) 【要約】

【課題】 オンチップインダクタの占有面積を増加させることなく電気的対称性を向上する。

【解決手段】 半導体基板上の金属配線で形成されたオンチップインダクタにおいて、インダクタは巻数nの周回配線の直列接続で形成され、入出力端におけるインピーダンス差が小さくなるように、異なる周回配線同士を接続する迂回配線を設けて、インダクタ周回の配線順序が適宜入れ替わるようにする。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

半導体基板上の金属配線で形成されるオンチップインダクタであって、前記インダクタは同心の $n$  ( $n$ は3以上の整数)巻きの周回配線の直列接続で形成され、前記周回配線間の接続は、2つ以上外側あるいは2つ以上内側の周回配線を接続する迂回配線接続を少なくとも1つ有することを特徴とするインダクタ。

**【請求項 2】**

前記周回配線の中でインダクタの両端の端子につながる周回配線1と周回配線 $n$ のうち、前記周回配線1は最外周の周回配線で、前記周回配線 $n$ は最外周より内側で最内周より外側の周回配線であることを特徴とする請求項1に記載のインダクタ。

10

**【請求項 3】**

前記周回配線の中でインダクタの両端の端子につながる周回配線1と周回配線 $n$ のうち、前記周回配線1は最内周の周回配線で、前記周回配線 $n$ は最外周より内側で最内周より外側の周回配線であることを特徴とする請求項1に記載のインダクタ。

**【請求項 4】**

前記周回配線の中でインダクタの両端の端子につながる周回配線1と周回配線 $n$ のうち、前記周回配線1は最外周の周回配線で、前記周回配線1以降周回配線 $k$  ( $k$ は1以上で $n-1$ より小さい整数)までは1周ごとに1つ内側の周回配線であり、周回配線 $k+1$ は最内周の周回配線であり、周回配線 $k+1$ 以降周回配線 $n$ までの配線は1周ごとに1つ外側の周回配線であることを特徴とする請求項1または2に記載のインダクタ。

20

**【請求項 5】**

前記周回配線の中でインダクタの両端の端子につながる周回配線1と周回配線 $n$ のうち、前記周回配線1は最内周の周回配線で、前記周回配線1以降周回配線 $k$  ( $k$ は1以上で $n-1$ より小さい整数)までは1周ごとに1つ外側の周回配線であり、周回配線 $k+1$ は最外周の周回配線であり、周回配線 $k+1$ 以降周回配線 $n$ までの配線は1周ごとに1つ内側の周回配線であることを特徴とする請求項1または3に記載のインダクタ。

**【請求項 6】**

前記周回配線は、それぞれ異なる金属配線層で配線され、略同一形状で中心の位置が同一の位置に配置された複数の副周回配線を含み、前記各周回配線に含まれる複数の副周回配線は端部で互いに直列に接続されていることを特徴とする請求項1乃至5のいずれか1

30

**【請求項 7】**

前記迂回配線接続は、前記周回配線を構成する金属配線層の上層または下層の配線層で構成されることを特徴とする請求項1乃至6のいずれか1項に記載のインダクタ。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体集積回路の配線構造に関する。特に、オンチップ型インダクタの配線構造に関する。

**【背景技術】**

40

**【0002】**

半導体集積回路の性能や集積度は、微細加工技術の進展により向上してきている。近年では微細化による性能向上のみならず、メモリ技術あるいはアナログ回路技術等をロジック回路に混載することで高機能化する試みが活発化している。高性能なアナログRF回路を実現するには、インダクタやキャパシタなどの受動素子を使用することが望ましい。半導体集積回路におけるインダクタの基本構造は、ある金属配線層において、一連の金属配線を用いて同心状の巻き線構造を形成するものである。しかしながら、このような平面構造のインダクタには主に二つの問題点がある。一つは、十分なインダクタンスを得るために巻き線数あるいは内径を大きくする必要があり、インダクタの占有面積が半導体集積回路の小型化を阻害することである。もう一つは、インダクタを外周から内周へと一方向に

50

巻いた場合、外周側端子と内周側端子から見たインピーダンスが異なり、電気的非対称性が生ずることである。電気的非対称性は、例えばLC型電圧制御発振器(LC-VC O)などインダクタを差動動作させる回路の特性に悪影響を及ぼす。

【0003】

これらの問題点を解決するため、特許文献1において、インダクタの占有面積を低減するためのインダクタ構造が開示されている。特許文献1のインダクタ構造によれば、平面方向だけでなく、複数の金属配線層を用いて積層方向に一連の周回配線を形成することで、インダクタの占有面積拡大を抑制することが可能である。図16は、特許文献1による従来例1のインダクタの配線構造の例であり、4周巻きで2層の金属配線層からなるインダクタを示している。

10

【0004】

一方、特許文献2において、インダクタの電気的非対称性を向上するためのインダクタ構造が開示されている。図19は、特許文献2による従来例2のインダクタの配線構造の例であり、ここでは、巻き数4である。このインダクタは平面構造であり、配線が交差する箇所は異なる配線層を経由して短絡を回避している。外周から内周、内周から外周の順に巻くことで幾何学的対称性を高めている。この幾何学的対称性に起因して、インダクタ両端から見た電気特性も対称となる。

【先行技術文献】

【特許文献】

【0005】

20

【特許文献1】国際公開第2008/016089号

【特許文献2】特開2010-10344号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

以下の分析は、本発明により与えられる。

【0007】

上述のように、インダクタの占有面積を増加させることなく、インダクタの電気的対称性を改善することが望まれている。しかしながら、上述のインダクタにおける問題点はトレードオフの関係にある。特許文献1に記載されたインダクタにおいて、所望のインダクタンスを小面積で実現するには、細幅の配線を狭い領域に長く巻く必要があるが、インダクタの寄生抵抗や寄生容量に起因した損失が大きくなる。また、配線を外側から内側へ一方方向に巻くことで入出力端の配線形状が異なることにより、入出力端での損失量が異なるため、電気的対称性の劣化はより顕著となる。

30

【課題を解決するための手段】

【0008】

本発明の第1の視点によるインダクタは、半導体基板上の金属配線で形成されるオンチップインダクタであって、前記インダクタは同心の $n$ ( $n$ は3以上の整数)巻きの周回配線の直列接続で形成され、前記周回配線間の接続は、2つ以上外側あるいは2つ以上内側の周回配線を接続する迂回配線接続を少なくとも1つ有する。

40

【発明の効果】

【0009】

本発明のインダクタによれば、2つ以上外側あるいは2つ以上内側の周回配線を接続する迂回配線接続を持つようにしたから、インダクタ両端でのインピーダンスの差を小さくすることができ、電気的対称性が向上したインダクタを提供することができる。

【図面の簡単な説明】

【0010】

【図1】本発明の実施例1におけるインダクタの配線構造を示す上面図である。

【図2】本発明の実施例1におけるインダクタのSパラメータのシミュレーション結果である。

50

【図 3】本発明の第 1 の実施形態におけるインダクタの配線構造を示す上面図である。

【図 4】図 3 の O - I ' の断面図である。

【図 5】本発明の第 1 の実施形態におけるインダクタの配線構造を示す断面図である。

【図 6】本発明の第 1 の実施形態におけるインダクタの配線構造を示す上面図である。

【図 7】図 6 の O - I ' の断面図である。

【図 8】本発明の第 2 の実施形態におけるインダクタの配線構造を示す上面図である。

【図 9】図 8 の O - I ' の断面図である。

【図 10】本発明の第 2 の実施形態におけるインダクタの配線構造を示す断面図である。

【図 11】本発明の第 3 の実施形態におけるインダクタの配線構造の断面図である。

【図 12】本発明の第 4 の実施形態におけるインダクタの配線構造の断面図である。

10

【図 13】本発明の実施例 1 における図 1 の O - I ' 断面図である。

【図 14】従来インダクタの配線構造を示す上面図である。

【図 15】図 14 の O - I ' の断面図である。

【図 16】従来例 1 のインダクタの配線構造を示す上面図である。

【図 17】図 16 の O - I ' の断面図である。

【図 18】従来例 1 のインダクタの S パラメータのシミュレーション結果である。

【図 19】従来例 2 のインダクタの配線構造を示す上面図である。

【発明を実施するための形態】

【0011】

本発明の実施形態について、必要に応じて図面を参照して説明する。なお、実施形態の説明において引用する図面及び図面の符号は実施形態の一例として示すものであり、それにより本発明による実施形態のパリエーションを制限するものではない。

20

【0012】

本発明による第 1 の実施形態のインダクタは、半導体基板上の金属配線で形成されるオンチップインダクタであって、インダクタは同心の  $n$  ( $n$  は 3 以上の整数) 巻きの周回配線の直列接続で形成され、周回配線間の接続は、2 つ以上外側あるいは 2 つ以上内側の周回配線を接続する迂回配線接続を少なくとも 1 つ有し、周回配線の中でインダクタの両端の端子につながる周回配線 1 と周回配線  $n$  のうち、周回配線 1 は最外周の周回配線で、周回配線 1 以降周回配線  $k$  ( $k$  は 1 以上で  $n - 1$  より小さい整数) までは 1 周ごとに 1 つ内側の周回配線であり、周回配線  $k + 1$  は最内周の周回配線であり、周回配線  $k + 1$  以降周回配線  $n$  までの配線は 1 周ごとに 1 つ外側の周回配線である。

30

【0013】

図 3 は、本発明の第 1 の実施形態におけるインダクタの配線構造を示す上面図である。図 3 は、第 1 の実施形態において、 $n = 8$ 、 $k = 4$  となる場合の一例である。また、図 4 は、図 3 の O - I ' における断面図である。図 3 において、8 個の周回配線は、直列接続されている。また、周回の途中で、4 つ内側の周回配線と接続する迂回配線 4 2 を有している。また、4 1 a、4 1 b は、インダクタ両端のインダクタ入出力端子である。8 個の周回配線のうち、周回配線 1 は、最外周の周回配線であり、周回配線 8 は、最外周より内側で最内周より外側の周回配線である。

【0014】

40

ここで、周回の順番について、明確にするために、各周回配線の位置番号と周回番号を定義しておく。図 4 に示すように、位置番号は、中心 O から周辺 I ' に向かって 1 つずつ増加するように、付与されている番号とする。一方、周回番号は、周回の順番で付与されている番号とする。図 4 を参照すると、最外周を周回番号 1 とし、周回番号 4 まで、1 周ごとに 1 つ内側の周回配線と接続している。次に、周回番号 5 は、最内周の周回配線とする。周回番号 5 以降周回番号 8 までの配線は 1 周ごとに 1 つ外側の周回配線となる。周回番号 4 の周回配線と、周回番号 5 の周回配線は、迂回配線 4 2 により接続される。迂回配線 4 2 は、O - I ' 上には、存在しないが、周回番号 4 と周回番号 5 が、迂回配線 4 2 で接続されることを示すために、図 4 では、一点鎖線で示している。また、インダクタ入出力端子 4 1 a、4 1 b も、O - I ' 上には、存在しないが、インダクタ入出力端子 4 1 a

50

、41bが各々、周回番号8、周回番号1の周回配線と接続されることを示すために、図4において破線で示している。上述のように、本発明の明細書のインダクタ断面を示す図面において、断面O-I'上には存在しない場合において、迂回配線を一点鎖線で、インダクタ入出力端子を破線で示すことにする。また、図5は、本発明の第1の実施形態におけるインダクタの配線構造を示す断面図であり、周回配線の数nと、迂回配線接続する周回番号をk、k+1として、一般化して表示した図である。

【0015】

図14は、比較のために示した従来のインダクタの配線構造を示す図である。8巻きの周回配線を外側から内側に向かって直列接続したものである。また、58a、58bは、インダクタ入出力端子であり、各々、最内周の周回配線、最外周の周回配線と接続されている。また、図15は、図14のO-I'の断面図を示している。図15において、周回番号と位置番号は一致している。

10

【0016】

第1の実施形態を示す図3と、従来技術を示す図14を比較するとわかるように、図14では配線長の長い最外周と、配線長の短い最内周が、インダクタ両端になるので、インダクタ両端でインピーダンスの差が生じるのに対し、図3では、迂回配線により、インダクタ両端の周回配線の配線長の差を小さくすることができるので、インダクタ両端でのインピーダンスの差が小さくなる。従って、第1の実施形態は、図14に示す従来技術に対して、電気的対称性が向上する。

【0017】

また、図6は、第1の実施形態において、 $n = 4$ 、 $k = 1$ の場合の一例を示している。また、図7は、図6のO-I'の断面図である。このように、 $k = 1$ とすると、インダクタ入出力端子44a、44bは、隣同士の位置番号の周回配線から引き出される。

20

【0018】

本発明による第2の実施形態のインダクタは、半導体基板上の金属配線で形成されるオンチップインダクタであって、インダクタは同心の $n$  ( $n$ は3以上の整数)巻きの周回配線の直列接続で形成され、周回配線間の接続は、2つ以上外側あるいは2つ以上内側の周回配線を接続する迂回配線接続を少なくとも1つ有し、周回配線の中でインダクタの両端の端子につながる周回配線1と周回配線 $n$ のうち、周回配線1は最内周の周回配線で、周回配線1以降周回配線 $k$  ( $k$ は1以上で $n - 1$ より小さい整数)までは1周ごとに1つ外側の周回配線であり、周回配線 $k + 1$ は最外周の周回配線であり、周回配線 $k + 1$ 以降周回配線 $n$ までの配線は1周ごとに1つ内側の周回配線である。

30

【0019】

図8は、本発明の第2の実施形態におけるインダクタの配線構造を示す上面図である。図8は、第2の実施形態において、 $n = 8$ 、 $k = 4$ の場合の一例について示している。また、図9は、図8のO-I'における断面図である。図8において、8個の周回配線は、直列接続されている。また、周回の途中で、4つ外側の周回配線と接続する迂回配線48を有している。また、47a、47bは、インダクタ両端のインダクタ入出力端子である。8個の周回配線のうち、周回配線1は、最内周の周回配線であり、周回配線8は、最外周より内側で、最内周より外側になっている。

40

【0020】

第2の実施形態は、図9において、最内周を周回番号1とし、周回番号4まで、1周ごとに1つ外側の周回配線と接続していく。次に、周回番号5は、最外周の周回配線とする。周回番号5以降周回番号8までの周回配線は1周ごとに1つ内側の周回配線となる。周回番号4の周回配線と、周回番号5の周回配線は、迂回配線48により接続される。また、図10は、本発明の第2の実施形態におけるインダクタの配線構造を示す断面図であり、周回配線の数nと、迂回配線接続する周回番号をk、k+1として、一般化して表示した図である。

【0021】

第2の実施形態を示す図8と、従来技術を示す図14を比較するとわかるように、図8

50

では、迂回配線により、インダクタ両端の周回配線の配線長の差を小さくすることができるので、インダクタ両端でのインピーダンスの差が小さくなる。従って、第2の実施形態は、第1の実施形態と同様に、図14に示す従来技術に対して、電気的対称性が向上する。

#### 【0022】

本発明による第3の実施形態のインダクタは、半導体基板上の金属配線で形成されるオンチップインダクタであって、インダクタは同心の $n$  ( $n$ は3以上の整数)巻きの周回配線の直列接続で形成され、周回配線間の接続は、2つ以上外側あるいは2つ以上内側の周回配線を接続する迂回配線接続を少なくとも1つ有し、周回配線の中でインダクタの両端の端子につながる周回配線1と周回配線 $n$ のうち、周回配線1は最外周の周回配線で、周回配線1以降周回配線 $k$  ( $k$ は1以上で $n-1$ より小さい整数)までは1周ごとに1つ内側の周回配線であり、周回配線 $k+1$ は最内周の周回配線であり、周回配線 $k+1$ 以降周回配線 $n$ までの配線は1周ごとに1つ外側の周回配線であり、周回配線は、それぞれ異なる金属配線層で配線され、略同一形状で中心の位置が同一の位置に配置された複数の副周回配線を含み、各周回配線に含まれる複数の副周回配線は端部で互いに直列に接続されている。

10

#### 【0023】

図11は、本発明による第3の実施形態によるインダクタを示す断面図である。第3の実施形態のインダクタは、第1の実施形態のインダクタの各周回配線が、それぞれ異なる金属配線層で配線され、略同一形状で中心の位置が同一の位置に配置された複数の副周回配線を含み、各周回配線に含まれる複数の副周回配線は端部で互いに直列に接続されている。図11は、各周回配線が、2つの金属配線層の副周回配線から構成される場合の一例である。図11において、2つの金属配線層は、上層を第 $m+1$ 層、下層を第 $m+2$ とする。また、迂回配線53は、第 $m+1$ 層より1つ上の層である第 $m$ 層に構成される。図11において、各副周回配線に対し、周回番号及び層番号を表示している。各周回配線において、第 $m+1$ 層の副周回配線と、第 $m+2$ 層の副周回配線は、層間のビアにより接続される。以下に、一方の入出力端子から他方の入出力端子までの接続順を示す。インダクタ入出力端子52b 副周回配線(1,  $m+2$ ) ビア 副周回配線(1,  $m+1$ ) 副周回配線(2,  $m+1$ ) ビア . . . . . 副周回配線( $k$ ,  $m+2$ ) ビア 副周回配線( $k$ ,  $m+1$ ) 迂回配線53 副周回配線( $k+1$ ,  $m+1$ ) ビア 副周回配線( $k+1$ ,  $m+2$ ) 副周回配線( $k+2$ ,  $m+2$ ) ビア 副周回配線( $k+2$ ,  $m+1$ ) . . . . . 副周回配線( $n$ ,  $m+1$ ) ビア 副周回配線( $n$ ,  $m+2$ ) インダクタ入出力端子52a。

20

30

#### 【0024】

上記した接続において、同じ層内での1つ外側あるいは1つ内側の副周回配線間の接続は、2つの副周回配線を1つのインダクタ配線で構成することにより省略することが可能である。また、各副周回配線は、ビアを介して他層の副周回配線と端部で直列接続される。また、図11において、周回配線が2つの層の副周回配線から構成される例について示しているが、副周回配線の層数は2に限定されず、任意の層数が可能である。

#### 【0025】

第3の実施形態は、図14の従来技術に対して、第1の実施形態と同様な電気的対称性向上の効果が得られるだけでなく、複数層でインダクタを構成するようにしたから、インダクタ占有面積を低減することが可能である。

40

#### 【0026】

本発明による第4の実施形態のインダクタは、半導体基板上の金属配線で形成されるオンチップインダクタであって、インダクタは同心の $n$  ( $n$ は3以上の整数)巻きの周回配線の直列接続で形成され、周回配線間の接続は、2つ以上外側あるいは2つ以上内側の周回配線を接続する迂回配線接続を少なくとも1つ有し、周回配線の中でインダクタの両端の端子につながる周回配線1と周回配線 $n$ のうち、周回配線1は最内周の周回配線で、周回配線1以降周回配線 $k$  ( $k$ は1以上で $n-1$ より小さい整数)までは1周ごとに1つ外側

50

の周回配線であり、周回配線  $k + 1$  は最外周の周回配線であり、周回配線は、それぞれ異なる金属配線層で配線され、略同一形状で中心の位置が同一の位置に配置された複数の副周回配線を含み、各周回配線に含まれる複数の副周回配線は端部で互いに直列に接続されている。

【0027】

図12は、本発明による第4の実施形態によるインダクタを示す断面図である。第4の実施形態のインダクタは、第2の実施形態のインダクタの各周回配線が、それぞれ異なる金属配線層で配線され、略同一形状で中心の位置が同一の位置に配置された複数の副周回配線を含み、各周回配線に含まれる複数の副周回配線は端部で互いに直列に接続されている。図12は、各周回配線が、2つの金属配線層の副周回配線から構成される場合の一例である。第4の実施形態の構成は、第3の実施形態に対し、元になる構成が第1の実施形態から第2の実施形態になっただけであり、他は同様なので、説明は省略する。また、図12において、周回配線が2つの層の副周回配線から構成される例について示しているが、副周回配線の層数は2に限定されず、任意の層数が可能である。

10

【0028】

第4の実施形態は、図14の従来技術に対して、第2の実施形態と同様の電気的対称性向上の効果が得られるだけでなく、複数層でインダクタを構成するようにしたから、インダクタ占有面積を低減することが可能である。

【0029】

また、第1～第4の実施形態を示す図3～12において、迂回配線接続が1つの場合についてのみ例示したが、複数の迂回配線接続を有するインダクタの構成も可能である。各周回配線を、(位置番号、周回番号)と表したとき、例えば、巻き数  $n = 6$  で、各周回配線が(1, 1)、(2, 2)、(3, 5)、(4, 6)、(5, 3)、(6, 4)の構成を取ることができる。上記の構成例では、位置番号2と位置番号5の周回配線を繋ぐ第1の迂回配線接続と、位置番号6と位置番号3の周回配線を繋ぐ第2の迂回配線接続の2つの迂回配線接続を含んでいる。

20

【0030】

以下、実施例について、図面を参照して詳しく説明する。

【実施例1】

【0031】

実施例1は、巻き数  $n = 4$ 、 $k = 1$ 、副周回配線の層数は2の場合の一例である。図1は、本発明における実施例1のインダクタを示す上面図であり、図13は、図1のO-I'における断面図である。各周回配線は、第  $m + 1$  層および第  $m + 2$  層の副周回配線から構成される。また、迂回配線16aは、2つの副周回配線の上の層である第  $m$  層に構成される。以下に、実施例1のインダクタにおける一方の入出力端子から他方の入出力端子までの接続順を示す。インダクタ入出力端子19b 引き出し配線11b インダクタ配線12c (1,  $m + 2$ ) ピア13d インダクタ配線14c (1,  $m + 1$ ) ピア15b 迂回配線16a ピア15a インダクタ配線14a (2,  $m + 1$ ) ピア13a インダクタ配線12a (2,  $m + 2$ ) - (3,  $m + 2$ ) ピア13b インダクタ配線14b (3,  $m + 1$ ) - (4,  $m + 1$ ) ピア13c インダクタ配線12b (4,  $m + 2$ ) 引き出し配線11a インダクタ入出力端子19a。

30

40

【0032】

ここで、同じ層内で、1つ外側あるいは1つ内側の副周回配線間の接続である(2,  $m + 2$ ) - (3,  $m + 2$ )間の接続、(3,  $m + 1$ ) - (4,  $m + 1$ )間の接続は、一つのインダクタ配線で構成することにより、接続部を省略している。また、図1におけるインダクタ配線と副周回配線の関係を示す。インダクタ配線12aは、副周回配線(2,  $m + 2$ )と副周回配線(3,  $m + 2$ )から構成され、インダクタ配線12bは、副周回配線(4,  $m + 2$ )から構成され、インダクタ配線12cは、副周回配線(1,  $m + 2$ )から構成される。また、インダクタ配線14aは、副周回配線(2,  $m + 1$ )から構成され、インダクタ配線14bは、副周回配線(3,  $m + 1$ )と副周回配線(4,  $m + 1$ )から

50

構成され、インダクタ配線 14c は、副周回配線 (1, m+1) から構成される。また、各副周回配線は、ピアを介して他層の副周回配線と端部で直列接続される。

【0033】

次に、図16は、特許文献1に記載の従来例1のインダクタの配線構造を示す上面図である。また、図17は、図16のO-I'の断面図である。図16の従来例1のインダクタの配線構造は、実施例1のインダクタと同様に、4回巻きで、第m+1層、第m+2層のインダクタ配線から構成される。図16における従来例1のインダクタにおける一方の入出力端子から他方の入出力端子までの接続順を以下に示す。インダクタ入出力端子60a 引き出し配線21a インダクタ配線22c (1, m+2) ピア23d インダクタ配線24b (1, m+1) - (2, m+1) ピア23c インダクタ配線22b (2, m+2) - (3, m+2) ピア23b インダクタ配線24a (3, m+1) - (4, m+1) ピア23a インダクタ配線22a (4, m+2) ピア25a 引き出し配線26a ピア25b 引き出し配線21b インダクタ入出力端子60b。

10

【0034】

図16において、引き出し配線26aは、第m層で構成されている。ここで、同じ層内での1つ外側あるいは1つ内側の周回配線の接続である(1, m+1) - (2, m+1)間の接続、(2, m+2) - (3, m+2)間の接続、(3, m+1) - (4, m+1)間の接続は、それぞれ、1つのインダクタ配線で構成することにより接続部は省略される。また、各インダクタ配線は、ピアを介して他層のインダクタ配線と端部で直列接続される。

20

【0035】

実施例1と従来例1のインダクタの配線構造を比較すると、インダクタの占有面積は、同等である。一方、従来例1では、インダクタの両端が、配線長の長い最外周と、配線長の短い最内周から引き出されているため、電気的対称性が低いのに対し、実施例1では、迂回配線により、インダクタの両端が最外周と、最外周より一つ内側の周になるので、配線長の差が小さく、インダクタ両端でのインピーダンスの差が小さくなり、電気的対称性が向上する。

【0036】

次に、実施例1のインダクタと、従来例1のインダクタの電気的対称性を以下に比較する。以下のシミュレーションは、巻き数nが8で、4層積層のインダクタについて行ったものである。実施例1のSパラメータシミュレーション結果を図2に、従来例1のSパラメータシミュレーション結果を図18に示す。一般に、インダクタを2ポート回路でモデル化した場合、4つのSパラメータS11、S12、S21、S22で表現することができるが、電気的に対称な回路の場合、S11とS22は、完全に一致するが、電気的な非対称性がある場合には、S11とS22の間に不一致が生ずる。

30

【0037】

従来例1のインダクタのSパラメータを示す図18を参照すると、40GHz以上の高周波帯域において、S11とS22は、差が生じている。一方、実施例1のインダクタのSパラメータを示す図2を参照すると、全周波数帯域において、S11とS22はよく一致していることがわかる。

40

【0038】

実施例1において、迂回配線の位置を示すkを1としているが、これに限定されず、kは1以上でn-1より小さい整数の中から選択可能である。例えば、上述のようなSパラメータのシミュレーションにより電気的対称性が最も向上するようにkを選択するようにしてもよい。

【0039】

次に、図19は、特許文献2に記載の従来例2のインダクタの配線構造を示す上面図である。図19は、従来例2の4回巻きの一例を示している。図19に示すインダクタの一方の入出力端子から他方の入出力端子までの接続順は、以下になる。インダクタ入出力端子61a 引き出し配線31a インダクタ配線32f ピア33a 交差配線34a

50

ビア 3 3 b インダクタ配線 3 2 e   ビア 3 3 c 交差配線 3 4 b   ビア 3 3 d インダクタ配線 3 2 b   ビア 3 3 e 交差配線 3 4 c   ビア 3 3 f インダクタ配線 3 2 a   ビア 3 3 g 交差配線 3 4 d   ビア 3 3 h インダクタ配線 3 2 g   ビア 3 3 i 交差配線 3 4 e   ビア 3 3 j インダクタ配線 3 2 d   ビア 3 3 k 交差配線 3 4 f   ビア 3 3 m インダクタ配線 3 2 c   引き出し配線 3 1 b   入出力端子 6 1 b。

【0040】

図 19 に示す従来例 2 のインダクタは、幾何学的に左右対称の形をしているため、電氣的対称性も非常によいという利点を持っている。しかしながら、従来例 2 のインダクタは、インダクタ配線は、平面構造であり、積層することができない。そのため、インダクタ占有面積を小さくすることができず、小型な高周波回路を実現することは困難である。もし、占有面積を低減するために配線を細幅化したり内径を縮小すれば寄生抵抗が増加し、インダクタ特性の劣化を招く。

10

【0041】

実施例 1 のインダクタと従来例 2 のインダクタを比較すると、どちらも、電氣的対称性は優れているが、従来例 2 のインダクタは、前述のように、占有面積を小さくすることができないという問題がある。一方、実施例 1 のインダクタの場合には、インダクタ配線を複数層における副周回配線から構成するようにすることができるから、インダクタの占有面積を小さくすることが可能である。

【0042】

また、従来例 2 では、多くの交差配線、多くのビアを必要とするのに対し、実施例 1 では、最低限 1 つの迂回配線で構成することが可能であり、また、必要なビアの数も、従来例 2 よりも少なく済む。そのため、迂回配線や交差配線の抵抗とビア抵抗がインダクタ特性に大きく影響する場合には、実施例 1 のインダクタは効果がある。

20

【産業上の利用可能性】

【0043】

本発明は、携帯電話、無線 LAN、地上デジタルテレビ放送などのデジタル無線回路において使用される、オンチップ型インダクタに適用可能である。

【0044】

なお、本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

30

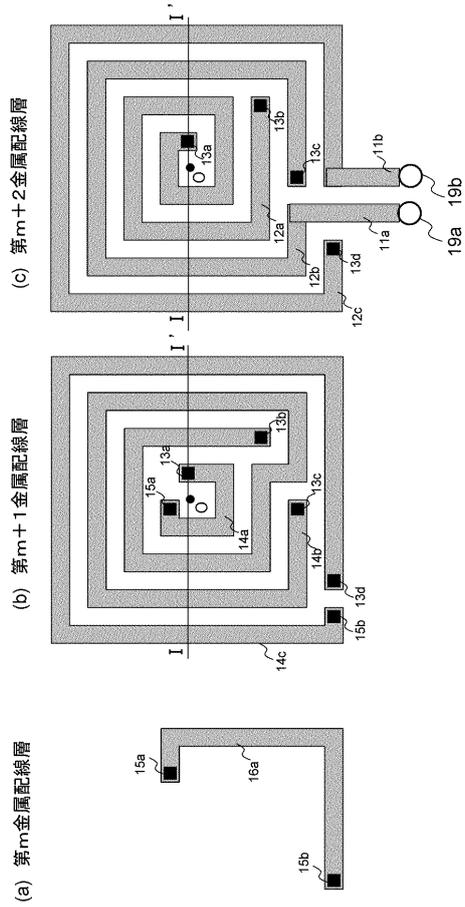
【符号の説明】

【0045】

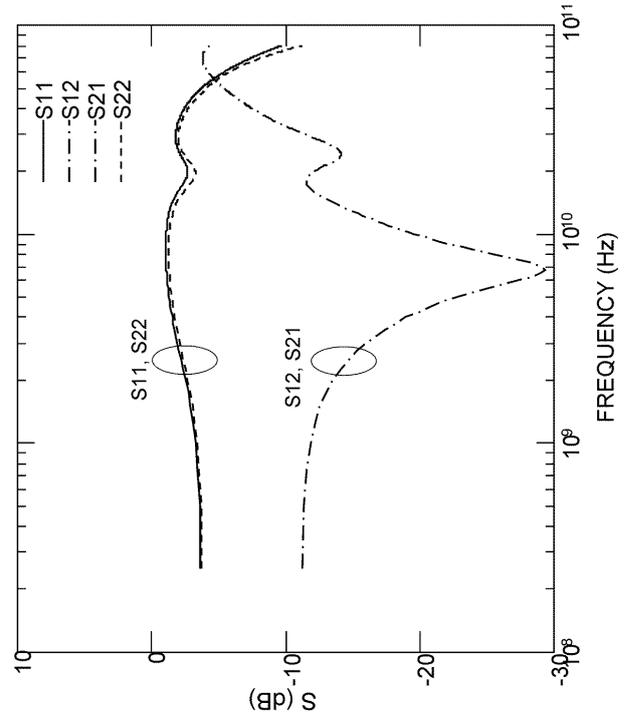
1 2 a、1 2 b、1 2 c、1 4 a、1 4 b、1 4 c、2 2 a、2 2 b、2 2 c、2 4 a、2 4 b、3 2 a、3 2 c、3 2 d、3 2 e、3 2 f、3 2 g： インダクタ配線  
1 1 a、1 1 b、2 1 a、2 1 b、2 6 a、3 1 a、3 1 b、4 3、4 6、4 9 a、4 9 b、5 9： 引き出し配線  
1 3 a、1 3 b、1 3 c、1 3 d、1 5 a、1 5 b、2 3 a、2 3 b、2 3 c、2 3 d、2 5 a、2 5 b、3 3 a、3 3 b、3 3 c、3 3 d、3 3 e、3 3 f、3 3 g、3 3 h、3 3 i、3 3 j、3 3 k、3 3 m： ビア  
1 9 a、1 9 b、4 1 a、4 1 b、4 4 a、4 4 b、6 2 a、6 2 b、4 7 a、4 7 b、5 0 a、5 0 b、5 2 a、5 2 b、5 5 a、5 5 b、5 8 a、5 8 b、6 0 a、6 0 b、6 1 a、6 1 b： インダクタ入出力端子  
1 6 a、4 2、4 5、4 8、5 1、5 3、5 6、6 3： 迂回配線  
3 4 a、3 4 b、3 4 c、3 4 d、3 4 e、3 4 f： 交差配線

40

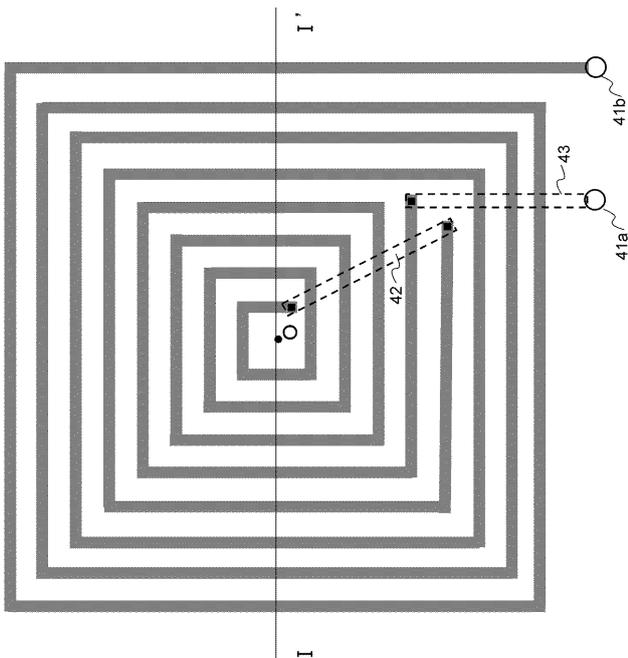
【 図 1 】



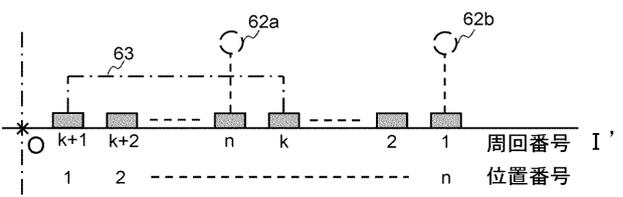
【 図 2 】



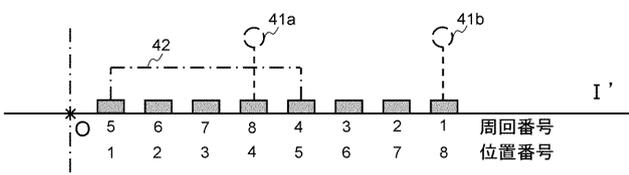
【 図 3 】



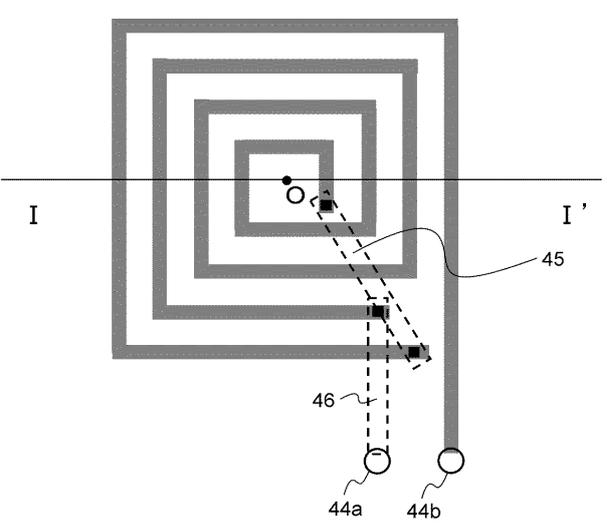
【 図 5 】



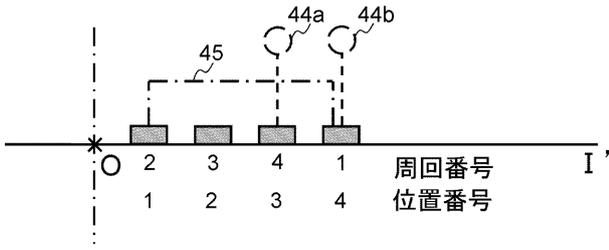
【 図 4 】



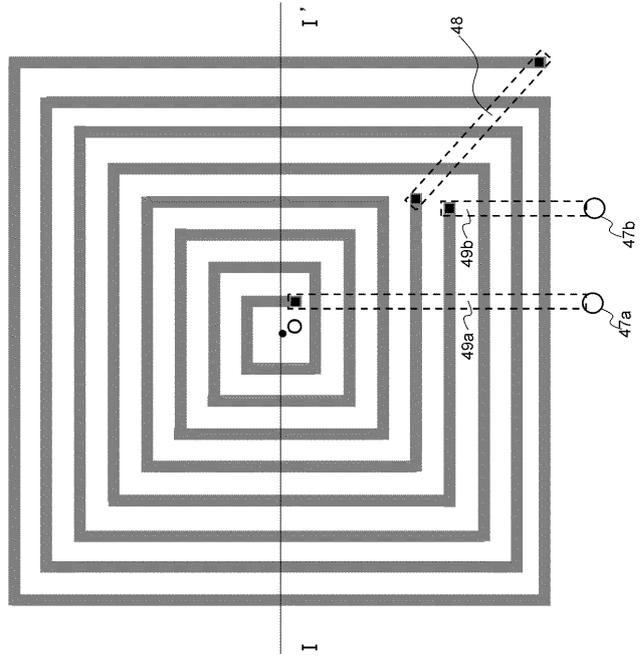
【 図 6 】



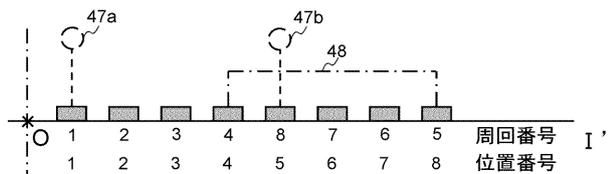
【图 7】



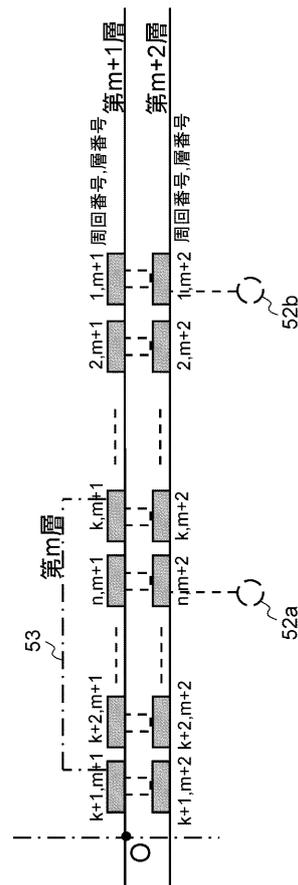
【图 8】



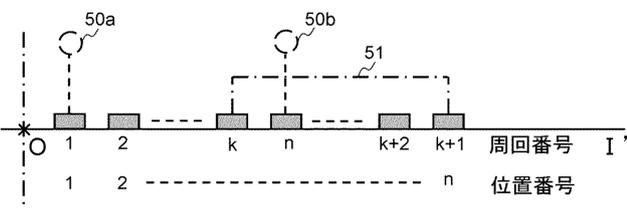
【图 9】



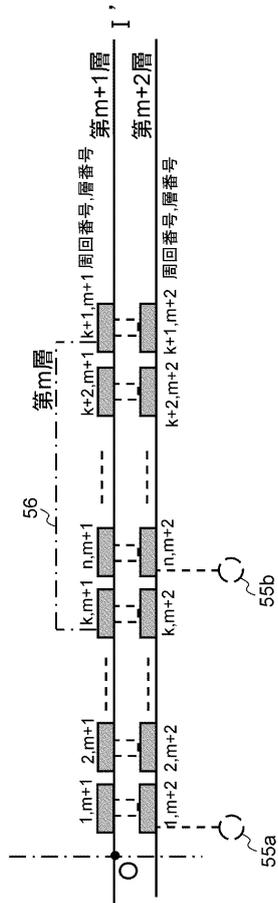
【图 11】



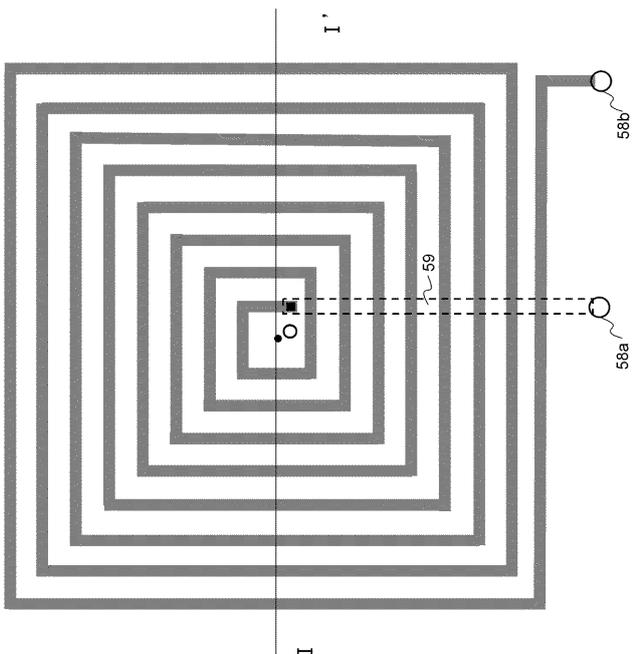
【图 10】



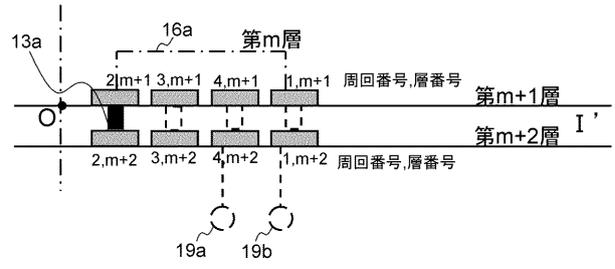
【图 1 2】



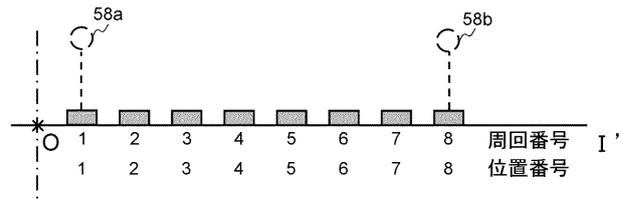
【图 1 4】



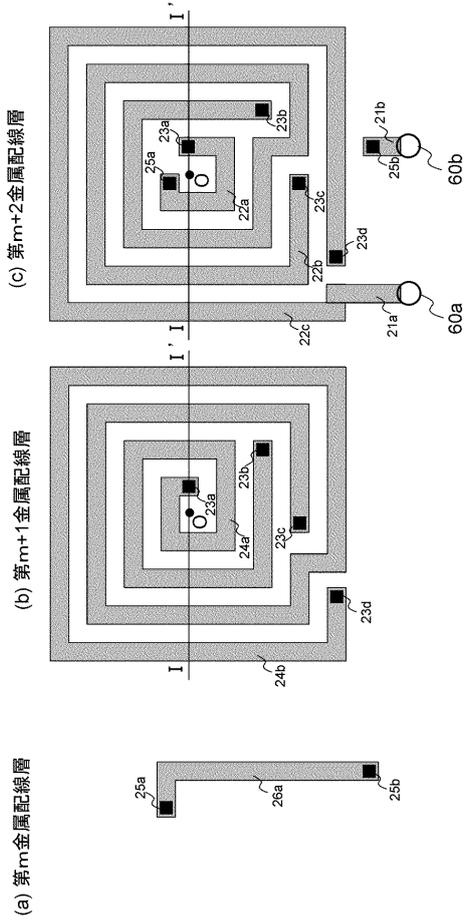
【图 1 3】



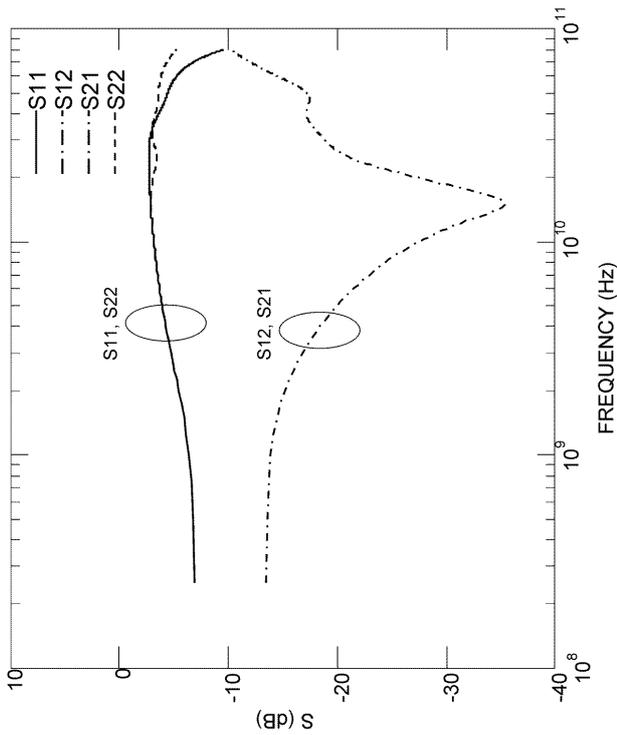
【图 1 5】



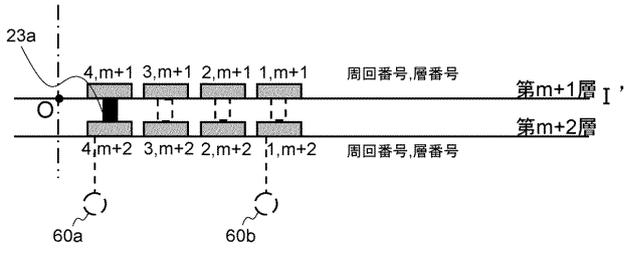
【 図 1 6 】



【 図 1 8 】



【 図 1 7 】



【 図 1 9 】

