



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201637012 A

(43) 公開日：中華民國 105 (2016) 年 10 月 16 日

(21) 申請案號：105105806 (22) 申請日：中華民國 103 (2014) 年 03 月 06 日
 (51) Int. Cl. : *G11C11/413 (2006.01)* *G11C11/419 (2006.01)*
 (30) 優先權：2013/03/15 美國 13/842,086
 (71) 申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)
 美國
 (72) 發明人：柯樂 普拉莫德 KOLAR, PRAMOD (IN)；潘迪亞 剛傑 PANDYA, GUNJAN
 (US)；巴特卡亞 尤達拉克 BHATTACHARYA, UDDALAK (IN)；郭錚 GUO,
 ZHENG (US)
 (74) 代理人：林志剛
 申請實體審查：無 申請專利範圍項數：22 項 圖式數：7 共 31 頁

(54) 名稱

雙埠靜態隨機存取記憶體

DUAL-PORT STATIC RANDOM ACCESS MEMORY (SRAM)

(57) 摘要

在實施例中，用以儲存資料的記憶胞元電路包括用以儲存該記憶胞元電路的狀態的一對交叉耦合反相器。存取裝置提供對該對交叉耦合反相器的存取。該記憶胞元電路也包括被耦合至該對交叉耦合反相器的一組電惰性 p 型金屬氧化物半導體 (PMOS) 裝置。與該對交叉耦合反相器的一部分 (例如，PMOS 裝置) 組合的該組電惰性 PMOS 裝置致能用於該記憶胞元電路的連續 p 型擴散層。

In one embodiment, a memory cell circuit for storing data includes a pair of cross-coupled inverters for storing states of the memory cell circuit. Access devices provide access to the pair of cross-coupled inverters. The memory cell circuit also includes a set of electrically inactive p-type metal oxide semiconductor (PMOS) devices that are coupled to the pair of cross-coupled inverters. The set of electrically inactive PMOS devices in combination with a portion (e.g., PMOS devices) of the pair of cross-coupled inverters enables a continuous p-type diffusion layer for the memory cell circuit.

指定代表圖：

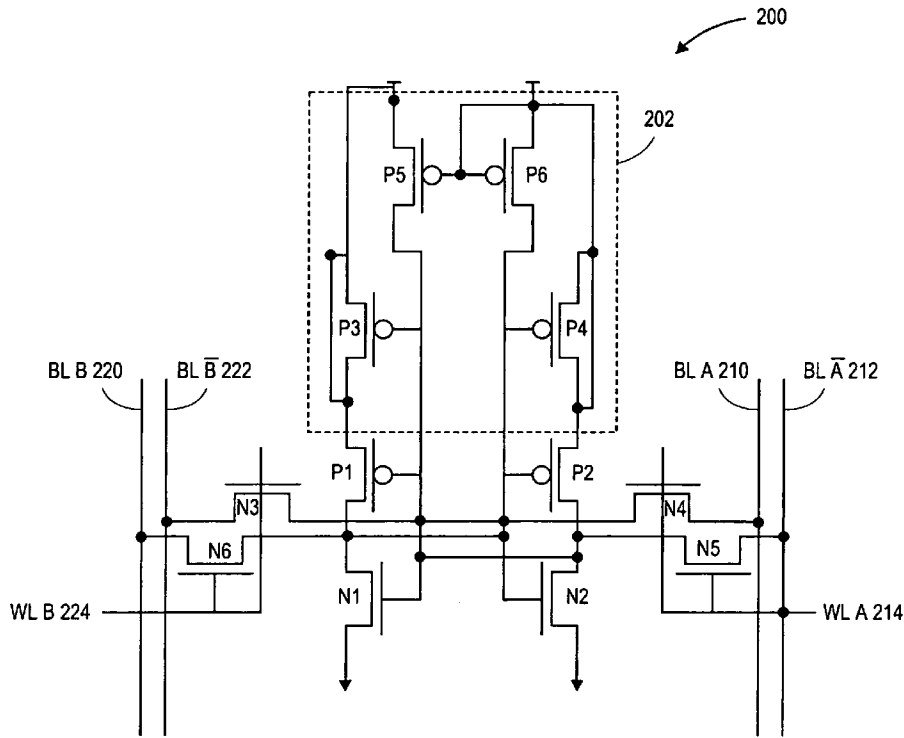


圖 2

符號簡單說明：

200 . . . 記憶胞元電路

202 . . . 電性 PMOS 裝置

210 . . . 位元線

212 . . . 位元線

214 . . . 字線

220 . . . 位元線

222 . . . 位元線

224 . . . 字線

發明摘要

※申請案號：105105806（由103107704分割）

※申請日：103年03月06日

※IPC分類：*G11C 11/413* (2006.01)
G11C 11/419 (2006.01)

【發明名稱】(中文/英文)

雙埠靜態隨機存取記憶體

Dual-port static random access memory (SRAM)

【中文】

在實施例中，用以儲存資料的記憶胞元電路包括用以儲存該記憶胞元電路的狀態的一對交叉耦合反相器。存取裝置提供對該對交叉耦合反相器的存取。該記憶胞元電路也包括被耦合至該對交叉耦合反相器的一組電惰性 p 型金屬氧化物半導體 (PMOS) 裝置。與該對交叉耦合反相器的一部分 (例如，PMOS 裝置) 組合的該組電惰性 PMOS 裝置致能用於該記憶胞元電路的連續 p 型擴散層。

【英文】

In one embodiment, a memory cell circuit for storing data includes a pair of cross-coupled inverters for storing states of the memory cell circuit. Access devices provide access to the pair of cross-coupled inverters. The memory cell circuit also includes a set of electrically inactive p-type metal oxide semiconductor (PMOS) devices that are coupled to the pair of cross-coupled inverters. The set of electrically inactive PMOS devices in combination with a portion (e.g., PMOS devices) of the pair of cross-coupled inverters enables a continuous p-type diffusion layer for the memory cell circuit.

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

200：記憶胞元電路

202：電荷性 PMOS 裝置

210：位元線

212：位元線

214：字線

220：位元線

222：位元線

224：字線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

雙埠靜態隨機存取記憶體

Dual-port static random access memory (SRAM)

【技術領域】

[0001] 此處所述的實施例大致關於雙埠靜態隨機存取記憶體 (SRAM) 陣列。

【先前技術】

[0002] 改善諸如靜態隨機存取記憶體 (SRAM) 陣列的記憶體陣列之產率及可靠性是具有大型晶粒上快取的積體電路及微處理器目前的設計挑戰。嵌入式記憶體可包括單埠 SRAM (其具有一個用於讀取及寫入操作的存取埠)、或可提供高速通訊及影像處理的多埠 SRAM。該多埠 SRAM 適於並行操作且改善晶片性能。高性能及低功率多核心處理器具有晶粒內的多個 CPU，其導致記憶體存取的數量大幅增加。因此，記憶體存取速率變成限制因子。對多埠 SRAM 的需求已經因為該多埠 SRAM 可從多個埠加以同時存取而增加。

[0003] 一個先前方法為雙埠位元胞實施方式，其包括具有微動擴散 (jogged diffusion) 的 2 多軌道位元胞 (類似於 6 電晶體位元胞) 以在字線 (WL) A 及 B 兩者

導通時獲得胞元穩定性的所需貝他比 (beta ratio)。此導致第 1 圖具有歪斜的長寬比 4:1 之寬位元胞 100。然而，歪斜的胞元因為局部互連阻抗及總 WL 阻容 (RC) 時間常數被負面影響而非所需的。n 型擴散或 p 型擴散層的微動擴散 110、120、130、及 140 為圖案化及可靠性方面的問題。金屬 3 (M3) 中的二個 WL 必須被插入 2 多軌道中。此導致窄且有阻力的 M3 WL。為了滿足性能要求，需要中繼器。中繼器添加額外的面積負擔且降低位元密度。進一步而言，該 2 WL 在 M3 中彼此相鄰而沒有屏蔽在中間。倘若二個相鄰 WL 起動，則該等 WL 之間有顯著的交叉耦合。此可不利地影響讀取穩定性及/或對該位元胞寫入的穩定性。此外，由於低的 p 型擴散層密度，額外的填料胞可能需要被週期添加。此也降低該位元密度。

【圖式簡單說明】

[0004] 所示實施例將從閱讀下列詳細說明加以更好地理解，配合圖式中的隨附圖，其中：

[0005] 第 1 圖示出依據先前方法之雙埠 SRAM 的寬位元胞 100；

[0006] 第 2 圖示出依據一個實施例的雙埠 SRAM 胞元之記憶胞元電路（例如，位元胞）200；

[0007] 第 3 圖示出依據一個實施例的雙埠 SRAM 胞元之記憶胞元電路（例如，位元胞）的擴散層及電晶體層之佈局 300；

[0008] 第 4 圖示出依據一個實施例的雙埠 SRAM 胞元之記憶胞元電路（例如，位元胞）的第一金屬層（金屬 1）及第一孔洞層之佈局 400。

[0009] 第 5 圖示出依據一個實施例的雙埠 SRAM 胞元之記憶胞元電路（例如，位元胞）的第一金屬層（金屬 1）及第二金屬層（金屬 2）之佈局 500。

[0010] 第 6 圖示出依據一個實施例的雙埠 SRAM 胞元之記憶胞元電路（例如，位元胞）的第三金屬層（金屬 3）之佈局 600。

[0011] 第 7 圖示出依據一個實施例的運算裝置 1200。

[0012] 為了例示的簡單及清晰，附圖示出構造的一般方式，且熟知特徵及技術的說明及細節可被省略以避免不必要地模糊本發明所述實施例的討論。因此，附圖中的元件不必然依比例繪製。例如，圖中的一些元件的尺寸可相對於其他元件被誇大以幫助改善本發明實施例的理解。不同圖中的相同元件符號表示相同元件，而類似元件符號可能但不必然表示類似元件。

【發明內容與實施方式】

[0013] 在一個實施例中，用以儲存資訊的記憶胞元電路包括用以儲存該記憶胞元電路的狀態的一對交叉耦合反相器。存取裝置被耦合至該對交叉耦合反相器。該等存取裝置提供對該對交叉耦合反相器的存取。該記憶胞元電

路也包括被耦合至該對交叉耦合反相器的一組電惰性 p 型金屬氧化物半導體 (PMOS) 裝置。與該對交叉耦合反相器的一部分 (例如, PMOS 裝置) 組合的該組電惰性 PMOS 裝置致能用於該記憶胞元電路的連續 p 型擴散層。

[0014] 該記憶胞元電路可為用以儲存資訊 (例如, 資料) 的二讀取/寫入 (R/W) 雙埠 SRAM 位元胞設計。該設計可為同步或非同步。該設計可為用以支援二 R/W 及二個時脈操作的四多晶矽軌道佈局位元胞。目前的位元胞設計解決先前方法中針對雙埠 SRAM 陣列的問題。此設計在一個實施例中改善長寬比。此設計具有連續均勻 n 型及 p 型擴散層而沒有任何微動或缺口, 其可幫助改善產率及減少可靠性問題。該等字線 (WL) 可能較寬且可能有不同埠的 WL 間的隔離。對中繼器的需求也大大減低。該 p 型擴散密度藉由本設計的獨特位元胞電路加以增加來滿足處理要求。

[0015] 現在參照圖式, 第 2 圖示出依據一個實施例之用以儲存資料的雙埠 SRAM 胞元之記憶胞元電路 (例如, 位元胞) 200。該記憶胞元 200 包括電活性 PMOS 裝置 P1 與 P2、一組電惰性 (虛擬) PMOS 裝置 202 (例如, P3-P6)、下拉 NMOS 裝置 N1 與 N2、及存取裝置 (例如, 通道閘 NMOS 裝置 N3-N6)。該等 PMOS 裝置 P1 與 P2 及 NMOS 裝置 N1 與 N2 形成一對交叉耦合反相器。該組電惰性 PMOS 裝置 202 未影響胞元功能。此容許 p 型擴散密度被增加以用連續方式滿足設計規則。SRAM

中的各個位元被儲存於該等交叉耦合裝置 P1、P2、N1、及 N2 中。一般而言，各個 SRAM 胞元能夠儲存一個位元的資訊，且被設定至邏輯高或者邏輯低狀態。該等存取裝置 N3-N6 控制在讀取及寫入操作期間對該胞元的存取。針對讀取操作可能需要讀取輔助。下讀取輔助驅動字線電壓以增加讀取存取期間的胞元穩定性。對該胞元的存取由埠 A 的字線 (WL) A 214 加以致能，該字線控制存取裝置 N4 及 N5，其接著控制是否該胞元應被連接至位元線 BL A 210 及 BL/A 212。對該胞元的存取也由埠 B 的字線 (WL) B 224 加以致能，該字線控制存取裝置 N3 及 N6，其接著控制是否該胞元應被連接至位元線 BL B 220 及 BL/B 222。該等位元線被用來針對讀取及寫入操作兩者轉移資料。

[0016] 第 1 圖中示出的先前方法仰賴 2 多軌道位元胞 (即，位元胞的一個尺寸 (例如，高度) 內二列的多晶矽特徵)。本設計使用 4 多軌道 (即，位元胞的一個尺寸 (例如，高度) 內四列的多晶矽特徵)。此容許不同埠的 WL 間的將消除交叉耦合之隔離。此外，具有該等惰性虛擬 PMOS 裝置 P3-P6 的佈局容許連續擴散條，其增強可製造性。該胞元的長寬比 (寬度：高度) 在一個實施例中被改善成 2.67。此確保針對相同數量行的 WL RC 負載比先前方法中的負載更好。使用此胞元的陣列設計將具有較少的中繼器使用。使該記憶胞元的尺寸在通道閘兩者同時導通時穩定。該通道閘尺寸可在沒有增加該記憶胞元的高度

之情況下被增加至極限（例如，增加至下拉閘尺寸的一半）。存取裝置尺寸（例如，通道閘尺寸）配合讀取輔助的改變也可被完成。較寬的存取裝置已經減少該存取裝置中的隨機變化，因為隨機變化反比於裝置面積且使用讀取輔助與較寬的存取裝置有助於胞元穩定性控制。相反地，先前方法為了增加通道閘尺寸增加胞元高度。

[0017] 在特定實施例中，P1 與 P2 具有 x 的閘比（寬度：長度）而 N1 與 N2 具有 $6x$ 的閘比。該等通道閘可具有 $3x$ 的閘比。各種其他閘比可針對該等 PMOS 及 NMOS 裝置加以設計。該記憶胞元電路可能以用於各種設計及處理節點（例如，22 nm 節點）的二個非同步時脈功能支援二個 R/W 操作。針對本設計的潛在應用包括至少圖像、場效可程式化閘極陣列（FPGA）、及網路處理器。

[0018] 第 3 圖示出依據一個實施例的雙埠 SRAM 胞元之擴散層的佈局 300 及記憶胞元電路（例如，位元胞）的電晶體層。該佈局 300 包括 n 型擴散層 302，具有包括連續層內的區 302、306、307、308、及 310 的不同區。例如，用以形成 NMOS 裝置的四個軌道的多晶矽可能以該等區及電晶體區 350 與 351（例如，三閘極圖案的鰭）的任一者加以形成。SRAM V_{ss} 可能以該區 307 加以形成。以類似方式，n 型擴散層 312 具有包括該連續層內的區 314、316、317、318、及 320 的不同區。例如，用以形成 NMOS 裝置的四個軌道的多晶矽可能以該等區及電晶體區 356 與 357 的任一者加以形成。SRAM V_{ss} 可能以該區

317 加以形成。

[0019] 該佈局 300 也包括 p 型擴散層 322，具有包括該連續層內的區 324、326、328 的不同區。例如，用以形成 PMOS 裝置的四個軌道的多晶矽可能以該等區及電晶體區 353（例如，三閘極圖案的鰭）的任一者加以形成。SRAM V_{ss} 可能以該等區 324 及 328 加以形成。以類似方式，p 型擴散層 330 具有包括該連續層內的區 330、332、及 334 的不同區。例如，用以形成 PMOS 裝置的四個軌道的多晶矽可能以該等區及電晶體區 354 的任一者加以形成。SRAM V_{ss} 可能以該等區 331 及 334 加以形成。電晶體層包括區 350-357，其可為三閘極圖案的鰭。該佈局 300 具有用以形成 NMOS 及 PMOS 裝置的連續擴散層，這導致產率被改善。具有電晶體區 350-357 的邏輯電晶體圖案被再使用。該佈局也藉由消除擴散微動來降低複雜度。

[0020] 第 4 圖示出依據一個實施例的雙埠 SRAM 胞元之記憶胞元電路（例如，位元胞）的第一金屬層（金屬 1）及第一穿孔層（via layer）之佈局 400。該佈局 400 包括穿孔層 420，具有包括區 422 及 424 的不同穿孔區。第一金屬層 410 包括包括區 412 及 414 的不同金屬 1 區。整齊的 J 型金屬圖案在設計規則內加以形成，該等設計規則確保所有孔洞為了處理穩健性被自我對準至該金屬 1。

[0021] 第 5 圖示出依據一個實施例的雙埠 SRAM 胞元之記憶胞元電路（例如，位元胞）的第一金屬層（金屬 1）及第二金屬層（金屬 2）之佈局 500。該佈局 500 包括

具有不同金屬區的第一金屬層 520。第二金屬層 503 包括包括區 BL A 504、BL B 506、Vcc 508、BL A 510、及 BL B 512 的不同金屬 2 區。第一埠（埠 A）的金屬 2 位元線與第二埠（埠 B）的金屬 2 位元線以 Vcc 508 加以隔離。

[0022] 第 6 圖示出依據一個實施例的雙埠 SRAM 胞元之記憶胞元電路（例如，位元胞）的第三金屬層（金屬 3）之佈局 600。該佈局 600 包括第三金屬層 520，具有包括區 WL B 628、WL B 626、Vss 624、WL A 624、WL A 622、WL A 620、Vss 618、WL B 616、WL B 614、及 Vss 612 的不同金屬區。在一個實施例中，WL A 620、Vss 618、及 WL B 616 示出記憶胞元電路的第三金屬層 610。四軌道多晶矽胞元容許比二多晶矽軌道胞元更寬的金屬 3。該四軌道胞元相較於二軌道胞元由於較寬間隔具有較低的字線阻抗、較低的字線電容，需要較少的中繼器，其對隔離性能而言減少電路面積及延遲、藉由具有埠中間的 Vss 來容許該等埠間的字線隔離、及增加 Vss 格的穩健性。

[0023] 第 7 圖示出依據一個實施例的運算裝置 1200。該運算裝置 1200 容納板 1202。該板 1202 可包括數個組件，包括但不限於處理器 1204 及至少一個通訊晶片 1206。該處理器 1204 被實體及電耦合至該板 1202。在一些實施方式中該至少一個通訊晶片 1206 也被實體及電耦合至該板 1202。在另外的實施方式中，該通訊晶片 1206 為該處理器 1204 的部份。

[0024] 取決於其應用，運算裝置 1200 可包括可能或未能被實體及電耦合至該板 1202 的其他組件。這些其他組件包括但不限於揮發性記憶體（例如，DRAM 1210）、非揮發性記憶體（例如，ROM 1212）、具有記憶胞元電路（例如，記憶胞元電路 200）的一或更多陣列之 SRAM 1211、快閃記憶體、圖形處理器 1220、數位信號處理器、加密處理器、晶片組 1222、天線 1224、顯示器、觸控螢幕顯示器 1226、觸控螢幕控制器 1228、電池 1230、音訊編解碼器、視訊編解碼器、功率放大器 1232、全球定位系統（GPS）裝置 1234、羅盤 1236、加速計、陀螺儀、揚聲器 1240、相機 1250、及大量儲存裝置（諸如硬碟機、光碟（CD）、數位多功能光碟（DVD）等等）。

[0025] 該通訊晶片 1206 致能無線通訊以供轉移資料進出該運算裝置 1200。術語「無線」及其派生詞可被用來描述可經由使用已調變電磁輻射透過非固體媒體來傳送資料的電路、裝置、系統、方法、技術、通訊頻道等。該術語未意味該關聯的裝置未含有任何線，儘管在一些實施例中他們可能未含有。該通訊晶片 1206 可實施數個無線標準或協定的任一者，包括但不限於 Wi-Fi（IEEE 802.11 系列）、WiMAX（IEEE 802.16 系列）、IEEE 802.20、長期演進（LTE）、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍芽、其衍生物、以及隨著 3G、4G、5G、及往後加以設計的任何其他無線協定。該運算裝置 1200 可包括複數個通訊晶片

1206。例如，第一通訊晶片 1206 可專用於諸如 Wi-Fi 及藍芽的較短程無線通訊且第二通訊晶片 1206 可專用於諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO 及其他的較長程無線通訊。

[0026] 該運算裝置 1200 的處理器 1204 包括該處理器 1204 內所封裝的積體電路晶粒。在本發明的一些實施例中，該處理器的積體電路晶粒包括依據本發明實施方式所形成的一或更多記憶胞元電路。術語「處理器」可意指任何裝置或裝置的部分，其處理來自暫存器及/或記憶體中的電子資料以轉變該電子資料成為可被儲存於暫存器及/或記憶體中的其他電子資料。

[0027] 該通訊晶片 1206 也包括該通訊晶片 1206 內所封裝的積體電路晶粒。依據本發明的另一實施例，該通訊晶片的積體電路晶粒包括依據本發明實施方式的一或更多記憶胞元電路。

[0028] 在另外的實施例中，該運算裝置 1200 內所容納的另一組件可含有積體電路晶粒，其包括依據本發明實施方式所形成的一或更多記憶胞元電路。

[0029] 在各種實施方式中，該運算裝置 1200 可為膝上型電腦、小筆電、筆記型電腦、超極致筆電、智慧型手機、平板、個人數位助理（PDA）、超行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描機、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或數位錄影機。在另外的實施方式中，該運算裝置 1200 可

為處理資料的任何其他電子裝置。

[0030] 下列實例關於另外的實施例。實例 1 為用以儲存資料的記憶胞元電路，其包括用以儲存該記憶胞元電路的狀態的一對交叉耦合反相器以及耦合至該對交叉耦合反相器的複數個存取裝置。該等存取裝置提供對該對交叉耦合反相器的存取。該記憶胞元電路也包括被耦合至該對交叉耦合反相器的一組電惰性 p 型金屬氧化物半導體 (PMOS) 裝置。與該對交叉耦合反相器的一部分組合的該組電惰性 PMOS 裝置致能用於該記憶胞元電路的連續 p 型擴散層。在實例 2 中，該等電惰性 PMOS 裝置增加該 p 型擴散層的密度。在實例 3 中，至少一個存取裝置的尺寸在沒有增加該記憶胞元電路的高度之情況下被增加至極限。配合增加至少一個存取裝置的尺寸可使用讀取輔助。在實例 4 中，實例 1-3 的任一者之標的可任選地包括包括四個 PMOS 裝置的該組電惰性 PMOS 裝置。在實例 5 中，實例 1-4 的任一者之標的可任選地包括被耦合至該複數個存取裝置之第一埠的位元線及第二埠的位元線。該等位元線在讀取及寫入操作期間轉移資料至該對交叉耦合反相器。在實例 6 中，實例 5 之標的可任選地包括被耦合至該對交叉耦合反相器的 Vcc 線。該 Vcc 線隔離該第一埠的該位元線與該第二埠的該位元線。在實例 7 中，實例 6 之標的可任選地包括被耦合至該等存取裝置的至少一者之第一埠的字線以及被耦合至該等存取裝置的至少一者之第二埠的字線。該等字線控制該等存取裝置。該記憶胞元電路可

包含四個多晶矽軌道以提供該第一埠的該字線與該第二埠的該字線之隔離。在實例 8 中，實例 1-7 的任一者之記憶胞元電路包括雙埠非同步 SRAM 胞元。

[0031] 實例 9 為用以儲存資料的設備，其包括用以儲存該設備的狀態之手段，該設備具有 p 型金屬氧化物半導體 (PMOS) 裝置及 n 型金屬氧化物半導體 (NMOS) 裝置。該設備也包括用以提供對該設備的存取之手段以及致能用於該設備的該等 PMOS 裝置之連續 p 型擴散層的一組電惰性 PMOS 裝置。在實例 10 中，該等電惰性 PMOS 裝置增加該 p 型擴散層的密度。在實例 11 中，實例 9 之標的可任選地包括包括至少二個 PMOS 裝置的該組電惰性 PMOS 裝置。在實例 12 中，實例 9-11 的任一者之標的可任選地包括被耦合至該等 NMOS 及 PMOS 裝置的至少一者之第一埠的位元線以及被耦合至該等 NMOS 及 PMOS 裝置的至少一者之第二埠的位元線。該等位元線在讀取及寫入操作期間轉移資料至該等 PMOS 及 NMOS 裝置。在實例 13 中，實例 9-12 的任一者之標的可任選地包括提供電力給該設備及隔離該第一埠的該位元線與該第二埠的該位元線之 Vcc 線。在實例 14 中，實例 9-13 的任一者之標的可任選地包括被耦合至該等 NMOS 及 PMOS 裝置的至少一者之第一埠的字線以及被耦合至該等 NMOS 及 PMOS 裝置的至少一者之第二埠的字線。該等字線控制用以提供對該設備的存取之該手段。用以提供對該設備的存取之該手段包括四個多晶矽軌道，其提供該第一埠的該字線與該

第二埠的該字線之隔離。

[0032] 實例 15 為運算裝置，包括處理器、耦合至該處理器的通訊晶片、及各包括用以儲存資料的複數個記憶胞元電路的一或更多陣列。各個記憶胞元電路包括用以儲存各個記憶胞元電路的狀態的一對反相器、耦合至該對反相器的複數個存取裝置。該等存取裝置提供對該對交叉耦合反相器的存取。各個記憶胞元電路也包括被耦合至該對反相器的一組電惰性 p 型金屬氧化物半導體 (PMOS) 裝置。該組電惰性 PMOS 裝置致能用於各個記憶胞元電路的連續 p 型擴散層。在實例 16 中，該等電惰性 PMOS 裝置增加該 p 型擴散層的密度。在實例 17 中，至少一個存取裝置的尺寸在沒有增加對應記憶胞元電路的高度之情況下被增加至極限。配合增加至少一個存取裝置的尺寸可使用讀取輔助。在實例 18 中，實例 15 之標的可任選地包括包括四個 PMOS 裝置的該組電惰性 PMOS 裝置。在實例 19 中，實例 15-18 的任一者之標的可任選地包括被耦合至該複數個存取裝置之第一埠的位元線及第二埠的位元線。該等位元線在讀取及寫入操作期間轉移資料至該對交叉耦合反相器。在實例 20 中，實例 15-19 的任一者之標的可任選地包括被耦合至該對交叉耦合反相器的 Vcc 線。該 Vcc 線隔離該第一埠的該位元線與該第二埠的該位元線。在實例 21 中，實例 15-20 的任一者之標的可任選地包括被耦合至該等存取裝置的至少一者之第一埠的字線及被耦合至該等存取裝置的至少一者之第二埠的字線。該等字線控制

該等存取裝置。至少一個記憶胞元電路可包括四個多晶矽軌道以提供該第一埠的該字線與該第二埠的該字線之隔離。在實例 22 中，實例 15-21 的任一者之至少一個記憶胞元電路包括雙埠非同步 SRAM 胞元。

[0033] 在實施方式中及在申請專利範圍中的術語「第一」、「第二」、「第三」、「第四」、及相似者若有的話被用於區分類似元件且不必然用以描述特定順序或時間順序。將被理解的是，這樣使用的術語在適當情況下可互相交換，使得此處所述之本發明的實施例例如能夠以那些此處所示或者所述者以外的順序來操作。類似地，若方法在此處被描述成包含一連串的步驟，此種步驟在此處所呈現的順序不必然為此種步驟可被施行的唯一順序，且某些所陳述的步驟可能被省略及/或此處未描述的某些其他步驟可能被添加至該方法。此外，術語「包含」、「包括」、「具有」、及其任何變化意圖涵蓋非排他性的包括，使得包含一系列元件的程序、方法、物件、或設備不必然被限於那些元件，但可包括未明確列出或此種程序、方法、物件、或設備固有的其他元件。

[0034] 在實施方式中及在申請專利範圍中的術語「左」、「右」、「前」、「後」、「頂」、「底」、「之上」、「之下」、及相似者若有的話被用於描述性目的且不必然用以描述永久相對位置。將被理解的是，這樣使用的術語在適當情況下可互相交換，使得此處所述之本發明的實施例例如能夠以那些此處所示或者所述者以外的

方向來操作。術語「耦合」如此處所使用被定義成以電或非電方式直接或間接連接。此處描述成互相「相鄰」的物件可能呈現互相實體接觸、互相靠近、或互相在相同一般區或區域，作為適合詞語被使用的上下文。此處詞語「在一個實施例中」的出現不必然皆意指相同實施例。

[0035] 儘管本發明已經參照特定實施例加以描述，將被熟習本技藝之人士理解的是，各種改變可被做出而未背離本發明的精神及範圍。因此，本發明實施例的揭示意圖為本發明範圍的例示且未意圖為限制。意圖是，本發明的範圍應僅受限於所附申請專利範圍所要求的範疇。例如，對熟習本技藝之人士而言，將輕易明白的是，此處所討論的能量儲存裝置及相關結構與方法可在各種實施例中加以實施，且某些這些實施例的前述討論不必然表示所有可能實施例的完整描述。

[0036] 額外地，益處、其他優點、及問題的解決方案已經針對特定實施例加以描述。然而該等益處、其他優點、問題的解決方案、及可使任何益處、優點、或解決方案發生或變得更明顯的任何元件未被詮釋成申請專利範圍任一者或全部的關鍵、必需、或必要特徵或元件。

[0037] 此外，此處所揭示的實施例及限制在貢獻的原則下未被貢獻給公眾，若該等實施例及/或限制：（1）在申請專利範圍中未被明確請求；及（2）在等效物的原則下是或潛在地在申請專利範圍中表示元件及/或限制的等效物。

【符號說明】

[0038]

- 100：寬位元胞
- 110：微動擴散
- 120：微動擴散
- 130：微動擴散
- 140：微動擴散
- 200：記憶胞元電路
- 202：電荷性 PMOS 裝置
- 210：位元線
- 212：位元線
- 214：字線
- 220：位元線
- 222：位元線
- 224：字線
- 300：佈局
- 302：n 型擴散層
- 306：區
- 307：區
- 308：區
- 310：區
- 312：n 型擴散層
- 314：區

- 316 : 區
- 317 : 區
- 318 : 區
- 320 : 區
- 322 : p 型擴散層
- 324 : 區
- 326 : 區
- 328 : 區
- 330 : p 型擴散層
- 331 : 區
- 332 : 區
- 334 : 區
- 350 : 電晶體區
- 351 : 電晶體區
- 353 : 電晶體區
- 354 : 電晶體區
- 356 : 電晶體區
- 357 : 電晶體區
- 400 : 佈局
- 410 : 第一金屬層
- 412 : 區
- 414 : 區
- 420 : 穿孔層
- 422 : 區

- 424：區
- 500：佈局
- 503：第二金屬層
- 520：第一金屬層
- 600：佈局
- 610：第三金屬層
- 1200：運算裝置
- 1202：板
- 1204：處理器
- 1206：通訊晶片
- 1210：動態隨機存取記憶體
- 1211：靜態隨機存取記憶體
- 1212：唯讀記憶體
- 1220：圖形處理器
- 1222：晶片組
- 1224：天線
- 1226：觸控螢幕顯示器
- 1228：觸控螢幕控制器
- 1230：電池
- 1232：功率放大器
- 1234：全球定位系統裝置
- 1236：羅盤
- 1240：揚聲器
- 1250：相機

申請專利範圍

1. 一種用以儲存資料的記憶胞元電路，包含：

用以儲存該記憶胞元電路的狀態的複數 p 型金屬氧化物半導體（PMOS）裝置及複數 n 型金屬氧化物半導體（NMOS）裝置；

複數存取裝置，各個存取裝置被耦接至該等複數 PMOS 裝置的至少之一與該等複數 NMOS 裝置的至少之一，該等複數存取裝置用以提供對該記憶胞元電路的儲存狀態的存取；及

耦接至該等複數 PMOS 裝置的一組電惰性 p 型金屬氧化物半導體（PMOS）裝置，與該等複數 PMOS 裝置組合的該組電惰性 PMOS 裝置用以致能用於該記憶胞元電路的連續 p 型擴散層。

2. 如申請專利範圍第 1 項之記憶胞元電路，其中該等電惰性 PMOS 裝置用以增加該 p 型擴散層的密度，其中至少一電惰性 PMOS 裝置係耦接至該等複數存取裝置的一存取裝置。

3. 如申請專利範圍第 1 項之記憶胞元電路，其中至少一個存取裝置的尺寸在沒有增加該記憶胞元電路的高度之情況下被增加直到極限。

4. 如申請專利範圍第 1 項之記憶胞元電路，其中該組電惰性 PMOS 裝置包含四個 PMOS 裝置。

5. 如申請專利範圍第 1 項之記憶胞元電路，進一步包含：

耦接至該等複數個存取裝置之第一埠的位元線及第二埠的位元線，該等位元線用以在讀取及寫入操作期間轉移資料至該對交叉耦合反相器；及

耦接至該對交叉耦合反相器的 V_{cc} 線，其中該 V_{cc} 線用以將該第一埠的該位元線與該第二埠的該位元線隔離。

6. 如申請專利範圍第 1 項之記憶胞元電路，其中配合使用用於讀取存取的讀取輔助，至少一個存取裝置的尺寸在沒有增加該記憶胞元電路的高度的情況下被增加直到極限。

7. 如申請專利範圍第 1 項之記憶胞元電路，進一步包含：

耦接至該等存取裝置的至少一者之第一埠的字線；及

耦接至該等存取裝置的至少一者之第二埠的字線，該等字線用以控制該等存取裝置，其中該記憶胞元電路包含四個多晶矽軌道，以提供該第一埠的該字線與該第二埠的該字線之隔離。

8. 如申請專利範圍第 1 項之記憶胞元電路，其中該記憶胞元電路包含雙埠 SRAM 胞元。

9. 一種用以儲存資料的設備，包含：

用以儲存具有複數電活性 p 型金屬氧化物半導體 (PMOS) 裝置及 n 型金屬氧化物半導體 (NMOS) 裝置的該設備的狀態之手段；

用以提供對該設備的儲存狀態的存取之手段；及

耦接至該等電活性 PMOS 裝置的一組電惰性 PMOS 裝

置，該組電惰性 PMOS 裝置組合該等電活性 PMOS 裝置，用以致能用於該設備的該等 PMOS 裝置之連續 p 型擴散層的。

10. 如申請專利範圍第 9 項之設備，其中該等電惰性 PMOS 裝置用以增加該 p 型擴散層的密度。

11. 如申請專利範圍第 9 項之設備，其中該組電惰性 PMOS 裝置包含至少二個 PMOS 裝置，其中該用以提供對該設備的儲存狀態的存取之手段包含複數存取裝置，各個存取裝置被耦接至該等電活性 PMOS 裝置之至少之一及該 NMOS 裝置的至少之一。

12. 如申請專利範圍第 9 項之設備，進一步包含：

耦接至該等 NMOS 及 PMOS 裝置的至少一者之第一埠的位元線；及

耦接至該等 NMOS 及 PMOS 裝置的至少一者之第二埠的位元線，該等位元線用以在讀取及寫入操作期間轉移資料至該等 PMOS 及 NMOS 裝置。

13. 如申請專利範圍第 12 項之設備，進一步包含：

提供電力給該設備及將該第一埠的該位元線與該第二埠的該位元線隔離之 Vcc 線。

14. 如申請專利範圍第 9 項之設備，進一步包含：

耦合至該等 NMOS 及 PMOS 裝置的至少一者之第一埠的字線；及

耦合至該等 NMOS 及 PMOS 裝置的至少一者之第二埠的字線，該等字線用以控制用以提供對該設備的存取之

該手段，其中用以提供對該設備的存取之該手段包含四個多晶矽軌道，以提供該第一埠的該字線與該第二埠的該字線之隔離。

15. 一種運算裝置，包含：

處理器；

耦接至該處理器的通訊晶片；及

各包括複數記憶胞元電路的一或更多陣列，各個記憶胞元電路包含：

用以儲存該記憶胞元電路的狀態的複數 p 型金屬氧化物半導體（PMOS）裝置與複數 n 型金屬氧化物半導體（NMOS）裝置；

複數存取裝置，各個存取裝置被耦接至該等複數 PMOS 裝置的至少之一與該等複數 NMOS 裝置的至少之一，該等複數存取裝置用以提供對該記憶胞元電路的儲存狀態的存取；及

耦接至該等複數 PMOS 裝置的一組電惰性 p 型金屬氧化物半導體（PMOS）裝置，該組電惰性 PMOS 裝置組合該等複數 PMOS 裝置，用以致能用於該記憶胞元電路的連續 p 型擴散層。

16. 如申請專利範圍第 15 項之運算裝置，其中該等電惰性 PMOS 裝置用以增加該 p 型擴散層的密度，其中至少一電惰性 PMOS 裝置被耦接至該等複數存取裝置的一存取裝置。

17. 如申請專利範圍第 15 項之運算裝置，其中至少

一個存取裝置的尺寸在沒有增加對應記憶胞元電路的高度之情況下被增加直到極限。

18. 如申請專利範圍第 15 項之運算裝置，其中該組電惰性 PMOS 裝置包含四個 PMOS 裝置。

19. 如申請專利範圍第 15 項之運算裝置，進一步包含：

耦接至該等複數存取裝置之第一埠的位元線及第二埠的位元線，該等位元線用以在讀取及寫入操作期間，轉移資料至該對交叉耦合反相器；及

耦接至該對交叉耦合反相器的 Vcc 線，其中該 Vcc 線用以將該第一埠的該位元線與該第二埠的該位元線隔離。

20. 如申請專利範圍第 19 項之運算裝置，其中配合使用用於讀取存取的讀取輔助，至少一個存取裝置的尺寸在沒有增加該記憶胞元電路的高度之情況下被增加直到極限。

21. 如申請專利範圍第 15 項之運算裝置，進一步包含：

耦接至該等存取裝置的至少一者之第一埠的字線；及

耦接至該等存取裝置的至少一者之第二埠的字線，該等字線用以控制該等存取裝置，其中至少一個記憶胞元電路包含四個多晶矽軌道，以提供該第一埠的該字線與該第二埠的該字線之隔離。

22. 如申請專利範圍第 15 項之運算裝置，其中至少一個記憶胞元電路包含雙埠 SRAM 胞元。

圖式

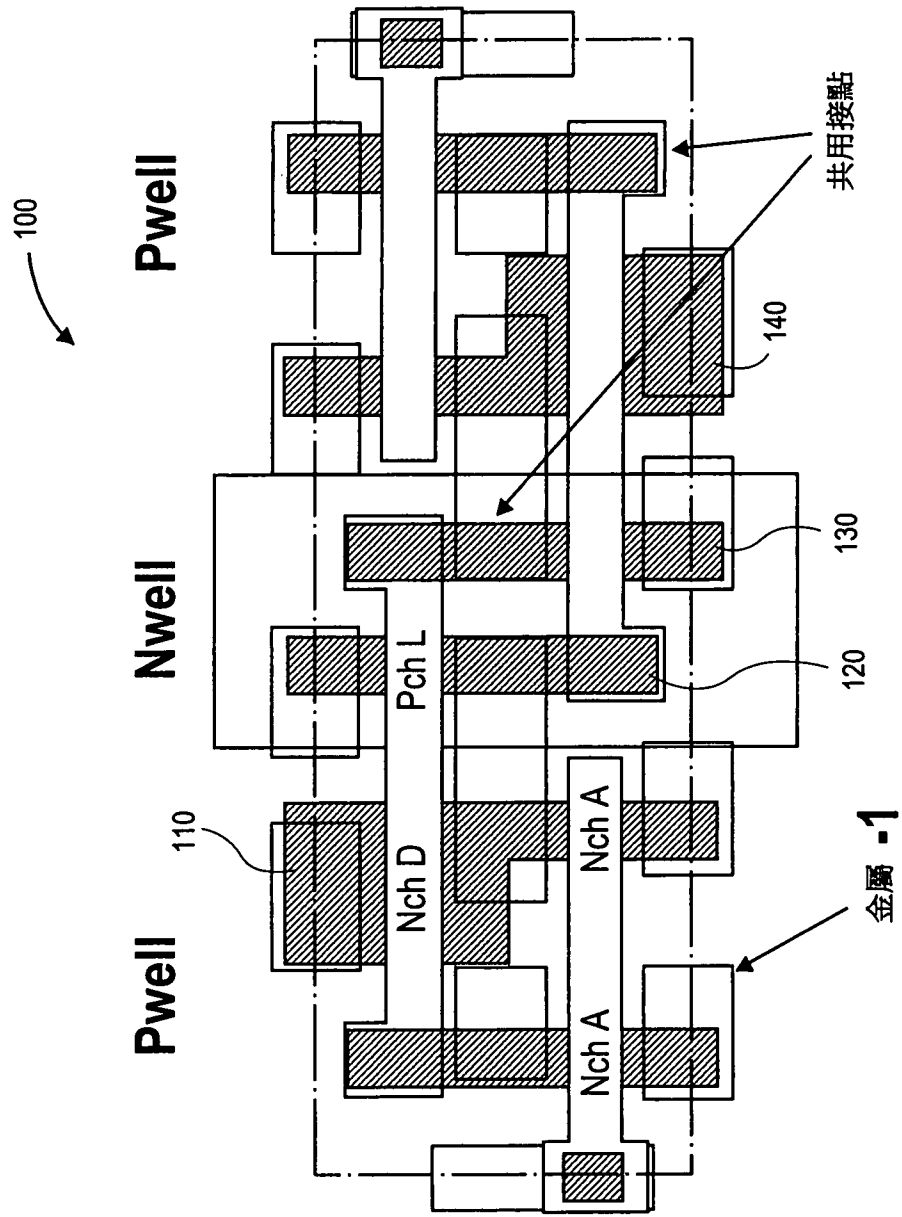


圖 1
(先前技術)

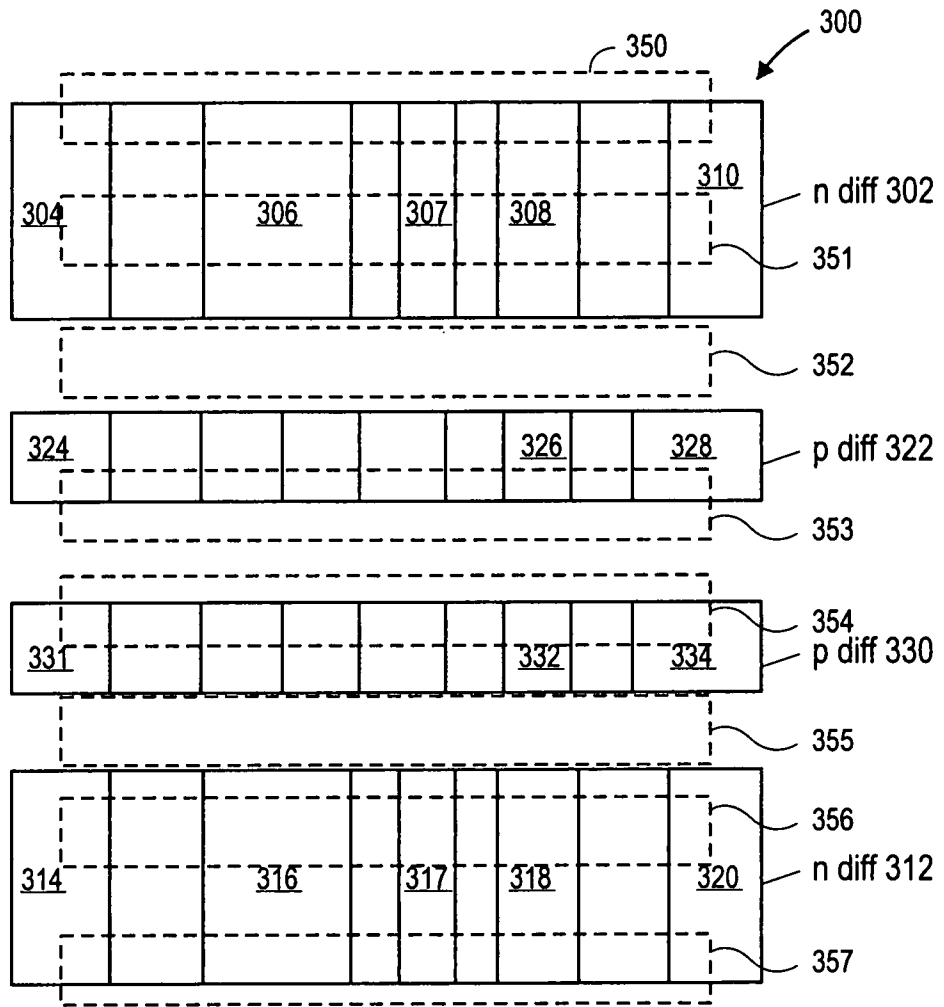


圖 3

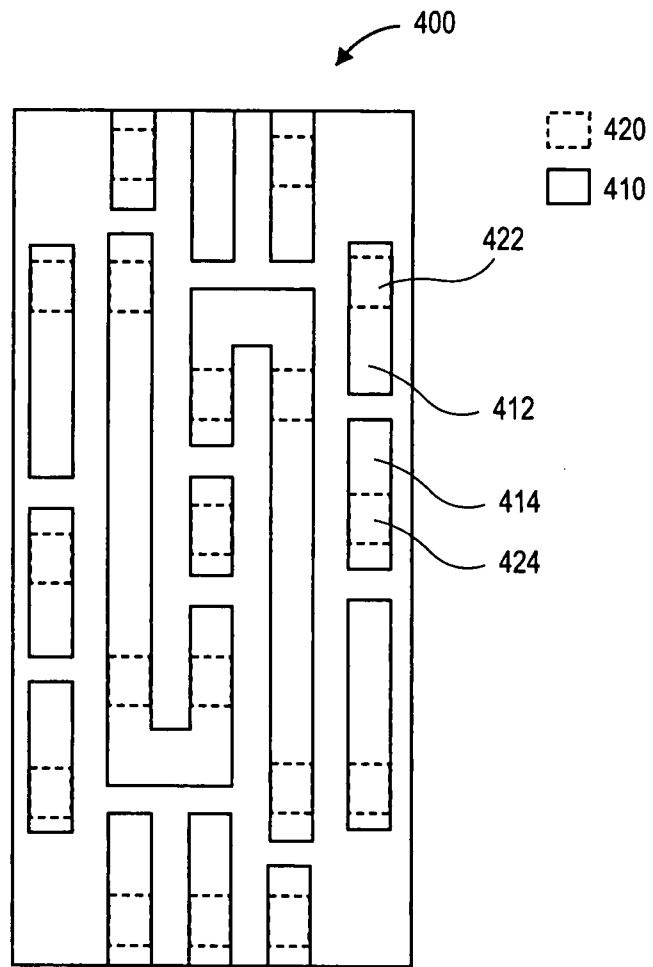


圖 4

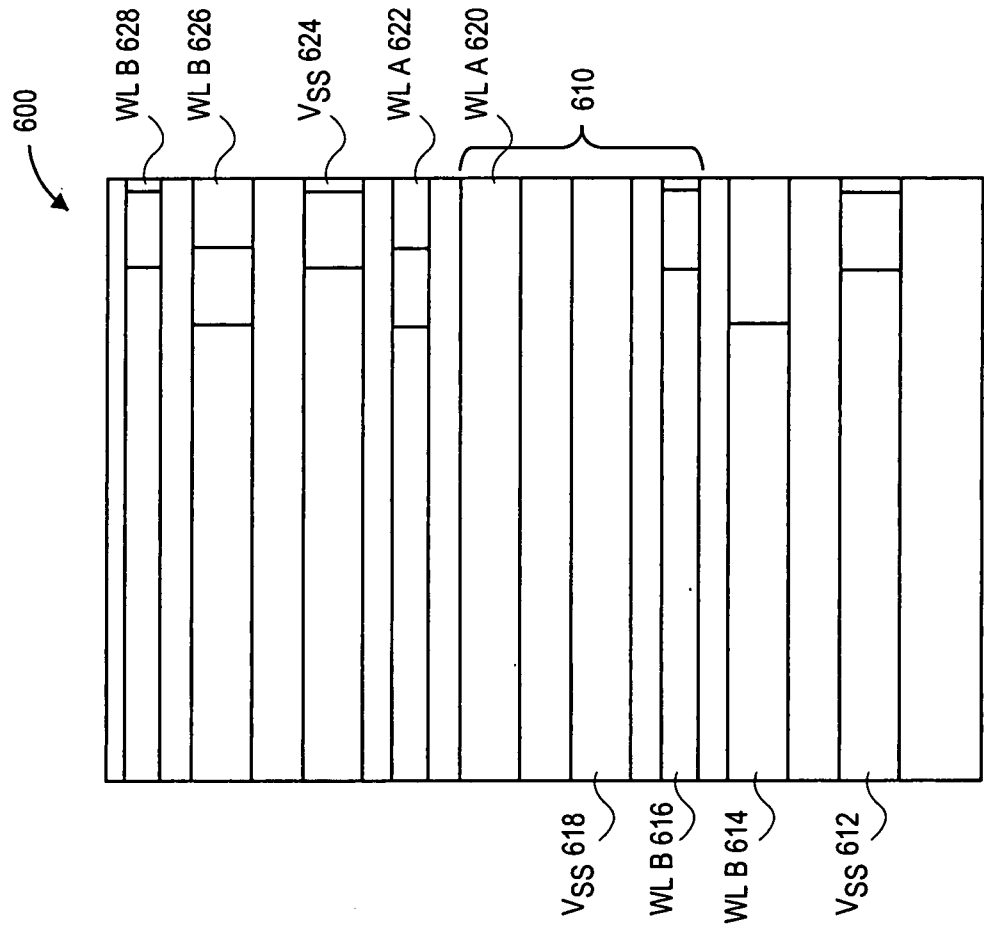


圖 6

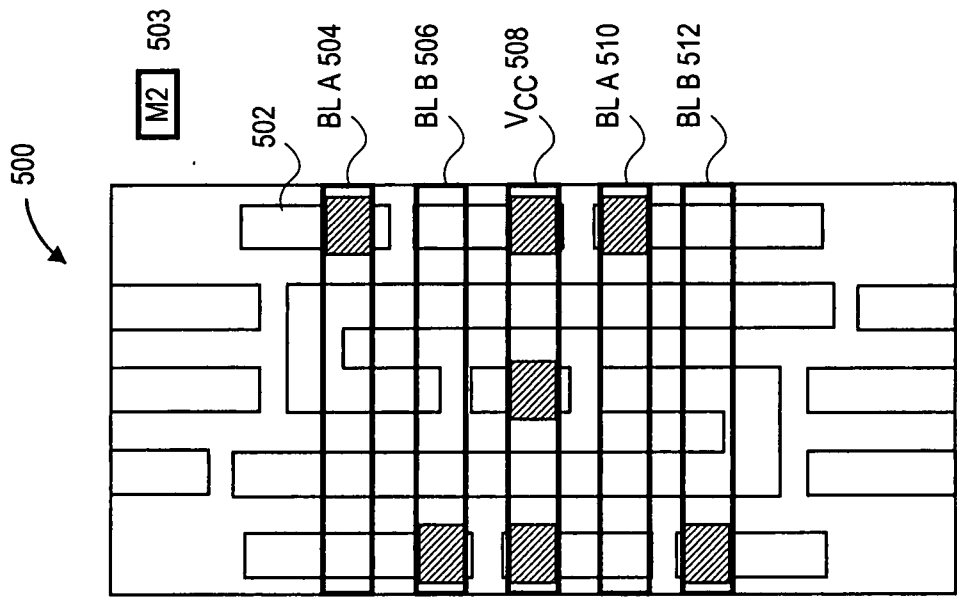


圖 5

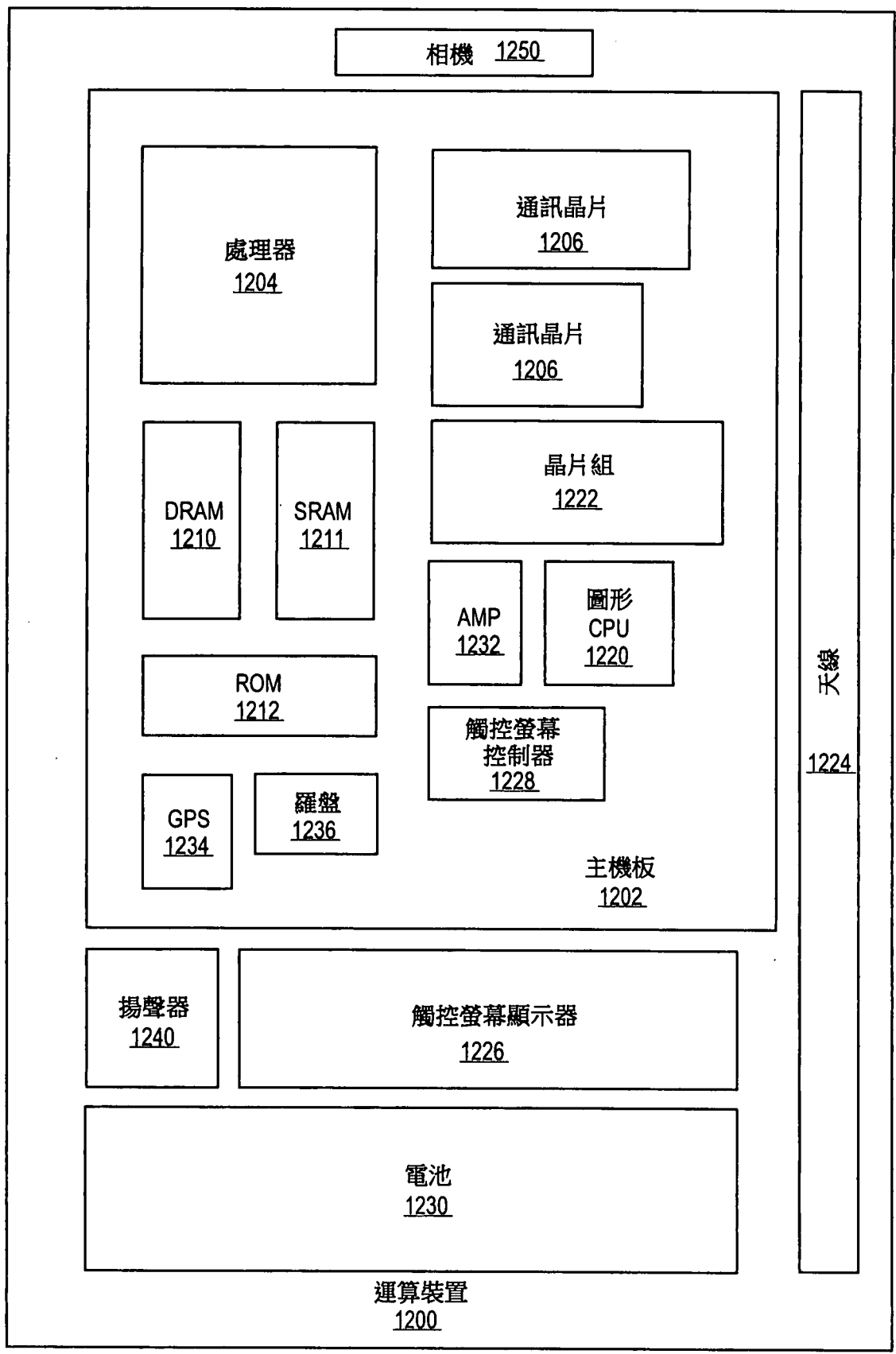


圖 7