



(12) 发明专利申请

(10) 申请公布号 CN 103872039 A

(43) 申请公布日 2014. 06. 18

(21) 申请号 201210530228. 2

(22) 申请日 2012. 12. 11

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 甘正浩 冯军宏

(74) 专利代理机构 北京德琦知识产权代理有限公司 11018

代理人 牛峥 王丽琴

(51) Int. Cl.

H01L 27/02(2006. 01)

H01L 23/38(2006. 01)

H01L 21/82(2006. 01)

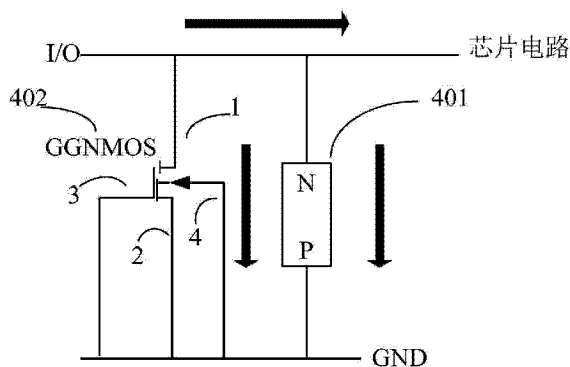
权利要求书2页 说明书5页 附图4页

(54) 发明名称

静电放电保护电路及其制作方法

(57) 摘要

本发明公开了一种静电放电保护电路,包括位于半导体衬底上的栅极接地 N 型金属氧化物半导体 GGNMOS 晶体管,所述 GGNMOS 晶体管的漏极连接芯片电路的输入 / 输出端,源极和栅极以及半导体衬底均接地;该电路还包括位于所述 GGNMOS 晶体管附近,用于吸收所述 GGNMOS 晶体管产生的热量的珀耳帖冷却元件。本发明还公开了一种静电放电保护电路的制作方法。采用本发明能够延长 ESD 保护器件的工作寿命。



1. 一种静电放电保护电路,包括位于半导体衬底上的栅极接地 N 型金属氧化物半导体 GGNMOS 晶体管,所述 GGNMOS 晶体管的漏极连接芯片电路的输入 / 输出端,源极和栅极以及半导体衬底均接地;其特征在于,该电路还包括位于所述 GGNMOS 晶体管附近,用于吸收所述 GGNMOS 晶体管产生的热量的珀耳帖冷却元件。

2. 如权利要求 1 所述的静电放电保护电路,其特征在于,所述珀耳帖冷却元件为热电偶,该热电偶包括 N 掺杂部分和 P 掺杂部分,以及连接 N 掺杂部分和 P 掺杂部分的金属,在 N 掺杂部分的未与金属连接的一端具有第一接触电极,在 P 掺杂部分的未与金属连接的一端具有第二接触电极。

3. 如权利要求 2 所述的静电放电保护电路,其特征在于,所述珀耳帖冷却元件与所述 GGNMOS 晶体管并联,所述第一接触电极与 GGNMOS 晶体管的漏极连接,所述第二接触电极与地连接。

4. 如权利要求 2 所述的静电放电保护电路,其特征在于,所述第一接触电极与 GGNMOS 晶体管的漏极连接,所述第二接触电极与芯片电路连接。

5. 如权利要求 2、3 或 4 所述的静电放电保护电路,其特征在于,所述 GGNMOS 晶体管为多指并联的 GGNMOS 晶体管。

6. 如权利要求 5 所述的静电放电保护电路,其特征在于,所述连接 N 掺杂部分和 P 掺杂部分的金属为铜或者铝。

7. 一种静电放电保护电路的制作方法,该方法包括:

提供一栅极接地 N 型金属氧化物半导体 GGNMOS 晶体管,所述 GGNMOS 晶体管至少包括位于半导体衬底表面的栅极,栅极两侧衬底内、掺杂类型为 N 型的源极和漏极;在形成所述源极和漏极的同时,在半导体衬底内的冗余区域形成珀耳帖冷却元件的 N 掺杂部分和 P 掺杂部分;

在 GGNMOS 晶体管表面形成金属间互连层,所述金属间互连层内具有填充有金属的连接孔;

在所述金属间互连层的表面形成层间介质层,所述层间介质层内具有填充有金属的沟槽或者连接孔;在形成填充有金属的沟槽或者连接孔的同时,同层形成珀耳帖冷却元件的连接 N 掺杂部分和 P 掺杂部分的金属,所述连接 N 掺杂部分和 P 掺杂部分的金属与所述填充有金属的沟槽或者连接孔之间通过层间介质层绝缘,且通过连接孔与珀耳帖冷却元件的 N 掺杂部分和 P 掺杂部分电性连接;

将所述 GGNMOS 晶体管的漏极连接芯片电路的输入 / 输出端,源极和栅极以及半导体衬底均接地;将所述珀耳帖冷却元件接入电路。

8. 如权利要求 7 所述的方法,其特征在于,将所述珀耳帖冷却元件接入电路的方法包括:

将所述珀耳帖冷却元件在 N 掺杂部分的未与金属连接的一端通过第一接触电极与所述 GGNMOS 晶体管的漏极连接,将所述珀耳帖冷却元件在 P 掺杂部分的未与金属连接的一端通过第二接触电极与地连接。

9. 如权利要求 7 所述的方法,其特征在于,将所述珀耳帖冷却元件接入电路的方法包括:

将所述珀耳帖冷却元件在 N 掺杂部分的未与金属连接的一端通过第一接触电极与所

述 GGMOS 晶体管的漏极连接,将所述珀耳帖冷却元件在 P 掺杂部分的未与金属连接的一端通过第二接触电极与芯片电路连接。

静电放电保护电路及其制作方法

技术领域

[0001] 本发明涉及集成电路制造领域,特别涉及一种静电放电保护电路及其制作方法。

背景技术

[0002] 在集成电路(IC)芯片制造和最终应用系统中,随着超大规模集成电路工艺技术的不断提高,目前互补型金属氧化物半导体管(CMOS)集成电路已经进入了超深亚微米阶段,MOS器件的尺寸不断缩小,静电放电(Electrostatic Discharge,ESD)对集成电路的危害变得越来越显著。据统计,集成电路失效的产品中有35%是由于ESD问题所引起的。因此,对集成电路进行ESD保护设计也变得尤为重要。

[0003] 当使用器件对集成电路进行ESD保护时,常用的器件为栅极接地NMOS管(GGNMOS)、可控硅(Silicon Controlled Rectifier,SCR)、二极管等。其中由于GGNMOS与集成电路CMOS工艺很好的兼容性,而被广泛采用。图1为现有的用于ESD保护电路的GGNMOS器件半导体结构图。图2为与图1相对应的用于ESD保护电路的GGNMOS器件等效电路图。如图1和图2所示,该GGNMOS器件包括P型衬底100;位于P型衬底100表面的栅极101;分别位于栅极101两侧衬底内、掺杂类型为N型的源极102和漏极103。在上述GGNMOS器件内包括一个由源极102和漏极103,以及两者之间的衬底100构成的寄生NPN三极管。其中,漏极103作为集电极、源极102作为发射极、衬底100作为基极。将P型衬底100、源极102和栅极101均连接至地线GND,而将漏极103连接至电源线VDD和芯片电路的输入/输出端(I/O)。由于栅极101和P型衬底100接地,GGNMOS器件始终无法开启形成导电沟道。当电源线VDD上的电位位于正常的工作状态时,GGNMOS器件关闭,且其中的寄生NPN三极管也不会导通;当电源线VDD上受到ESD静电脉冲而导致瞬时电位过高时,将触发GGNMOS器件内寄生NPN三极管产生电流,使得电源线VDD和地线GND之间导通,ESD静电脉冲产生的瞬间大电流将迅速通过上述寄生NPN三极管流走,从而达到保护内部电路受到ESD静电冲击的目的。当ESD静电脉冲消失以后,上述寄生NPN三极管关闭,对被保护的内部电路的正常工作不会造成影响。

[0004] 需要注意的是,当GGNMOS在瞬间通过大的电流时,会产生大量的热量而将GGNMOS烧坏,使其失去ESD保护能力,因此,如何延长GGNMOS的工作寿命,更好地保护电路,成为需要解决的问题。

发明内容

[0005] 有鉴于此,本发明提供了一种静电放电保护电路及其制作方法,能够延长ESD保护器件的工作寿命。

[0006] 本发明的技术方案是这样实现的:

[0007] 本发明提供了一种静电放电保护电路,包括位于半导体衬底上的栅极接地N型金属氧化物半导体GGNMOS晶体管,所述GGNMOS晶体管的漏极连接芯片电路的输入/输出端,源极和栅极以及半导体衬底均接地;该电路还包括位于所述GGNMOS晶体管附近,用于吸收

所述 GGNMOS 晶体管产生的热量的珀耳帖冷却元件。

[0008] 所述珀耳帖冷却元件为热电偶,该热电偶包括 N 掺杂部分和 P 掺杂部分,以及连接 N 掺杂部分和 P 掺杂部分的金属,在 N 掺杂部分的未与金属连接的一端具有第一接触电极,在 P 掺杂部分的未与金属连接的一端具有第二接触电极。

[0009] 所述珀耳帖冷却元件与所述 GGNMOS 晶体管并联,所述第一接触电极与 GGNMOS 晶体管的漏极连接,所述第二接触电极与地连接。

[0010] 所述第一接触电极与 GGNMOS 晶体管的漏极连接,所述第二接触电极与芯片电路连接。

[0011] 所述 GGNMOS 晶体管为多指并联的 GGNMOS 晶体管。

[0012] 所述连接 N 掺杂部分和 P 掺杂部分的金属为铜或者铝。

[0013] 本发明还提供了一种静电放电保护电路的制作方法,该方法包括:

[0014] 提供一栅极接地 N 型金属氧化物半导体 GGNMOS 晶体管,所述 GGNMOS 晶体管至少包括位于半导体衬底表面的栅极,栅极两侧衬底内、掺杂类型为 N 型的源极和漏极;在形成所述源极和漏极的同时,在半导体衬底内的冗余区域形成珀耳帖冷却元件的 N 掺杂部分和 P 掺杂部分;

[0015] 在 GGNMOS 晶体管表面形成金属间互连层,所述金属间互连层内具有填充有金属的连接孔;

[0016] 在所述金属间互连层的表面形成层间介质层,所述层间介质层内具有填充有金属的沟槽或者连接孔;在形成填充有金属的沟槽或者连接孔的同时,同层形成珀耳帖冷却元件的连接 N 掺杂部分和 P 掺杂部分的金属,所述连接 N 掺杂部分和 P 掺杂部分的金属与所述填充有金属的沟槽或者连接孔之间通过层间介质层绝缘,且通过连接孔与珀耳帖冷却元件的 N 掺杂部分和 P 掺杂部分电性连接;

[0017] 将所述 GGNMOS 晶体管的漏极连接芯片电路的输入/输出端,源极和栅极以及半导体衬底均接地;将所述珀耳帖冷却元件接入电路。

[0018] 将所述珀耳帖冷却元件接入电路的方法包括:

[0019] 将所述珀耳帖冷却元件在 N 掺杂部分的未与金属连接的一端通过第一接触电极与所述 GGNMOS 晶体管的漏极连接,将所述珀耳帖冷却元件在 P 掺杂部分的未与金属连接的一端通过第二接触电极与地连接。

[0020] 将所述珀耳帖冷却元件接入电路的方法包括:

[0021] 将所述珀耳帖冷却元件在 N 掺杂部分的未与金属连接的一端通过第一接触电极与所述 GGNMOS 晶体管的漏极连接,将所述珀耳帖冷却元件在 P 掺杂部分的未与金属连接的一端通过第二接触电极与芯片电路连接。

[0022] 从上述方案可以看出,本发明的静电放电保护电路在 GGNMOS 结构的基础上增加了珀耳帖冷却元件,该珀耳帖冷却元件为热电偶,该热电偶包括 N 掺杂部分和 P 掺杂部分,以及连接 N 掺杂部分和 P 掺杂部分的金属。珀耳帖冷却元件位于 GGNMOS 结构的附近,在瞬时电流很大时,也会有电流通过该珀耳帖冷却元件,其能够及时将 GGNMOS 结构产生的热量导走,不至于将 GGNMOS 结构烧坏,从而延长了 ESD 保护器件的工作寿命,达到本发明的目的。

附图说明

- [0023] 图 1 为现有的用于 ESD 保护电路的 GGNMOS 器件半导体结构图。
- [0024] 图 2 为与图 1 相对应的用于 ESD 保护电路的 GGNMOS 器件等效电路图。
- [0025] 图 3 为根据珀耳帖效应形成的珀耳帖冷却元件示意图。
- [0026] 图 4 为本发明第一实施例静电放电保护电路的等效电路图。
- [0027] 图 5 为本发明静电放电保护电路半导体结构剖面示意图。
- [0028] 图 6 为本发明第一实施例静电放电保护电路半导体结构俯视示意图。
- [0029] 图 7 为本发明第二实施例静电放电保护电路的等效电路图。
- [0030] 图 8 为本发明第二实施例静电放电保护电路半导体结构俯视示意图。

具体实施方式

[0031] 为使本发明的目的、技术方案及优点更加清楚明白,以下参照附图并举实施例,对本发明作进一步详细说明。

[0032] 本发明的核心思想就是在具有 GGNMOS 晶体管的 ESD 保护电路中加入了珀耳帖冷却元件,珀耳帖冷却元件位于 GGNMOS 晶体管的附近,珀耳帖冷却元件在通入电流后能够达到冷却 GGNMOS 晶体管的效果。下面简单介绍一下珀耳帖冷却元件的应用背景。

[0033] 当电流流过连接的并且保持在均匀温度下的两种不同导体时,除了焦耳热外还产生辐射或吸收热。这种效应是在 1834 年首先由 J. C. A. Peltier 发现的现象,并且称作珀耳帖效应。根据珀耳帖效应形成的珀耳帖冷却元件示意图如图 3 所示。该珀耳帖冷却元件包括 N 掺杂部分 5 和 P 掺杂部分 6,以及连接 N 掺杂部分和 P 掺杂部分的金属 10,在 N 掺杂部分的未与金属连接的一端具有第一接触电极 11,在 P 掺杂部分的未与金属连接的一端具有第二接触电极 12。当电流从 N 流向 P 时,连接 N 掺杂部分和 P 掺杂部分的金属 10 的温度下降,第一接触电极 11 和第二接触电极 12 处的温度上升,本发明正是利用温度下降的金属 10,冷却 GGNMOS 晶体管,使得 GGNMOS 晶体管在瞬时电流过大时,即起到保护电路作用,又不至于热量过高而被烧坏,从而达到本发明的目的。

[0034] 本发明第一实施例静电放电保护电路的等效电路图如图 4 所示。珀耳帖冷却元件 401 与 GGNMOS 晶体管 402 并联。其中,GGNMOS 晶体管 402 的漏极 1 连接芯片电路的输入/输出端,源极 2 和栅极 3 以及半导体衬底 4 均接地;珀耳帖冷却元件 401 的 N 掺杂部分通过第一接触电极(图中未示)连接到 GGNMOS 晶体管 402 的漏极 1,珀耳帖冷却元件 401 的 P 掺杂部分通过第二接触电极(图中未示)与地连接。

[0035] 本发明实施例静电放电保护电路的制作方法,包括以下步骤,下面结合图 5 的静电放电保护电路半导体结构剖面示意图,以及图 6 的静电放电保护电路半导体结构俯视示意图进行详细说明。

[0036] 步骤 41、提供一栅极接地 N 型金属氧化物半导体 GGNMOS 晶体管,所述 GGNMOS 晶体管至少包括位于半导体衬底 4 表面的栅极 3,栅极 3 两侧衬底内、掺杂类型为 N 型的源极 2 和漏极 1;在形成所述源极 2 和漏极 1 的同时,在半导体衬底内的冗余区域形成珀耳帖冷却元件的 N 掺杂部分 5 和 P 掺杂部分 6;

[0037] 对于 GGNMOS 晶体管的形成在此不再赘述,GGNMOS 晶体管设置在有源区内,通过浅沟槽隔离区(STI)隔离每一个有源区。半导体衬底 4 为 P 型衬底,可以为单晶硅、多晶硅、

碳化硅或者硅锗化合物等。由于 NMOS 管用电子作为多数载流子,所以 NMOS 管的源极和漏极为 N 型,注入 N 型元素氟化硼(BF_2)或硼(B)等。在对半导体衬底进行离子注入形成源漏极的同时,在半导体衬底表面不存在功能器件的位置处,即冗余区域,也进行 N 型离子注入形成珀耳帖冷却元件的 N 掺杂部分 5,在另一冗余区域进行 P 型离子注入形成珀耳帖冷却元件的 P 掺杂部分 6,注入的 P 型元素为磷(P)或砷(As)等。

[0038] 步骤 42、在 GGNMOS 晶体管表面形成金属间互连层 7,所述金属间互连层 7 内具有填充有金属的连接孔 8;

[0039] 为了清楚说明本发明的珀耳帖冷却元件,图 5 中只示出了与珀耳帖冷却元件的 N 掺杂部分 5 和 P 掺杂部分 6 电性连接的连接孔 8,其他与栅极、源极和漏极联通的连接孔都没有示出。该步骤是制作金属互连层的基础工艺,只是同时制作了与珀耳帖冷却元件的 N 掺杂部分 5 和 P 掺杂部分 6 电性连接的连接孔。

[0040] 步骤 43、在所述金属间互连层 7 的表面形成层间介质层 9,所述层间介质层 9 内具有填充有金属的沟槽或者连接孔;在形成填充有金属的沟槽或者连接孔的同时,同层形成珀耳帖冷却元件的连接 N 掺杂部分 5 和 P 掺杂部分 6 的金属 10,所述连接 N 掺杂部分和 P 掺杂部分的金属 10 与所述填充有金属的沟槽或者连接孔之间通过层间介质层 9 绝缘,且通过连接孔 8 与珀耳帖冷却元件的 N 掺杂部分 5 和 P 掺杂部分 6 电性连接。

[0041] 该步骤是制作金属互连层的基础工艺,只是同时制作了珀耳帖冷却元件的连接 N 掺杂部分 5 和 P 掺杂部分 6 的金属 10。需要说明的是,金属 10 与填充有金属的沟槽或者连接孔同层形成,金属 10 要求与填充有金属的沟槽或者连接孔之间隔离开,并且金属 10 要与下层的连接孔 8 电性连接,从图 6 的俯视图即可看出。上述连接孔或者沟槽内填充的金属为铜或者铝等。

[0042] 步骤 44、将所述 GGNMOS 晶体管的漏极 1 连接芯片电路的输入 / 输出端,源极 2 和栅极 3 以及半导体衬底 4 均接地;将所述珀耳帖冷却元件接入电路;其中,将所述珀耳帖冷却元件接入电路的方法包括:将所述珀耳帖冷却元件在 N 掺杂部分的未与金属连接的一端通过第一接触电极 11 与所述 GGNMOS 晶体管的漏极 1 连接,将所述珀耳帖冷却元件在 P 掺杂部分的未与金属连接的一端通过第二接触电极 12 与地连接。

[0043] 该实施例具体工作原理如下:

[0044] 当 ESD 发生时,电流同时流过 GGNMOS 晶体管 402 和珀耳帖冷却元件 401,珀耳帖冷却元件 401 的连接 N 掺杂部分 5 和 P 掺杂部分 6 的金属 10 温度下降,由于 GGNMOS 晶体管 402 和珀耳帖冷却元件 401 距离很近,下降的温度通过介质层传递给 GGNMOS 晶体管 402,使得 GGNMOS 晶体管 402 在 ESD 发生时流过的大电流所产生的热量被迅速吸收,不至于将 GGNMOS 晶体管 402 烧坏。

[0045] 另外,为了提高 GGNMOS 器件的抗击 ESD 能力,通常会采用多指并联的 GGNMOS 结构,即多个 GGNMOS 并联在一起,但是这种多指并联结构会引起非一致触发问题:中间的 NMOS 的泄漏通道中的寄生电阻比周围的 NMOS 泄漏通道中的寄生电阻大,当电源线 VDD 上产生静电破坏导致电位升高时,中间的 NMOS 总是先于其他 NMOS 导通,不但使得上述多指并联的 GGNMOS 结构的导通均匀性很差,而且会由于中间的 NMOS 产生的热量太大而被烧坏,使得整个多指并联的 GGNMOS 结构失去 ESD 保护能力。因此,本发明的珀耳帖冷却元件 401,其连接 N 掺杂部分 5 和 P 掺杂部分 6 的金属 10 也可以围绕该多指并联的 GGNMOS 结构,有效吸

收中间的 NMOS 产生的热量,提高多指并联的 GGNMOS 结构的导通均匀性。

[0046] 本发明第二实施例静电放电保护电路的等效电路图如图 7 所示。其中,GGNMOS 晶体管 402 的漏极 1 连接芯片电路的输入 / 输出端,源极 2 和栅极 3 以及半导体衬底 4 均接地;珀耳帖冷却元件 401 的 N 掺杂部分通过第一接触电极(图中未示)连接到 GGNMOS 晶体管 402 的漏极 1,珀耳帖冷却元件 401 的 P 掺杂部分通过第二接触电极(图中未示)与芯片电路连接。

[0047] 该实施例中静电放电保护电路的制作方法,与第一实施例基本相同,区别在于将珀耳帖冷却元件 401 接入电路时,P 掺杂部分通过第二接触电极 12 与芯片电路连接。本发明第二实施例静电放电保护电路半导体结构俯视示意图如图 8 所示。

[0048] 该实施例具体工作原理如下:

[0049] 当 ESD 发生时,电流流过 GGNMOS 晶体管 402,但不可避免也会有小电流流过珀耳帖冷却元件 401,这时珀耳帖冷却元件 401 开始工作,珀耳帖冷却元件 401 的连接 N 掺杂部分 5 和 P 掺杂部分 6 的金属 10 温度下降,由于 GGNMOS 晶体管 402 和珀耳帖冷却元件 401 距离很近,下降的温度通过介质层传递给 GGNMOS 晶体管 402,使得 GGNMOS 晶体管 402 在 ESD 发生时流过的大电流所产生的热量被迅速吸收,不至于将 GGNMOS 晶体管 402 烧坏。同理,也可以在该实施例的保护电路中应用多指并联的 GGNMOS 结构,珀耳帖冷却元件 401,其连接 N 掺杂部分 5 和 P 掺杂部分 6 的金属 10 围绕该多指并联的 GGNMOS 结构,有效吸收中间的 NMOS 产生的热量,提高多指并联的 GGNMOS 结构的导通均匀性。

[0050] 上述两个实施例列举出珀耳帖冷却元件连接到保护电路中的两个方式,本发明的保护并不限于此,只要珀耳帖冷却元件 401 能够通入电流,且位于 GGNMOS 晶体管的附近,其连接 N 掺杂部分 5 和 P 掺杂部分 6 的金属 10 围绕该 GGNMOS 晶体管,有效吸收 GGNMOS 晶体管通过电流时产生的热量即可。

[0051] 通过本发明的静电放电保护电路,利用珀耳帖冷却元件通入电流后温度下降的原理,将该珀耳帖冷却元件设置在 GGNMOS 晶体管的附近,用于吸收 GGNMOS 晶体管产生的热量,从而达到本发明的目的。另一方面,本发明实施例在制作静电放电保护电路时,利用了现有工艺的制作工序,例如在制作源漏极的同时制作珀耳帖冷却元件的 N 掺杂部分和 P 掺杂部分;在制作金属互连层的同时制作珀耳帖冷却元件的连接 N 掺杂部分和 P 掺杂部分的金属,使制作方法简单易实现。

[0052] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明保护的范围之内。

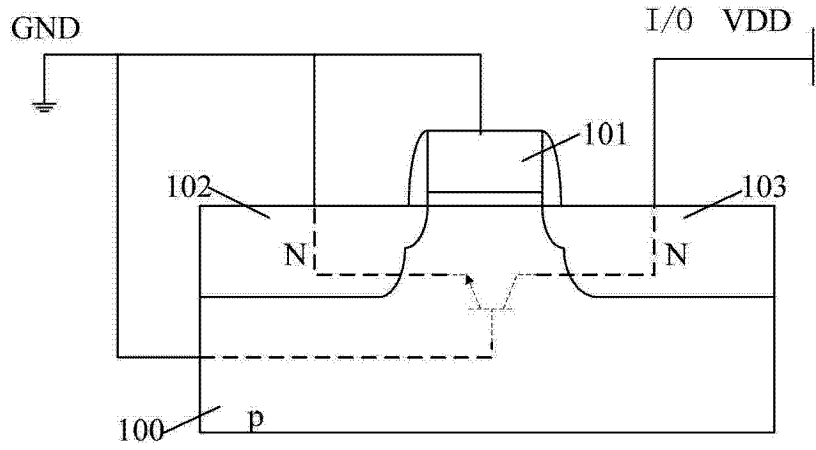


图 1

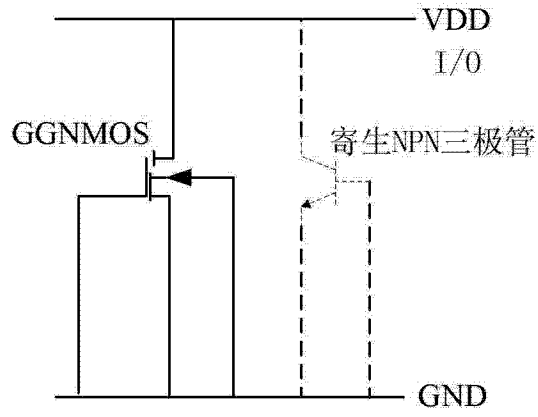


图 2

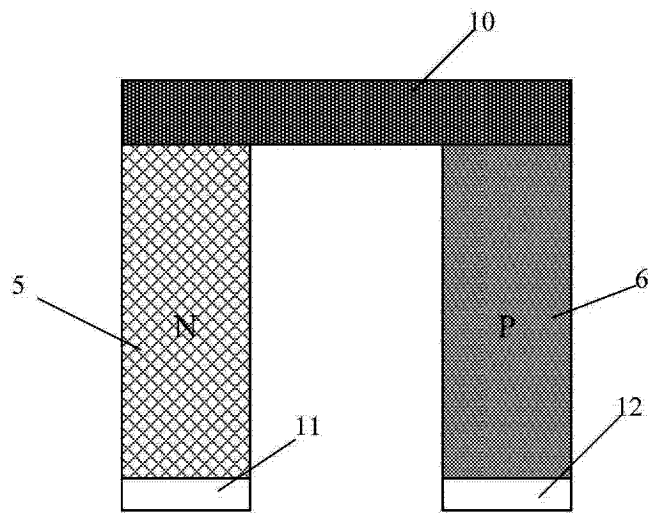


图 3

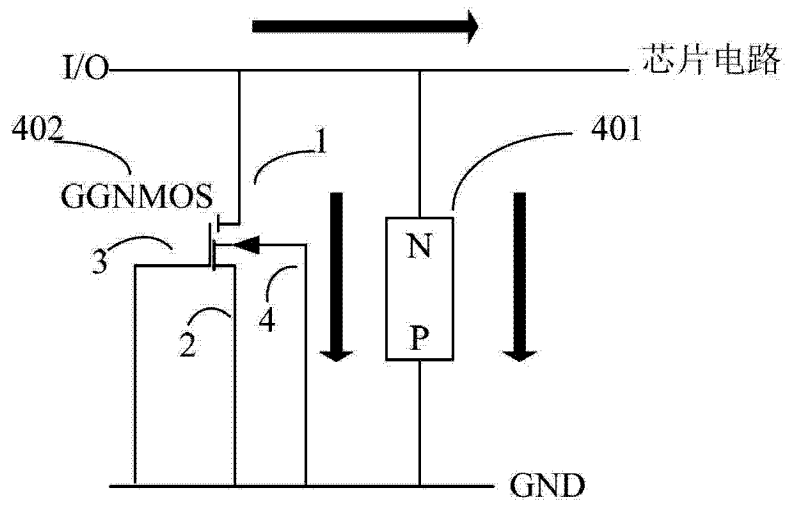


图 4

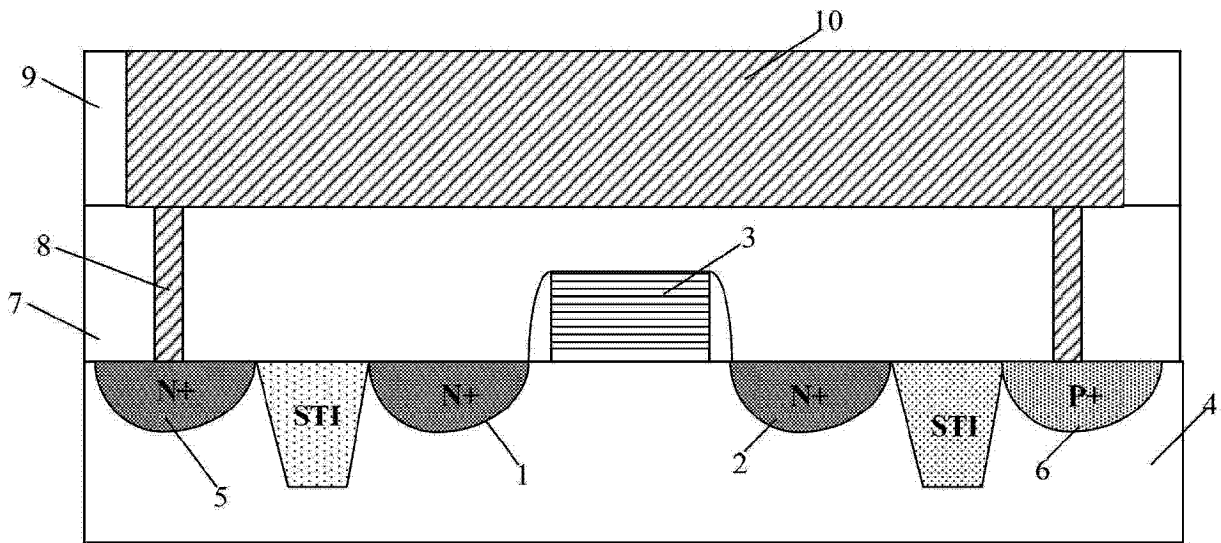


图 5

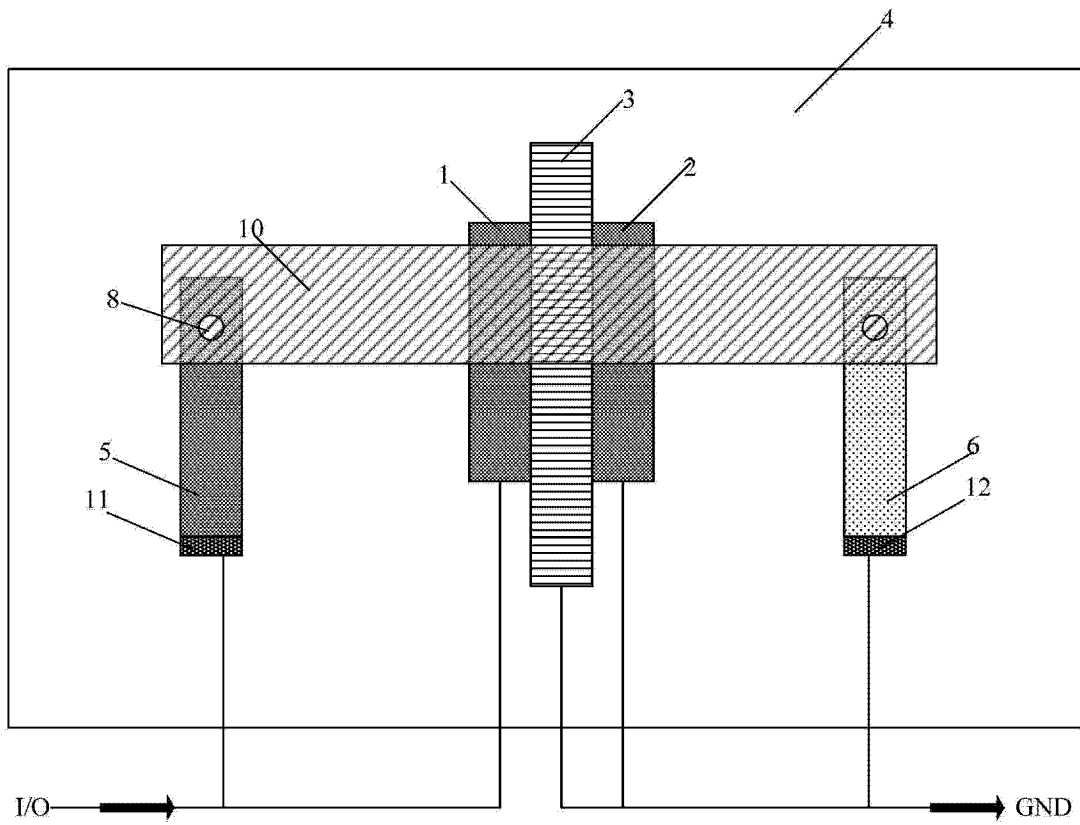


图 6

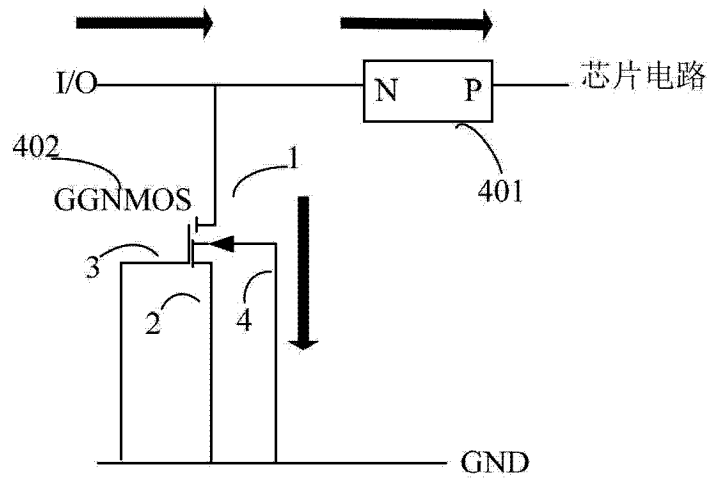


图 7

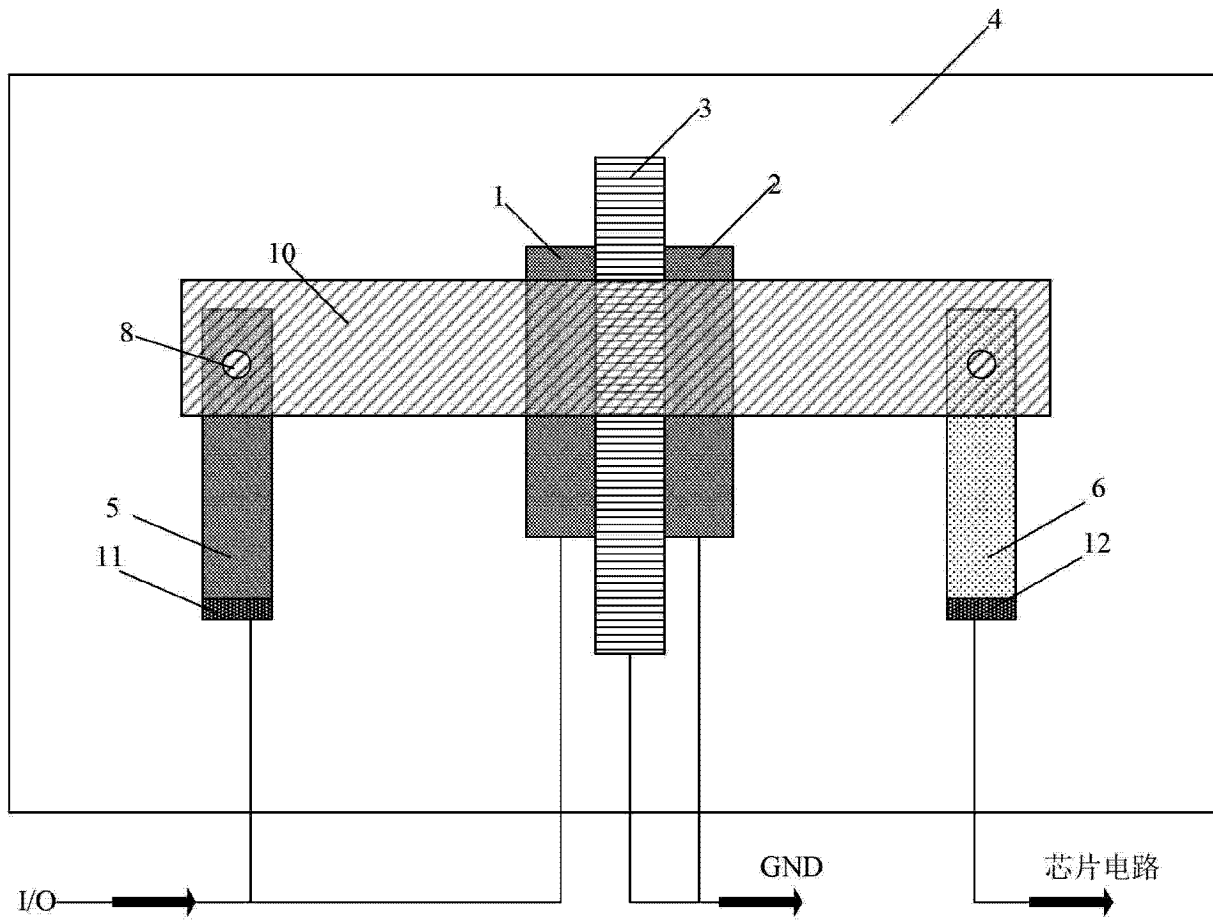


图 8