



(12)

Patentschrift

(21) Aktenzeichen: **10 2008 045 037.5**
(22) Anmeldetag: **29.08.2008**
(43) Offenlegungstag: **04.03.2010**
(45) Veröffentlichungstag
der Patenterteilung: **30.12.2010**

(51) Int Cl.⁸: **H01L 27/11** (2006.01)
H01L 29/41 (2006.01)
H01L 21/768 (2006.01)
H01L 21/8244 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
**Advanced Micro Devices, Inc., Sunnyvale, Calif.,
US; AMD Fab 36 Limited Liability Company & Co.
KG, 01109 Dresden, DE**

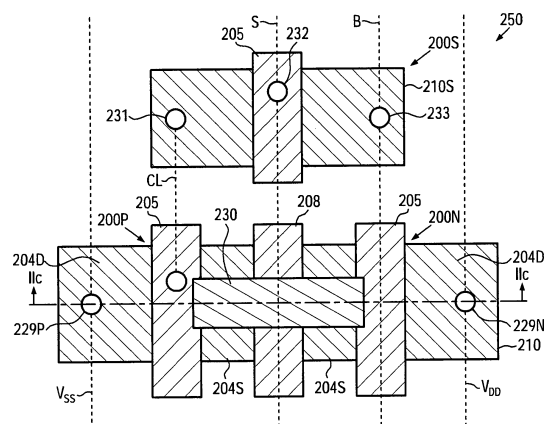
(72) Erfinder:
Wirbeleit, Frank, 01109 Dresden, DE

(74) Vertreter:
**Grünecker, Kinkeldey, Stockmair &
Schwanhäusser, 80802 München**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 10 2004 037087 A1

(54) Bezeichnung: **Statischer RAM-Zellenaufbau und Mehrfachkontaktschema zum Anschluss von Doppelkanaltransistoren**

(57) Hauptanspruch: Speicherzelle (250) mit:
einem p-Doppelkanaltransistor (200p) mit einer ersten Gateelektrode (205), die über einem aktiven Gebiet (210) gebildet ist;
einem n-Doppelkanaltransistor (200n) mit einer zweiten Gateelektrode (205), die über dem aktiven Gebiet (210) gebildet ist;
einer Platzhaltergateelektrode (205a), die über dem aktiven Gebiet (210) gebildet ist und lateral zwischen der ersten Gateelektrode und der zweiten Gateelektrode (205) angeordnet ist;
einem dielektrischen Zwischenschichtmaterial (222) (222), das über dem p-Doppelkanaltransistor (200p) und dem n-Doppelkanaltransistor (200n) gebildet ist; und
einem Kontaktelement (230), das in dem dielektrischen Zwischenschichtmaterial (222) (222) gebildet ist, wobei das Kontaktelement (230) eine Verbindung zu der ersten und/oder der zweiten Gateelektrode (205) und/oder der Platzhaltergateelektrode (205a) herstellt; wobei der p-Doppelkanaltransistor (200p) ein n-Kanalgebiet (203a) aufweist, das unter der ersten Gateelektrode (205) ausgebildet ist, und ein p-Kanalgebiet (203b) aufweist, das unter dem n-Kanalgebiet (203a) gebildet ist; und der n-Doppelkanaltransistor (200n) ein p-Kanalgebiet (203a), das...



Beschreibung

Gebiet der vorliegenden Offenbarung

[0001] Die vorliegende Offenbarung betrifft allgemein die Herstellung integrierter Schaltungen und betrifft insbesondere Transistorarchitekturen, die eine erweiterte Funktion von Transistorbauelementen ermöglichen, wodurch die Möglichkeit geschaffen wird, statische RAM-Zellen und dergleichen in einer platzsparenden Weise zu schaffen.

Beschreibung des Stands der Technik

[0002] In modernen integrierten Schaltungen, etwa Mikroprozessoren, Speicherbauelementen und dergleichen werden eine sehr große Anzahl an Schaltungselementen insbesondere Transistoren auf einer beschränkten Chipfläche vorgesehen und betrieben. Obwohl ein gewaltiger Fortschritt über die letzten Jahrzehnte im Hinblick auf eine größere Leistungsfähigkeit und geringere Strukturgrößen der Schaltungselemente gemacht wurden, zwingt die ständige Forderung nach mehr Funktionsvielfalt elektronischer Bauelemente die Halbleiterhersteller dazu, die Abmessungen der Schaltungselemente weiter zu verringern und deren Arbeitsgeschwindigkeit zu erhöhen. Jedoch beinhaltet die ständige Verringerung der Strukturgrößen enorme Anstrengungen im Hinblick auf das Neugestalten von Prozesstechniken und das Entwickeln neuer Prozessstrategien und Prozessanlagen, um den neuen Entwurfsregeln zu genügen. Im Allgemeinen ist in komplexen Schaltungen mit komplexen Logikbereichen die MOS-Technologie aktuell eine bevorzugte Fertigungstechnik im Hinblick auf das Bauteilleistungsverhalten und/oder die Leistungsaufnahme und/oder die Kosteneffizienz. In integrierten Schaltungen mit Logikbereichen, die gemäß der MOS-Technologie hergestellt werden, werden eine große Anzahl an Feldeffekttransistoren (FET) vorgesehen, die typischerweise in einem geschalteten Zustand betrieben werden, d. h. diese Bauelemente besitzen einen gut leitenden Zustand (eingeschalteter Zustand) und einen hochohmigen Zustand (ausgeschalteter Zustand). Der Zustand des Feldeffekttransistors wird durch eine Gateelektrode gesteuert, die beim Anlegen einer geeigneten Steuerspannung die Leitfähigkeit eines Kanalgebiets beeinflusst, das zwischen einem Drainanschluss und einem Sourceanschluss ausgebildet ist.

[0003] Auf der Basis von Feldeffekttransistoren werden komplexere Schaltungskomponenten hergestellt. Beispielsweise repräsentieren Speicherelemente in Form von Register, statischem RAM (Speicher mit wahlfreiem Zugriff) und dynamischen RAM-Zellen eine wichtige Komponente komplexer Logikschaltungen. Während des Betriebs komplexer CPU-Kerne müssen beispielsweise eine große Menge an Daten zeitweilig gespeichert und abgerufen

werden, wobei die Arbeitsgeschwindigkeit und die Kapazität der Speicherelemente das Gesamtleistungsverhalten der CPU wesentlich beeinflusst. Abhängig von der in komplexen integrierten Schaltung angewendeten Speicherhierarchie werden unterschiedliche Arten an Speicherelementen eingesetzt. Beispielsweise werden Register und statische RAM-Zellen typischerweise in CPU-Kern auf Grund ihrer besseren Zugriffszeiten eingesetzt, während dynamische RAM-Elemente vorzugsweise als Arbeitsspeicher auf Grund der erhöhten Bitdichte im Vergleich zu Register oder statischen RAM-Zellen verwendet werden. In anderen Anwendungen werden größere statische RAM-Bauelemente häufig in einer zunehmenden Vielzahl elektronischer Produkte eingesetzt, wobei auch Forderungen im Hinblick auf eine geringe Leistungsaufnahme und eine hohe Informationsspeicherdichte durch diese statischen RAM-Bauelemente zu erfüllen sind. Typischerweise enthält eine dynamische RAM-Zelle einen Speicherkondensator und einen einzelnen Transistor, wobei jedoch ein komplexes Speichervorhaltesystem erforderlich ist, um periodisch die in den Speicherkondensatoren enthaltene Ladung aufzufrischen, die ansonsten auf Grund unvermeidlicher Leckströme verloren gehen würde. Obwohl die Bitdichte von DRAM-Bauelementen sehr hoch ist, muss Ladung in die Speicherkondensatoren übertragen und daraus abgeführt werden in Verbindung mit dem periodischen Auffrischimpulsen, wodurch diese Bauelemente weniger effizient im Hinblick auf die Geschwindigkeit und die Leistungsaufnahme im Vergleich zu statischen RAM-Zellen sind. Andererseits erfordern statische RAM-Zellen mehrere Transistorelemente, um ein Informationsbit zu speichern.

[0004] Um die Anzahl an Transistorelementen in statischen RAM-Zellen zu verringern, wurde daher vorgeschlagen, Feldeffekttransistoren mit einer größeren Funktionshöhe im Vergleich zu konventionellen Feldeffekttransistoren zu verwenden, indem ein modifiziertes Körpergebiet der Feldeffekttransistoren auf der Grundlage eines zusätzlichen dotierten Gebiets bereitgestellt wird, um damit als ein „zweites“ Kanalgebiet zu dienen, das diesem sogenannten Doppelkanalfeldeffekttransistoren andere Transistoreigenschaften verleiht. D. h. durch das Vorsehen eines weiteren zweiten Kanalgebiets in dem Körper des planaren Feldeffekttransistors kann die Transkonduktanz bzw. Steilheit des Transistors so modifiziert werden, dass ein lokales Maximum in dem Drain/Source auftritt, wodurch eine Übergangs- bzw. Transferkurve mit drei Zuständen entsteht, die zum Bereitstellen grundlegender Transistorschaltungen mit erhöhter Funktionalität verwendet werden kann. Beispielsweise können mit diesen konventionellen Transistorarchitekturen RAM-Zellen mit einer geringeren Anzahl an Transistoren bereitgestellt werden.

[0005] In der DE 10 2004 037 087 A1 wird ein

selbstvorspannender Doppelkanal-FET beschrieben, der als Bestandteil einer SRAM-Zelle dienen kann.

[0006] [Fig. 1a](#) zeigt schematisch eine Querschnittsansicht eines konventionellen Transistorelements **100**, das bei der Herstellung einer elektronischen Schaltung, etwa einer RAM-Zelle mit erhöhter Funktionsfähigkeit oder mit einer geringeren Anzahl an Schaltungselementen im Vergleich zu konventionellen Strategien verwendet werden kann, indem die Transistortransferkurve mit drei Zuständen ausgenutzt wird. Das Transistorelement **100** umfasst ein Substrat, das ein beliebiges geeignetes Substrat, etwa ein Halbleitervollsubstrat, ein isolierendes Substrat mit einer darauf ausgebildeten kristallinen Halbleiterschicht und dergleichen, repräsentieren kann. Beispielsweise repräsentiert das Substrat ein Siliziumvollsubstrat oder ein SOI-(Silizium-auf-Isolator)Substrat, da gegenwärtig und in der nahen Zukunft die Mehrzahl komplexer integrierter Schaltungen auf der Grundlage von Silizium hergestellt wird. Ein im Wesentlichen kristallines Halbleitergebiet **102** ist auf dem Substrat ausgebildet und umfasst ein spezielles Dotierstoffmaterial, um die gewünschte Leitfähigkeitsart des Gebiets **102** zu erzeugen. In dem in [Fig. 1a](#) gezeigten Beispiel ist das Halbleitergebiet **102** so dotiert, dass eine p-Leitfähigkeit geschaffen wird. Ferner sind Drain- und Sourcegebiete **104** benachbart zu dem Gebiet **102** ausgebildet und enthalten ein Dotierstoffmaterial, das den Drain- und Sourcegebieten **104** eine Leitfähigkeitsart verleiht, die invers ist zu der Leitfähigkeitsart des Halbleitergebiets **102**. In dem gezeigten Beispiel sind die Drain- und Sourcegebiete **104** stark dotiert, so dass entsprechende pn-Übergänge entlang den Grenzflächen zwischen den Drain- und Sourcegebieten **104** und dem Halbleitergebiet **102** gebildet sind. Ferner ist ein Kanalgebiet **103** zwischen den Drain- und Sourcegebieten **104** entsprechend typischer planarer Transistorkonfigurationen angeordnet und enthält ein erstes Kanalteilgebiet **103a**, das im Hinblick auf die Drain- und Sourcegebiete **104** invers dotiert ist. Beispielsweise kann das erste Kanalteilgebiet **103a** als ein „konventionelles“ Kanalgebiet eines konventionellen Anreicherungstransistors betrachtet werden. Des Weiteren umfasst das Kanalgebiet **103** ein zweites Kanalteilgebiet **103b**, das in Bezug auf das erste Kanalteilgebiet **103a** invers dotiert ist und daher als ein „Verarmungskanal“ betrachtet werden kann. In dem gezeigten Beispiel repräsentiert der planare Feldeffekttransistor **100** aus [Fig. 1a](#) einen n-Transistor und daher ist das erste Kanalteilgebiet **103a** p-dotiert und das zweite Kanalteilgebiet **103** ist n-dotiert. Das Transistorelement **100** umfasst ferner eine Gateelektrode **105**, die über dem Kanalgebiet **103** angeordnet ist, d. h. über dem ersten und dem zweiten Kanalteilgebiet **103a**, **103b**, wodurch eine kapazitive Kopplung der Gateelektrode **105** an das Kanalgebiet **103** erzeugt wird. Des Weiteren ist in dem gezeigten Beispiel die Gateelektrode **105** von dem Kanalgebiet

103 durch eine Gateisolationsschicht **106** getrennt, die über der oberen Fläche der Halbleiterbasischicht ausgebildet ist, in der die Drain- und Sourcegebiete **104** und das Kanalgebiet **103** vorgesehen sind. Die Gateisolationsschicht **106** ist aus Siliziumdioxid und/oder Siliziumnitrid und/oder Siliziumoxinitrid und/oder dielektrischen Materialien mit großem ϵ und dergleichen gemäß gut etablierter Transistorarchitekturen aufgebaut. Das Transistorelement **100**, das auch als ein Doppelkanaltransistor auf Grund der Konfiguration des Kanalgebiets **103** bezeichnet werden kann, umfasst ferner Seitenwandabstandshalter **107**, die an Seitenwänden der Gateelektrode **105** gemäß gut etablierter Transistorkonfigurationen ausgebildet sind. Ferner sind andere Komponenten, etwa Metallsilizidgebiete in den Drain- und Sourcegebieten **104** und der Gateelektrode **105** vorgesehen, um die Gesamtleitfähigkeit und damit das Transistorleistungsvermögen zu verbessern. Der Einfachheit halber sind derartige leistungssteigernde Komponenten nicht dargestellt. In einigen konventionellen Vorgehensweisen zur Herstellung eines Doppelkanaltransistors wird ein Kontaktbereich **108** vorgesehen, der eine Verbindung zu einem Bereich des Halbleitergebiets **102**, der in Verbindung mit dem Kanalgebiet **103** als das Körpergebiet des Transistors **100** bezeichnet wird, herstellt. Der Kontaktbereich **108** ist somit elektrisch mit dem Körpergebiet verbunden, während er gleichzeitig von dem Drain- oder Sourcegebiet **104** durch entsprechende pn-Übergänge elektrisch isoliert ist. Mittels des Kontaktbereichs **108** kann das Körpergebiet des Transistors **100** mit einer geeigneten Referenzspannung verbunden werden, wodurch die Steuerbarkeit des Transistors **100** verbessert wird.

[0007] Der Transistor **100** kann auf der Grundlage gut etablierter konventioneller Transistorfertigungsprozessabläufe hergestellt werden, wozu die Herstellung geeigneter Isolationsstrukturen (nicht gezeigt) gehört, um entsprechende aktive Bereiche für mehrere Transistoren, etwa dem Transistor **100**, zu bilden. Als nächstes wird die grundlegende Dotierung des Körpergebiets des Transistors eingerichtet durch gut etablierte Implantationstechniken, woran sich der Einbau einer gegensätzlichen Dotierstoffsorte anschließt, um damit das zweite Kanalgebiet **103** innerhalb des Körpergebiets zu bilden. Als nächstes wird die Gateelektrode **105** in Verbindung mit der Gateisolationsschicht **104** hergestellt, indem beispielsweise das Gatedielektrikumsmaterial durch Oxidation und/oder Abscheidung gebildet wird, woran sich das Abscheiden eines geeigneten Gateelektrodenmaterials anschließt, etwa Polysilizium und dergleichen, das nachfolgend auf der Grundlage aufwendiger Lithographietechniken strukturiert wird. Anschließend wird ein Versatzabstandshalter (nicht gezeigt) bei Bedarf gebildet und es wird eine Implantationssequenz ausgeführt, um einen ersten Bereich der Drain- und Sourcegebiete **104** zu bilden, wozu auch ein entspre-

chender Halo-Implantationsprozess gehören kann. D. h. während der Halo-Implantation wird eine Leitfähigkeitsart erzeugt, beispielsweise auf der Grundlage eines geeigneten Implantationsprozesses, die von entgegengesetzter Leitfähigkeitsart im Vergleich zu jener ist, die durch die Dotierstoffsorte für die Drain- und Sourcegebiete erreicht wird. Folglich kann zusätzlich zum Einstellen des Dotierstoffgradienten an den pn-Übergängen auch das zweite Kanalgebiet **103b** von den Drain- und Sourcegebieten auf Grund der Gegendotierung, die durch die Halo-Implantation erreicht wird und die zu einer höheren Dotierstoffkonzentrationen an den Bereichen zwischen dem zweiten Kanalgebiet **103b** und den Drain- und Sourcegebieten führt, „getrennt“ werden, da eine Gesamtleitfähigkeit in diesen Bereichen vorhanden ist, die der Leitfähigkeitsart des verbleibenden Körpergebiets entspricht. Danach wird die Abstandshalterstruktur **107** gemäß gut etablierter Abstandshaltertechniken hergestellt. Die Drain- und Sourcegebiete **104** können durch entsprechende Ionenimplantationsprozesse fertiggestellt werden, woran sich geeignet gestaltete Ausheizzyklen anschließen, um die Dotierstoffsorten zu aktivieren und durch Implantation hervorgerufene Schäden zu rekristallisieren, wodurch auch das endgültige Dotierstoffprofil eingestellt wird.

[0008] [Fig. 1b](#) zeigt schematisch das Funktionsverhalten des Doppelkanaltransistors **100**. In [Fig. 1b](#) ist die Leitfähigkeit des Transistors **100**, d. h. die Leitfähigkeit des Kanalgebiets **103**, auf der vertikalen Achse in willkürlichen Einheiten aufgetragen und die Steuerspannung V_G , die der Gateelektrode **105** zugeführt wird, ist auf der horizontalen Achse gezeigt. Der Doppelkanaltransistor **100** zeigt eine deutlich modifizierte Transkonduktanz bzw. Steilheit im Vergleich zu konventionellen planaren Feldeffekttransistoren mit einem einzelnen Kanal auf Grund des Vorhandenseins des zweiten Kanalgebiets, so dass die Leitfähigkeit des Transistors **100** ein mehr oder minder ausgeprägtes lokales Maximum aufweist. Wie gezeigt, kann, wenn die Steuerspannung V_G eine erste Schwellwertspannung V_{T1} übersteigt, eine typische Zunahme der Leitfähigkeit beobachtet werden, wie dies auch für konventionelle planare Anreicherungstransistoren der Fall ist. Bei einer zweiten Schwellwertspannung V_{T2} findet jedoch ein deutlicher Abfall der Leitfähigkeit mit zunehmender Steuerspannung V_G statt, woraus sich ein lokales Minimum an einer dritten Schwellwertspannung V_{T3} ergibt, bei der ein weiterer Anstieg der Leitfähigkeit mit zunehmender Steuerspannung V_G beobachtet werden kann. Folglich sorgen das lokale Maximum oder Minimum an den Spannungen V_{T2} und V_{T3} für einen stabilen Zwischenzustand in der Übertragungskurve des Transistors **100**, was vorteilhaft ausgenutzt werden kann, um grundlegende elektronische Schaltungen mit erweiterter Funktionsvielfalt bei gleicher Anzahl an Schaltungselementen in konventionellen Gestaltungen aufzubauen, während in anderen Fällen eine

gewünschte Funktionsvielfalt auf der Grundlage einer geringeren Anzahl an Schaltungselementen erreicht werden kann, indem ein oder mehrere der konventionellen planaren Feldeffekttransistoren durch einen planaren Doppelkanaltransistor, etwa den Transistor **100**, ersetzt wird.

[0009] Im Hinblick auf das Erhöhen der Informationsdichte oder allgemein der Packungsdichte in modernsten Halbleiterbauelementen ist der Flächenverbrauch entsprechender Transistorelemente jedoch von größerer Wichtigkeit als die Anzahl der Schaltungselemente, die zum Erreichen der gewünschten elektrischen Leistungsfähigkeit erforderlich sind. D. h. obwohl die Anzahl an Transistorelementen, beispielsweise in statischen RAM-Zellen, verringert werden kann, indem zwei oder mehrere Transistoren durch Doppelkanaltransistoren ersetzt werden, wie dies zuvor mit Bezug zu den [Fig. 1a](#) und [Fig. 1b](#) erläutert ist, ist die Halbleiterfläche, die zum Bereitstellen dieser beiden Doppelkanaltransistoren erforderlich ist, nicht notwendigerweise kleiner als für eine konventionelle Schaltungsanordnung, in der beispielsweise 6 Transistoren für eine typische statische RAM-Zelle verwendet werden. Dieser Unterschied im Flächenverbrauch kann durch das Erfordernis von Körperkontakten hervorgerufen werden, etwa den Kontakt **108** aus [Fig. 1a](#), der in einer konventionellen Strategie durch T-förmige oder H-förmige Gateelektrodenstrukturen realisiert wird, die wertvolle Fläche des entsprechenden aktiven Gebiets einnehmen, wie dies mit Bezug zu [Fig. 1c](#) detaillierter beschrieben ist.

[0010] [Fig. 1c](#) zeigt schematisch eine Draufsicht eines Doppelkanaltransistors, etwa dem Doppelkanaltransistor **100**, der in [Fig. 1a](#) gezeigt ist. In dieser Konfiguration umfasst der Transistor **100** ein aktives Gebiet **110**, das als ein zusammenhängendes Halbleitergebiet zu verstehen ist, das durch eine Isolationsstruktur umschlossen ist, etwa eine flache Grabenisolation **111** und dergleichen. Daher repräsentiert das aktive Gebiet **110** ein einzelnes Halbleitergebiet ohne eine dazwischenliegende Isolationsstruktur, in der ein geeignetes Dotierstoffprofil errichtet wird, das auf der Grundlage unterschiedlicher Dotierstoffsorten bewerkstelligt werden kann, wie dies zur Herstellung entsprechender pn-Übergänge und dergleichen gemäß den gesamten erforderlichen Aufbau notwendig ist. Ferner ist die Gateelektrodenstruktur **105** über einem Teil des aktiven Gebiets **110** aufgebaut, wodurch ein Draingebiet **104d** und ein Sourcegebiet **104s** definiert werden, die eine geeignete Dotierstoffkonzentration aufweisen, wie dies auch zuvor erläutert ist. Es sollte ferner beachtet werden, dass unter der Gateelektrodenstruktur **105** ein entsprechendes Kanalgebiet mit zwei „Kanälen“ vorgesehen sein kann, wie dies auch zuvor mit Bezug zu [Fig. 1a](#) erläutert ist. Des Weiteren umfasst die Gateelektrodenstruktur **105** einen entsprechenden Bereich **105a**, der als ein

Kontaktbereich der Gateelektrode **105** dient und unter welchem ein Halbleitergebiet besteht, das mit einem Körpergebiet des Transistors **100** verbunden sein kann. Des Weiteren kann ein Teil des aktiven Gebiets **110** als der Körperkontakt **108** dienen, der eine Verbindung mit dem Bereich, der unter dem Kontaktbereich **105a** der Gateelektrode **105** angeordnet ist, herstellt. Ferner sind entsprechende Kontaktelemente **128**, **129** und **130** vorgesehen, um die jeweiligen elektrischen Verbindungen zu einem Metallisierungssystem einzurichten, das über dem Transistor **100** vorzusehen ist. Beispielsweise stellt das Kontaktelement **128** eine Verbindung zu dem Körperkontakt **108** her und ebenfalls eine Verbindung zu einer Metalleitung (nicht gezeigt) der ersten Metallisierungsschicht, die auch mit dem Kontaktelement **130** verbunden sein kann, wenn eine direkte elektrische Verbindung zwischen der Gateelektrode **105**, dem Sourcegebiet **104s** und dem Körperkontakt **104a** erforderlich ist. Andererseits kann das Sourcegebiet **104s** direkt mit der Gateelektrode **105** über das „rechteckige“ Kontaktelement **130** verbunden sein. In ähnlicher Weise ist das Kontaktelement **129** so vorgesehen, dass eine Verbindung zu dem Draingebiet **104d** und einer entsprechenden Metalleitung des Metallisierungssystems herstellt.

[0011] Typischerweise wird der Transistor **100** gemäß Fertigungstechniken hergestellt, wie sie auch zuvor mit Bezug zu [Fig. 1a](#) erläutert sind, wobei nach der Fertigstellung der grundlegenden Transistorkonfiguration die entsprechenden Kontaktelemente **128**, **129** und **130** in einem dielektrischen Zwischenschichtmaterial auf der Grundlage gut etablierter Strukturierungsstrategien hergestellt werden, wobei dies Kontaktelemente in einer gemeinsamen Prozesssequenz geschaffen werden. Danach werden eine oder mehrere entsprechende Metallisierungsebenen hergestellt, um damit das Metallisierungssystem gemäß den Bauteilerfordernissen vorzusehen. Wie somit aus [Fig. 1c](#) hervorgeht, ist eine signifikante Chipfläche für die Herstellung des Transistors **100** mit dem Körperkontakt **108** erforderlich, so dass für eine statische RAM-Zelle, die zwei oder mehr Doppelkanaltransistoren aufweist, die erforderliche Siliziumfläche vergleichbar ist oder sogar größer ist als in einer konventionellen statischen RAM-Zelle mit sechs konventionellen Einzelkanaltransistoren.

[0012] Angesichts der zuvor beschriebenen Situation betrifft die vorliegende Offenbarung Bauelemente und Verfahren, in denen Doppelkanaltransistoren in einer platzsparenden Weise angeschlossen werden können, um damit eine erhöhte Packungsdichte und Informationsdichte für Halbleiterbauelemente, etwa statische RAM-Zellen, zu schaffen, wobei eines oder mehrere der oben erkannten Probleme vermieden oder zumindest verringert werden.

[0013] Im Allgemeinen stellt die vorliegende Offenbarung Halbleiterbauelemente und geeignete Gestaltungen bzw. Layouts zur Herstellung dieser Bauelemente auf der Grundlage von Doppelkanaltransistoren mit Körperkontakten bereit, wobei dies in einer sehr platzsparenden Weise erfolgen kann. Zu diesem Zweck wird eine geeignete Körperkontaktstruktur lateral zwischen zwei benachbarten Doppelkanaltransistoren so angeordnet, dass der Körperkontakt eine Verbindung zu beiden Körpergebieten herstellen kann, wodurch auch eine elektrische Verbindung zwischen Sourcegebieten, Gateelektroden und den Körpergebieten derart eingerichtet wird, dass die Körpergebiete geeigneter Weise niederohmig angeschlossen sind. Dazu wird gemäß einigen anschaulichen hierin offenbarten Aspekten ein einzelnes Kontaktelement so vorgesehen, dass es gleichzeitig eine Verbindung zu Gateelektrodenstrukturen und Sourcegebieten der Doppelkanaltransistoren herstellt, während gleichzeitig eine Verbindung zu dem Körperkontakt erfolgt. Eine entsprechende Anordnung wird in einigen anschaulichen Ausführungsformen effizient für eine statische RAM-Zelle angewendet, die aus Doppelkanaltransistoren und einem weiteren Auswahltransistor aufgebaut ist, wodurch eine deutlich geringere Fläche im Vergleich zu konventionellen statischen RAM-Zellen erforderlich ist. Somit wird die Informationsdichte statischer RAM-Bauelemente deutlich erhöht, ohne dass wesentlich zur gesamten Prozesskomplexität beigetragen wird.

[0014] Eine anschauliche hierin offenbarte Speicherzelle umfasst einen p-Doppelkanaltransistor mit einer ersten Gateelektrode, die über einem aktiven Gebiet gebildet ist; einen n-Doppelkanaltransistor mit einer zweiten Gateelektrode, die über dem aktiven Gebiet gebildet ist; eine Platzhaltergateelektrode, die über dem aktiven Gebiet gebildet ist und zwischen lateral der ersten Gateelektrode und der zweiten Gateelektrode angeordnet ist; ein dielektrisches Zwischenschichtmaterial, das über dem p-Doppelkanaltransistor und dem n-Doppelkanaltransistor gebildet ist; und ein Kontaktelement, das in dem dielektrischen Zwischenschichtmaterial gebildet ist, wobei das Kontaktelement eine Verbindung zu der ersten und/oder der zweiten Gateelektrode und/oder der Platzhaltergateelektrode herstellt; wobei der p-Doppelkanaltransistor ein n-Kanalgebiet aufweist, das unter der ersten Gateelektrode ausgebildet ist, und ein p-Kanalgebiet aufweist, das unter dem n-Kanalgebiet gebildet ist; und der n-Doppelkanaltransistor ein p-Kanalgebiet, das unter der zweiten Gateelektrode ausgebildet ist, und ein n-Kanalgebiet, das unter dem p-Kanalgebiet ausgebildet ist, aufweist.

[0015] Ein anschauliches hierin offenbartes Halbleiterbauelement umfasst einen ersten Doppelkanaltransistor mit einer ersten Gateelektrode und einem ersten Körpergebiet. Das Halbleiterbauelement umfasst ferner einen zweiten Doppelkanaltransistor mit einer zweiten Gateelektrode und einem zweiten Körpergebiet. Des Weiteren ist ein Körperkontakt lateral zwischen dem ersten und dem zweiten Doppelkanaltransistor angeordnet, wobei der Körperkontakt eine Verbindung zu dem ersten und dem zweiten Körpergebiet herstellt. Schließlich umfasst das Halbleiterbauelement ein einzelnes Kontaktelement, das in einem dielektrischen Zwischenschichtmaterial ausgebildet ist, wobei das Kontaktelement eine Verbindung zu dem Körperkontakt, der ersten Gateelektrode, der zweiten Gateelektrode und Sourcegebieten des ersten und des zweiten Doppelkanaltransistors herstellt.

[0016] Ein anschauliches hierin offenbartes Verfahren umfasst das Bilden eines Körperkontakts über einem aktiven Gebiet und lateral zwischen einem ersten Doppelkanaltransistor und einem zweiten Doppelkanaltransistor. Des Weiteren wird ein dielektrisches Zwischenschichtmaterial über dem Körperkontakt und dem ersten und dem zweiten Doppelkanaltransistor hergestellt. Schließlich umfasst das Verfahren das Bilden eines Kontaktelements in dem dielektrischen Zwischenschichtmaterial derart, dass dieses eine Verbindung zu einer ersten Gateelektrode und einem Sourcegebiet des ersten Doppelkanaltransistors, zu einer zweiten Gateelektrode und einem Sourcegebiet des zweiten Doppelkanaltransistors und zu dem Körperkontakt herstellt.

Kurze Beschreibung der Zeichnungen

[0017] Weitere Ausführungsformen der vorliegenden Offenbarung sind in den angefügten Patentansprüchen definiert und gehen deutlicher aus der folgenden detaillierten Beschreibung hervor, wenn diese mit Bezug zu den begleitenden Zeichnungen studiert wird, in denen:

[0018] [Fig. 1a](#) schematisch eine Querschnittsansicht eines Doppelkanalfeldeffekttransistors mit einem zweiten Kanalgebiet in dem Körper gemäß konventioneller Techniken zeigt;

[0019] [Fig. 1b](#) schematisch ein Verhalten mit drei Zuständen eines Doppelkanalfeldeffekttransistors zeigt, der bei der Herstellung von Schaltungen, etwa von Speicherzellen, mit einer geringeren Anzahl an Transistorelementen ausgenutzt werden kann;

[0020] [Fig. 1c](#) zeigt schematisch eine Draufsicht eines Doppelkanaltransistors mit einem Körperkontakt, der auf der Grundlage konventioneller Techniken hergestellt ist;

[0021] [Fig. 2a](#) schematisch ein Schaltbild einer sta-

tischen RAM-Zelle mit zwei Doppelkanaltransistoren und einem Auswahltransistor zeigt, der in Form eines „Einzelkanaltransistors“ gemäß anschaulicher Ausführungsformen vorgesehen ist;

[0022] [Fig. 2b](#) schematisch eine Draufsicht eines Halbleiterbauelements oder eines Layouts davon zeigt, in welchem die elektrische Schaltung aus [Fig. 2a](#) eingerichtet ist, wodurch eine statische RAM-Zelle auf der Grundlage eines platzsparenden Aufbaus einer Konfiguration gemäß anschaulicher Ausführungsformen gebildet wird;

[0023] [Fig. 2c](#) bis [Fig. 2g](#) schematisch Querschnittsansichten eines Teils des in [Fig. 2c](#) gezeigten Halbleiterbauelements während diverser Fertigungsphasen gemäß noch weiterer anschaulicher Ausführungsformen zeigen.

Detaillierte Beschreibung

[0024] Obwohl die vorliegende Offenbarung mit Bezug zu den Ausführungsformen beschrieben ist, wie sie in der folgenden detaillierten Beschreibung sowie in den Zeichnungen dargestellt sind, sollte beachtet werden, dass die folgende detaillierte Beschreibung sowie die Zeichnungen nicht beabsichtigen, die vorliegende Offenbarung auf die speziellen anschaulichen Ausführungsformen einzuschränken, sondern die beschriebenen anschaulichen Ausführungsformen stellen lediglich beispielhaft die diversen Aspekte der vorliegenden Offenbarung dar, deren Schutzbereich durch die angefügten Patentansprüche definiert ist.

[0025] Im Allgemeinen betrifft der hierin offenbarte Gegenstand Halbleiterbauelemente und entsprechende Schaltungsgestaltungen und Verfahren, in denen ein Körpergebiet von Doppelkanaltransistoren effizient mit Gateelektroden und Sourcegebieten der Doppelkanaltransistoren auf der Grundlage eines einzelnen Kontaktelements verbunden werden kann, wodurch ein geringerer Flächenkonsum im Vergleich zu konventionellen Techniken für die Herstellung von Körperkontakten erreicht wird. In einigen anschaulichen Ausführungsformen wird das Schema für die platzsparende Kontaktbildung für die Körperkontakte von zwei oder mehr Doppelkanaltransistoren auf eine statische RAM-Zelle angewendet, die in einer anschaulichen Ausführungsform aus zwei Doppelkanaltransistoren in Verbindung mit einem Auswahltransistor aufgebaut ist, wobei eine Verringerung des Flächenkonsums im Vergleich zu konventionellen statischen RAM-Zellen, die auf der Grundlage der gleichen Technologie hergestellt sind, von ungefähr 50% erreicht werden kann. Folglich kann auf Grund der größeren Funktionsbandbreite von Doppelkanaltransistoren mit Körperkontakten die Anzahl der Transistorelemente verringert werden, wobei auch der Flächenverbrauch dieser Transistoren auf einem gering-

gen Niveau auf Grund des platzsparenden elektrischen Verbindungssystems zwischen den Körpern und den Transistorbereichen, etwa den Sourcegebieten und den Gateelektroden, gehalten wird.

[0026] Es sollte beachtet werden, dass die hierin offenbarten Prinzipien vorteilhaft auf statische RAM-Speicherzellen angewendet werden können, da die platzsparende Konfiguration für eine erhöhte Informationsdichte im Vergleich zu konventionellen Techniken sorgt, wodurch die Herstellung von Speicherbauelementen mit einer erhöhten Informationsdichte und auch das Vorsehen eines größeren Speicherbereichs in komplexen Schaltungen, etwa CPU's, und dergleichen, möglich ist. Andererseits kann die vorliegende Offenbarung auch auf andere Schaltungskonfigurationen angewendet werden, in denen zwei oder mehr Doppelkanaltransistoren so zu verwenden sind, dass konventionelle Einzelkanaltransistoren ersetzt werden, um damit die Gesamtfunktionsvielfalt von Schaltungen zu erhöhen, wobei gleichzeitig eine erhöhte Packungsdichte erforderlich ist. Daher sollte die vorliegende Offenbarung nicht auf spezielle elektronische Schaltungen eingeschränkt erachtet werden, sofern derartige Einschränkungen nicht speziell in der Beschreibung oder den angefügten Patentansprüchen dargelegt sind.

[0027] Mit Bezug zu den [Fig. 2a](#) bis [Fig. 2g](#) werden nunmehr weitere anschauliche Ausführungsformen detaillierter beschrieben, in denen auch auf die [Fig. 1a](#) bis [Fig. 1c](#) verwiesen wird, wenn dies geeignet ist.

[0028] [Fig. 2a](#) zeigt schematisch ein Schaltbild einer elektronischen Schaltung **250**, die eine Speicherzelle zum Speichern eines einzelnen Bits an Information repräsentiert. Die Speicherzelle **250** beruht auf einer geringeren Anzahl an Transistorelementen im Vergleich zu konventionellen statischen RAM-Zellen, die typischerweise 6 Transistoren aufweisen. In der gezeigten Ausführungsform enthält die Speicherzelle **250** einen ersten Doppelkanaltransistor **200n** in Form eines n-Transistors, d. h. dessen Drain- und Sourcegebiete **204d**, **204s** sind mittels einer n-Dotierstoffsorte dotiert, wie dies auch zuvor mit Bezug zu dem Doppelkanaltransistor **100** aus [Fig. 1a](#) erläutert ist. Des Weiteren ist ein zweiter Doppelkanaltransistor **200p** in Form eines p-Transistors vorgesehen, d. h. entsprechende Drain- und Sourcegebiete **204g**, **204s** sind mit einer p-Dotierstoffsorte dotiert. Des Weiteren sind die Transistoren **200n**, **200p** elektrisch so miteinander verbunden, dass jede Gateelektrode **205** mit dem jeweiligen Sourcegebiet **204s** verbunden ist, wobei auch beide Sourcegebiete **204s** mit entsprechenden Körpergebieten **208** jedes der Transistoren **20n**, **200p** verbunden sind. Des Weiteren wird, wie gezeigt ist, eine gut leitende Verbindung zwischen den Gateelektroden **205** eingerichtet. Ferner

ist ein Knoten **208a** somit mit den Körpergebieten **208**, den Sourcegebieten **204s** und den Gateelektrodenstrukturen **205** beider Transistoren **200n**, **200p** verbunden, so dass der Knoten **208a** als Eingang und Ausgang eines informationsspeichernden Elements dient, das durch die beiden Doppelkanaltransistoren **200n**, **200p** gebildet ist. D. h., wenn eine geeignete Betriebsspannung VDD, VSS über das Drain **204d** des n-Transistors **200n** und des Drain **204d** des p-Transistors **200** angelegt wird, führt das Anlegen einer geeigneten Eingangsspannung an den Knoten **208a** zu einem stabilen Zustand der Transistoren **200n**, **200p**, der dann an den Knoten **208a** auf der Grundlage einer geeigneten Fühlerschaltung, wie sie im Stand der Technik bekannt ist, „ausgelesen“ werden kann. Des Weiteren umfasst die Speicherzelle **250** einen Auswahltransistor **200s**, dessen Gate **205** mit einer Auswahlleitung verbunden ist, während der Drain/Source-Pfad des Transistors **200s** einen schaltbaren leitenden Pfad repräsentiert, um steuerbar den Knoten **208a** mit einer Bitleitung zu verbinden. Im Hinblick auf das Einsparen von Platz kann der Auswahltransistor **200s** in Form eines „Einzelkanaltransistors“ vorgesehen werden, ohne dass ein spezielle Körperkontakt erforderlich ist, etwa die Kontakte **208** der Doppelkanaltransistoren **200n**, **200p**.

[0029] Bei Verwendung konventioneller Körperkontakttechnologien zum Einrichten der Schaltung aus [Fig. 2a](#) als ein tatsächliches Layout oder ein Halbleiterbauelement ist, wie zuvor erläutert ist, ein deutlicher Siliziumverbrauch mit eigentlicher Ausbildung der Doppelkanaltransistoren **200n**, **200p** verbunden, wie dies auch zuvor mit [Fig. 1c](#) erläutert ist. Gemäß den hierin offenbarten Prinzipien beruht jedoch die Verbindungsstruktur für die Transistoren **200n**, **200p** auf einer platzsparenden Körperkontaktstruktur, wodurch der gesamte Flächenverbrauch der statischen Speicherzelle **250** verringert wird, und somit deutlich kleiner ist im Vergleich zu Konfigurationen mit konventionellen Einzelkanaltransistoren oder konventionellen Doppelkanaltransistoren.

[0030] [Fig. 2b](#) zeigt schematisch eine Draufsicht der statischen Speicherzelle **250** in einer tatsächlichen Implementierung oder [Fig. 2b](#) kann als ein Layout bzw. eine Gestaltung der Speicherzelle **250** betrachtet werden. Eine Gestaltung bzw. ein Layout ist als die geometrische Konfiguration der diversen Bauteilebenen zu verstehen, die zum Erzeugen der Speicherzelle **250** in einem eigentlichen Halbleiterchip erforderlich sind, wobei die geometrische Konfiguration in Form beliebiger geeigneter Mittel vorgesehen werden kann, etwa in Form eines Computerprogramms, eines Ausdrucks und dergleichen, wie sie typischerweise bei der Gestaltung tatsächlicher Halbleiterbauelemente verwendet werden. Wie gezeigt, umfasst das Layout oder das tatsächliche Halbleiterbauelement, das der statischen Speicherzelle **250** entspricht, zwei Doppelkanaltransistoren **200n** und

200p, die in einer anschaulichen Ausführungsform in einem einzelnen aktiven Gebiet **210** aufgebaut sind. D. h. das aktive Gebiet **210**, das einen entsprechenden Halbleiterbereich repräsentieren kann, etwa ein siliziumbasiertes Halbleitermaterial, ist von einer Isolationsstruktur (in [Fig. 2b](#) nicht gezeigt) umschlossen, ohne dass weitere innere Isolationsstrukturen vorgesehen sind, die das aktive Gebiet **210** in einzelne Teilgebiete, die voneinander getrennt sind, unterteilen. In dieser Ausführungsform umfasst der n-Kanaltransistor **200n** das Draingebiet **204d** und das Sourcegebiet **204s**, die innerhalb des aktiven Gebiets **210** hergestellt sind, wobei das Sourcegebiet **204s** mit einem „Körpergebiet“ verbunden ist, das in den aktiven Gebiet **210** unter einem Körperkontakt **208** liegt, der über dem aktiven Gebiet **210** ausgebildet ist und der in einer anschaulichen Ausführungsform einen ähnlichen Aufbau wie die entsprechenden Gateelektroden **205** der Transistoren **200n**, **200p** besitzt. D. h. die Gateelektroden **205** und der Körperkontakt **208** können auf der Grundlage einer gemeinsamen Fertigungssequenz bis zu einer gewissen Fertigungsphase hergestellt werden, wodurch für ein hohes Maß an Kompatibilität und Effizienz gesorgt wird, wie dies nachfolgend detaillierter beschrieben ist. Ferner kann der Körperkontakt **208** einen leitenden Weg (nicht gezeigt) bilden, der sich in das aktive Gebiet **210** so erstreckt, dass eine Verbindung zu dem Halbleitergebiet hergestellt wird, das darin ausgebildet wird, das wiederum eine Verbindung zu Körpergebieten der Transistoren **200n**, **200p** herstellt, wie dies auch nachfolgend detaillierter erläutert ist. In ähnlicher Weise weist der p-Doppelkanaltransistor **200p** ein Draingebiet **204d** und das Sourcegebiet **204s**, die in dem gleichen aktiven Gebiet **210** ausgebildet sind, jedoch auf der Grundlage einer Dotierstoffsorte hergestellt sind, die die inverse Leitfähigkeitsart im Vergleich zu den Drain- und Sourcegebieten des Doppelkanaltransistors **200n** hervorruft. Ein Kontaktelement **229n** stellt eine Verbindung zu dem Draingebiet **204d** des Transistors **200n** und zu einer Metallisierungsschicht und schließlich einer Metallleitung, die mit der Versorgungsspannung VDD verbunden ist, her. In ähnlicher Weise verbindet ein Kontaktelement **229p** das Draingebiet **204d** des Transistors **200p** mit dem Metallisierungssystem und schließlich mit der Versorgungsspannung VSS entsprechend der Schaltung, wie sie in [Fig. 2a](#) gezeigt ist. Ferner ist ein Kontaktelement **230** in Form eines rechteckigen Kontakts vorgesehen, der eine Verbindung zu den Gateelektroden **205** der Transistoren **200n**, **200p** und zu den entsprechenden Sourcegebieten **204s** und auch zu dem Körperkontakt **208** herstellt. Somit wird mittels des Kontaktelements **230** und des Körperkontakts **208**, der lateral zwischen den Transistoren **200n**, **200p** angeordnet ist, d. h. zwischen den entsprechenden Gateelektroden **205**, eine äußerst effiziente Verbindungsstruktur vorgesehen, so dass die in [Fig. 2a](#) gezeigte elektrische Konfiguration erreicht wird.

[0031] Ferner weist die Speicherzelle **250**, d. h. deren Layout oder deren tatsächliche Implementierung in einem Halbleitermaterial in Form eines Halbleiterbauelements, den Auswahltransistor **200s** auf, der in und über einem separaten aktiven Gebiet **210s** hergestellt ist, das im Hinblick auf das aktive Gebiet **210** so positioniert ist, dass eine platzsparende Gesamtkonfiguration geschaffen wird, wobei auch eine effiziente elektrische Verbindung zu den Transistoren **200n**, **200p** und zu anderen Speicherzellen (nicht gezeigt) über entsprechende Auswahlleitungen bzw. Bitleitungen S, B ermöglicht wird. In einer anschaulichen Ausführungsform wird der Auswahltransistor **200** in Form eines Einzelkanaltransistors vorgesehen, dessen Gateelektrode **205** im Wesentlichen zu dem Körperkontakt **208** ausgerichtet ist, wodurch eine raumsparende Gesamtkonfiguration geschaffen wird. Es sollte jedoch beachtet werden, dass der Auswahltransistor **200s** gemäß anderen räumlichen Lagen in Bezug auf den Körperkontakt **208** und die Transistoren **200n**, **200p** abhängig von der gesamten geometrischen Konfiguration eines Halbleiterbauelements mit mehreren der Speicherzellen **250** angeordnet werden kann. Zum Anschluss des Auswahltransistors **200s** werden entsprechende Kontaktelemente **231**, **232**, **233** vorgesehen, wobei die Kontaktelemente **232**, **233** die Gateelektrode **205** und das Draingebiet oder Sourcegebiet mit der Auswahlleitung bzw. der Bitleitung verbinden. In ähnlicher Weise bildet das Kontaktelement **231** eine Verbindung zu dem Metallisierungssystem, das wiederum zu einer der Gateelektroden **205** oder dem Kontaktelement **230** verbunden ist, wie dies durch die Leitung CL angegeben ist, wobei dies von der gesamten Konfiguration abhängt.

[0032] [Fig. 2c](#) zeigt schematisch eine Schnittansicht entlang des Schnittes IIc aus [Fig. 2b](#) während einer speziellen Fertigungsphase, in der die grundlegenden Transistorgestaltungen im Wesentlichen fertiggestellt sind. Es sollte beachtet werden, dass auch der Auswahltransistor **200s** (siehe [Fig. 2b](#)) in einer entsprechenden Fertigungsphase ist. Wie gezeigt, enthält das Halbleiterbauelement **250** ein Substrat **201**, das ein beliebiges geeignetes Trägermaterial repräsentiert, um darüber eine Halbleiterschicht **202** zu bilden. Beispielsweise repräsentiert das Substrat **201** ein Halbleitersubstrat, ein isolierendes Material und dergleichen, wobei auch bei Bedarf ein vergrabenes isolierendes Material (nicht gezeigt) ausgebildet sein kann, um eine SOI-(Silizium-auf-Isolator-)Konfiguration zumindest lokal innerhalb des Substrats **201** zu bilden. Ferner wird eine Isolationsstruktur **211** in der Halbleiterschicht **202** gebildet, um damit lateral das aktive Gebiet **210** einzuschließen und dieses zu bilden, das in der gezeigten Ausführungsform ein zusammenhängendes Halbleitergebiet ohne dazwischenliegende Isolationsstrukturen repräsentiert. Es sollte jedoch beachtet werden, dass in anderen Fällen eine flache Isolationsstruktur bei Bedarf vorgese-

hen werden kann, beispielsweise unterhalb des Körperkontakts **208**, solange ein leitender Pfad zu den entsprechenden Teilbereichen des aktiven Gebiets **210** aufrecht erhalten wird. Ferner enthalten in der gezeigten Fertigungsphase die Transistoren **200n**, **200p** die Gateelektroden **205**, die auf entsprechenden Gateisolationsschichten **206** mit einer geeigneten Dicke und Materialzusammensetzung in Abhängigkeit von dem gesamten Technologiestandard gebildet werden, der zur Herstellung des Bauelements **250** eingesetzt wird. Des Weiteren sind Seitenwandabstandshalterstrukturen **207** an Seitenwänden der Gateelektroden **205** ausgebildet. Zu diesem Zweck kann ein Siliziumnitridmaterial möglicherweise in Verbindung mit einer geeigneten Ätzstoppschichtung (nicht gezeigt) eingesetzt werden. Es sollte ferner beachtet werden, dass die Abstandshalterstrukturen **207** zwei oder mehr einzelne Abstandshalterelemente abhängig von der Komplexität des Dotierstoffprofils innerhalb des aktiven Gebiets **210** aufweisen können. In der gezeigten Ausführungsform besitzt der Körperkontakt **208** einen ähnlichen Aufbau oder einen im Wesentlichen identischen Aufbau wie die Gateelektroden **205**. D. h. der Körperkontakt **208** umfasst eine Gateelektrode **205a**, die auch als Platzhaltergateelektrode bezeichnet wird, da die Elektrodenstruktur **205a** nicht dazu verwendet wird, einen entsprechenden leitenden Kanal zu steuern, sondern diese wird verwendet, um einen leitenden Pfad in das aktive Gebiet **210** zu erzeugen, um damit als ein Körperkontakt in einer späteren Fertigungsphase zu dienen. Ferner kann eine „Gateisolationsschicht“ **206a** vorgesehen sein, um damit die Elektroden **205a** von dem aktiven Gebiet **210** in dieser Fertigungsphase zu trennen. In ähnlicher Weise ist eine Abstandshalterstruktur **207a** an Seitenwänden der Elektrode **205a** gebildet. In einigen anschaulichen Ausführungsformen sind die entsprechenden Längen der Gateelektroden **205** und der Elektrode **205a**, wie sie durch **205l** bezeichnet sind, auf der Grundlage des gleichen Entwurfssollwertes hergestellt, der von dem betrachteten Technologiestandard abhängt. In anderen Fällen kann der Körperkontakt **208**, d. h. die Elektrode **205a**, eine größere Länge bei Bedarf aufweisen, beispielsweise im Hinblick auf das Anpassen des gesamten elektrischen Leistungsverhaltens, wenn eine Isolationsgebiet unter dem Körperkontakt **208** vorgesehen ist, und dergleichen. Im Hinblick auf eine sehr platzsparende Konfiguration kann es vorteilhaft sein, die Gateelektroden **205** und die Elektrode **205a** auf der Grundlage der gleichen geometrischen Parameter vorzusehen. Wie gezeigt, können entsprechende Drain- und Sourcegebiete **204s**, **204d** in dem aktiven Gebiet **210** eingerichtet werden, wobei dies auf der Grundlage unterschiedlicher Dotierstoffsorten erfolgt, um damit die entsprechende Leitfähigkeitsart der Transistoren **200n**, **200p** zu erzeugen. Ferner besitzen auch die jeweiligen Körpergebiete **202p**, **202n** entsprechende Grunddotierungen, um damit für die erforderlichen Transistoreigen-

schaften zu sorgen. Die Transistoren **200n**, **200p** enthalten ferner ein „Doppelkanalgebiet“ **203** mit einem ersten Kanal **203a** und einem zweiten Kanal **203b**, das eine inverse Dotierung im Vergleich zu dem ersten Kanalgebiet **203a** aufweist, wie dies auch mit Bezug zu dem Transistor **100** aus [Fig. 1a](#) erläutert ist. Es sollte beachtet werden, dass die Dotiermittel des Kanalgebiets **203** des p-Kanaltransistors **200p** invers sind zu der Dotierung des Kanalgebiets **203** des n-Kanaltransistors **200n**. Es sollte beachtet werden, dass im Zusammenhang mit der vorliegenden Anmeldung ein Doppelkanaltransistor als ein Feldeffekttransistor zu verstehen ist, der ein Kanalgebiet mit einem ersten Kanalgebiet **203a**, das benachbart zu der entsprechenden Gateisolationsschicht ausgebildet ist, etwa der Schicht **206**, und das die gleiche Leitfähigkeitsart wie das entsprechende Körpergebiet, etwa das Gebiet **202n** für den Transistor **200n** und das Gebiet **202p** für den Transistor **200p** aufweist, wobei auch ein zweites Kanalgebiet **203b** unter dem ersten Kanalgebiet vorgesehen ist, das eine inverse Leitfähigkeitsart im Vergleich zu dem ersten Kanalgebiet besitzt.

[0033] Das in [Fig. 2c](#) gezeigte Halbleiterbauelement **250** kann auf der Grundlage des Gestaltungs-konzepts gestellt werden, wie es auch mit Bezug zu [Fig. 2](#) gezeigt ist unter Verwendung gut etablierter Prozesstechniken, wie sie beispielsweise mit Bezug zu [Fig. 1a](#) beschrieben sind, wobei jedoch die grundlegende Dotierung der Transistoren **200n**, **200p** in dem aktiven Gebiet **210** hinzugefügt wird, was durch geeignete Maskierungsschemata vor dem Bilden der Gateelektrodenstrukturen **205** bewerkstelligt werden kann. Danach werden die Gateelektroden **205** und die Platzhaltergateelektrode **205a** gemäß Prozesstechniken hergestellt, wie sie zuvor beschrieben sind, wobei bei Bedarf die Struktur **205a** auf der Grundlage der gleichen kritischen Abmessungen hergestellt wird, wie die Gateelektrode **205**. Somit kann durch Vorsehen der Platzhaltergateelektrode **205a** zumindest ein Teil des aktiven Gebiets **210**, der durch **202b** gekennzeichnet ist, während nachfolgender Implantationsprozesse zum Erzeugen der Drain- und Sourcegebiete **204s**, **204d** für die Transistoren **200n**, **200p** abgeblockt werden. Es sollte beachtet werden, dass das „Körpergebiet“ **202b** Gebiete unterschiedlicher Grunddotierung aufweisen kann, die während vorhergehender Implantationsprozesse zum Erzeugen der grundlegenden Dotierstoffkonzentrationen und der Kanaldotierungen für die Transistoren **200n**, **200p** unterschiedliche Leitfähigkeitsart erzeugt wurden.

[0034] Auf der Grundlage der Abstandshalterstruktur **207** wird ein geeignetes Dotierstoffprofil für die jeweiligen Drain- und Sourcegebiete **204d**, **204s** eingerichtet und danach werden entsprechende Ausheizprozesse gemäß den gesamten Prozess- und Bauteilerfordernissen ausgeführt.

[0035] [Fig. 2d](#) zeigt schematisch das Halbleiterbauelement **250** in einer fortgeschrittenen Fertigungsphase, in der eine Ätzmaske **212**, beispielsweise in Form einer Lackmaske, vorgesehen ist, die die Transistoren **200p**, **200n** abdeckt, während der Körperkontakt **208** frei liegt. Die Ätzmaske **212** kann gemäß gut etablierter Photolithographietechniken auf der Grundlage einer entsprechend gestalteten Photomaske hergestellt werden. Anschließend wird das Bauelement **250** der Einwirkung einer Ätzumgebung **213** ausgesetzt, zum Entfernen der Abstandhalterstruktur **207a** des Körperkontakts **208** gestaltet ist. Zu diesem Zweck können gut etablierte plasmaunterstützte und/oder nasschemische Ätzrezepte verwendet werden. Beispielsweise kann Siliziumnitridmaterial effizient selektiv zu Siliziumdioxid, Silizium und dergleichen auf der Grundlage plasmaunterstützter Ätzrezepte und auch mittels nasschemischer Techniken unter Anwendung heißer Phosphorsäure entfernt werden. Bei Bedarf wird eine entsprechende Ätzstoppbeschichtung, etwa ein Siliziumdioxidmaterial ebenfalls entfernt, wenn dieses vorgesehen ist. Während des entsprechenden Ätzprozesses kann auch ein gewisses Maß an Unterätzung der „Gateisolationsschicht“ **206a** auftreten und vorteilhaft sein, um einen leitenden Pfad zu dem Körpergebiet **202b** in einer späteren Fertigungsphase herzustellen.

[0036] [Fig. 2e](#) zeigt schematisch das Halbleiterbauelement **250** in einer weiter fortgeschrittenen Fertigungsphase, in der Metallsilizidgebiete auf freiliegenden Siliziumbereichen ausgebildet sind. D. h. die Metallsilizidgebiete **214** sind in und auf den Drain- und Sourcegebieten **204d**, **204s** der Doppelkanaltransistoren **200n**, **200p** ausgebildet und sind auch in und auf den Gateelektroden **205** hergestellt. Auf Grund des vorhergehenden Freilegens der Seitenwände der Platzhaltergateelektrode **205a** ist ein entsprechendes Metallsilizid **214a** auch auf der Elektrode **205a** und den entsprechenden freiliegenden Seitenwandbereichen **205s** ausgebildet, wobei auch Metallsilizid sich bis in das Körpergebiet **202b** erstreckt, was durch die Silizidierung der Oberflächenbereiche der benachbarten Sourcegebiete **204s** der Transistoren **200n**, **200p** und auch durch das Freilegen der Oberfläche **204s** hervorgerufen wird. Die Wirkung kann noch weiter erhöht werden, indem ein gewisses Maß an Unterätzung der dielektrischen Schicht **206a** erzeugt wird, wie dies auch zuvor mit Bezug zu [Fig. 2d](#) aufgeführt ist. Folglich wird ein gut leitender Pfad von der Elektrode **205a** in das Körpergebiet **202d** erzeugt. Es sollte beachtet werden, dass selbst ein ausgeprägter Übergangsbereich zwischen unterschiedlich dotierten Gebieten in dem Körpergebiet **202d** erzeugt wurde, beispielsweise während einer Anfangsphase, wenn die grundlegenden Transistoreigenschaften in dem aktiven Gebiet **210** festgelegt werden, wie dies zuvor erläutert ist, dennoch ein leitender Pfad in jeden der entsprechenden Bereiche mit unterschiedlicher Dotierung geschaffen wird, so

dass die Elektrode **205a** elektrisch mit jedem der Körpergebiete **202n**, **202p** verbunden ist.

[0037] Die Metallsilizidgebiete **214**, **214a** können auf der Grundlage gut etablierter Prozesstechniken hergestellt werden, wozu das Abscheiden eines hochschmelzenden Metalls, etwa Nickel, Platin, Kobalt, Titan und dergleichen gehört, mit einer nachfolgenden Wärmebehandlung, um eine entsprechende chemische Reaktion mit dem Siliziummaterial in Gang zu setzen. Danach wird nicht reagiertes Metall auf der Grundlage gut etablierter selektiver Ätzrezepte entfernt und anschließend werden bei Bedarf weitere Wärmebehandlungen ausgeführt, um das Metallsilizidmaterial zu stabilisieren und/oder um die gewünschten elektrischen Eigenschaften zu erhalten.

[0038] [Fig. 2f](#) zeigt schematisch das Bauelement **250** in einem weiter fortgeschrittenen Herstellungsstadium. Wie gezeigt, ist eine Kontaktebene **220** über den Transistoren **200n**, **200p** und dem Körperkontakt **208** vorgesehen. Die Kontaktebene **220** repräsentiert eine beliebige geeignete Kontaktstruktur, um Kontaktelemente vorzusehen, die eine Verbindung mit den Schaltungselementen herzustellen, die in und über der Halbleiterschicht **202** ausgebildet sind, d. h. zu einem aktiven Gebiet **210** und zu einem Metallisierungssystem, das noch über der Kontaktebene **220** zu bilden ist. Wie gezeigt, umfasst die Kontaktebene **220** ein Ätzstoppmaterial **221**, das in Form von Siliziumnitrid, stickstoffhaltendem Siliziumkarbid und dergleichen vorgesehen werden kann, abhängig von den gesamten Prozess- und Bauteilerfordernissen, woran sich ein dielektrisches Zwischenschichtmaterial **222**, etwa Siliziumdioxid und dergleichen, anschließt. Es sollte beachtet werden, dass die spezielle Konfiguration der Bauteilebene **220** von dem gesamten betrachteten Technologiestandard abhängt und damit im Hinblick auf Materialien und Abmessungen unterscheiden kann. Die Materialien **221** und **222** können auf der Grundlage gut etablierter Prozesstechniken hergestellt werden, etwa dem Abscheiden eines Siliziumnitridmaterials oder eines anderen geeigneten Ätzstoppmaterials, beispielsweise unter Anwendung plasmaunterstützter CVD-Prozesse, woran sich das Abscheiden des dielektrischen Zwischenschichtmaterials **222** anschließt, für das gut etablierte Abscheidetechniken, etwa plasmaunterstützte CVD, subatmosphärische CVD und dergleichen verfügbar sind. Bei Bedarf kann die resultierende Oberflächentopographie eingeebnet werden, indem ein CMP-(chemisch-mechanischer Polier-)Prozess ausgeführt wird, um eine im Wesentlichen ebene Oberfläche vor dem Strukturieren der Kontaktebene **220** zu schaffen, um darin entsprechende Kontaktelemente herzustellen, etwa die Kontaktelemente **229n**, **229p** und **230**, wie sie durch die gestrichelten Linien angegeben sind, somit kann durch das Vorsehen des Kontakts **230** eine gut leitende Verbindung zwischen dem Körpergebiet **202b**, dem Sourcegebieten **204s**

und den Gateelektroden **205** der Transistoren **200n**, **200p** hergestellt werden. Während der Strukturierung der Kontaktebene **220** wird somit eine geeignete Ätzmaske vorgesehen, um die laterale Größe und die Lage entsprechender Öffnungen für die Kontaktelemente **229n**, **229p** und **230** und natürlich anderer Kontaktelemente, die beispielsweise zu den Auswahltransistor **200s** eine Verbindung herstellen (siehe [Fig. 2b](#)) zu definieren. Danach wird das dielektrische Zwischenschichtmaterial **222** beispielsweise unter Anwendung der Schicht **221** als ein Ätzstopp strukturiert, wobei diese nachfolgend in einem weiteren Ätzschritt geöffnet wird, um damit die gewünschten Öffnungen zu erhalten. Als nächstes wird ein geeignetes leitendes Material, etwa Wolfram und dergleichen, möglicherweise in Verbindung mit einem geeigneten Barrierenmaterial abgetragen.

[0039] [Fig. 2g](#) zeigt schematisch das Bauelement **250** nach der zuvor beschriebenen Prozesssequenz. Somit stellen die Kontaktelemente **229n**, **229p** eine Verbindung zu den jeweiligen Draingebieten **204d** der Transistoren **200n**, **200p** her, während das Kontaktelement **230** in Form eines einzelnen zusammenhängenden Kontaktelements den Körperkontakt **208** mit den Gateelektrodenstrukturen **205** und den jeweiligen Sourcegebieten **204s** verbindet, wie dies zuvor erläutert ist. Auf der Grundlage der in [Fig. 2g](#) gezeigten Konfiguration wird die weitere Bearbeitung fortgesetzt, indem eine oder mehrere Metallisierungsschichten auf der Grundlage gut etablierter Fertigungstechniken vorgesehen werden. Während der Herstellung des Metallisierungssystems werden somit entsprechende Metallleitungen eingerichtet, etwa Metallleitungen zur Verbindung mit den Versorgungsspannungen VDD, VSS (siehe [Fig. 2b](#)) und es wird ferner eine elektrische Verbindung von dem Kontaktelement **230** zu dem Auswahltransistor **200s** (siehe [Fig. 2b](#)) beispielsweise auf der Grundlage des Kontaktelements **231** hergestellt, wie dies auch mit Bezug zu [Fig. 2b](#) erläutert ist. In ähnlicher Weise werden die Auswahlleitung und die Bitleitung S, B auf der Grundlage der entsprechenden Kontaktelemente **232**, **233** während der Herstellung des entsprechenden Metallisierungssystems eingerichtet, wie dies auch mit Bezug zu [Fig. 2b](#) erläutert ist. Der Einfachheit halber sind derartige Metallisierungsstrukturen in [Fig. 2g](#) nicht gezeigt.

[0040] Somit können auf der Grundlage eines sehr effizienten Gesamtfertigungsablaufs die elektrischen Verbindungen, die gemäß der in [Fig. 2a](#) gezeigten Schaltungsanordnung erforderlich sind, eingerichtet werden, ohne dass in unerwünschter Weise zur gesamten Prozesskomplexität beigetragen wird, wobei dennoch für eine sehr platzsparende Schaltungsanordnung auf der Grundlage des Körperkontakts **208**, beispielsweise in Form der Platzhaltergateelektrode **205** und des „rechteckigen“ Kontaktelements **230** gesorgt ist. Somit kann das Bauelement **250** in Form ei-

ner sehr platzeffizienten statischen RAM-Zelle gemäß der Anordnung oder der Konfiguration, wie sie in [Fig. 2b](#) gezeigt sind, vorgesehen werden, wobei ein hohes Maß an Kompatibilität mit konventionellen Fertigungstechniken beibehalten wird, mit Ausnahme für ein selektives Entfernen der Abstandhalterstruktur **207a** (siehe [Fig. 2b](#)), um den gut leitenden Pfad zwischen der Elektrode **205a** und dem Körpergebiet **202b** zu erzeugen.

[0041] Es sollte beachtet werden, dass der leitende Pfad für den Körperkontakt **208**, der mit den entsprechenden Körpergebieten **202n**, **202p** verbunden ist, für eine ausreichende Leitfähigkeit sorgt, da ein Verarmungsgebiet, von dem erwartet wird, dass es zwischen dem Siliziumkörper und den entsprechenden Gateelektroden **205** und den Körpern **202p**, **202n** selbst besteht, verhindert werden kann, da gemäß dem Schaltbild nach [Fig. 2a](#) der Körperkontakt **208** und die Sourceelektroden der Transistoren **200n**, **200p** miteinander verbunden sind und auf dem gleichen elektrischen Potential gehalten werden, so dass ein Verarmungsgebiet unter den Sourcegebieten vermieden werden kann und der Körperkontakt **208** für einen effizienten leitenden Weg sorgt.

[0042] Es gilt also: Die vorliegende Offenbarung stellt Verfahren und Halbleiterbauelemente bereit, in denen Doppelkanaltransistoren in einer platzsparenden Weise gebildet werden, indem ein Körperkontakt vorgesehen wird, der lateral dazwischen angeordnet ist, wobei auch ein einzelnes Kontaktelement für die gleichzeitige elektrische Verbindung der Sourcegebiete, der Gateelektroden und des Körperkontakts sorgt. Somit wird in einer anschaulichen Ausführungsform eine statische RAM-Zelle auf der Grundlage eines p-Doppelkanaltransistors und eines n-Doppelkanaltransistors in Verbindung mit einem Auswahltransistor, der etwa in Form eines Einzelkanaltransistors vorgesehen ist, bereitgestellt, wobei der gesamte Flächenverbrauch deutlich kleiner ist im Vergleich zu konventionellen statischen RAM-Zellen.

Patentansprüche

1. Speicherzelle (**250**) mit:
 einem p-Doppelkanaltransistor (**200p**) mit einer ersten Gateelektrode (**205**), die über einem aktiven Gebiet (**210**) gebildet ist;
 einem n-Doppelkanaltransistor (**200n**) mit einer zweiten Gateelektrode (**205**), die über dem aktiven Gebiet (**210**) gebildet ist;
 einer Platzhaltergateelektrode (**205a**), die über dem aktiven Gebiet (**210**) gebildet ist und lateral zwischen der ersten Gateelektrode und der zweiten Gateelektrode (**205**) angeordnet ist;
 einem dielektrischen Zwischenschichtmaterial (**222**), das über dem p-Doppelkanaltransistor (**200p**) und dem n-Doppelkanaltransistor (**200n**) gebildet ist; und

einem Kontaktelement (**230**), das in dem dielektrischen Zwischenschichtmaterial (**222**) (**222**) gebildet ist, wobei das Kontaktelement (**230**) eine Verbindung zu der ersten und/oder der zweiten Gateelektrode (**205**) und/oder der Platzhaltergateelektrode (**205a**) herstellt; wobei der p-Doppelkanaltransistor (**200p**) ein n-Kanalgebiet (**203a**) aufweist, das unter der ersten Gateelektrode (**205**) ausgebildet ist, und ein p-Kanalgebiet (**203b**) aufweist, das unter dem n-Kanalgebiet (**203a**) gebildet ist; und der n-Doppelkanaltransistor (**200n**) ein p-Kanalgebiet (**203a**), das unter der zweiten Gateelektrode (**295**) ausgebildet ist, und ein n-Kanalgebiet (**203b**), das unter dem p-Kanalgebiet (**203a**) ausgebildet ist, aufweist.

2. Speicherzelle (**250**) nach Anspruch 1, die ferner einen leitenden Pfad zwischen der Platzhaltergateelektrode (**205a**) und einem Teil des aktiven Gebiets (**210**), das unter der Platzhaltergateelektrode (**205a**) angeordnet ist, aufweist.

3. Speicherzelle (**250**) nach Anspruch 2, wobei der leitende Pfad ein Metallsilizidmaterial aufweist.

4. Speicherzelle (**250**) nach Anspruch 2, wobei das Kontaktelement (**230**) mit einem Sourcegebiet des n-Doppelkanaltransistors (**200n**) und mit einem Sourcegebiet des p-Doppelkanaltransistors (**200p**) verbunden ist.

5. Speicherzelle (**250**) nach Anspruch 4, wobei das Kontaktelement (**230**) mit Körpergebieten (**202p**, **202n**) des n-Doppelkanaltransistors (**200n**) und des p-Doppelkanaltransistors (**200p**) über den leitenden Pfad verbunden ist.

6. Speicherzelle (**250**) nach Anspruch 1, die ferner einen Auswahltransistor (**200s**) aufweist, der ausgebildet ist, Sourcegebiete des p-Doppelkanaltransistors (**200p**) und des n-Doppelkanaltransistors (**200n**) mit einer Bitleitung zu verbinden.

7. Speicherzelle (**250**) nach Anspruch 6, wobei der Auswahltransistor (**200s**) ein Einzelkanaltransistor ist.

8. Speicherzelle (**250**) nach Anspruch 6, wobei der Auswahltransistor (**200s**), der p-Doppelkanaltransistor (**200p**) und der n-Doppelkanaltransistor (**200n**) die einzigen Transistorelemente sind.

9. Speicherzelle (**250**) nach Anspruch 2, die ferner eine erste Abstandhalterstruktur, die an Seitenwänden der ersten Gateelektrode (**205**) ausgebildet ist, und eine zweite Abstandhalterstruktur, die an Seitenwänden der zweiten Gateelektrode (**205**) ausgebildet ist, aufweist und wobei der leitende Pfad entlang den Seitenwänden der Platzhaltergateelektrode

(**205a**) ausgebildet ist.

10. Halbleiterbauelement mit:
 einem ersten Doppelkanaltransistor (**200p**) mit einer ersten Gateelektrode (**205**) und einem ersten Körpergebiet (**202p**);
 einem zweiten Doppelkanaltransistor (**200n**) mit einer zweiten Gateelektrode und einem zweiten Körpergebiet (**202n**);
 einem Körperkontakt (**208**), der Lateral zwischen dem ersten und dem zweiten Doppelkanaltransistor (**200p**, **200n**) angeordnet ist, wobei der Körperkontakt (**208**) mit dem ersten und dem zweiten Körpergebiet (**202p**, **202n**) verbunden ist; und
 einem einzelnen Kontaktelement (**230**), das in einem dielektrischen Zwischenschichtmaterial (**222**) gebildet ist, wobei das Kontaktelement (**230**) mit dem Körperkontakt (**208**), der ersten und der zweiten Gateelektrode (**205**) und Sourcegebieten des ersten und des zweiten Doppelkanaltransistors (**200p**, **200n**) verbunden ist.

11. Halbleiterbauelement nach Anspruch 10, wobei der erste und der zweite Doppelkanaltransistor (**200p**, **200n**) in einem gemeinsamen aktiven Gebiet (**210**) gebildet sind.

12. Halbleiterbauelement nach Anspruch 10, wobei der erste und der zweite Doppelkanaltransistor (**200p**, **200n**) von unterschiedlicher Leitfähigkeitsart sind.

13. Halbleiterbauelement nach Anspruch 10, wobei der Körperkontakt (**208**) als eine Platzhaltergateelektrodenstruktur (**205a**) vorgesehen ist.

14. Halbleiterbauelement nach Anspruch 13, wobei die Platzhaltergateelektrodenstruktur (**205a**) ein metallenthaltendes Material aufweist, das zumindest an Seitenwänden ausgebildet ist.

15. Halbleiterbauelement nach Anspruch 10, das eine Speicherzelle (**250**) repräsentiert und ferner einen Auswahltransistor (**200s**) aufweist.

16. Halbleiterbauelement nach Anspruch 15, wobei eine Gateelektrode (**205**) des Auswahltransistors (**200s**) im Wesentlichen zu dem Körperkontakt (**208**) ausgerichtet ist.

17. Halbleiterbauelement nach Anspruch 15, wobei der erste und der zweite Doppelkanaltransistor (**200p**, **200n**) und der Auswahltransistor (**200s**) die einzigen Transistorelemente der Speicherzelle (**250**) sind.

18. Verfahren mit:
 Bilden eines Körperkontakts (**208**) über einem aktiven Gebiet (**210**) und lateral zwischen einem ersten Doppelkanaltransistor und einem zweiten Doppelka-

naltransistor;

Bilden eines dielektrischen Zwischenschichtmaterials (**222**) über dem Körperkontakt (**208**) und dem ersten und dem zweiten Doppelkanaltransistor; und Bilden eines Kontaktelements (**230**) in dem dielektrischen Zwischenschichtmaterial (**222**) derart, dass dieses mit einer ersten Gateelektrode (**205**) und einem Sourcegebiet des ersten Doppelkanaltransistors (**200p**), einer zweiten Gateelektrode (**205**) und einem Sourcegebiet des zweiten Doppelkanaltransistors (**200n**) und dem Körperkontakt (**208**) verbunden ist.

19. Verfahren nach Anspruch 18, wobei der Körperkontakt (**208**) und die erste und die zweite Gateelektrode (**205**) in einer gemeinsamen Fertigungssequenz hergestellt werden.

20. Verfahren nach Anspruch 18, wobei Bilden des Körperkontakts (**208**) umfasst: Freilegen von Seitenwandbereichen einer Elektrodenstruktur des Körperkontakts (**208**) und Bilden eines Metallsilizids (**214**) auf den freigelegten Seitenwänden.

21. Verfahren nach Anspruch 18, wobei der erste und der zweite Doppelkanaltransistor in und auf dem aktiven Gebiet (**210**) gebildet werden.

22. Verfahren nach Anspruch 18, das ferner umfasst: Bilden eines Auswahltransistors (**200s**) in und über einem zweiten aktiven Gebiet (**210**), wobei der erste und der zweite Doppelkanaltransistor (**200p**, **200n**) und der Auswahltransistor (**200s**) miteinander verbunden werden, um eine statische RAM-Zelle zu bilden.

23. Verfahren nach Anspruch 22, wobei eine Gateelektrode des Auswahltransistors (**200s**) in ihrer Breitenrichtung zu einer Breitenrichtung des Körperkontakts (**208**) ausgerichtet ist.

Es folgen 9 Blatt Zeichnungen

Anhängende Zeichnungen

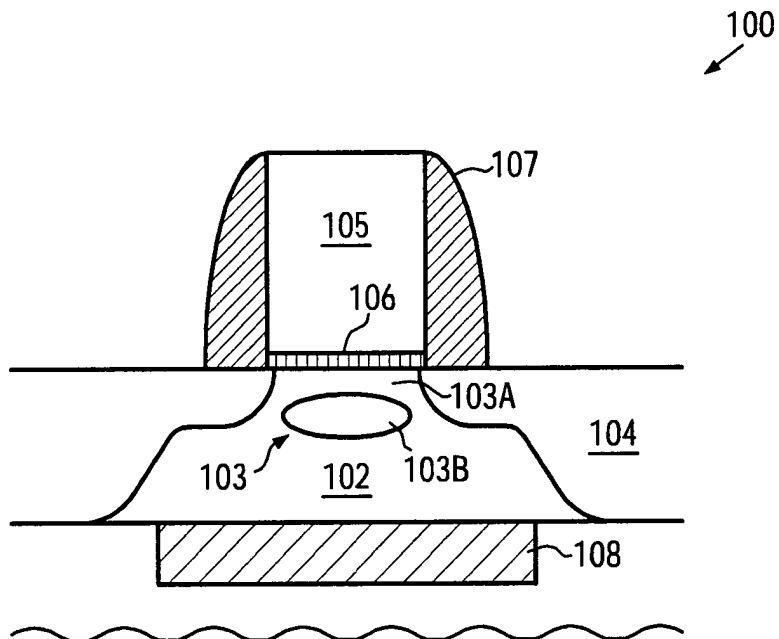


FIG. 1a
(Stand der Technik)

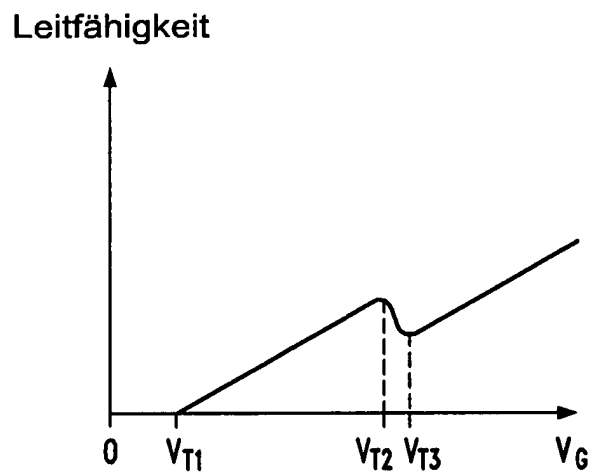


FIG. 1b
(Stand der Technik)

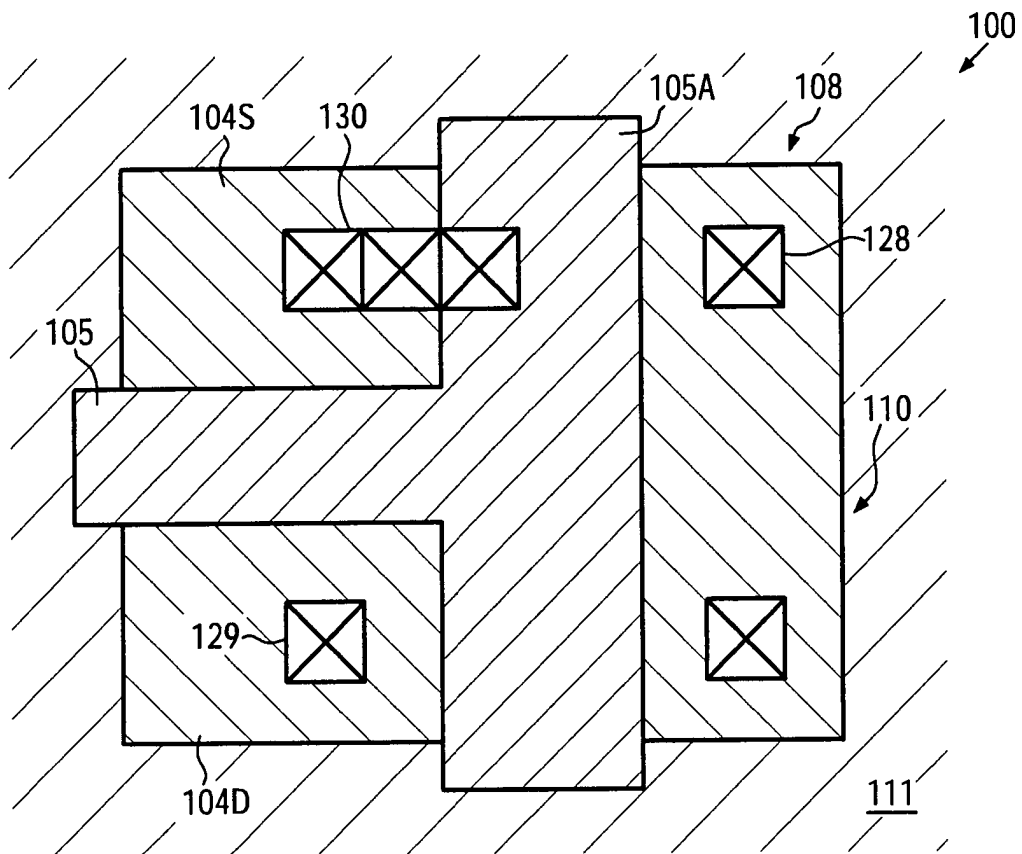


FIG. 1c
(Stand der Technik)

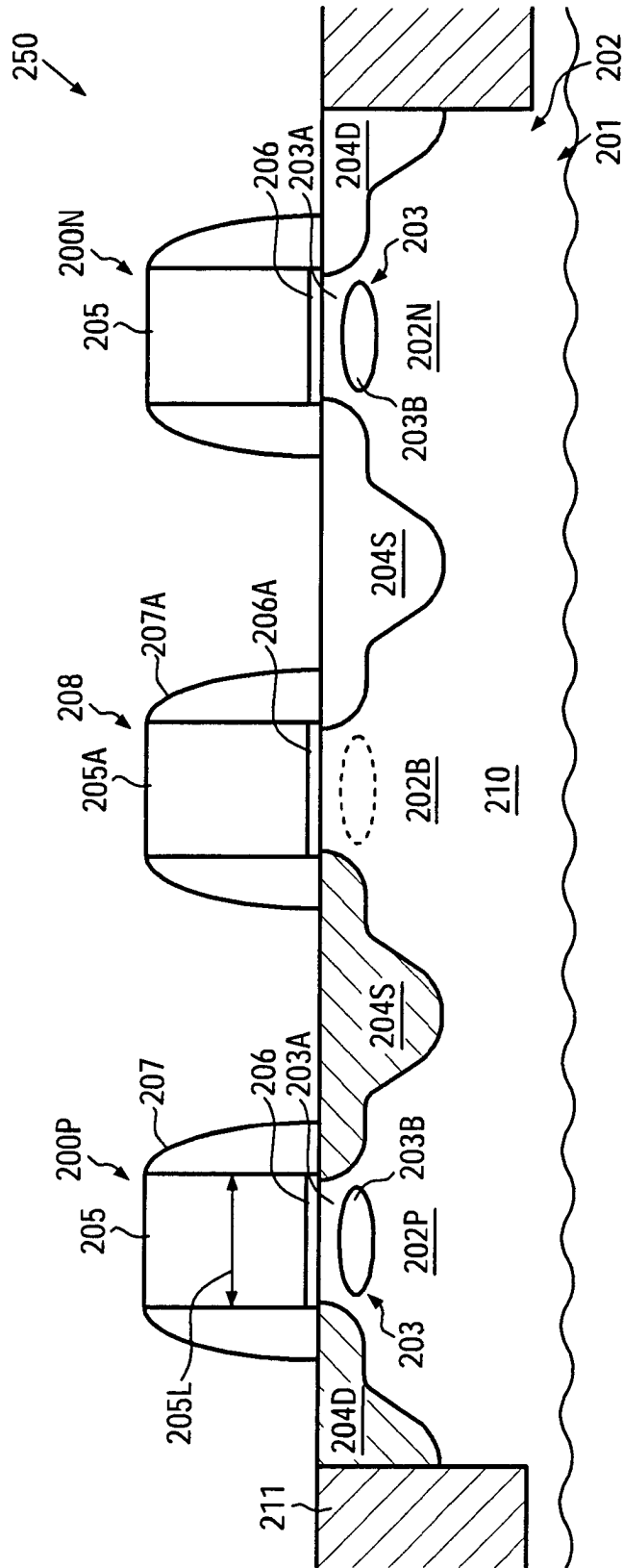


FIG. 2C

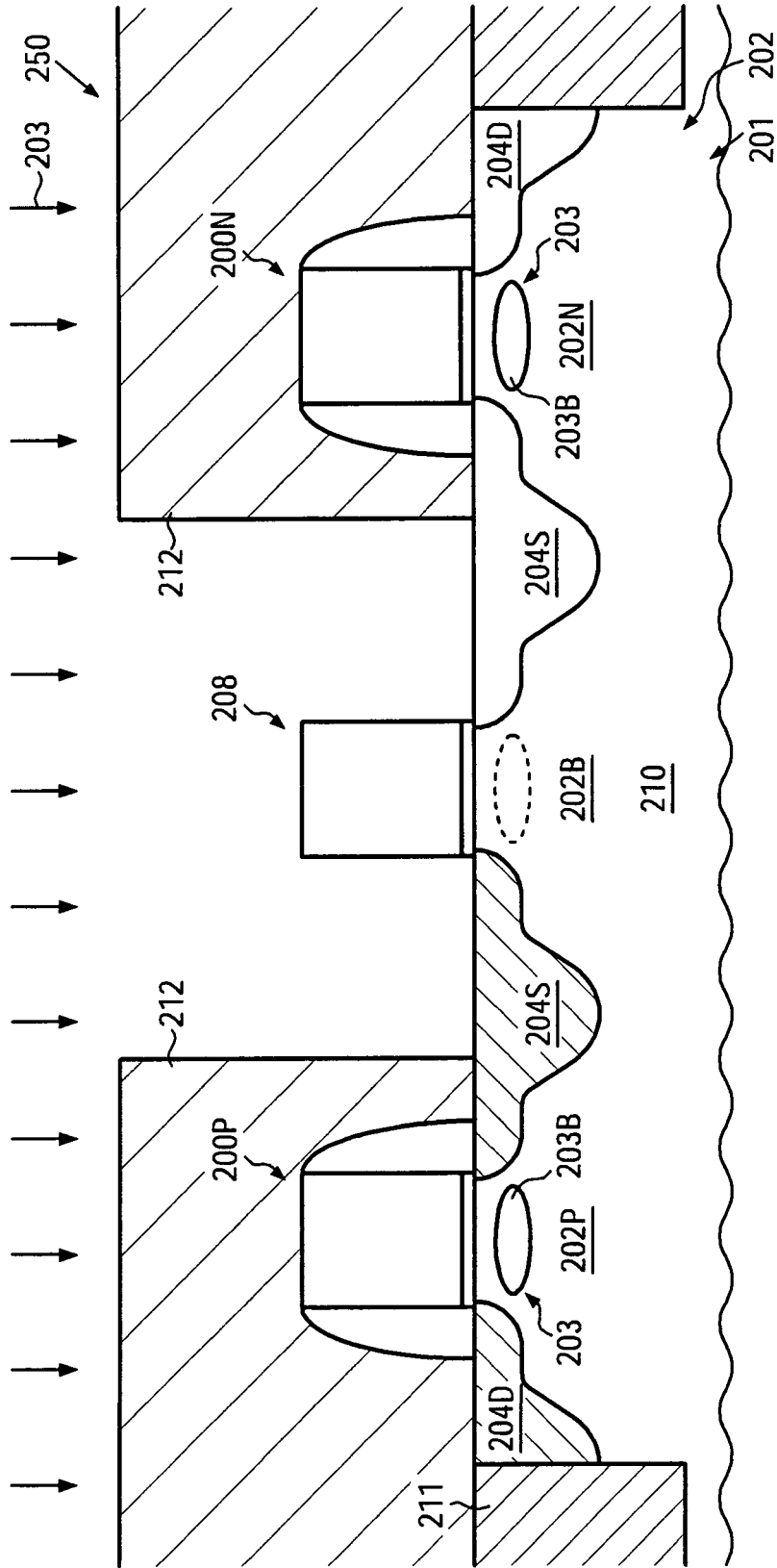


FIG. 2d

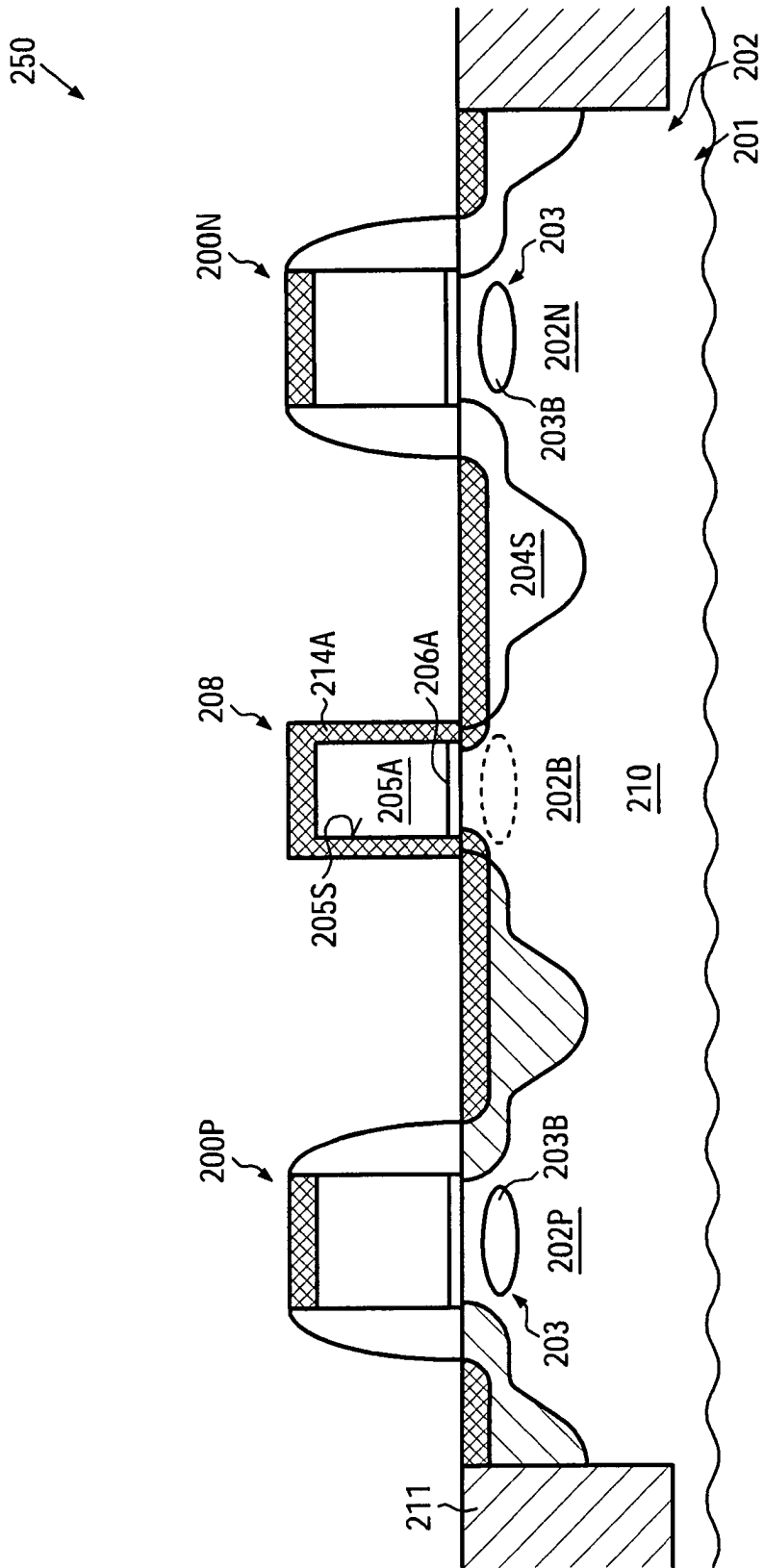


FIG. 2e

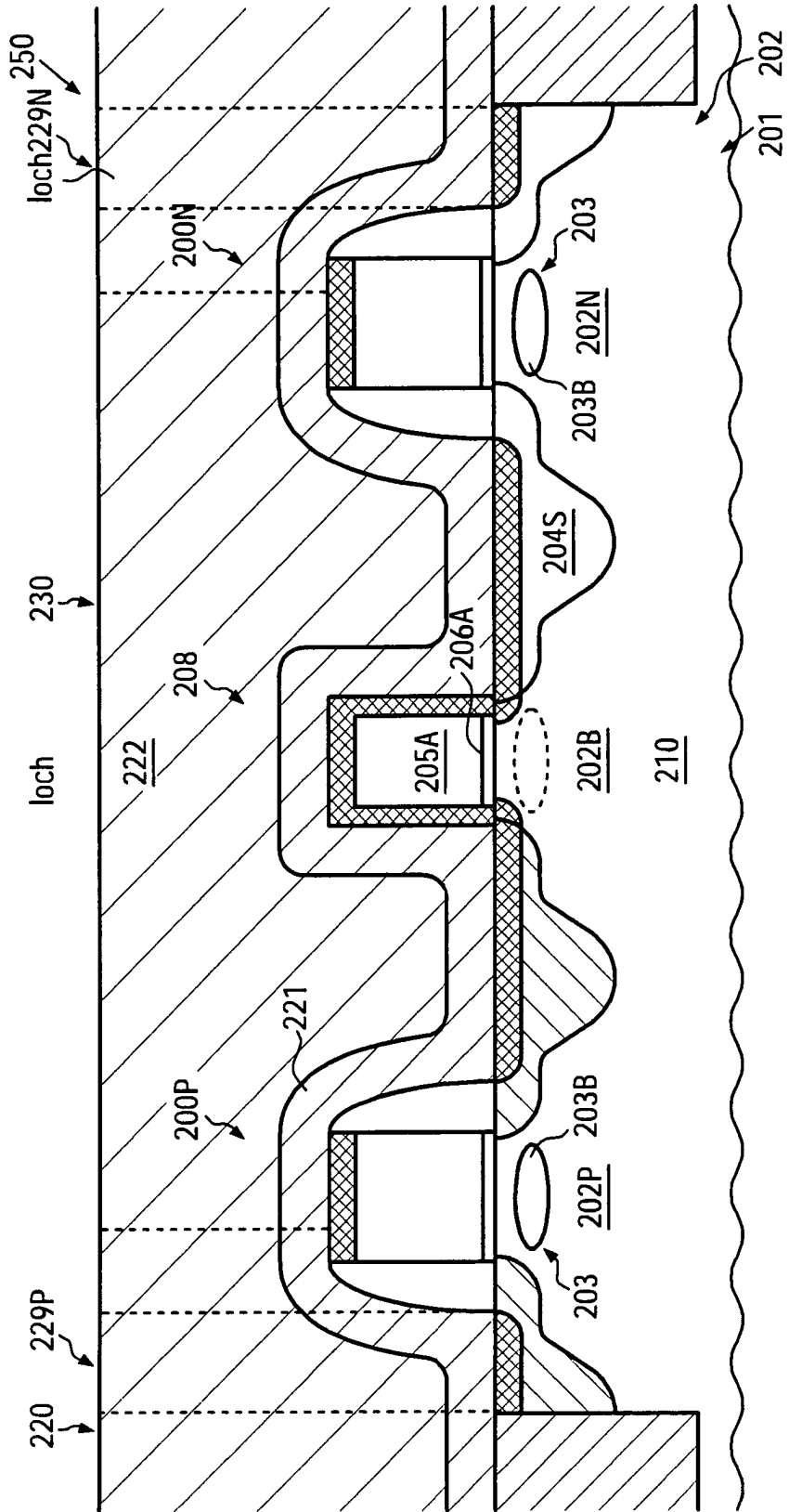


FIG. 2f

