



(21)申請案號：100109933

(22)申請日：中華民國 100 (2011) 年 03 月 23 日

(51)Int. Cl. : **H01L23/488 (2006.01)**

(30)優先權：2010/03/23 美國 61/316,668

(71)申請人：精材科技股份有限公司 (中華民國) XINTEC INC. (TW)

桃園市中壢區中壢工業區吉林路 23 號 9 樓

(72)發明人：邱新智 CHIU, HSIN CHIH (TW)；鄭家明 CHENG, CHIA MING (TW)；許傳進 SHIU, CHUAN JIN (TW)；樓百堯 LOU, BAI YAO (TW)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

US 6630736B1

審查人員：楊啟全

申請專利範圍項數：20 項 圖式數：7 共 30 頁

(54)名稱

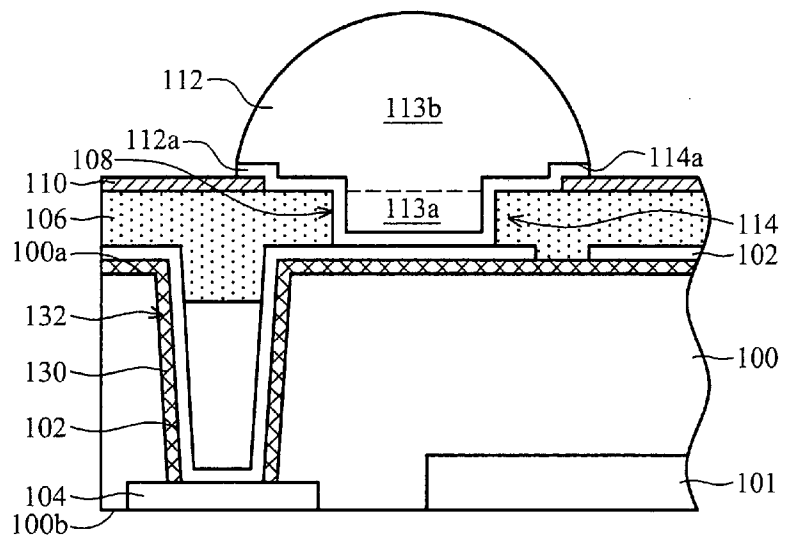
晶片封裝體

CHIP PACKAGE

(57)摘要

本發明一實施例提供一種晶片封裝體，包括：一基底，具有一第一表面及一第二表面；一光學元件，設置於該第一表面上；一導電層，位於該第二表面上，且電性連接該光學元件；一保護層，設置於該第二表面及該導電層之上，該保護層具有一開口，露出該導電層；一導電凸塊，設置於該第二表面上，該導電凸塊具有一底部部分及一上部部分，該底部部分填充於該開口中而與露出的該導電層電性接觸，該上部部分位於該開口之外，並朝遠離該開口之方向延伸；一凹陷，自該導電凸塊之一表面朝向該導電凸塊之內部延伸；以及一遮光層，設置於該第二表面上，且延伸至該導電凸塊之該上部部分之下，並部分位於該凹陷之中而與部分的該導電凸塊重疊。

According to an embodiment of the invention, a chip package is provided, which includes a substrate having a first surface and a second surface, an optical device disposed on the first surface, a conducting layer located on the second surface and electrically connected to the optical device, a passivation layer disposed on the second surface and the conducting layer, the passivation layer having an opening exposing the conducting layer, a conducting bump disposed on the second surface and having a bottom portion and an upper portion, wherein the bottom portion is filled in opening and electrically contacting the exposed conducting layer, and the upper portion is located outside the opening and extending along a direction away from the opening, a recess extending from a surface of the conducting bump toward an inner portion of the conducting bump, and a light shielding layer disposed on the second surface, extending under the upper portion of the conducting bump, and partially located in the recess and overlapping a portion of the conducting bump.



第1C圖

- 100 . . . 基底
- 100a、100b . . . 表面
- 101 . . . 光學元件
- 102 . . . 導電層
- 104 . . . 導電墊結構
- 106 . . . 保護層
- 108 . . . 開口
- 110 . . . 遮光層
- 112 . . . 導電凸塊
- 112a . . . 凸塊下金屬層
- 113a、113b . . . 部分
- 114 . . . 凹陷
- 114a . . . 側壁

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100109933

※申請日：100.3.23

※IPC 分類：

H01L 23/48 2006.01

一、發明名稱：(中文/英文)

晶片封裝體

Chip package

二、中文發明摘要：

本發明一實施例提供一種晶片封裝體，包括：一基底，具有一第一表面及一第二表面；一光學元件，設置於該第一表面上；一導電層，位於該第二表面上，且電性連接該光學元件；一保護層，設置於該第二表面及該導電層之上，該保護層具有一開口，露出該導電層；一導電凸塊，設置於該第二表面上，該導電凸塊具有一底部部分及一上部部分，該底部部分填充於該開口中而與露出的該導電層電性接觸，該上部部分位於該開口之外，並朝遠離該開口之方向延伸；一凹陷，自該導電凸塊之一表面朝向該導電凸塊之內部延伸；以及一遮光層，設置於該第二表面上，且延伸至該導電凸塊之該上部部分之下，並部分位於該凹陷之中而與部分的該導電凸塊重疊。

三、英文發明摘要：

According to an embodiment of the invention, a chip

package is provided, which includes a substrate having a first surface and a second surface, an optical device disposed on the first surface, a conducting layer located on the second surface and electrically connected to the optical device, a passivation layer disposed on the second surface and the conducting layer, the passivation layer having an opening exposing the conducting layer, a conducting bump disposed on the second surface and having a bottom portion and an upper portion, wherein the bottom portion is filled in opening and electrically contacting the exposed conducting layer, and the upper portion is located outside the opening and extending along a direction away from the opening, a recess extending from a surface of the conducting bump toward an inner portion of the conducting bump, and a light shielding layer disposed on the second surface, extending under the upper portion of the conducting bump, and partially located in the recess and overlapping a portion of the conducting bump.

四、指定代表圖：

(一)本案指定代表圖為：第(1C)圖。

(二)本代表圖之元件符號簡單說明：

100~基底；

100a、100b~表面；

101~光學元件；

102~導電層；

104~導電墊結構；

106~保護層；

108~開口；

110~遮光層；

112~導電凸塊；

112a~凸塊下金屬層；

113a、113b~部分；

114~凹陷；

114a~側壁。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關於晶片封裝體，且特別是有關於光學感測晶片或發光晶片之封裝體。

【先前技術】

光感測元件或發光元件等光電元件在擷取影像或照明的應用中扮演著重要的角色，這些光電元件均已廣泛地應用於例如是數位相機(digital camera)、數位攝錄像機(digital video recorder)、手機(mobile phone)、太陽能電池、螢幕、照明設備等的電子元件中。

隨著科技之演進，對於光感測元件之感測精準度或發光元件之發光精準度的需求亦隨之提高。

【發明內容】

本發明一實施例提供一種晶片封裝體，包括：一基底，具有一第一表面及一第二表面；一光學元件，設置於該第一表面上；一導電層，位於該第二表面上，且電性連接該光學元件；一保護層，設置於該第二表面及該導電層之上，該保護層具有一開口，露出該導電層；一導電凸塊，設置於該第二表面上，該導電凸塊具有一底部部分及一上部部分，該底部部分填充於該開口中而與露出的該導電層電性接觸，該上部部分位於該開口之外，並朝遠離該開口之方向延伸；一凹陷，自該導電凸塊之一表面朝向該導電凸塊之內部延伸；以及一遮光

層，設置於該第二表面上，且延伸至該導電凸塊之該上部部分之下，並部分位於該凹陷之中而與部分的該導電凸塊重疊。

【實施方式】

以下將詳細說明本發明實施例之製作與使用方式。然應注意的是，本發明提供許多可供應用的發明概念，其可以多種特定型式實施。文中所舉例討論之特定實施例僅為製造與使用本發明之特定方式，非用以限制本發明之範圍。此外，在不同實施例中可能使用重複的標號或標示。這些重複僅為了簡單清楚地敘述本發明，不代表所討論之不同實施例及/或結構之間具有任何關連性。再者，當述及一第一材料層位於一第二材料層上或之上時，包括第一材料層與第二材料層直接接觸或間隔有一或更多其他材料層之情形。

本發明一實施例之晶片封裝體可用以封裝光感測元件或發光元件。然其應用不限於此，例如在本發明之晶片封裝體的實施例中，其可應用於各種包含主動元件或被動元件(active or passive elements)、數位電路或類比電路(digital or analog circuits)等積體電路的電子元件(electronic components)，例如有關於光電元件(opto electronic devices)、微機電系統(Micro Electro Mechanical System; MEMS)、微流體系統(micro fluidic systems)、或利用熱、光線及壓力等物理量變化來測量的物理感測器(Physical Sensor)。特別是可選擇使用晶圓級封裝(wafer

scale package; WSP)製程對影像感測元件、發光二極體(light-emitting diodes; LEDs)、太陽能電池(solar cells)、射頻元件(RF circuits)、加速計(accelerators)、陀螺儀(gyroscopes)、微制動器(micro actuators)、表面聲波元件(surface acoustic wave devices)、壓力感測器(process sensors)、噴墨頭(ink printer heads)、或功率模組(power modules)等半導體晶片進行封裝。

其中上述晶圓級封裝製程主要係指在晶圓階段完成封裝步驟後，再予以切割成獨立的封裝體，然而，在一特定實施例中，例如將已分離之半導體晶片重新分布在一承載晶圓上，再進行封裝製程，亦可稱之為晶圓級封裝製程。另外，上述晶圓級封裝製程亦適用於藉堆疊(stack)方式安排具有積體電路之多片晶圓，以形成多層積體電路(multi-layer integrated circuit devices)之晶片封裝體。

第 1A-1C 圖顯示根據本發明一實施例之晶片封裝體的製程剖面圖。如第 1A 圖所示，提供基底 100，其例如為半導體基底或陶瓷基底。在一實施例中，基底 100 為半導體晶圓(如矽晶圓)而可進行晶圓級封裝以節省製程時間與成本。基底 100 具有表面 100a 與 100b。表面 100a 與 100b 例如係彼此相對。

如第 1A 圖所示，在一實施例中，表面 100b 上設置有光學元件 101。光學元件 101 可包括(但不限於)光學感測元件或發光元件。光學感測元件例如是 CMOS 影像感測元件，而發光元件例如是發光二極體元件。光學元件

101 例如可與形成於表面 100b 上之導電墊結構 104 電性連接，並可透過導電墊結構 104 而與其他導電通路連結。

雖然，第 1A 圖中僅顯示出單層的導電墊結構 104。然而，多個導電墊可能係彼此堆疊及/或排列於基底 100 之上。例如，在一實施例中，導電墊結構 104 為多個彼此堆疊之導電墊、或至少一導電墊、或至少一導電墊與至少一層內連線結構所組成之導電墊結構。例如，請參照第 5 圖，其顯示一實施例之晶片封裝體之導電墊結構 104。導電墊結構 104 具有複數個導電墊，且這些導電墊例如可形成於基底 100 上之介電層 105 之中，並藉由形成於介電層 105 之中的內連線而彼此電性接。在以下之實施例中，為方便說明，不於圖式中顯示介電層 105 及多個導電墊，圖式中僅顯示單層導電墊結構 104 以簡化圖式。

如第 1A 圖所示，基底 100 之另一表面 100a 上設置有導電層 102。導電層 102 係與光學元件 101 電性連接。例如，導電層 102 可透過導電墊結構 104 而電性連接至光學元件 101，其中導電層 102 與導電墊結構 104 之間的導電通路例如可以是穿基底導電結構或延伸於基底 100 之外側的線路重佈層。在第 1A 圖之實施例中，係以穿基底導電結構為例。基底 100 中包括孔洞 132，其自基底 100 之表面 100a 朝表面 100b 延伸。在一實施例中，孔洞 132 露出部分的導電墊結構 104。此外，導電層 102 係延伸於孔洞 132 之側壁與基底 100 之表面 100a 之上，並電性連接導電墊結構 104。導電層 102 之材質例如為(但不

限於)金屬材料，如銅、鋁、金、或前述之組合等。應注意的是，當基底 100 之材質具有導電性時，(例如是矽)，需於導電層 102 與基底 100 之間形成絕緣層以避免發生短路。例如，在第 1A 圖之實施例中，可選擇性於基底 100 與導電層 102 之間形成絕緣層 130。相似地，亦可視情況於其他導電性結構與基底 100 之間形成絕緣層。

如第 1A 圖所示，在表面 100a 及導電層 102 上設置有保護層 106。保護層 106 例如包括(但不限於)防銲材料、聚醯亞胺樹脂(polyimide)、或綠漆等。保護層 106 中定義有至少一開口 108，其露出部分的導電層 102。

接著，如第 1B 圖所示，於基底 100 之表面 100a 上形成遮光層 110。在此實施例中，遮光層 110 係形成於保護層 106 之上。遮光層 110 之材質例如可為高分子材料，或金屬材料層與絕緣層之組合。該絕緣層至少介於該金屬材料層與凸塊下金屬層 112a(詳述於後)之間，或至少介於該金屬材料層與導電層 102 之間。在一實施例中，遮光層 110 為一光阻層而可便於將之圖案化。例如，遮光層 110 可為一黑色的光阻層。在一實施例中，遮光層 110 為一負型光阻層。在一實施例中，可例如以塗佈之方式將遮光層 110 形成於基底 100 之上，並接著將之圖案化，例如圖案化為如第 1B 圖所示之結構。遮光層 110 可有助於阻擋來自晶片封裝體外部之光線，尤其是來自基底 100 之表面 100a 後之光線，因而可有利於光學元件 101 之運作。例如，當光學元件 101 為影像感測元件時，遮光層 110 可擋住來自基底 100 之表面 100a 之光線而避免

造成影像雜訊。或者，當光學元件 101 為發光元件時，遮光層 110 可擋住來自基底 100 之表面 100a 之光線而避免晶片封裝體所發出之光線的波長及/或強度受到外界光線的影響。

接著，如第 1C 圖所示，於基底 100 之表面 100a 上設置導電凸塊 112。在一實施例中，可選擇性於形成導電凸塊 112 之前，於導電層 102 之上形成凸塊下金屬層 112a。凸塊下金屬層 112a 可沿著保護層 106 之開口 108 的側壁延伸，並進一步延伸至保護層 106 上的遮光層 110 之上。接著，可於保護層 106 之開口 108 上設置導電凸塊 112。

如第 1C 圖所示，導電凸塊 112 包括底部部分 113a 及上部部分 113b。底部部分 113a 填充於保護層 106 之開口 108 中而與露出的導電層 102 電性接觸。導電凸塊 112 之上部部分 113b 係位於保護層 106 之開口 108 之外，並且朝著遠離開口 108 之方向延伸。例如，導電凸塊 112 之上部部分 113b 由開口 108 之邊緣大抵水平地朝外延伸，因而至少部分位於遮光層 110 上而與凸塊下金屬層 112a 及下方之遮光層 110 重疊。

換言之，在一實施例中，晶片封裝體包括一凹陷 114，其自導電凸塊 112 之一表面朝向導電凸塊 112 之內部延伸。設置於表面 100a 上之遮光層 110 延伸至導電凸塊 112 之上部部分 113b 之下而部分位於凹陷 114 中。由於遮光層 110 延伸進入導電凸塊 112 之凹陷 114 中，將能更為有效地阻擋來自表面 100a 上之外界光線，避免光

線或雜訊傳至表面 100b 處之光學元件 101。此外，在一實施例中，凹陷 114 具有一側壁 114a，其具有大抵順應性平坦之表面，且大抵平行於基底 100 之表面 100a。

在第 1C 圖之實施例中，保護層 106 延伸至導電凸塊 112 之上部部分 113b 之下而與部分的導電凸塊 112 重疊。在一實施例中，導電凸塊 112 與保護層 106 重疊之部分大於與遮光層 110 重疊之部分。

在第 1C 圖之實施例中，遮光層 110 與導電凸塊 112 之間可隔有其他材料層，例如是凸塊下金屬層 112a。在此情形下，遮光層 110 直接接觸凸塊下金屬層 112a。此外，在一實施例中，遮光層 110 不直接接觸導電層 102，其間例如隔有保護層 106。

第 2A-2C 圖顯示根據本發明另一實施例之晶片封裝體的製程剖面圖，其中相同或相似之標號用以標示相同或相似之元件。再者，部分的元件及其材質與形成方法大抵相似於第 1 圖之實施例，因而不再重複說明。

如第 2A 圖所示，在一實施例中，在形成保護層之前，先於基底 100 之表面 100a 上形成遮光層 110。遮光層 110 例如可延伸導電層 102 之上。在一實施例中，遮光層係與導電層直接接觸。然而，應注意的是，本發明實施例之實施方式不限於此。在其他實施例中，遮光層 110 可僅形成於表面 100a 之上，但不延伸至導電層 102 之上而不與之直接接觸。或者，遮光層 110 雖延伸至導電層 102 之上，但兩者之間可形成有其他材料層而彼此不直接接觸。在一實施例中，遮光層 110 係經圖案化而

具有至少一開口，其使導電層 102 至少部分露出。

接著，如第 2B 圖所示，於基底 100 之表面 100a 上形成保護層 106。保護層 106 係經圖案化而僅覆蓋部分的遮光層 110 與部分的導電層 102。在第 2B 圖之實施例中，保護層 106 覆蓋部分的遮光層 110，且保護層 106 之開口 108 使另一部分的遮光層 110 露出。

接著，如第 2C 圖所示，於保護層 106 之開口 108 所露出之導電層 102 上形成導電凸塊 112，並可選擇性於導電凸塊 112 與導電層 102 之間形成凸塊下金屬層 112a。導電凸塊 112 包括填充於保護層 106 之開口 108 中之底部部分 113a 及開口 108 外之上部部分 113b。此外，導電凸塊 112 亦具有一凹陷 114，其自導電凸塊 112 之一表面朝向導電凸塊 112 之內部延伸。遮光層 110 延伸至上部部分 113b 之下，並部分位於凹陷 114 之中，因而可有效阻擋光線或雜訊傳至光學元件 101 而影響其運作。

在第 2C 圖實施例中，保護層 106 延伸至導電凸塊 112 之上部部分 113b 之下而與部分的導電凸塊 112 重疊。在一實施例中，導電凸塊 112 與保護層 106 重疊之部分小於與遮光層 110 重疊之部分。

第 3A-3B 圖顯示根據本發明又一實施例之晶片封裝體的製程剖面圖，其中相同或相似之標號用以標示相同或相似之元件。再者，部分的元件及其材質與形成方法大抵相似於第 1 圖之實施例，因而不再重複說明。

如第 3A 圖所示，在一實施例中，在形成保護層之前，先於基底 100 之表面 100a 上形成遮光層 110。遮光

層 110 例如可延伸導電層 102 之上。遮光層 110 係經圖案化而具有至少一開口而使導電層 102 至少部分露出。

接著，於基底 100 之表面 100a 上形成保護層 106。保護層 106 係經圖案化而具有露出部分的導電層 102 之開口 108。在第 3A 圖之實施例中，保護層 106 將導電層 102 上之遮光層 110 大抵完全覆蓋。

接著，如第 3B 圖所示，於保護層 106 之開口所露出之導電層 102 上形成導電凸塊 112，並可選擇性於導電凸塊 112 與導電層 102 之間形成凸塊下金屬層 112a。導電凸塊 112 包括填充於保護層 106 之開口 108 中之底部部分 113a 及開口 108 外之上部部分 113b。此外，導電凸塊 112 亦具有一凹陷 114，其自導電凸塊 112 之一表面朝向導電凸塊 112 之內部延伸。遮光層 110 延伸至上部部分 113b 之下，並部分位於凹陷 114 之中，因而可有效阻擋光線或雜訊傳至光學元件 101 而影響其運作。

在第 3B 圖實施例中，保護層 106 延伸至導電凸塊 112 之上部部分 113b 之下而與部分的導電凸塊 112 重疊。在一實施例中，導電凸塊 112 與保護層 106 重疊之部分大於與遮光層 110 重疊之部分。此外，由於保護層 106 完全覆蓋導電層 102 上之遮光層 110 而位於導電凸塊 112 與遮光層 110 之間。遮光層 110 不與導電凸塊直接接觸。在形成有凸塊下金屬層 112a 之情形下，遮光層 110 亦不與凸塊下金屬層 112a 直接接觸。

第 4A-4C 圖顯示根據本發明數個實施例之晶片封裝體的剖面圖，其中相同或相似之標號用以標示相同或相

似之元件。再者，部分的元件及其材質與形成方法大抵相似於第 1-3 圖之實施例，因而不再重複說明。

在第 4 圖之晶片封裝體中，穿基底導電結構可有其他變化。在第 4A-4C 圖之實施例中，孔洞 132 係具有“倒角結構”。即，孔洞 132 之上開口(接近表面 100a 之開口)的口徑小於下開口(接近表面 100b 之開口)。在一些實施例中，形成具“倒角結構”之孔洞 132 將有利於後續各製程之進行。如第 4A-4C 圖之實施例所示，遮光層 110 皆不位於孔洞 132 中。如此，可增進晶片封裝體之可靠度。

第 6A-6B 圖分別顯示根據本發明實施例之晶片封裝體的剖面圖，其中相似或相同的標號用以標示相似或相同的元件。第 7A-7B 圖顯示根據本發明實施例之晶片封裝體的上視示意圖。

第 6A 圖顯示根據本發明一實施例之晶片封裝體，其相似於顯示於第 2C 圖之結構。然而，主要差別在於第 6A 圖實施例之遮光層 110 具有介於孔洞 132 與光學元件 101 之間的側邊緣(side edge)110a。在此實施例中，遮光層 110 之側邊緣 110a 係位於區域 R 之中，其為導電墊結構 104 於表面 100a 上之正投影區域。在此情形中，如第 7A 圖所示，遮光層 110 與部分的導電墊結構 104 重疊。遮光層 110 之側邊緣 110a 係位於光學元件 101 與孔洞 132 之間，且進一步位於區域 R 之中。

相似地，第 6B 圖顯示根據本發明一實施例之晶片封裝體，其相似於顯示於第 4C 圖之結構。主要差別在於第

6B 圖實施例之遮光層 110 具有介於孔洞 132 與光學元件 101 之間的側邊緣(side edge)110a。在此實施例中，遮光層 110 之側邊緣 110a 係位於區域 R 之中，其為導電墊結構 104 於表面 100a 上之正投影區域。在此情形中，如第 7A 圖所示，遮光層 110 與部分的導電墊結構 104 重疊。遮光層 110 之側邊緣 110a 係位於光學元件 101 與孔洞 132 之間，且進一步位於區域 R 之中。

然應注意的是，本發明實施例不限於此。在其他實施例中，遮光層 110 之側邊緣 110a 可不位於表面 100a 上之導電墊結構 104 之正投影區域之中。請參照第 7B 圖，在此實施例中，遮光層 110 之側邊緣 110a 係位於光學元件 101 與孔洞 132 之間，且不與其上之導電墊結構 104 重疊。

如上所述，在本發明實施例之晶片封裝體中，遮光層設置於基底之一表面上，並進一步延伸於導電凸塊之凹陷中而與導電凸塊之間具有較大的重疊部分。因此，晶片封裝體之光學元件可更為精確地運作而不受光線或雜訊之影響。

雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作任意之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1A-1C 圖顯示根據本發明一實施例之晶片封裝體的製程剖面圖。

第 2A-2C 圖顯示根據本發明一實施例之晶片封裝體的製程剖面圖。

第 3A-3B 圖顯示根據本發明一實施例之晶片封裝體的製程剖面圖。

第 4A-4C 圖顯示根據本發明數個實施例之晶片封裝體的剖面圖。

第 5 圖顯示根據本發明一實施例之晶片封裝體的導電墊結構示意剖面。

第 6A-6B 圖分別顯示根據本發明實施例之晶片封裝體的剖面圖。

第 7A-7B 圖顯示根據本發明實施例之晶片封裝體的上視示意圖。

【主要元件符號說明】

- 100~基底；
- 100a、100b~表面；
- 101~光學元件；
- 102~導電層；
- 104~導電墊結構；
- 105~介電層；
- 106~保護層；
- 108~開口；

- 110~遮光層；
- 110a~側邊緣；
- 112~導電凸塊；
- 112a~凸塊下金屬層；
- 113a、113b~部分；
- 114~凹陷；
- 114a~側壁；
- 130~絕緣層；
- 132、402~孔洞；
- R~區域。

七、申請專利範圍：

1. 一種晶片封裝體，包括：

一基底，具有一第一表面及一第二表面；

一光學元件，設置於該第一表面上；

一導電層，位於該第二表面上，且電性連接該光學元件；

一保護層，設置於該第二表面及該導電層之上，該保護層具有一開口，露出該導電層；

一導電凸塊，設置於該第二表面上，該導電凸塊具有一底部部分及一上部部分，該底部部分填充於該開口中而與露出的該導電層電性接觸，該上部部分位於該開口之外，並朝遠離該開口之方向延伸；

一凹陷，自該導電凸塊之一表面朝向該導電凸塊之內部延伸；以及

一遮光層，設置於該第二表面上，且延伸至該導電凸塊之該上部部分之下，並部分位於該凹陷之中而與部分的該導電凸塊重疊。

2. 如申請專利範圍第 1 項所述之晶片封裝體，其中部份該遮光層位於該導電凸塊與該保護層之間。

3. 如申請專利範圍第 1 項所述之晶片封裝體，其中部份該遮光層位於該導電凸塊與該導電層之間。

4. 如申請專利範圍第 1 項所述之晶片封裝體，其中部份該保護層介於該導電凸塊與該遮光層之間。

5. 如申請專利範圍第 1 項所述之晶片封裝體，其中該遮光層不與該導電凸塊直接接觸。

6. 如申請專利範圍第 1 項所述之晶片封裝體，更包括一凸塊下金屬層，該凸塊下金屬層位於該導電凸塊與該導電層之間，且位於該導電凸塊與該遮光層之間。

7. 如申請專利範圍第 6 項所述之晶片封裝體，其中部份該遮光層直接接觸該凸塊下金屬層。

8. 如申請專利範圍第 6 項所述之晶片封裝體，其中該遮光層不直接接觸該凸塊下金屬層。

9. 如申請專利範圍第 1 項所述之晶片封裝體，其中該遮光層包括一負型光阻。

10. 如申請專利範圍第 6 項所述之晶片封裝體，其中該遮光層至少包括一金屬材料層與一絕緣層，該絕緣層至少介於該金屬材料層與該凸塊下金屬層之間，或至少介於該金屬材料層與該導電層之間。

11. 如申請專利範圍第 1 項所述之晶片封裝體，更包括一孔洞，自該第二表面朝該第一表面延伸，且該導電層延伸於該孔洞之一側壁。

12. 如申請專利範圍第 11 項所述之晶片封裝體，其中該遮光層不位於該孔洞之中。

13. 如申請專利範圍第 1 項所述之晶片封裝體，其中該保護層延伸至該導電凸塊之該上部部分之下而與部分的該導電凸塊重疊。

14. 如申請專利範圍第 13 項所述之晶片封裝體，其中該導電凸塊與該保護層重疊之部分大於該導電凸塊與該遮光層重疊之部分。

15. 如申請專利範圍第 13 項所述之晶片封裝體，其

中該導電凸塊與該保護層重疊之部分小於與該遮光層重疊之部分。

16. 如申請專利範圍第 1 項所述之晶片封裝體，其中該凹陷之一側壁具有一大抵平坦表面，且大抵平行於該基底之該第二表面。

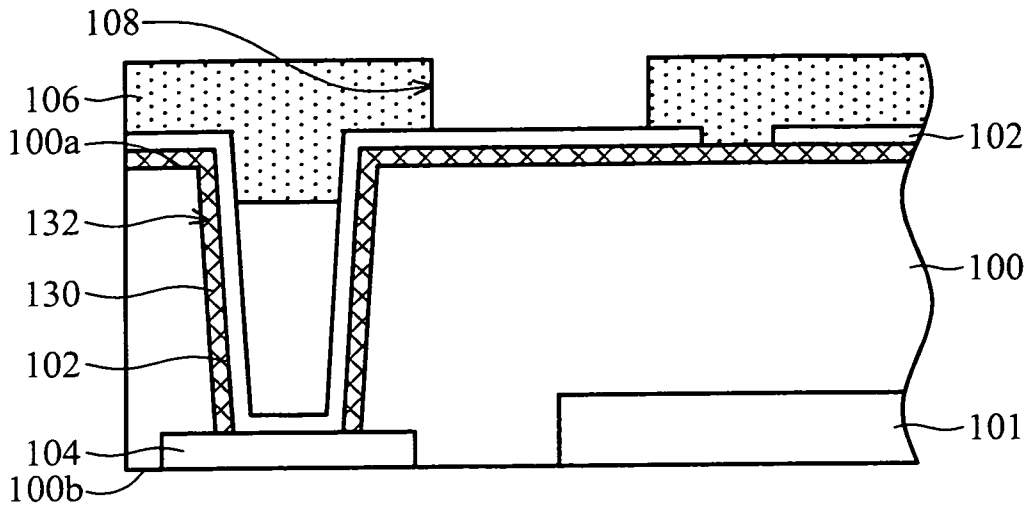
17. 如申請專利範圍第 1 項所述之晶片封裝體，其中該遮光層不直接接觸該導電層。

18. 如申請專利範圍第 1 項所述之晶片封裝體，其中該遮光層直接接觸該導電層。

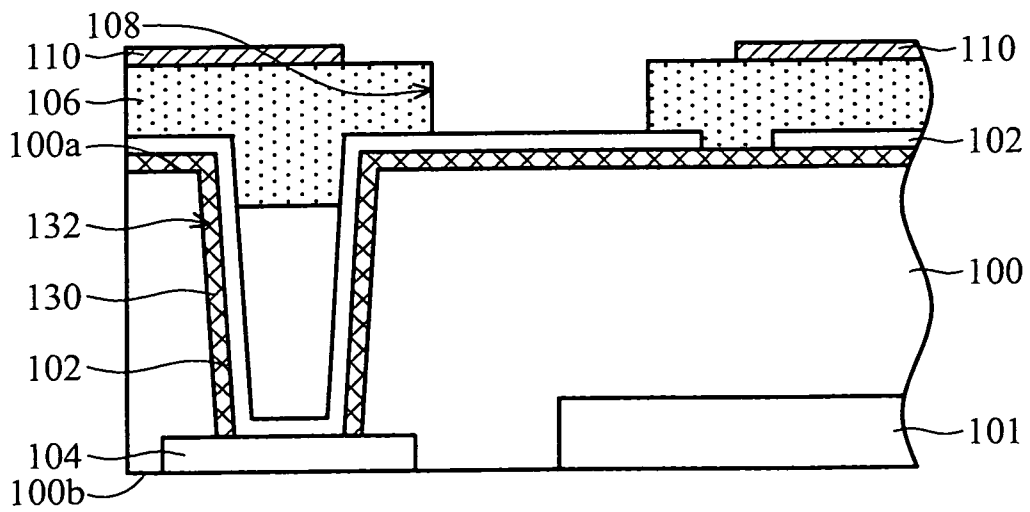
19. 如申請專利範圍第 11 項所述之晶片封裝體，其中該遮光層具有一側邊緣，位於該孔洞與該光學元件之間。

20. 如申請專利範圍第 19 項所述之晶片封裝體，其中該遮光層之該側邊緣位於導電墊結構於該第二表面上之一正投影區域之中。

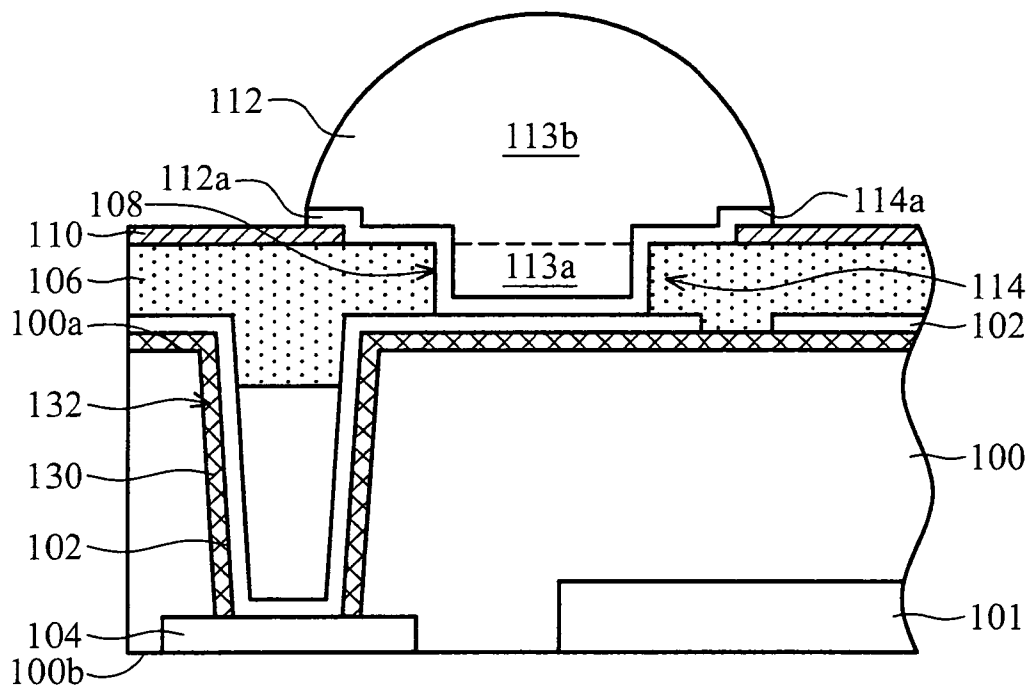
八、圖式：



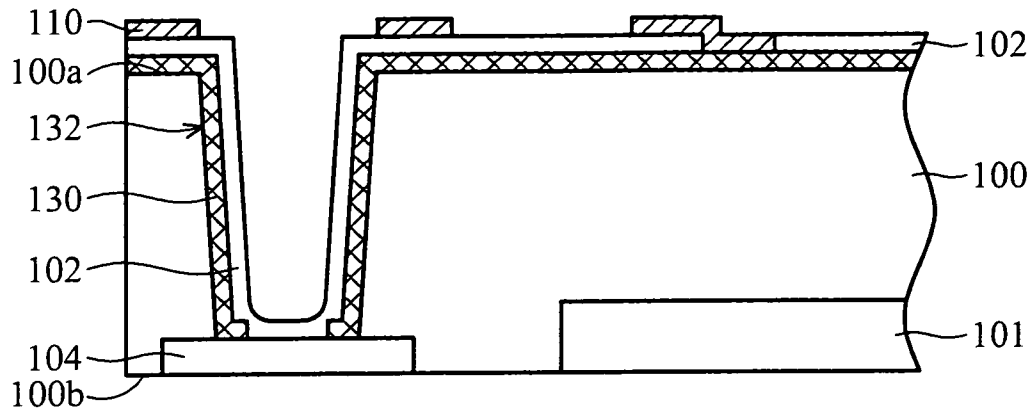
第1A圖



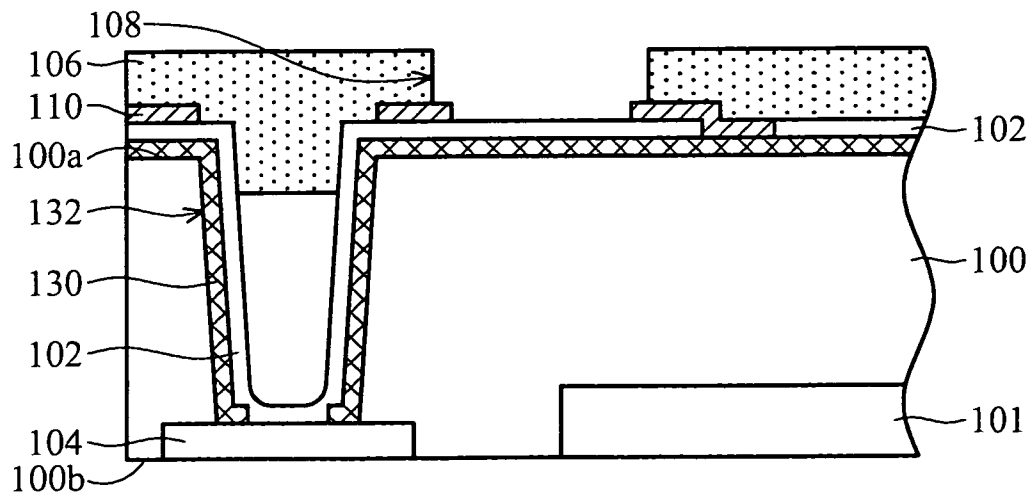
第1B圖



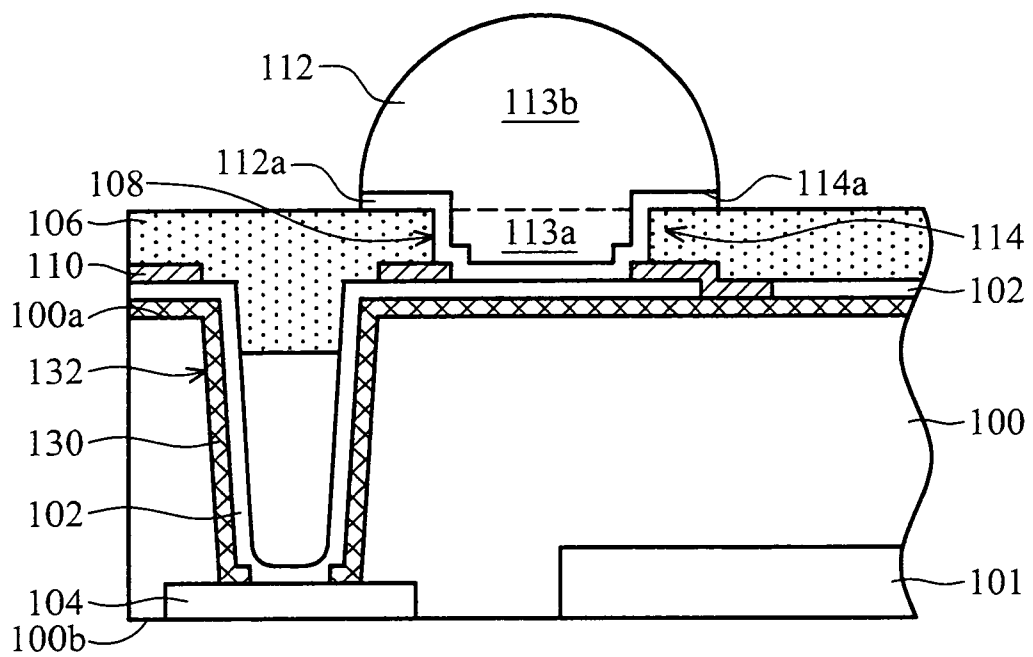
第 1C 圖



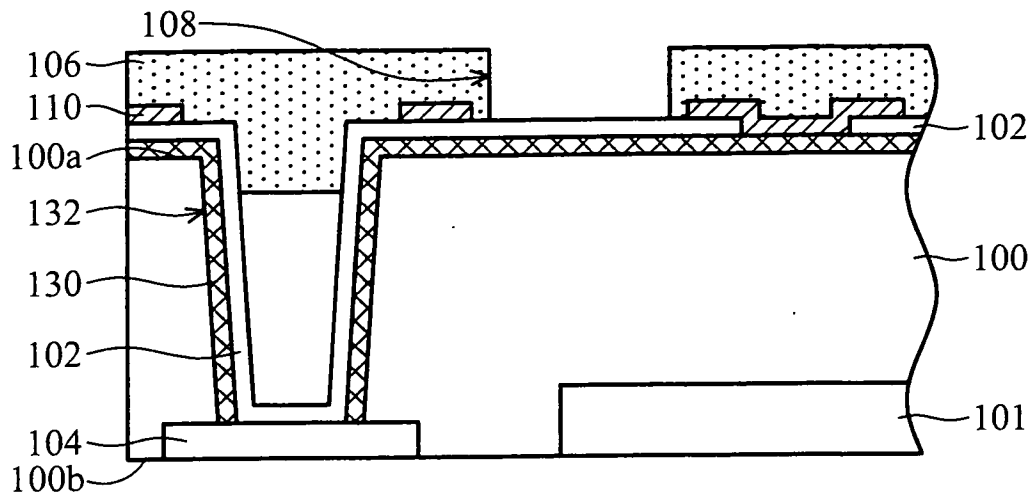
第2A圖



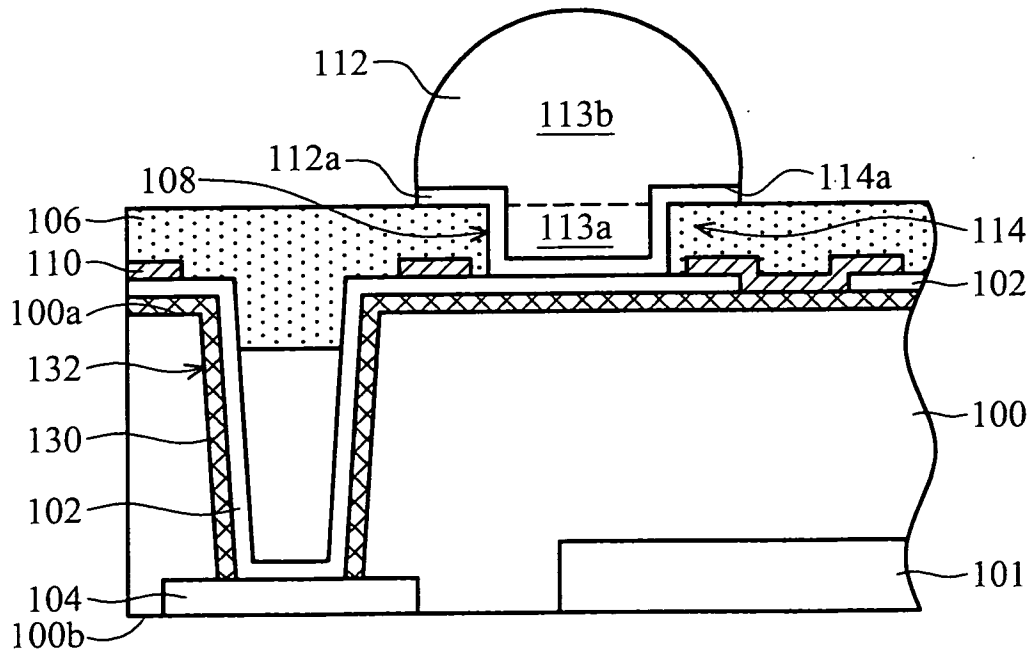
第2B圖



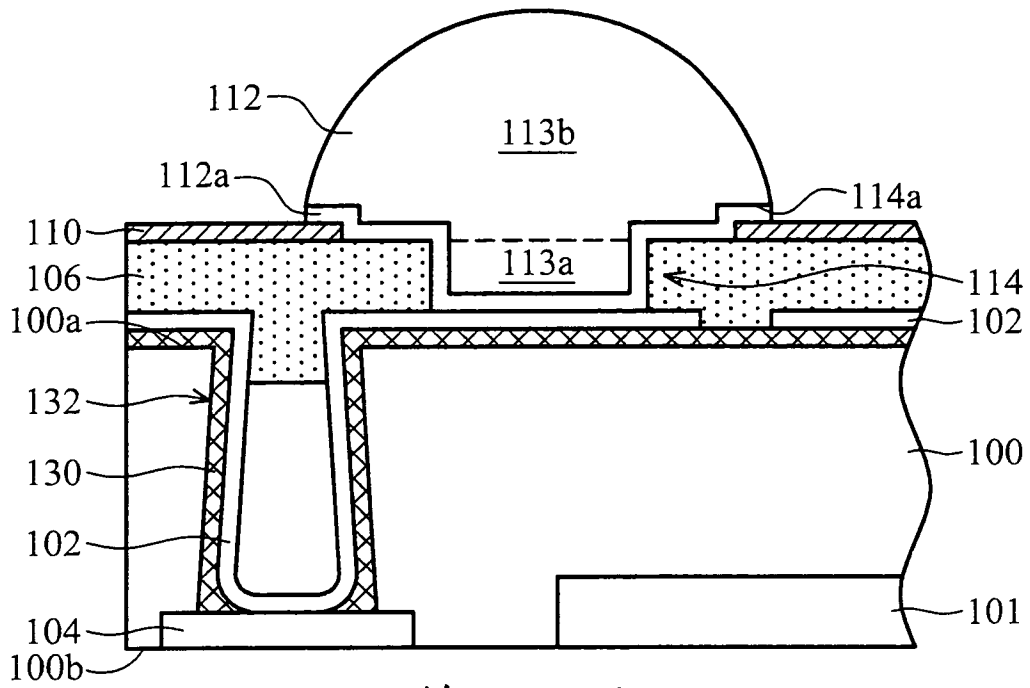
第2C圖



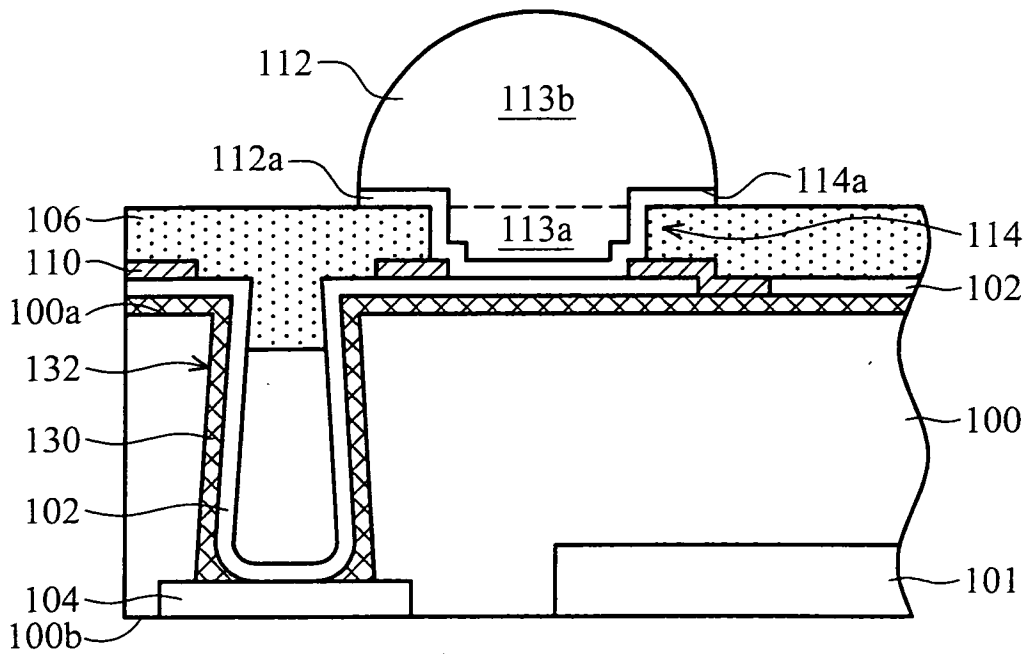
第3A圖



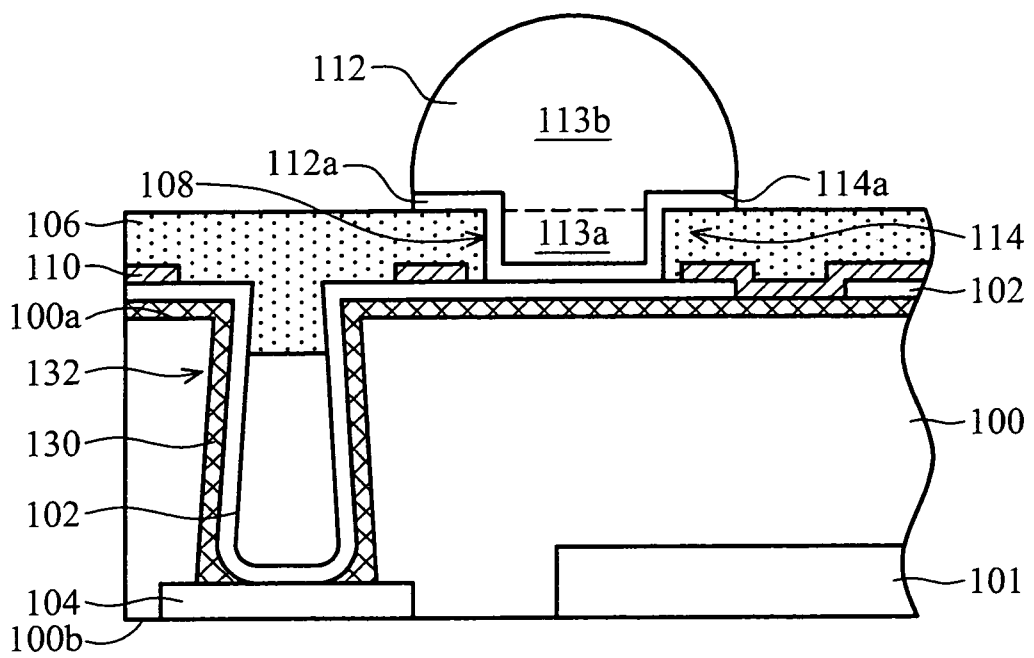
第3B圖



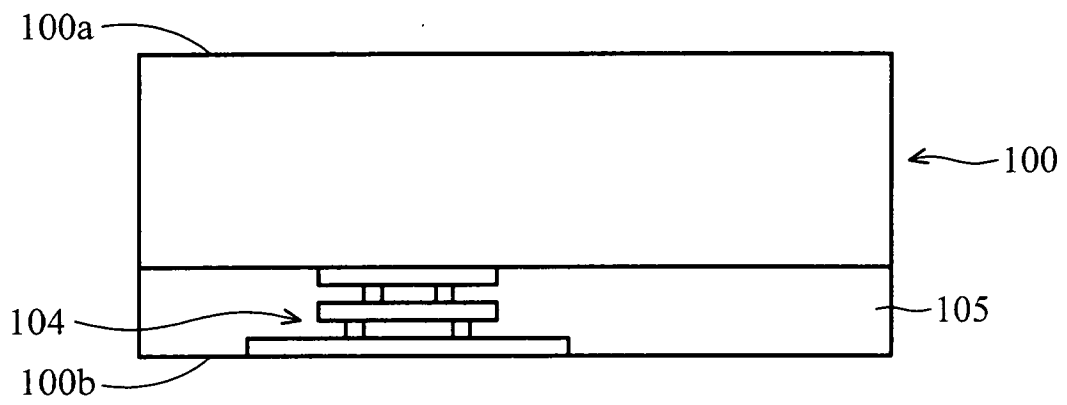
第4A圖



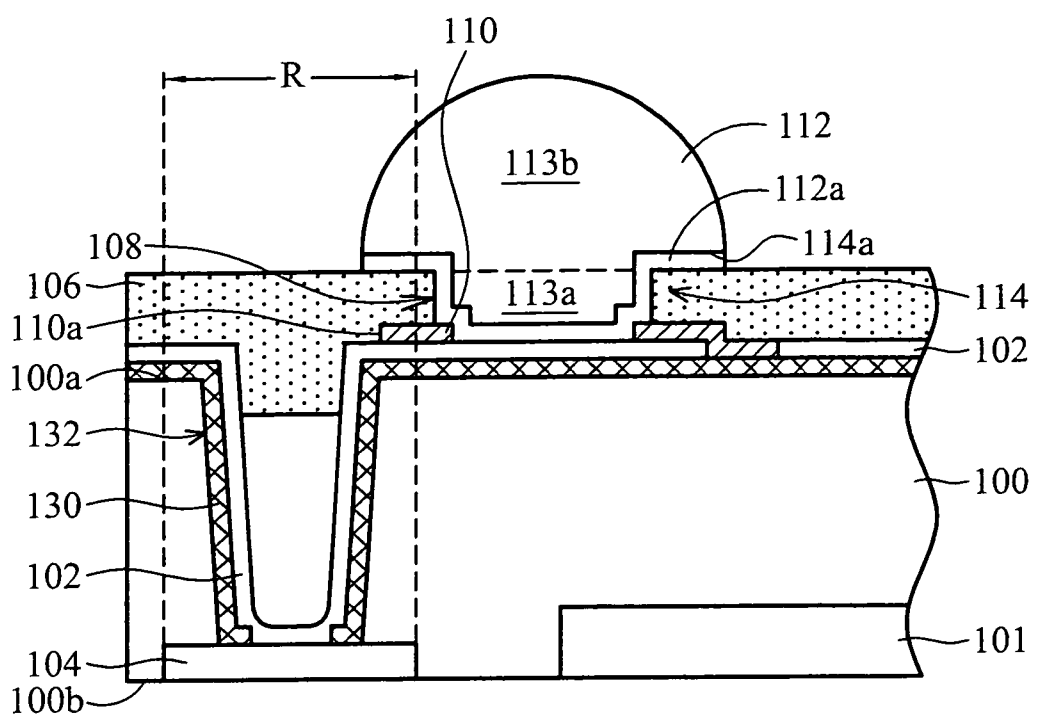
第4B圖



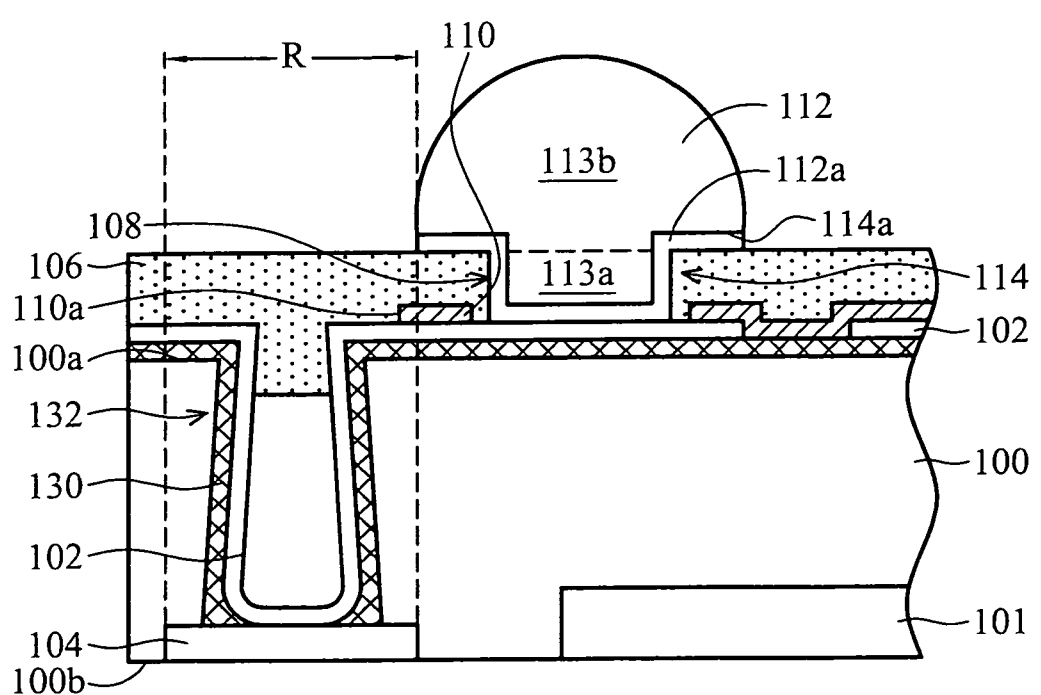
第4C圖



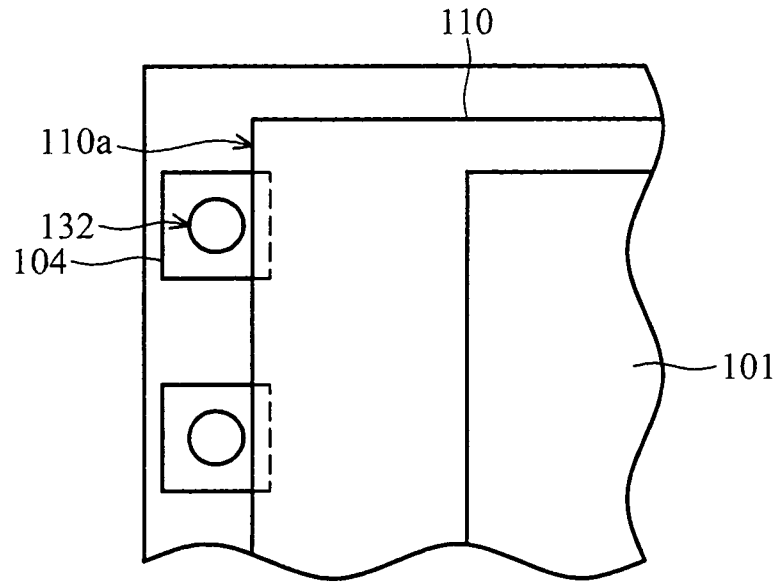
第 5 圖



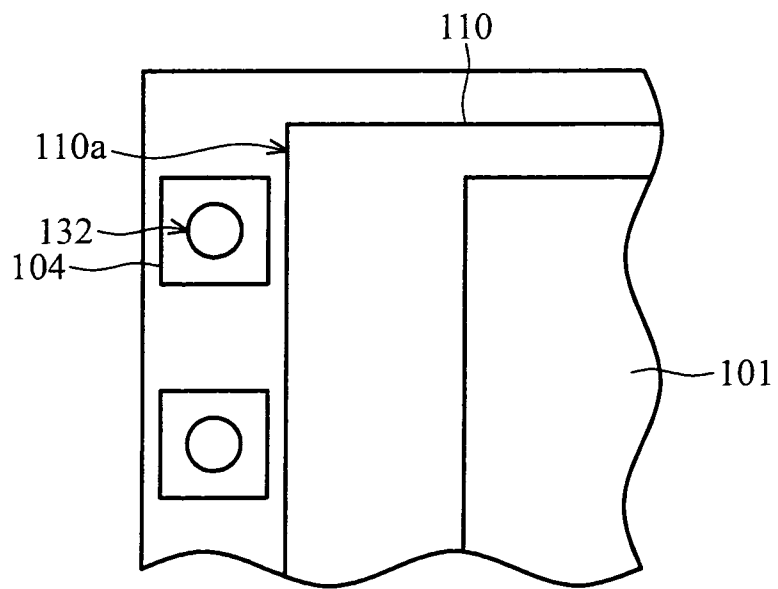
第6A圖



第6B圖



第7A圖



第7B圖