



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I604620 B

(45) 公告日：中華民國 106 (2017) 年 11 月 01 日

(21) 申請案號：104116899 (22) 申請日：中華民國 104 (2015) 年 05 月 27 日

(51) Int. Cl. : *H01L29/872 (2006.01)* *H01L23/00 (2006.01)*  
*H01L29/66 (2006.01)* *H01L29/06 (2006.01)*

(30) 優先權：2014/07/17 南韓 10-2014-0090126

(71) 申請人：東部高科股份有限公司 (南韓) DONGBU HITEK CO., LTD. (KR)  
 南韓

(72) 發明人：金勇晟 KIM, YONG SEONG (KR)

(74) 代理人：何秋遠

(56) 參考文獻：

US 2012/0115319A1 US 2013/0234278A1  
 US 2014/0162442A1

審查人員：董柏昌

申請專利範圍項數：12 項 圖式數：11 共 21 頁

## (54) 名稱

肖特基二極體及其製造方法

SCHOTTKY DIODE AND METHOD OF MANUFACTURING THE SAME

## (57) 摘要

肖特基二極體包括在基板的表面部分形成的第一導電型的漂移區，設置在基板上並具有使漂移區的一部分暴露出來的開口的絕緣層，以及設置在漂移區由開口暴露出來的部分上的矽化鈦層。

A Schottky diode includes a drift region of a first conductive type formed at a surface portion of a substrate, an insulating layer disposed on the substrate and having an opening exposing a portion of the drift region, and a titanium silicide layer disposed on the portion of the drift region exposed by the opening.

指定代表圖：





# 公告本

申請日：104. 5. 27

## 【發明摘要】

IPC分類： H01L 29/872 (2006.1)  
 H01L 23/00 (2006.1)  
 H01L 29/66 (2006.1)  
 H01L 29/06 (2006.1)

【中文發明名稱】 肖特基二極體及其製造方法

【英文發明名稱】 SCHOTTKY DIODE AND METHOD OF

MANUFACTURING THE SAME

### 【中文】

肖特基二極體包括在基板的表面部分形成的第一導電型的漂移區，設置在基板上並具有使漂移區的一部分暴露出來的開口的絕緣層，以及設置在漂移區由開口暴露出來的部分上的矽化鈦層。

### 【英文】

A Schottky diode includes a drift region of a first conductive type formed at a surface portion of a substrate, an insulating layer disposed on the substrate and having an opening exposing a portion of the drift region, and a titanium silicide layer disposed on the portion of the drift region exposed by the opening.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

100：肖特基二極體

102：半導體基板

104：漂移區



106：保護環

110：第一絕緣層

112：鈦層

114：氮化鈦層

116：矽化鈦層

118：接觸焊盤

120：連接焊盤

122：第二絕緣層

126：通孔觸點

128：金屬佈線

## 【發明說明書】

【中文發明名稱】 肖特基二極體及其製造方法

【英文發明名稱】 SCHOTTKY DIODE AND METHOD OF

MANUFACTURING THE SAME

### 【技術領域】

【0001】 本發明的實施方式涉及主動式固態器件，更特別地，涉及由多個半導體或其他固態元件（其在共同基板中/上形成）構成的器件，諸如可作為較大雙極CMOS或DMOS系統的一部分的肖特基二極體（Schottky diode）。

### 【先前技術】

【0002】 本發明涉及肖特基二極體及其製造方法，更特別地，涉及包括在半導體基板上形成的金屬矽化物層的肖特基二極體及其製造方法。

【0003】 肖特基二極體利用了金屬-半導體結，其提供了肖特基勢壘並在金屬層和摻雜半導體層之間形成。就具有 n 型半導體層的肖特基二極體而言，金屬層用作陽極，n 型半導體層用作陰極。通常，藉著使正向偏置方向的電流順利通過，並阻塞了反向偏置方向的電流，肖特基二極體如傳統 p-n 二極體般起作用。

【0004】 肖特基二極體可具有較低的正向偏壓和較高的切換速度。然而，當足夠的反向偏壓施加到肖特基二極體上時，擊穿電壓和反向偏置漏電流特性可能惡化。為了解決以上提及的問題，例如，韓國公開專利公告第 10-2014-0074930 號公開了一種肖特基二極體，其通過使用由鉭（Ta）形成的肖特基層和由碳化矽（SiC）形成的漂移層，降低了反向偏置漏電流並提高了反向

偏壓額定值。然而，仍然需要進一步提高肖特基器件的性能，也要降低這些器件的成本。

**【發明內容】**

**【0005】** 本發明提供一種提高了正向偏壓和反向偏置漏電流特性的肖特基二極體，及其製造方法。

**【0006】** 根據申請保護的本發明一方面，肖特基二極體可包括在基板的表面部分形成的第一導電型的漂移區，設置在基板上並具有使漂移區的一部分暴露出來的開口的絕緣層，以及設置在漂移區上由開口暴露出來的部分上的矽化鈦層。

**【0007】** 根據一些示例性實施方式，肖特基二極體還可包括設置在矽化鈦層的邊緣部分下的第二導電型的保護環。

**【0008】** 根據一些示例性實施方式，肖特基二極體還可包括設置在矽化鈦層和絕緣層上的連接焊盤，設置在連接焊盤上的第二絕緣層，設置在第二絕緣層上的金屬佈線，以及至少一個連接該連接焊盤和金屬佈線的通孔觸點。

**【0009】** 根據一些示例性實施方式，肖特基二極體還可包括設置在矽化鈦層和連接焊盤之間的接觸焊盤。

**【0010】** 根據一些示例性實施方式，接觸焊盤可沿矽化鈦層的上表面和開口的內側表面延伸。

**【0011】** 根據一些示例性實施方式，肖特基二極體還可包括設置在開口的內側表面上的鈦層和設置在矽化鈦層和鈦層上的氮化鈦層。

**【0012】** 根據申請保護的本發明另一方面，製造肖特基二極體的方法可包括在基板的表面部分形成第一導電型的漂移區，在基板上形成絕緣層，該絕緣層具有使漂移區的一部分暴露出來的開口，以及在漂移區由開口暴露出來的部分上形成矽化鈦層。

【0013】根據一些示例性實施方式，該方法還可包括在漂移區的表面部分形成第二導電型的保護環。此時，保護環的內部可由開口暴露出來。

【0014】根據一些示例性實施方式，形成矽化鈦層可包括在絕緣層和漂移區的表面上形成鈦層，以及熱處理鈦層從而在漂移區的部分上形成矽化鈦層。

【0015】根據一些示例性實施方式，該方法還可包括在鈦層上形成氮化鈦層。

【0016】根據一些示例性實施方式，該方法還可包括在矽化鈦層和絕緣層上形成連接焊盤，在連接焊盤上形成第二絕緣層，形成至少一個穿透第二絕緣層的通孔觸點，以及在第二絕緣層上形成金屬佈線，該金屬佈線與通孔觸點相連接。

【0017】根據一些示例性實施方式，該方法還可包括在矽化鈦層上形成接觸焊盤。此時，連接焊盤可通過接觸焊盤與矽化鈦層電連接。

【0018】根據一些示例性實施方式，形成接觸焊盤可包括在絕緣層和矽化鈦層的表面上形成金屬層，以及在金屬層上執行平坦化製程直至使絕緣層的上表面暴露出來從而在開口中獲得接觸焊盤。

【0019】根據一些示例性實施方式，在形成接觸焊盤時，可同時形成至少一個接觸插塞，其與基板上的至少一個MOS電晶體相連接。

#### 【圖式簡單說明】

【0020】根據以下說明連同附圖，可更詳細地瞭解示例性實施方式，其中：

【0021】圖1是根據本申請發明一示例性實施方式的肖特基二極體的截面圖；以及

【0022】圖2至11是製造圖1中所示肖特基二極體的方法的截面圖。

#### 【實施方式】

【0023】 以下，參照附圖更詳細地描述具體實施方式。然而，請求保護的本發明可以以不同的形式體現，不應當理解為局限于本文提出的實施方式。

【0024】 作為本申請中使用的明確定義，當提及層、薄膜、區域或板在另一個“之上”時，它可以直接在另一個之上，或者也可以存在一個或多個介於其間的層、薄膜、區域或板。與此不同，也應當認識到，當提及層、薄膜、區域或板“直接在另一個之上”時，它直接在另一個之上，並且不存在一個或多個介於其間的層、薄膜、區域或板。而且，儘管在請求保護的本發明的各種實施方式中使用了像是第一、第二和第三的術語來描述不同的元件、組分、區域和層，但其並不局限於這些術語。

【0025】 在以下描述中，技術術語僅用於解釋具體實施方式，而不是限制請求保護的本發明。除非在本文中另外定義，否則本文中使用的所有術語，包括技術或科技術語，可具有與本領域技術人員通常理解的相同的含義。

【0026】 參照請求保護的本發明理想的實施方式的示意圖來描述請求保護的本發明的實施方式。於是，圖形形狀的變化，例如，製造製程和/或容許誤差的變化，是充分預期的。於是，請求保護的本發明的實施方式不會描述成局限於用圖形描述的區域的具體形狀，包括形狀的偏差，並且附圖描繪的區域也是完全示意的，他們的形狀並不代表準確的形狀，也不限制請求保護的本發明的範圍。

【0027】 圖 1 是根據本申請發明一示例性實施方式的肖特基二極體的截面圖。

【0028】 參照圖 1，根據本申請發明一示例性實施方式，肖特基二極體 100 可在諸如矽晶圓的半導體基板 102 上形成，並可用做諸如雙極 CMOS 和 DMOS (BCD) 器件的積體電路器件的元件。

【0029】 肖特基二極體 100 可包括在基板 102 的表面部分上形成的第一導電型的漂移區 104，具有使漂移區 104 的一部分暴露出來的開口 108 (見圖 4)



的第一絕緣層 110，以及在漂移區 104 由開口 108 暴露出來的部分上形成的矽化鈦層 116。

【0030】例如，漂移區 104 可以是 n 型雜質區。漂移區 104 可與 BCD 器件的 MOS 電晶體的 n 型阱區同時形成。

【0031】矽化鈦層 116 可在開口 108 暴露出來的漂移區 104 的部分上形成。特別地，矽化鈦層 116 可起到肖特基二極體 100 陽極的作用，而漂移區 104 可起到肖特基二極體 100 陰極的作用。

【0032】n 型漂移區 104 和矽化鈦層 116 可相對降低肖特基二極體 100 的勢壘。因此可降低正向偏壓額定值，並可增加正向偏流。而且，反向偏置漏電流可藉由 n 型漂移區 104 和矽化鈦層 116 來降低，因此肖特基二極體 100 可具有較高的反向偏壓額定值。

【0033】肖特基二極體 100 可包括在矽化鈦層 116 的邊緣部分之下形成的第二導電型的保護環 106，如圖 1 所示。保護環 106 可用來防止或降低電場集中在肖特基二極體 100 的接觸邊緣部分，這樣可提高肖特基二極體 100 的擊穿電壓。例如，p 型雜質區可用作保護環 106。

【0034】鈦層 112 可設置在開口 108 的內側表面上，氮化鈦層 114 可設置在矽化鈦層 116 和鈦層 112 上。而且，接觸焊盤 (contact pad) 118 可在氮化鈦層 114 上形成。

【0035】根據本申請發明一示例性實施方式，接觸焊盤 118 可沿著開口 108 的內側表面和矽化鈦層 116 的上表面延伸，並可具有均勻的厚度。例如，接觸焊盤 118 可由鎢形成，並且可以與 BCD 器件的接觸插塞同時形成。

【0036】肖特基二極體 100 可包括透過接觸焊盤 118 與矽化鈦層 116 電連接的連接焊盤 (landing pad) 120。而且，肖特基二極體可包括在連接焊盤 120 上形成的第二絕緣層 122，在第二絕緣層 122 上形成的金屬佈線 128，以及至少一個穿透第二絕緣層 122 以連接連接焊盤 120 和金屬佈線 128 的通孔觸點 126。

【0037】特別地，連接焊盤 120 可在接觸焊盤 118 和第一絕緣層 110 上形成。也就是說，連接焊盤 120 可具有比矽化鈦層 116 的上表面寬的上表面，並且金屬佈線 128 可通過多個通孔觸點 126 與連接焊盤 120 相連接，如圖 1 所示。這樣，金屬佈線 128 和矽化鈦層 116 之間的電阻可降低。結果可降低肖特基二極體 100 的閾值電壓，並且可進一步地提高正向偏流。

【0038】如圖 1 所示，接觸焊盤 118 沿著開口 108 的內側表面和矽化鈦層 116 的上表面形成，這樣凹部可在連接焊盤 120 的中心部分形成。在這種情況下，通孔觸點 126 可配置為圍繞連接焊盤 120 的凹部。

【0039】同時，氮化鈦層 114 可起到矽化鈦層 116 和接觸焊盤 118 之間粘合層的作用。

【0040】連接焊盤 120 可與 BCD 器件的第一佈線層同時形成，並且金屬佈線 128 可與 BCD 器件的第二佈線層同時形成。而且，通孔觸點 126 可通過通孔觸點製程形成以使 BCD 器件的第一佈線層與第二佈線層相連接。

【0041】圖 2 至 11 是製造圖 1 中所示肖特基二極體的方法的截面圖。

【0042】參照圖 2，第一導電型的漂移區 104 可在基板 102 的表面部分上形成。特別地，漂移區 104 可以是 n 型雜質區，並且可以與 BCD 器件的 MOS 電晶體的 n 型阱區（未示出）同時形成。

【0043】例如，儘管未在圖中示出，第一光阻圖案（未示出）可在基板 102 上形成，以形成漂移區 104 和 n 型阱區，然後可執行使用 n 型摻雜物（諸如砷和磷）的離子注入製程。在形成漂移區 104 和 n 型阱區的離子注入製程過程中，第一光阻圖案可用作光罩。

【0044】參照圖 3，第二導電型的保護環 106 可在漂移區 104 的表面部分中形成。例如，保護環 106 可以是 p 型雜質區，並可用來提高肖特基二極體 100 的擊穿電壓。特別地，保護環 106 可與 BCD 器件的 PMOS 電晶體的源區/漏區同時形成。

【0045】 例如，儘管未在圖中示出，第二光阻圖案（未示出）可在基板 102 上形成以形成保護環 106 和 PMOS 電晶體的源區/漏區，然後可執行使用 p 型摻雜物（諸如硼和銦）的離子注入製程。在形成保護環 106 和 PMOS 電晶體的源區/漏區的離子注入製程過程中，第二光阻圖案可用作光罩。

【0046】 參照圖 4，具有使漂移區 104 部分暴露出來的開口 108 的第一絕緣層 110 可在基板 102 上形成。第一絕緣層 110 可由矽氧化物形成。例如，第一絕緣層 110 可由無摻雜矽玻璃（undoped silica glass，USG），氟化矽玻璃（fluorinated silica glass，FSG），硼磷矽酸鹽玻璃（borophosphosilicate glass，BPSG）及其他類似者製成。

【0047】 開口 108 可使漂移區 104 的一部分和保護環 106 的內部暴露出來，如圖 4 所示。

【0048】 開口 108 可與接觸孔（未示出）同時形成，以形成 BCD 器件的接觸插塞（未示出）。例如，第三光阻圖案可在第一絕緣層 110 上形成，然後可執行使用第三光阻圖案作為蝕刻光罩的各向異性刻蝕製程以便形成開口 108 和接觸孔。

【0049】 參照圖 5，鈦層 112 可形成在第一絕緣層 110 的上表面、開口 108 的內側表面和漂移區 104 由開口 108 暴露出來的部分的上表面上。例如，鈦層 112 可通過化學蒸汽沉積（CVD）製程形成，具有約 100Å 的厚度。

【0050】 然後，氮化鈦層 114 可在鈦層 112 上形成。例如，氮化鈦層 114 可透過化學蒸汽沉積（CVD）製程形成，具有約 200Å 的厚度。

【0051】 參照圖 6，在形成鈦層 112 和氮化鈦層 114 之後，可在近似 650°C 至約 750°C 的溫度下執行熱處理製程，以便使漂移區 104 上鈦層 112 的一部分形成矽化鈦層 116。

【0052】 矽化鈦層 116 可起到肖特基二極體 100 陽極的作用，矽化鈦層 116 下的漂移區 104 可起到肖特基二極體 100 陰極的作用。

【0053】 參照圖 7，具有均勻厚度的第一金屬層（未示出）可在氮化鈦層 114 上形成，然後可在開口 108 中執行諸如化學機械拋光（CMP）製程的平坦化製程以便獲得接觸焊盤 118。

【0054】 例如，第一金屬層可由鎢形成。而且，第一金屬層可透過化學蒸汽沉積（CVD）製程或物理蒸汽沉積（PVD）製程形成，厚度約 3000Å 至約 4000Å。可執行平坦化製程直到使第一絕緣層 110 的上表面暴露出來，這樣可去除第一絕緣層 110 上鈦層 112、氮化鈦層 114 和第一金屬層的部分。

【0055】 接觸焊盤 118 可與 BCD 器件的接觸插塞同時形成。特別地，在第一絕緣層 110 中形成的接觸孔可用第一金屬層填滿，並且接觸插塞可通過平坦化製程獲得。此時，鈦層 112 和氮化鈦層 114 可起到粘合層的作用。

【0056】 參照圖 8，連接焊盤 120 可在接觸焊盤 118 和第一絕緣層 110 上形成。例如，諸如鋁層的第二金屬層（未示出）可通過化學蒸汽沉積（CVD）製程或物理蒸汽沉積（PVD）製程在接觸焊盤 118 和第一絕緣層 110 上形成，然後可使第二金屬層圖案化以便獲得連接焊盤 120。

【0057】 連接焊盤 120 可與 BCD 器件的第一佈線層同時形成。例如，第四光阻圖案（未示出）可在第二金屬層上形成，然後可執行使用第四光阻圖案作為蝕刻光罩的各向異性刻蝕製程以便獲得連接焊盤 120 和 BCD 器件的第一佈線層，他們分別與 BCD 器件的接觸焊盤 118 和接觸插塞相連接。

【0058】 根據本申請發明的另一個示例性實施方式，連接焊盤 120 可透過雙道金屬鑲嵌（dual damascene）製程形成。在這種情況下，可省略接觸焊盤 118。

【0059】 同時，第二 n 型雜質區（未示出）可在漂移區 104 的邊緣部分形成。第二 n 型雜質區可具有高於漂移區 104 的雜質濃度。而且，第二金屬佈線（未示出）可在第一絕緣層 110 上形成。第二金屬佈線可與第二 n 型雜質區通過接觸插塞（未示出）相連接。此時，第二 n 型雜質區可用來電連接漂移區 104 與第二金屬佈線。

【0060】參照圖 9，第二絕緣層 122 可在連接焊盤 120 和第一絕緣層 110 上形成。第二絕緣層 122 可由矽氧化物形成。例如，第二絕緣層 122 可由無摻雜矽玻璃 (USG)，氟化矽玻璃 (FSG)，硼磷矽酸鹽玻璃 (BPSG) 及其他類似者形成。

【0061】然後，可在第二絕緣層 122 中形成多個通路孔 124 以使連接焊盤 120 暴露出來。特別地，可在所述的通路孔 124 形成的同時，形成用於使 BCD 器件的第一佈線層暴露出來的通路孔 (未示出)。

【0062】參照圖 10，可在第二絕緣層 122 上形成第三金屬層 (未示出) 以填滿通路孔 124。例如，第三金屬層可包括鎢，並可通過化學蒸汽沉積 (CVD) 製程或物理蒸汽沉積 (PVD) 製程形成。

【0063】然後，可執行諸如化學機械拋光 (CMP) 製程的平坦化製程直到使第二絕緣層 122 暴露出來，這樣可分別在通路孔 124 中獲得通孔觸點 126。同時，與 BCD 器件的第一佈線層相連接的通孔觸點 (未示出) 可與通孔觸點 126 同時形成。

【0064】參照圖 11，諸如鋁層的第四金屬層 (未示出) 可在第二絕緣層 122 和通孔觸點 126 上形成。可使第四金屬層圖案化以便形成金屬佈線 128，其透過通孔觸點 126 與連接焊盤 120 電連接。同時，與 BCD 器件的第一佈線層電連接的第二佈線層可與金屬佈線 128 同時形成。

【0065】根據本申請發明的上述實施方式，肖特基二極體 100 可包括 n 型漂移區 104 和在 n 型漂移區 104 上形成的矽化鈦層 116。n 型漂移區 104 和矽化鈦層 116 的結可提供較低的勢壘。如此一來可降低肖特基二極體 100 的正向偏壓額定值和/或閾值電壓，並可增加肖特基二極體 100 的正向偏流。

【0066】而且，n 型漂移區 104 和矽化鈦層 116 的結可提供較高的反向偏壓額定值和擊穿電壓，這樣可降低肖特基二極體 100 的反向偏置漏電流。

【0067】更進一步，矽化鈦層 116 可透過使用比矽化鈦層 116 大的連接焊盤 120 與金屬佈線 128 連接，因此可降低矽化鈦層 116 和金屬佈線 128 之間的電阻。結果，可更多地減小肖特基二極體 100 的正向偏壓額定值，進一步可更多地增加肖特基二極體 100 的正向偏置電流。

【0068】儘管已參照具體實施方式描述了肖特基二極體 100 及其製造方法，但他們並不限於此。因此，本領域技術人員容易認識到，在不脫離請求保護的本發明的實質和範圍的情況下，可做出各種改型和變化。

### 【符號說明】

#### 【0069】

- 100：肖特基二極體
- 102：半導體基板
- 104：漂移區
- 106：保護環
- 108：開口
- 110：第一絕緣層
- 112：鈦層
- 114：氮化鈦層
- 116：矽化鈦層
- 118：接觸焊盤
- 120：連接焊盤
- 122：第二絕緣層
- 124：通路孔
- 126：通孔觸點
- 128：金屬佈線

## 【發明申請專利範圍】

【第1項】一種肖特基二極體，包括：

在基板的表面部分形成的第一導電型的漂移區；

設置在所述基板上的絕緣層，所述絕緣層具有使所述漂移區的一部分暴露出來的開口；

設置在所述漂移區由所述開口暴露出來的所述一部分上的矽化鈦層；

設置在所述矽化鈦層和所述絕緣層上的連接焊盤；

設置在所述連接焊盤上的第二絕緣層；

設置在所述第二絕緣層上的金屬佈線；以及

至少一個連接所述連接焊盤和所述金屬佈線的通孔觸點。

【第2項】根據申請專利範圍第1項所述的肖特基二極體，還包括設置在所述矽化鈦層的邊緣部分下的第二導電型的保護環。

【第3項】根據申請專利範圍第1項所述的肖特基二極體，還包括設置在所述矽化鈦層和所述連接焊盤之間的接觸焊盤。

【第4項】根據申請專利範圍第3項所述的肖特基二極體，其中所述接觸焊盤沿所述矽化鈦層的上表面和所述開口的內側表面延伸。

【第5項】根據申請專利範圍第1項所述的肖特基二極體，還包括：

設置在所述開口的內側表面上的鈦層；以及

設置在所述矽化鈦層和所述鈦層上的氮化鈦層。

【第6項】一種製造肖特基二極體的方法，所述方法包括：

在基板的表面部分形成第一導電型的漂移區；

在所述基板上形成絕緣層，所述絕緣層具有使所述漂移區的一部分暴露出來的開口；

在所述漂移區由所述開口暴露出來的所述一部分上形成矽化鈦層；

在所述矽化鈦層和所述絕緣層上形成連接焊盤；

在所述連接焊盤上形成第二絕緣層；  
形成至少一個穿透所述第二絕緣層的通孔觸點；以及  
在所述第二絕緣層上形成金屬佈線，所述金屬佈線與所述通孔觸點相連接。

【第7項】 根據申請專利範圍第 6 項所述的方法，還包括在所述漂移區的表面部分形成第二導電型的保護環，其中所述保護環的內部由所述開口暴露出來。

【第8項】 根據申請專利範圍第 6 項所述的方法，其中形成所述矽化鈦層包括：

在所述絕緣層和所述漂移區的表面上形成鈦層；以及  
熱處理所述鈦層從而在所述漂移區的所述一部分上形成所述矽化鈦層。

【第9項】 根據申請專利範圍第 8 項所述的方法，還包括在所述鈦層上形成氮化鈦層。

【第10項】 根據申請專利範圍第 6 項所述的方法，還包括在所述矽化鈦層上形成接觸焊盤，其中所述連接焊盤透過所述接觸焊盤與所述矽化鈦層電連接。

【第11項】 根據申請專利範圍第 10 項所述的方法，其中形成所述接觸焊盤包括：

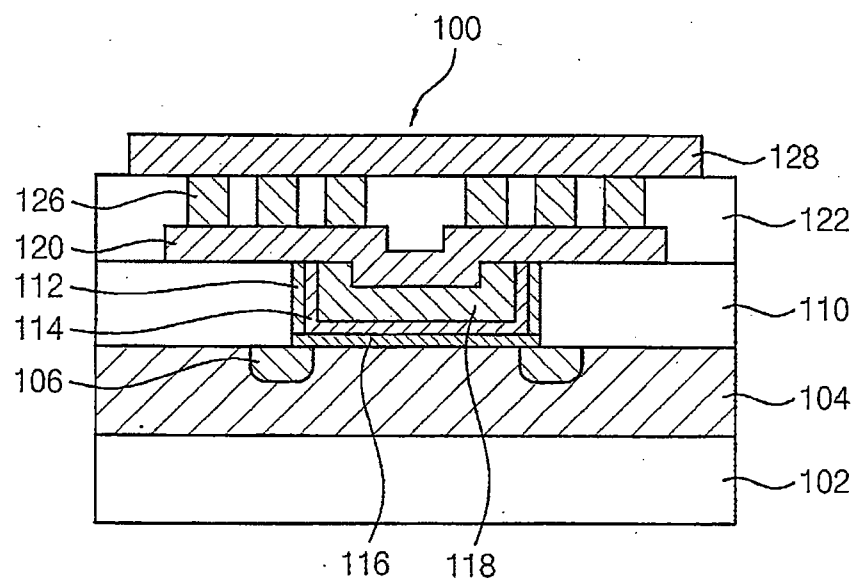
在所述絕緣層和所述矽化鈦層的表面上形成金屬層；以及  
在所述金屬層上執行平坦化製程直至使所述絕緣層的上表面暴露出來從而在所述開口中獲得所述接觸焊盤。

【第12項】 根據申請專利範圍第10項所述的方法，其中在形成所述接觸焊盤時，同時形成至少一個接觸插塞，其與所述基板上的至少一個MOS電晶體相連接。

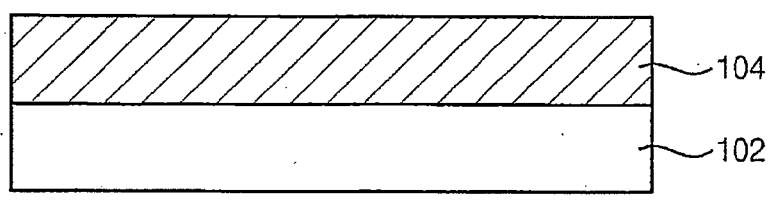


吳正己

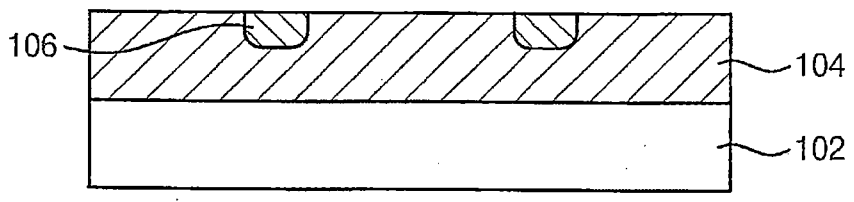
【發明圖式】



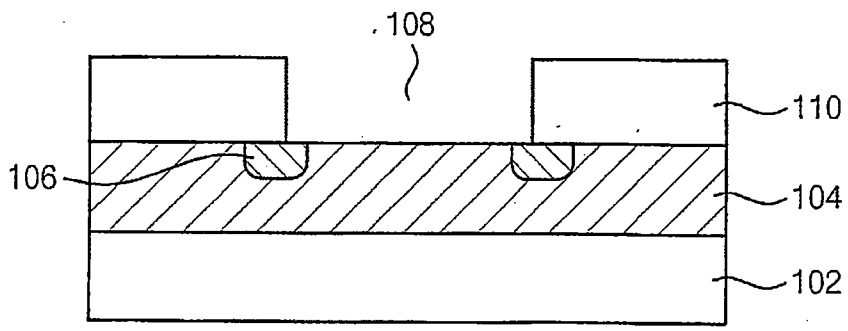
【圖1】



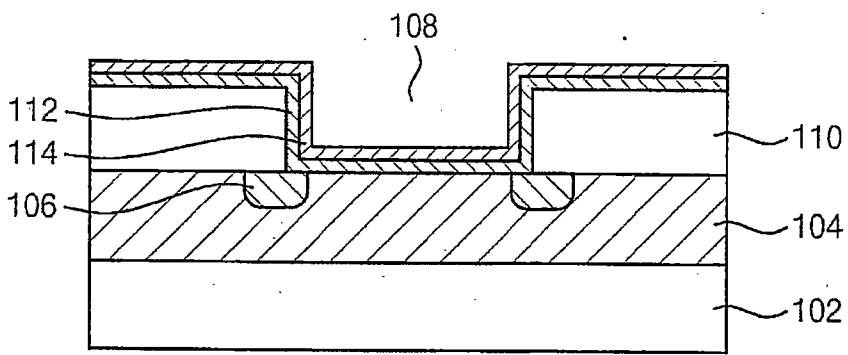
【圖2】



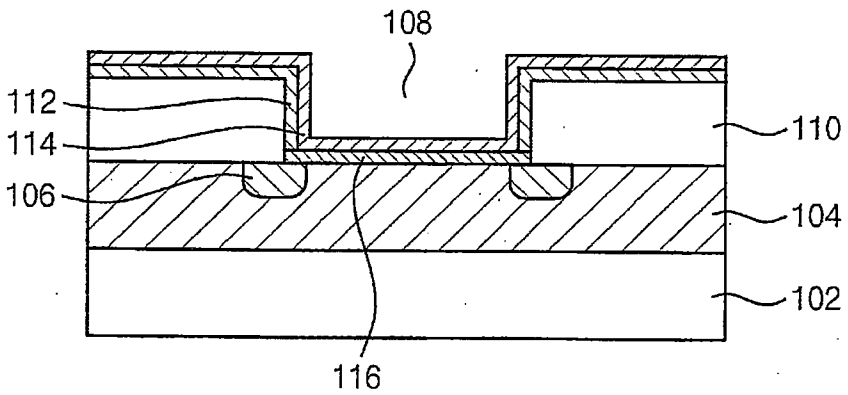
【圖3】



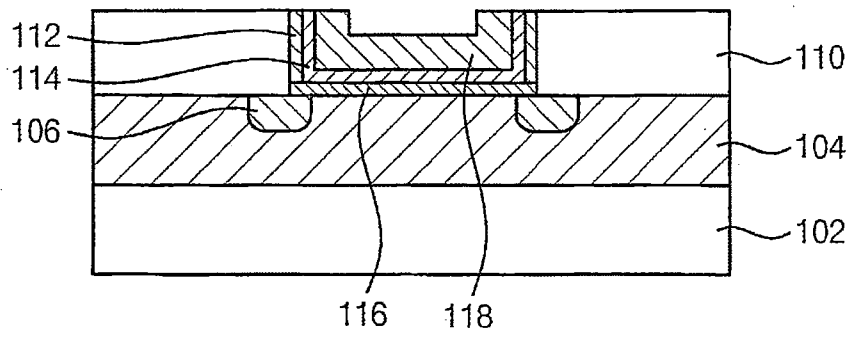
【圖4】



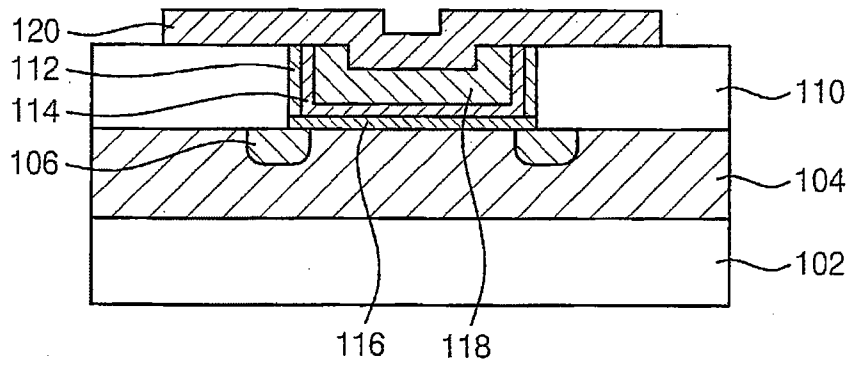
【圖5】



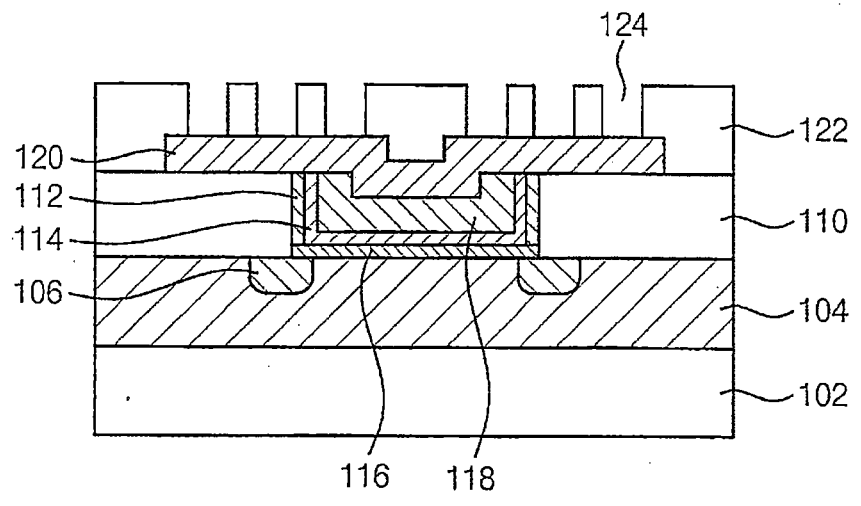
【圖6】



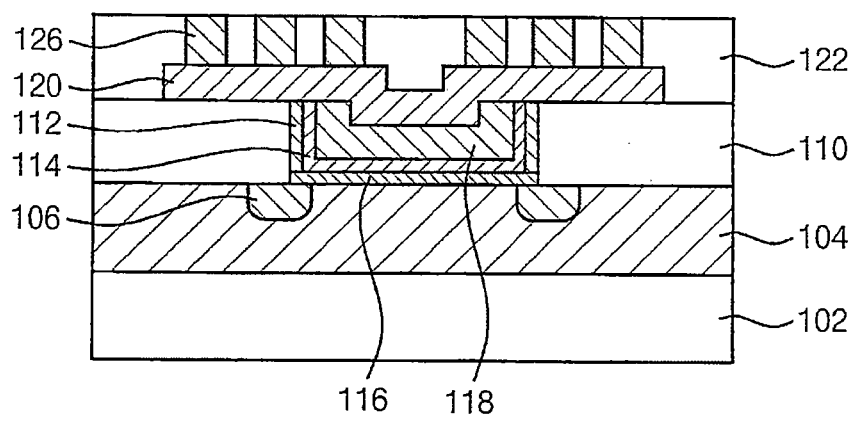
【圖7】



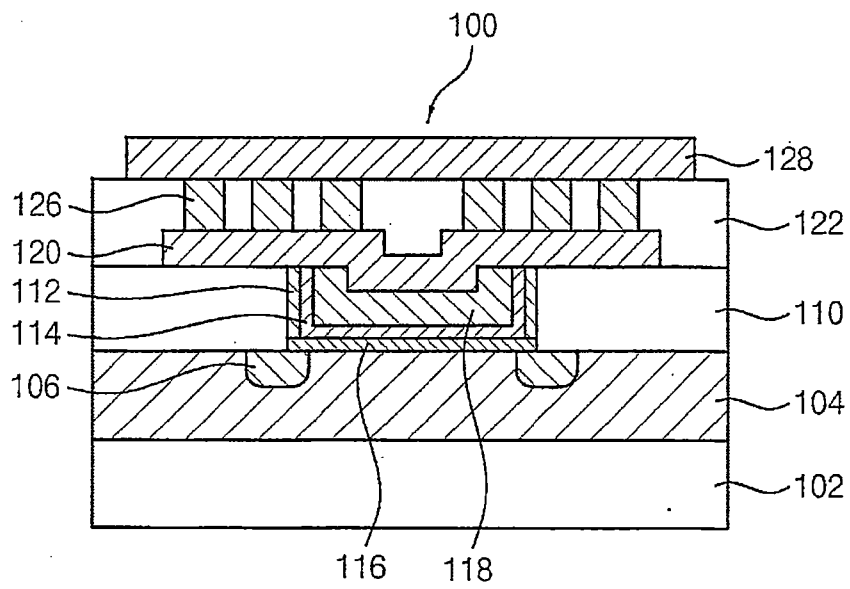
【圖8】



【圖9】



【圖10】



【圖11】