

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0051266
H03K 19/0185 (2006.01) (43) 공개일자 2006년05월19일

(21) 출원번호 10-2005-0085352
(22) 출원일자 2005년09월13일

(30) 우선권주장 JP-P-2004-00273007 2004년09월21일 일본(JP)
JP-P-2005-00176591 2005년06월16일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지
일본 100-6334 도쿄도 지요다구 마루노우찌 2-쵸메 4-1

(72) 발명자 간자끼 데루아끼
일본 도쿄도 지요다구 마루노우찌 2쵸메 4-1 가부시끼가이샤르네사스
테크놀로지 내

(74) 대리인 장수길
이중희
구영창

심사청구 : 없음

(54) 신호의 전압 진폭을 변환하는 레벨 변환 회로

요약

이 레벨 변환 회로에서는, 2개의 P 채널 MOS 트랜지스터(3, 4)는, 커런트 미러 회로를 구성한다. 입력 신호가 「L」 레벨로부터 「H」 레벨로 상승된 경우에, 한 쪽의 P 채널 MOS 트랜지스터(3)의 드레인에 접속된 N 채널 MOS 트랜지스터(6)가 비도통으로 되기 때문에, 2개의 P 채널 MOS 트랜지스터(3, 4)에 누설 전류가 흐르는 것이 방지되어, 소비 전력이 작아진다. 또한, 입력 신호가 「L」 레벨로부터 「H」 레벨로 상승된 경우에, 다른 쪽의 P 채널 MOS 트랜지스터(4)의 드레인에 접속된 P 채널 MOS 트랜지스터(5)가 도통함으로써, 다른 쪽의 P 채널 MOS 트랜지스터(4)의 드레인의 노드 N2의 전위가 「H」 레벨로 고정되기 때문에, 그 노드 N2의 전위가 불안정한 상태로 되는 것이 방지된다.

대표도

도 1

색인어

전위, 레벨 변환 회로, 트랜지스터, 입력 신호

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 레벨 변환 회로의 구성을 도시하는 회로도.

도 2는 도 1에 도시한 레벨 변환 회로의 동작을 도시하는 타임차트.

도 3은 종래의 레벨 변환 회로의 구성을 도시하는 회로도.

도 4는 도 1에 도시한 레벨 변환 회로의 레이아웃을 도시하는 평면도.

도 5는 도 4에 도시한 P 채널 MOS 트랜지스터(3)의 부분 확대도.

도 6은 도 5의 VI-VI 선 단면도.

도 7은 본 발명의 제1 실시예의 변경예에 따른 레벨 변환 회로의 구성을 도시하는 회로도.

도 8은 본 발명의 제2 실시예에 따른 레벨 변환 회로의 구성을 도시하는 회로도.

도 9는 P 채널 MOS 트랜지스터(31)의 게이트를 노드 N2에 접속한 경우의 레벨 변환 회로의 구성을 도시하는 회로도.

도 10은 도 9에 도시한 레벨 변환 회로의 레이아웃을 도시하는 평면도.

도 11은 본 발명의 제2 실시예의 변경예에 따른 레벨 변환 회로의 구성을 도시하는 회로도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 입력 단자

2 : 출력 단자

3 ~ 5, 21, 31, 41 : P 채널 MOS 트랜지스터

6 ~ 8 : N 채널 MOS 트랜지스터

9 ~ 11 : 인버터

101, 103, 112 : p 웰 영역

102, 111 : n 웰 영역

AF : 활성 영역

GE : 게이트 전극

ML1 : 제1층 금속 배선

ML2 : 제2층 금속 배선

W : 게이트 폭

L : 게이트 길이

CH : 콘택트홀

TH : 스루홀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 레벨 변환 회로에 관한 것으로, 신호의 전압 진폭을 변환하는 레벨 변환 회로에 관한 것이다.

최근, 반도체 디바이스에서 한층 더 고집적화, 소형화, 동작의 고속화, 저소비 전력화가 요망되고 있다. 특히, LSI(Large Scale Integrated circuit; 대규모 집적 회로)에서, 내부 전원의 저전압화와, 동작의 고속화의 양방이 요구되고 있다. 현실적으로는, LSI의 내부 전원의 저전압화가, LSI의 인터페이스 전압의 저전압화보다도 앞서 있다. 따라서, 복수의 LSI를 접속하는 경우, LSI의 출력 신호의 전압 진폭을 변환하기 위하여 레벨 변환 회로가 이용된다. 또한, LSI 내부에서 전원 전압이 상이한 회로를 접속하는 경우에도 레벨 변환 회로가 이용된다.

「L」 레벨이 접지 전위 GND(0V)이고, 그 「H」 레벨이 전원 전위 VDDL(예를 들면, 1.2V)인 신호를, 「L」 레벨이 접지 전위 GND(0V)이고, 그 「H」 레벨이 전원 전위 VDDH(예를 들면, 3.3V)인 신호로 변환하는 종래의 레벨 변환 회로에서는, 레벨 변환 동작에 필요한 시간이 길고, 소비 전력이 크다고 하는 문제가 있었다. 또한, 입력 신호가 「L」 레벨로부터 「H」 레벨로 상승된 경우와, 「H」 레벨로부터 「L」 레벨로 하강된 경우에 있어서, 레벨 변환 동작에 필요한 시간을 동일하게 하는 것이 어려웠다. 이와 같이, 전원 전위 VDDL과 전원 전위 VDDH와의 차가 큰 경우, 레벨 변환 동작에 필요한 시간에 차가 생기기 쉬웠다.

일본특허공개 평06-209256호 공보에는, 5V를 1V ~ 7V까지, 1V ~ 7V를 5V까지 변환할 수 있는 레벨 변환 회로가 개시되어 있다. 이 경우, 레벨 변환 회로를 구성하는 트랜지스터의 β 값(전류 증폭율)을 제고하고 있다.

또한, 일본특허공개 평07-086913호 공보에는, 소비 전류의 저감화를 도모한 펄스 레벨 변환 회로가 개시되어 있다. 이 경우, 출력 노드의 전위가 높게 상승될 때까지 필요한 지연 시간을 설정함으로써, 고진폭 출력 펄스의 열화를 방지하는 것이 가능하다.

또한, 일본특허공개 평05-308274호 공보에는, 게이트-소스 사이의 내압이 작은 MOS 트랜지스터에 의한 회로 구성이고, 정전류이면서 고전압 레벨인 신호 출력이 얻어지는 CMOS 레벨 시프트 회로가 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그러나, 전술한 일본특허공개 평06-209256호 공보, 일본특허공개 평05-308274호 공보에서는, 레벨 변환 동작의 고속화, 및 저소비 전력화를 충분히 실현할 수 없다. 또한, 전술한 일본특허공개 평07-086913호 공보에서는, 입력 신호의 레벨이 저속으로 변화하는 경우에는 대응할 수 없으므로, 레벨 변환 회로의 범용성이 낮았다.

발명의 구성 및 작용

그 때문에, 본 발명의 주된 목적은, 고속의 레벨 변환 동작이 가능하고 저소비 전력이면서, 또한 범용성이 높은 레벨 변환 회로를 제공하는 것이다.

본 발명에 따른 레벨 변환 회로에서는, 제1 전극이 제2 전원 전위를 받고, 그 게이트 전극과 제2 전극이 상호 접속된 제1 도전 형식의 제1 트랜지스터와, 그 제1 전극이 제2 전원 전위를 받고, 그 게이트 전극이 제1 트랜지스터의 게이트 전극에 접속되고, 그 제2 전극이 소정의 노드에 접속된 제1 도전 형식의 제2 트랜지스터와, 그 게이트 전극이 제1 신호를 받는 제2 도전 형식의 제3 트랜지스터와, 제1 트랜지스터의 제2 전극과 기준 전위의 라인과의 사이에, 제3 트랜지스터와 직렬 접속된 제1 스위칭 소자와, 그 제1 전극이 소정의 노드에 접속되고, 그 게이트 전극이 제1 신호의 반전 신호를 받고, 그 제2 전극이 기준 전위를 받는 제2 도전 형식의 제4 트랜지스터와, 제2 전원 전위의 라인과 소정의 노드와의 사이에 접속된 제2 스위칭 소자와, 소정의 노드의 전위가 소정 레벨보다도 낮은 경우에는, 제1 스위칭 소자를 도통시킴과 함께 제2 스위칭 소자를 비도통으로 하여, 출력 노드를 기준 전위로 하고, 소정의 노드의 전위가 소정 레벨보다도 높은 경우에는, 제1 스위칭 소자를 비도통으로 함과 함께 제2 스위칭 소자를 도통시켜, 출력 노드를 제2 전원 전위로 하는 출력 회로가 설치된다. 따라

서, 제1 및 제2 트랜지스터로 커런트 미러 회로를 구성하고, 제1 및 제2 스위칭 소자를 설치하였으므로, 레벨 변환 동작의 고속화, 및 저소비 전력화를 실현할 수 있다. 또한, 제1 신호의 레벨이 저속으로 변화하는 경우부터 고속으로 변화하는 경우까지 대응 가능하게 되어, 레벨 변환 회로의 범용성이 높아진다.

본 발명의 상기 및 다른 목적, 특징, 국면 및 이점은, 첨부된 도면과 관련되어 이해되는 본 발명에 따른 다음의 상세한 설명으로부터 분명하게 될 것이다.

[제1 실시예]

도 1에 있어서, 이 레벨 변환 회로는, 입력 단자(1), 출력 단자(2), P 채널 MOS 트랜지스터(3 ~ 5), N 채널 MOS 트랜지스터(6 ~ 8) 및 인버터(9 ~ 11)를 구비한다.

P 채널 MOS 트랜지스터(3)는, 전원 전위 VDDH의 라인과 노드 N1과의 사이에 접속된다. P 채널 MOS 트랜지스터(4)는, 전원 전위 VDDH의 라인과 노드 N2와의 사이에 접속된다. P 채널 MOS 트랜지스터(3, 4)의 게이트는, 모두 노드 N1에 접속된다. P 채널 MOS 트랜지스터(3, 4)는, 커런트 미러 회로를 구성하고, P 채널 MOS 트랜지스터(3)에 전류가 흐르면, P 채널 MOS 트랜지스터(3, 4)의 소자 치수에 따른 크기의 전류가 P 채널 MOS 트랜지스터(4)에 흐른다.

N 채널 MOS 트랜지스터(6, 7)는, 노드 N1과 접지 전위 GND의 라인과 사이에 직렬 접속된다. N 채널 MOS 트랜지스터(8)는, 노드 N2와 접지 전위 GND의 라인과 사이에 접속된다. 입력 단자(1)는, N 채널 MOS 트랜지스터(7)의 게이트에 접속됨과 함께, 인버터(9)를 통하여 N 채널 MOS 트랜지스터(8)의 게이트에 접속된다.

인버터(10, 11)는, 노드 N2와 출력 단자(2)와의 사이에 직렬 접속된다. P 채널 MOS 트랜지스터(5)는, 전원 전위 VDDH의 라인과 노드 N2와의 사이에 접속된다. 인버터(10)와 인버터(11) 사이의 노드 N3은, P 채널 MOS 트랜지스터(5)의 게이트에 접속됨과 함께, N 채널 MOS 트랜지스터(6)의 게이트에 접속된다. 인버터(10, 11)는, 노드 N2의 전위에 따라, P 채널 MOS 트랜지스터(5) 및 N 채널 MOS 트랜지스터(6)의 온/오프 제어를 행함과 함께, 출력 신호의 논리 레벨을 전환하는 출력 회로를 구성한다.

여기서, 전원 전위 VDDH는 고전위(예를 들면, 3.3V)이고, 전원 전위 VDDL은 저전위(예를 들면, 1.2V)이다. 인버터(9)는 전원 전위 VDDL에서 구동되고, 인버터(10, 11)는 전원 전위 VDDH에서 구동된다. 인버터(9 ~ 11)는, 입력된 신호의 논리 레벨을 반전시켜 출력한다.

도 2에 있어서, 도 1에 도시한 레벨 변환 회로의 입력 신호 및 출력 신호의 전위 변화와, 소비 전류의 변화의 모습을 도시한다. 또한, 여기서 나타내는 소비 전류는, 입력 신호의 주파수를 25MHz, 출력 단자(2)의 부가 용량을 1pF로 한 경우의 시뮬레이션 결과이다.

시각 t1에 있어서, 입력 신호가 「L」 레벨(0V)로부터 「H」 레벨(VDDL)로 상승된다. 이에 따라, N 채널 MOS 트랜지스터(7)는 도통하고, N 채널 MOS 트랜지스터(8)는 비도통으로 된다.

여기서, 시각 t1에 노드 N3의 전위가 「H」 레벨인 경우, N 채널 MOS 트랜지스터(6)가 도통하고 있기 때문에, 노드 N1의 전위가 저하하여, P 채널 MOS 트랜지스터(3)에 전류가 흐른다. 이에 따라, P 채널 MOS 트랜지스터(4)에 전류가 흐른다. 또한, 이 때 N 채널 MOS 트랜지스터(8)가 비도통으로 되어 있기 때문에, 노드 N2의 전위가 상승한다. 노드 N2의 전위가 인버터(10)의 임계값 전압보다도 높아지면, 인버터(10)에 의해 노드 N3의 전위가 「L」 레벨(0V)로 하강되고, 인버터(11)에 의해 출력 단자(2)의 전위가 「H」 레벨(VDDH)로 상승된다. 또한, 노드 N3의 전위가 「L」 레벨로 하강됨에 따라, P 채널 MOS 트랜지스터(5)가 도통하여, 노드 N2의 전위가 「H」 레벨(VDDH)로 된다. 또한, N 채널 MOS 트랜지스터(6)가 비도통으로 되어, P 채널 MOS 트랜지스터(3, 4)에 흐르는 전류가 0A로 된다. 따라서, 이 레벨 변환 회로의 소비 전류는, 시각 t1에서 순간적으로 커진 후, 0A까지 감소한다.

한편, 도시하지 않았지만, 시각 t1에 노드 N3의 전위가 「L」 레벨인 경우, N 채널 MOS 트랜지스터(6)가 비도통으로 되어 있기 때문에, P 채널 MOS 트랜지스터(3, 4)에는 전류가 흐르지 않지만, P 채널 MOS 트랜지스터(5)가 도통하고 있기 때문에, 노드 N2의 전위가 「H」 레벨(VDDH)로 되어 있다. 이 때문에, 인버터(10)에 의해 노드 N3의 전위가 「L」 레벨(0V)로 되고, 인버터(11)에 의해 출력 단자(2)의 전위가 「H」 레벨(VDDH)로 된다.

이어서, 시각 t2에 있어서, 입력 신호가 「H」 레벨(VDDL)로부터 「L」 레벨(0V)로 하강된다. 이에 따라, N 채널 MOS 트랜지스터(7)는 비도통으로 되고, N 채널 MOS 트랜지스터(8)는 도통한다. 여기서, N 채널 MOS 트랜지스터(7)가 비도통

으로 되기 때문에, N 채널 MOS 트랜지스터(6)의 도통 상태와 상관없이, P 채널 MOS 트랜지스터(3, 4)에는 전류가 흐르지 않는다. 이 때, N 채널 MOS 트랜지스터(8)가 도통한 것에 따라, 노드 N2의 전위가 「L」 레벨(0V)로 하강된다. 이에 따라, 인버터(10)에 의해 노드 N3의 전위가 「H」 레벨(VDDH)로 상승되고, 인버터(11)에 의해 출력 단자(2)의 전위가 「L」 레벨(0V)로 하강된다. 또한, 노드 N3의 전위가 「H」 레벨로 상승됨에 따라, P 채널 MOS 트랜지스터(5)가 비도통으로 된다. 또한, N 채널 MOS 트랜지스터(6)가 도통하고, 이어서 입력 신호가 「L」 레벨(0V)로부터 「H」 레벨(VDDL)로 상승된 경우의 동작의 준비를 행할 수 있다. 따라서, 이 레벨 변환 회로의 소비 전류는, 시각 t2에서 순간적으로 커진 후, 0A까지 감소한다.

도 3은, 종래의 레벨 변환 회로의 구성을 도시하는 회로도로서, 도 1과 대비되는 도면이다. 도 3의 레벨 변환 회로를 참조하면, 도 1의 레벨 변환 회로와 상이한 점은, N 채널 MOS 트랜지스터(6) 및 P 채널 MOS 트랜지스터(5)가 삭제되어 있는 점과, P 채널 MOS 트랜지스터(3)의 게이트가 노드 N2에 접속되어 있는 점이다. 또, 도 3에서, 도 1과 대응하는 부분에서는 동일 부호를 붙이고, 그 상세 설명은 반복하지 않는다.

다시 도 2를 참조하면, 종래의 레벨 변환 회로의 출력 신호의 전위 변화와, 소비 전류의 변화의 모습을 점선으로 나타낸다. 시각 t1에 있어서, 입력 신호가 「L」 레벨(0V)로부터 「H」 레벨(VDDL)로 상승된다. 이에 따라, N 채널 MOS 트랜지스터(7)는 도통하고, N 채널 MOS 트랜지스터(8)는 비도통으로 된다. 여기서, N 채널 MOS 트랜지스터(7)가 도통한 것에 따라 노드 N1의 전위가 저하하여, P 채널 MOS 트랜지스터(4)에 전류가 흐른다. 이 때, N 채널 MOS 트랜지스터(8)가 비도통으로 되어 있기 때문에, 노드 N2의 전위가 상승한다. 이에 따라, P 채널 MOS 트랜지스터(3)가 비도통으로 되어, 노드 N1의 전위가 「L」 레벨(0V)까지 저하한다. 또한, P 채널 MOS 트랜지스터(4)에 흐르는 전류가 증대하여, 노드 N2의 전위가 「H」 레벨(VDDH)까지 상승한다.

시각 t1부터 소정 시간 경과 후의 시각 t11에서, 노드 N2의 전위가 인버터(10)의 임계값 전압보다도 높아짐에 따라, 인버터(10)에 의해 노드 N3의 전위가 「L」 레벨(0V)로 하강되고, 인버터(11)에 의해 출력 단자(2)의 전위가 「H」 레벨(VDDH)로 상승된다. 따라서, 이 레벨 변환 회로의 소비 전류는, 시각 t1부터 시각 t11까지의 기간에서 소정 레벨로 되어, 시각 t11에서 순간적으로 커진 후, 0A까지 감소한다.

이어서, 시각 t2에 있어서, 입력 신호가 「H」 레벨(VDDL)로부터 「L」 레벨(0V)로 하강된다. 이에 따라, N 채널 MOS 트랜지스터(7)는 비도통으로 되고, N 채널 MOS 트랜지스터(8)는 도통한다. 여기서, N 채널 MOS 트랜지스터(8)가 도통한 것에 따라 노드 N2의 전위가 저하하여, P 채널 MOS 트랜지스터(3)에 전류가 흐른다. 이 때, N 채널 MOS 트랜지스터(7)가 비도통으로 되어 있기 때문에, 노드 N1의 전위가 상승한다. 이것에 따라, P 채널 MOS 트랜지스터(4)가 비도통으로 되어, 노드 N2의 전위가 「L」 레벨(0V)까지 저하한다. 또한, P 채널 MOS 트랜지스터(3)에 흐르는 전류가 증대하여, 노드 N1의 전위가 「H」 레벨(VDDH)까지 상승한다.

시각 t2로부터 소정 시간 경과 후의 시각 t12에서, 노드 N2의 전위가 인버터(10)의 임계값 전압보다도 낮게 된 것에 따라, 인버터(10)에 의해 노드 N3의 전위가 「H」 레벨(VDDH)로 상승되고, 인버터(11)에 의해서 출력 단자(2)의 전위가 「L」 레벨(0V)로 하강된다. 따라서, 이 레벨 변환 회로의 소비 전류는, 시각 t2부터 시각 t12까지의 기간에서 소정 레벨로 되고, 시각 t12에서 순간적으로 커진 후, 0 A까지 감소한다.

따라서, 종래의 레벨 변환 회로에서는, 레벨 변환 동작에 필요한 시간이 길고, 소비 전력이 크다고 하는 문제가 있었다. 또한, 입력 신호가 「L」 레벨로부터 「H」 레벨로 상승된 경우에, 출력 신호의 논리 레벨이 전환되는데 필요한 시간(t11-t1)과, 입력 신호가 「H」 레벨로부터 「L」 레벨로 하강된 경우에, 출력 신호의 논리 레벨이 전환되는데 필요한 시간(t12-t2)을 동일하게 하는 것이 어려웠다. 이것은, 이하의 이유에 의한다.

시각 t1에 있어서, 입력 신호가 「L」 레벨로부터 「H」 레벨로 상승되었을 때에, N 채널 MOS 트랜지스터(7)가 도통하여 노드 N1의 전위를 저하시키기 위해서는, N 채널 MOS 트랜지스터(7)의 전류 구동 능력을 P 채널 MOS 트랜지스터(3)의 전류 구동 능력보다도 크게 할 필요가 있다. 이것은, 시각 t1까지의 기간에서, P 채널 MOS 트랜지스터(3)가 도통하고 있기 때문에, 시각 t1에서, 순간적으로 P 채널 MOS 트랜지스터(3)와 N 채널 MOS 트랜지스터(7)의 양방이 도통하는 상태로 되기 때문이다.

이어서, 시각 t2에 있어서, 입력 신호가 「H」 레벨로부터 「L」 레벨로 하강되었을 때에, N 채널 MOS 트랜지스터(8)가 도통하여 노드 N2의 전위를 저하시키기 위해서는, N 채널 MOS 트랜지스터(8)의 전류 구동 능력을 P 채널 MOS 트랜지스터(4)의 전류 구동 능력보다도 크게 할 필요가 있다. 이것은, 시각 t1부터 시각 t2까지의 기간에서, P 채널 MOS 트랜지스터(4)가 도통하고 있기 때문에, 시각 t2에서, 순간적으로 P 채널 MOS 트랜지스터(4)와 N 채널 MOS 트랜지스터(8) 양방이 도통하는 상태로 되기 때문이다.

그러나, 이와 같이 각 트랜지스터의 전류 구동 능력에 차이를 두는 것에 따라, 입력 신호가 「L」 레벨로부터 「H」 레벨로 상승된 경우와, 입력 신호가 「H」 레벨로부터 「L」 레벨로 하강된 경우에서, 레벨 변환 동작의 특성에 차이가 생겨 버린다. 이와 같이, 전원 전위 VDDL과 전원 전위 VDDH와의 차가 큰 경우, 레벨 변환 동작에 필요한 시간에 차가 생기기 쉬웠다.

따라서, 이 제1 실시예에서는, P 채널 MOS 트랜지스터(3, 4)로 커런트 미러 회로를 구성하고, N 채널 MOS 트랜지스터(6)와 P 채널 MOS 트랜지스터(5)를 추가하였다. 이에 따라, 종래의 레벨 변환 회로에 비하여, 레벨 변환 동작의 고속화, 및 저소비 전력화를 실현할 수 있다(도 2 참조). 더 구체적으로 설명하면, 입력 신호가 「L」 레벨로부터 「H」 레벨로 상승된 경우에, N 채널 MOS 트랜지스터(6)가 비도통으로 되기 때문에, P 채널 MOS 트랜지스터(3, 4)에 누설 전류가 흐르는 것이 방지되어, 소비 전력이 작아진다. 또한, 입력 신호가 「L」 레벨로부터 「H」 레벨로 상승된 경우에, P 채널 MOS 트랜지스터(5)가 도통함으로써, 노드 N2의 전위가 「H」 레벨(VDDH)로 고정되기 때문에, 노드 N2의 전위가 불안정한 상태로 되는 것이 방지된다. 이것은, 통상 동작 모드로부터 저소비 전력 모드로 이행하는 기능을 구비한 LSI에 대응시키는 경우에 효과적이다. 즉, 입력 신호의 레벨이 저속으로 변화하는 경우(저주파수의 신호)부터 고속으로 변화하는 경우(고주파수의 신호)까지 저소비 전류, 또한 고속 응답이 가능해져, 레벨 변환 회로의 범용성이 높아진다.

또한, 레벨 변환의 동작 속도에 영향을 주지 않도록 하기 위하여, P 채널 MOS 트랜지스터(5)의 전류 구동 능력을 N 채널 MOS 트랜지스터(8)의 전류 구동 능력보다도 충분히 작게 한다. 이에 따라, 입력 신호가 「H」 레벨로부터 「L」 레벨로 하강되어 N 채널 MOS 트랜지스터(8)가 도통했을 때에, 노드 N2의 전위는 신속하게 저하한다.

또한, 여기서는, N 채널 MOS 트랜지스터(6)를 P 채널 MOS 트랜지스터(3)와 N 채널 MOS 트랜지스터(7)와의 사이에 설치한 경우에 관해서 설명했지만, N 채널 MOS 트랜지스터(6)를 N 채널 MOS 트랜지스터(7)와 접지 전위 GND의 라인과의 사이에 설치하여도 된다. 이 경우에도, 동일한 효과가 얻어진다.

또한, 여기서는, 인버터(9)를 입력 단자(1)와 N 채널 MOS 트랜지스터(8)의 게이트와의 사이에 설치한 경우에 관해서 설명했지만, 인버터(9)를 입력 단자(1)와 N 채널 MOS 트랜지스터(7)의 게이트와의 사이에 설치하여도 된다. 이 경우에도 동일한 효과가 얻어진다.

도 4는, 도 1에 나타난 레벨 변환 회로의 레이아웃을 도시하는 평면도이다. 도 4에서, p 웰 영역(101)에는, N 채널 MOS 트랜지스터(6, 7, 8)가 배치된다. n 웰 영역(102)에는, P 채널 MOS 트랜지스터(3, 4, 5) 및 인버터(10, 11)를 구성하는 P 채널 MOS 트랜지스터(10a, 11a)가 배치된다. p 웰 영역(103)에는, 인버터(10, 11)를 구성하는 N 채널 MOS 트랜지스터(10b, 11b)가 배치된다. p 웰 영역(101, 103) 및 n 웰 영역(102)에는, 활성 영역 AF, 게이트 전극 GE, 제1층 금속 배선 ML1 및 제2층 금속 배선 ML2가 형성된다. 제1층 및 제2층 금속 배선은, 예를 들면 알루미늄 배선이다.

p 웰 영역(101)에서, N 채널 MOS 트랜지스터(6)의 게이트 전극 GE는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 P 채널 MOS 트랜지스터(5)의 게이트 전극 GE에 접속된다. N 채널 MOS 트랜지스터(6)의 드레인, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 P 채널 MOS 트랜지스터(3)의 게이트 전극 GE에 접속되고, N 채널 MOS 트랜지스터(6)의 소스는, N 채널 MOS 트랜지스터(7)의 드레인에 접속된다. N 채널 MOS 트랜지스터(7)의 게이트 전극 GE는, 제1층 금속 배선 ML1을 통하여 입력 단자(1)에 접속된다. N 채널 MOS 트랜지스터(7)의 소스는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 접지 전위 GND의 라인에 접속된다. N 채널 MOS 트랜지스터(8)의 게이트 전극 GE는, 제1층 금속 배선 ML1을 통하여 인버터(9)의 출력 노드에 접속된다. N 채널 MOS 트랜지스터(8)의 드레인, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 P 채널 MOS 트랜지스터(5)의 드레인에 접속되고, N 채널 MOS 트랜지스터(8)의 소스는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 접지 전위 GND의 라인에 접속된다. 이 N 채널 MOS 트랜지스터(8)는, 2열로 배치되어 있다.

n 웰 영역(102)에서, P 채널 MOS 트랜지스터(5)의 게이트 전극 GE는, 제1층 및 제2층 금속 배선 ML1, ML2를 통해 인버터(11)를 구성하는 P 채널 MOS 트랜지스터(11a)의 게이트 전극 GE에 접속된다. P 채널 MOS 트랜지스터(5)의 소스는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 전원 전위 VDDH의 라인에 접속되고, P 채널 MOS 트랜지스터(5)의 드레인, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 인버터(10)를 구성하는 P 채널 MOS 트랜지스터(10a)의 게이트 전극 GE에 접속된다. P 채널 MOS 트랜지스터(3)의 게이트 전극 GE는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 그 드레인에 접속된다. P 채널 MOS 트랜지스터(3)의 소스는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 전원 전위 VDDH의 라인에 접속된다. P 채널 MOS 트랜지스터(4)의 게이트 전극 GE는, 제1층 금속 배선 ML1을 통하여 P 채널 MOS 트랜지스터(3)의 게이트 전극 GE에 접속된다. P 채널 MOS 트랜지스터(4)의 소스는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 전원 전위 VDDH의 라인에 접속되고, P 채널 MOS 트랜지스터(4)의 드레인, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 인버터(10)를 구성하는 P 채널 MOS 트랜지스터(10a)의 게이트 전극 GE에 접속된다.

n 웰 영역(102) 및 p 웰 영역(103)에서, 인버터(10)를 구성하는 P 채널 MOS 트랜지스터(10a)의 게이트 전극 GE는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 N 채널 MOS 트랜지스터(10b)의 게이트 전극 GE에 접속된다. P 채널 MOS 트랜지스터(10a)의 소스는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 전원 전위 VDDH의 라인에 접속되고, P 채널 MOS 트랜지스터(10a)의 드레인은, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 N 채널 MOS 트랜지스터(10b)의 드레인에 접속된다. N 채널 MOS 트랜지스터(10b)의 소스는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 접지 전위 GND의 라인에 접속된다. 인버터(11)를 구성하는 P 채널 MOS 트랜지스터(11a)의 게이트 전극 GE는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 N 채널 MOS 트랜지스터(11b)의 게이트 전극 GE에 접속된다. P 채널 MOS 트랜지스터(11a)의 소스는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 전원 전위 VDDH의 라인에 접속되고, P 채널 MOS 트랜지스터(11a)의 드레인은, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 N 채널 MOS 트랜지스터(11b)의 드레인에 접속된다. N 채널 MOS 트랜지스터(11b)의 소스는 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 접지 전위 GND의 라인에 접속되고, N 채널 MOS 트랜지스터(11b)의 드레인은 출력 단자(2)에 접속된다.

또한, 각 트랜지스터의 게이트 전극 GE는, 모두 동일 방향으로 배열되어 있다(도면에서는 수평 방향). 이에 따라, 트랜지스터의 제조 변동이 억제된다.

도시하지 않았지만, 인버터(9)를 구성하는 P 채널 MOS 트랜지스터(9a) 및 N 채널 MOS 트랜지스터(9b)는, 별도의 영역에 배치된다. 인버터(9)는, 전원 전위 VDDH의 전원 계통과는 상이한 전원 전위 VDDL의 전원 계통을 이용한다.

여기서, 트랜지스터(3 ~ 8)의 게이트 길이를 L3 ~ L8, 트랜지스터(10a, 10b, 11a, 11b)의 게이트 길이를 L10a, L10b, L11a, L11b로 하고, 트랜지스터(3 ~ 8)의 게이트 폭을 W3 ~ W8, 트랜지스터(10a, 10b, 11a, 11b)의 게이트 폭을 W10a, W10b, W11a, W11b로 한다.

도 5는, 도 4에 도시한 P 채널 MOS 트랜지스터(3)의 부분 확대도이다. 도 5를 참조하면, P 채널 MOS 트랜지스터(3)의 게이트 폭 W3은, P 채널 MOS 트랜지스터(3)의 게이트 전극 GE와 활성 영역 AF가 겹쳐 있는 부분의 길이(도 5로 수평 방향의 길이)에 상당한다.

도 6은, 도 5의 VI-VI선 단면도이다. 도 6을 참조하면, n 웰(102) 상에 p⁺ 영역인 소스 및 드레인이 형성된다. 또한, n 웰(102) 상에는 산화막이 적층되고, 산화막 상에는 폴리 실리콘 등의 게이트 전극 GE가 적층된다. p⁺ 영역인 소스 및 드레인의 상부에는, 각각 콘택트홀 CH를 통하여 제1층의 금속 배선 ML1이 형성된다. 또한, 제1층의 금속 배선 ML1의 상부에는, 스루홀 TH를 통하여 제2층의 금속 배선 ML2가 형성된다. P 채널 MOS 트랜지스터(3)의 게이트 길이 L3은, p⁺ 영역인 소스와 드레인의 사이의 거리에 상당한다.

표 1에, 도 4에 도시한 각 트랜지스터의 게이트 길이 및 게이트 폭의 일례를 나타낸다. 또, 트랜지스터(9a, 9b)는, 각각 도 1에 도시한 인버터(9)를 구성하는 P 채널 MOS 트랜지스터(9a) 및 N 채널 MOS 트랜지스터(9b)를 나타내고 있다.

[표 1]

	게이트폭 W(μm)	게이트 길이 L(μm)
트랜지스터 3	1.0	0.4
트랜지스터 4	7.0	0.4
트랜지스터 5	0.4	0.5
트랜지스터 6	2.0	0.4
트랜지스터 7	2.0	0.4
트랜지스터 8	7.0	0.4
트랜지스터 9a	3.36	0.1
트랜지스터 9b	1.3	0.1
트랜지스터 10a	4.9	0.4
트랜지스터 10b	2.1	0.4
트랜지스터 11a	4.9	0.4
트랜지스터 11b	2.1	0.4

표 1을 참조하면, P 채널 MOS 트랜지스터(4)의 게이트 폭 W4(예를 들면, 7.0μm)는, P 채널 MOS 트랜지스터(3)의 게이트 폭 W3(예를 들면, 1.0μm)보다도 길게 한다. 바람직하게는, 약 3 ~ 8배 정도로 한다. 이에 따라, P 채널 MOS 트랜지스터(3, 4)가 구성하는 커런트 미러 회로에서, 입력 전류가 적절한 레벨로 증폭된다. 또한, N 채널 MOS 트랜지스터(8)의 게이

트 폭 W8(예를 들면, $7.0\mu\text{m}$)은, N 채널 MOS 트랜지스터(7)의 게이트 폭 W7(예를 들면, $2.0\mu\text{m}$)보다도 길게 한다. 바람직하게는, 약 1.1 ~ 4배 정도로 한다. 또한, N 채널 MOS 트랜지스터(6)의 게이트 폭 W6과 N 채널 MOS 트랜지스터(7)의 게이트 폭 W7을 동일하게 한다(예를 들면, $2.0\mu\text{m}$).

P 채널 MOS 트랜지스터(5)의 게이트 폭 W5(예를 들면, $0.4\mu\text{m}$)는, N 채널 MOS 트랜지스터(8)의 게이트 폭 W8(예를 들면, $7.0\mu\text{m}$)보다도 충분히 짧게 한다. 바람직하게는, 약 0.03 ~ 0.2배 정도로 한다. 또한, P 채널 MOS 트랜지스터(5)의 게이트 길이 L5(예를 들면, $0.5\mu\text{m}$)는, N 채널 MOS 트랜지스터(8)의 게이트 길이 L8(예를 들면, $0.4\mu\text{m}$)보다도 길게 한다. 바람직하게는, 약 1.1 ~ 1.5배 정도로 한다. 이에 따라, P 채널 MOS 트랜지스터(5)의 전류 구동 능력은, N 채널 MOS 트랜지스터(8)의 전류 구동 능력보다도 충분히 작아진다. 따라서, 도 2를 이용하여 설명한 바와 같이, 입력 신호가 「H」 레벨로부터 「L」 레벨로 하강되어 N 채널 MOS 트랜지스터(8)가 도통했을 때에, 노드 N2의 전위는 신속하게 저하한다.

인버터(9)를 구성하는 P 채널 MOS 트랜지스터(9a) 및 N 채널 MOS 트랜지스터(9b)의 게이트 길이 L9a, L9b(예를 들면, $0.1\mu\text{m}$)는, 다른 트랜지스터의 게이트 길이(예를 들면, $0.4\mu\text{m}$)보다도 짧게 한다. 바람직하게는, 약 0.2 ~ 0.5배 정도로 한다. 이것은, 인버터(9)가, 전원 전위 VDDH보다도 낮은 전원 전위 VDDL의 전원 계통을 사용하고 있기 때문이다.

[제1 실시예의 변경예]

도 7의 레벨 변환 회로를 참조하면, 도 1의 레벨 변환 회로와 상이한 점은, N 채널 MOS 트랜지스터(6)가 P 채널 MOS 트랜지스터(21)에 의해 치환되어 있는 점이다. 또, 도 7에서, 도 1과 대응하는 부분에서는 동일 부호를 붙이고, 그 상세 설명은 반복하지 않는다.

P 채널 MOS 트랜지스터(21)는, 그 소스가 노드 N1에 접속되고, 그 드레인이 N 채널 MOS 트랜지스터(7)의 드레인에 접속되고, 그 게이트가 출력 단자(2)에 접속된다. 이 P 채널 MOS 트랜지스터(21)는, 입력 신호가 「L」 레벨(0V)로부터 「H」 레벨(VDDL)로 상승됨에 따라, 출력 단자(2)의 전위가 「L」 레벨(0V)로부터 「H」 레벨(VDDH)로 상승되면 비도통으로 된다. 또한, 입력 신호가 「H」 레벨(VDDL)로부터 「L」 레벨(0V)로 하강됨에 따라, 출력 단자(2)의 전위가 「H」 레벨(VDDH)로부터 「L」 레벨(0V)로 하강되면 도통한다.

따라서, 도 7에 도시한 레벨 변환 회로는, 도 1에 도시한 레벨 변환 회로와 마찬가지로의 레벨 변환 동작을 행하고, 그 동작을 나타내는 타임차트는 도 2와 동일하게 된다. 때문에, 이 제1 실시예의 변경예에서는, 제1 실시예의 경우와 마찬가지로, 고속의 레벨 변환 동작이 가능하고 저소비 전력, 또한 범용성이 높은 레벨 변환 회로를 실현할 수 있다.

[제2 실시예]

도 8의 레벨 변환 회로를 참조하면, 도 1의 레벨 변환 회로와 상이한 점은, P 채널 MOS 트랜지스터(31)가 추가되어 있는 점이다. 또, 도 8에서, 도 1과 대응하는 부분에서는 동일 부호를 붙이고, 그 상세 설명은 반복하지 않는다.

P 채널 MOS 트랜지스터(31)는, 전원 전위 VDDH의 라인과 노드 N1과의 사이에 접속된다. P 채널 MOS 트랜지스터(31)의 게이트는, 출력 단자(2)에 접속된다. 입력 신호가 「H」 레벨(VDDL)로부터 「L」 레벨(0V)로 하강된 경우, N 채널 MOS 트랜지스터(7)는 비도통으로 되고, N 채널 MOS 트랜지스터(8)는 도통한다. 여기서, N 채널 MOS 트랜지스터(7)가 비도통으로 되어 있기 때문에, N 채널 MOS 트랜지스터(6)의 도통 상태에 관계없이, P 채널 MOS 트랜지스터(3, 4)에는 전류가 흐르지 않는다.

그러나, 트랜지스터의 제조 공정에 의한 변동이나 회로의 레이아웃에 기인하여, 트랜지스터의 특성(임계값 전압 등)이 설계값과 상이한 경우가 있다. 이 경우, 커런트 미러 회로를 구성하는 P 채널 MOS 트랜지스터(3)에 전류가 흐르지 않을 때에도, P 채널 MOS 트랜지스터(4)에 근소한 누설 전류가 흐르는 경우가 있다.

따라서, 이 제2 실시예에서는, P 채널 MOS 트랜지스터(31)를 설치하고, P 채널 MOS 트랜지스터(4)에 누설 전류가 흐르는 것을 방지한다. 더 구체적으로 설명하면, 입력 신호가 「H」 레벨(VDDL)로부터 「L」 레벨(0V)로 하강된 경우, N 채널 MOS 트랜지스터(8)가 도통한 것에 따라 노드 N2의 전위가 저하된다. 노드 N2의 전위가 인버터(10)의 임계값 전압보다도 낮게 된 것에 따라, 인버터(10)에 의해 노드 N3의 전위가 「H」 레벨(VDDH)로 상승되고, 인버터(11)에 의해 출력 단자(2)의 전위가 「L」 레벨(0V)로 하강된다. 이에 따라, P 채널 MOS 트랜지스터(31)가 도통하여, 노드 N1이 「H」 레벨(VDDH)로 된다. 이 때문에, P 채널 MOS 트랜지스터(3, 4)가 확실하게 비도통으로 된다. 이에 따라, P 채널 MOS 트랜지스터(4)에 누설 전류가 흐르는 것이 방지된다. 따라서, 레벨 변환 회로의 한층 더 저소비 전력화를 실현할 수 있다.

또한, 레벨 변환의 동작 속도에 영향을 주지 않도록 하기 위해, P 채널 MOS 트랜지스터(31)의 전류 구동 능력을 충분히 작게 한다.

또한, 여기서는, P 채널 MOS 트랜지스터(31)의 게이트를 출력 단자(2)에 접속한 경우에 관하여 설명했지만, P 채널 MOS 트랜지스터(31)의 게이트를 노드 N2에 접속하여도 된다.

도 9는 P 채널 MOS 트랜지스터(31)의 게이트를 노드 N2에 접속한 경우의 레벨 변환 회로의 구성을 도시하는 회로도이다. 도 8에서는 노드 N2가 인버터(10, 11)를 통하여 P 채널 MOS 트랜지스터(31)의 게이트에 접속되어 있는 데 대하여, 이 도 9에서는 노드 N2가 P 채널 MOS 트랜지스터(31)의 게이트에 직접 접속되어 있다. 이 때문에, 인버터(10, 11)에 의한 지연이 없어, 보다 빠른 단계에서 P 채널 MOS 트랜지스터(31)에 피드백이 걸린다.

도 10은, 도 9에 도시한 레벨 변환 회로의 레이아웃을 도시하는 평면도이다. 도 10에서, n 웰 영역(111)에는, P 채널 MOS 트랜지스터(3, 4, 5, 31) 및 인버터(10)를 구성하는 P 채널 MOS 트랜지스터(10a)가 배치된다. p 웰 영역(112)에는, P 채널 MOS 트랜지스터(6, 7, 8) 및 인버터(10)를 구성하는 N 채널 MOS 트랜지스터(10b)가 배치된다. n 웰 영역(111) 및 p 웰 영역(112)에는, 활성 영역 AF, 게이트 전극 GE, 제1층 금속 배선 ML1 및 제2층 금속 배선 ML2가 형성된다. 또, 인버터(11)를 구성하는 P 채널 MOS 트랜지스터(11a) 및 N 채널 MOS 트랜지스터(11b)의 배치 구성은, 인버터(10)를 구성하는 P 채널 MOS 트랜지스터(10a) 및 N 채널 MOS 트랜지스터(10b)의 배치 구성과 마찬가지로이기 때문에, 여기서는 생략한다.

n 웰 영역(111)에서, P 채널 MOS 트랜지스터(3)의 게이트 전극 GE는, 제1층 금속 배선 ML1을 통하여 그 드레인에 접속된다. P 채널 MOS 트랜지스터(3)의 소스는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 전원 전위 VDDH의 라인에 접속된다. P 채널 MOS 트랜지스터(4)의 게이트 전극 GE는, 제1층 금속 배선 ML1을 통하여 P 채널 MOS 트랜지스터(3)의 게이트 전극 GE에 접속된다. P 채널 MOS 트랜지스터(4)의 소스는 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 전원 전위 VDDH의 라인에 접속되고, P 채널 MOS 트랜지스터(4)의 드레인은 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 N 채널 MOS 트랜지스터(8)의 드레인에 접속된다.

P 채널 MOS 트랜지스터(5)의 게이트 전극 GE는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 N 채널 MOS 트랜지스터(6)의 게이트 전극 GE에 접속된다. P 채널 MOS 트랜지스터(5)의 소스는 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 전원 전위 VDDH의 라인에 접속되고, P 채널 MOS 트랜지스터(5)의 드레인은 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 P 채널 MOS 트랜지스터(4)의 드레인에 접속된다. P 채널 MOS 트랜지스터(31)의 게이트 전극 GE는, 제1층 금속 배선 ML1을 통하여 P 채널 MOS 트랜지스터(5)의 드레인에 접속된다. P 채널 MOS 트랜지스터(31)의 소스는 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 전원 전위 VDDH의 라인에 접속되고, P 채널 MOS 트랜지스터(31)의 드레인은 제1층 금속 배선 ML1을 통하여 P 채널 MOS 트랜지스터(3)의 드레인에 접속된다.

n 웰 영역(111) 및 p 웰 영역(112)에서, 인버터(10)를 구성하는 P 채널 MOS 트랜지스터(10a)의 게이트 전극 GE는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 N 채널 MOS 트랜지스터(10b)의 게이트 전극 GE에 접속된다. P 채널 MOS 트랜지스터(10a)의 소스는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 전원 전위 VDDH의 라인에 접속되고, P 채널 MOS 트랜지스터(10a)의 드레인은, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 N 채널 MOS 트랜지스터(10b)의 드레인에 접속됨과 함께, 인버터(11)의 입력 노드에 접속된다. N 채널 MOS 트랜지스터(10b)의 소스는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 접지 전위 GND의 라인에 접속된다. P 채널 MOS 트랜지스터(10a)는 4열로 배치되고, N 채널 MOS 트랜지스터(10b)는 2열로 배치되어 있다.

p 웰 영역(112)에서, N 채널 MOS 트랜지스터(6)의 게이트 전극 GE는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 N 채널 MOS 트랜지스터(10b)의 드레인에 접속된다. N 채널 MOS 트랜지스터(6)의 드레인은 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 P 채널 MOS 트랜지스터(4)의 게이트 전극 GE에 접속되고, N 채널 MOS 트랜지스터(6)의 소스는 N 채널 MOS 트랜지스터(7)의 드레인에 접속된다. N 채널 MOS 트랜지스터(7)의 게이트 전극 GE는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 입력 단자(1)에 접속된다. N 채널 MOS 트랜지스터(7)의 소스는 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 접지 전위 GND의 라인에 접속된다. N 채널 MOS 트랜지스터(8)의 게이트 전극 GE는, 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 인버터(9)의 출력 노드에 접속된다. N 채널 MOS 트랜지스터(8)의 드레인은 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 P 채널 MOS 트랜지스터(4)의 드레인에 접속되고, N 채널 MOS 트랜지스터(8)의 소스는 제1층 및 제2층 금속 배선 ML1, ML2를 통하여 접지 전위 GND의 라인에 접속된다.

또한, 각 트랜지스터의 게이트 전극 GE는, 전부 동일 방향으로 배열된다(도면에서는 수직 방향). 이에 따라, 트랜지스터의 제조 변동이 억제된다.

표 2에, 도 10에 도시한 각 트랜지스터의 게이트 길이 및 게이트 폭의 일례를 도시한다. 또, 트랜지스터(9a, 9b)는, 각각 도 9에 도시한 인버터(9)를 구성하는 P 채널 MOS 트랜지스터(9a) 및 N 채널 MOS 트랜지스터(9b)를 나타내고 있다. 또한, 트랜지스터(11a, 11b)는, 각각 도 9에 도시한 인버터(11)를 구성하는 P 채널 MOS 트랜지스터(11a) 및 N 채널 MOS 트랜지스터(11b)를 나타내고 있다.

[표 2]

	게이트폭 W(μm)	게이트 길이 L(μm)
트랜지스터 3	4.0	0.4
트랜지스터 4	16.0	0.4
트랜지스터 5	0.32	0.5
트랜지스터 6	5.5	0.4
트랜지스터 7	5.5	0.4
트랜지스터 8	7.0	0.4
트랜지스터 9a	3.36	0.1
트랜지스터 9b	1.3	0.1
트랜지스터 10a	20.0	0.4
트랜지스터 10b	8.3	0.4
트랜지스터 11a	20.0	0.4
트랜지스터 11b	8.3	0.4
트랜지스터 31	0.4	0.4

표 2를 참조하면, P 채널 MOS 트랜지스터(31)의 게이트 폭 W31(예를 들면, 0.4 μm)은, N 채널 MOS 트랜지스터(7)의 게이트 폭 W7(예를 들면, 5.5 μm)보다도 충분히 짧게 한다. 바람직하게는, 약 0.03 ~ 0.2배 정도로 한다. 이에 의해, P 채널 MOS 트랜지스터(31)의 전류 구동 능력은, N 채널 MOS 트랜지스터(7)의 전류 구동 능력보다도 충분히 작아진다. 따라서, 입력 신호가 「L」 레벨로부터 「H」 레벨로 상승되어 N 채널 MOS 트랜지스터(7)가 도통했을 때에, 노드 N1의 전위는 신속하게 저하된다.

또한, 다른 트랜지스터의 게이트 폭 W 및 게이트 길이 L의 대소 관계에 관해서는, 표 1을 이용하여 설명한 경우와 마찬가지로, 여기서는 설명을 반복하지 않는다.

[제2 실시예의 변경예]

도 11의 레벨 변환 회로를 참조하면, 도 9의 레벨 변환 회로와 상이한 점은, N 채널 MOS 트랜지스터(6)가 P 채널 MOS 트랜지스터(41)에 의해 치환되어 있는 점이다. 또, 도 11에서, 도 9와 대응하는 부분에서는 동일 부호를 붙이고, 그 상세 설명은 반복하지 않는다.

P 채널 MOS 트랜지스터(41)는, 그 소스가 노드 N1에 접속되고, 그 드레인이 N 채널 MOS 트랜지스터(7)의 드레인에 접속되고, 그 게이트가 출력 단자(2)에 접속된다. 이 P 채널 MOS 트랜지스터(41)는, 입력 신호가 「L」 레벨(0V)로부터 「H」 레벨(VDDL)로 상승됨에 따라, 출력 단자(2)의 전위가 「L」 레벨(0V)로부터 「H」 레벨(VDDH)로 상승되면 비도통으로 된다. 또한, 입력 신호가 「H」 레벨(VDDL)로부터 「L」 레벨(0V)로 하강됨에 따라, 출력 단자(2)의 전위가 「H」 레벨(VDDH)로부터 「L」 레벨(0V)로 하강되면 도통한다.

따라서, 도 11에 도시한 레벨 변환 회로는, 도 9에 도시한 레벨 변환 회로와 마찬가지로의 레벨 변환 동작을 행한다. 이 때문에, 이 제2 실시예의 변경예에서는, 제2 실시예의 경우와 마찬가지로, P 채널 MOS 트랜지스터(4)에 누설 전류가 흐르는 것이 방지된다. 이에 따라, 레벨 변환 회로의 한층 더 저소비 전력화를 실현할 수 있다.

여기서는, P 채널 MOS 트랜지스터(31)의 게이트를 출력 단자(2)에 접속한 경우를 나타내고 있지만, P 채널 MOS 트랜지스터(31)의 게이트를 노드 N2에 접속하여도 된다.

또한, 본 발명에 따른 실시예에서는, 입력 신호의 전압 레벨을 전원 전위 VDDL로부터 전원 전위 VDDH(>VDDL)로 변환하는 레벨 변환 회로에 관하여 설명했지만, 2개의 전원 계통을 교체시켜도 된다. 즉, 입력 신호의 전압 레벨을 전원 전위

VDDH로부터 전원 전위 VDDL(<VDDH)로 변환하는 레벨 변환 회로로 해도 된다. 또한, 2개의 전원계통의 전원 전위를 동일하게 하여도 된다. 어떠한 경우에도, 커런트 미러 회로의 구성을 이용하고 있는 것에 의해, 도 3에 도시한 바와 같은 구성과 비교하여, 고속의 스위칭 동작 및 저소비 전력화를 실현할 수 있다.

또한, 동일 반도체 칩 상에 복수 종류의 레벨 변환 회로를 조합하여 배치하여도 된다. 예를 들면, 각각 전원 전위가 상이한 3개의 전원 계통을 사용하는 경우, 각 전원 전위에 따라 도 1에 도시한 레벨 변환 회로나 도 8에 도시한 레벨 변환 회로를 구별하여 배치하여도 된다.

본 발명을 상세히 설명하였지만, 이것은 예시를 위한 것뿐으로, 한정되어서는 안되며, 발명의 정신과 범위는 첨부된 청구 범위에 의해서만 한정된 것임을 분명히 이해할 수 있을 것이다.

발명의 효과

이상, 본 발명에 따르면, 고속의 레벨 변환 동작이 가능하고 저소비 전력, 또한 범용성이 높은 레벨 변환 회로를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

제1 논리 레벨이 기준 전위이고, 제2 논리 레벨이 제1 전원 전위인 제1 신호를, 제1 논리 레벨이 상기 기준 전위이고, 제2 논리 레벨이 제2 전원 전위인 제2 신호로 변환하여 출력 노드에 제공하는 레벨 변환 회로로서,

제1 전극이 상기 제2 전원 전위를 받고, 게이트 전극과 제2 전극이 상호 접속된 제1 도전 형식의 제1 트랜지스터,

제1 전극이 상기 제2 전원 전위를 받고, 게이트 전극이 상기 제1 트랜지스터의 게이트 전극에 접속되고, 제2 전극이 소정의 노드에 접속된 제1 도전 형식의 제2 트랜지스터,

게이트 전극이 상기 제1 신호를 받는 제2 도전 형식의 제3 트랜지스터,

상기 제1 트랜지스터의 제2 전극과 상기 기준 전위의 라인 사이에, 상기 제3 트랜지스터와 직렬 접속된 제1 스위칭 소자,

제1 전극이 상기 소정의 노드에 접속되고, 게이트 전극이 상기 제1 신호의 반전 신호를 받고, 제2 전극이 상기 기준 전위를 받는 제2 도전 형식의 제4 트랜지스터,

상기 제2 전원 전위의 라인과 상기 소정의 노드와의 사이에 접속된 제2 스위칭 소자, 및

상기 소정의 노드의 전위가 소정 레벨보다도 낮은 경우에는, 상기 제1 스위칭 소자를 도통시킴과 함께 상기 제2 스위칭 소자를 비도통으로 하여, 상기 출력 노드를 상기 기준 전위로 하고, 상기 소정의 노드의 전위가 상기 소정 레벨보다도 높은 경우에는, 상기 제1 스위칭 소자를 비도통으로 함과 함께 상기 제2 스위칭 소자를 도통시켜, 상기 출력 노드를 상기 제2 전원 전위로 하는 출력 회로

를 포함하는 레벨 변환 회로.

청구항 2.

제1항에 있어서,

상기 출력 회로는,

상기 소정의 노드의 전위가 상기 소정 레벨보다도 낮은 경우에는, 상기 제2 전원 전위를 출력하고, 상기 소정의 노드의 전위가 상기 소정 레벨보다도 높은 경우에는, 상기 기준 전위를 출력하는 제1 인버터, 및

상기 제1 인버터의 출력 전위가 상기 제2 전원 전위인 경우에는, 상기 출력 노드를 상기 기준 전위로 하고, 상기 제1 인버터의 출력 전위가 상기 기준 전위인 경우에는, 상기 출력 노드를 상기 제2 전원 전위로 하는 제2 인버터를 포함하고,

상기 제1 스위칭 소자는, 그 게이트 전극이 상기 제1 인버터의 출력 전위를 받는 제2 도전 형식의 제5 트랜지스터이고,

상기 제2 스위칭 소자는, 제1 전극이 상기 제2 전원 전위를 받고, 게이트 전극이 상기 제1 인버터의 출력 전위를 받고, 제2 전극이 상기 소정의 노드에 접속된 제1 도전 형식의 제6 트랜지스터인 레벨 변환 회로.

청구항 3.

제1항에 있어서,

상기 출력 회로는,

상기 소정의 노드의 전위가 상기 소정 레벨보다도 낮은 경우에는, 상기 제2 전원 전위를 출력하고, 상기 소정의 노드의 전위가 상기 소정 레벨보다도 높은 경우에는, 상기 기준 전위를 출력하는 제1 인버터, 및

상기 제1 인버터의 출력 전위가 상기 제2 전원 전위인 경우에는, 상기 출력 노드를 상기 기준 전위로 하고, 상기 제1 인버터의 출력 전위가 상기 기준 전위인 경우에는, 상기 출력 노드를 상기 제2 전원 전위로 하는 제2 인버터를 포함하고,

상기 제1 스위칭 소자는, 게이트 전극이 상기 소정의 노드 또는 상기 출력 노드 중 어느 한 노드에 접속된 제1 도전 형식의 제5 트랜지스터이고,

상기 제2 스위칭 소자는, 제1 전극이 상기 제2 전원 전위를 받고, 게이트 전극이 상기 제1 인버터의 출력 전위를 받고, 제2 전극이 상기 소정의 노드에 접속된 제1 도전 형식의 제6 트랜지스터인 레벨 변환 회로.

청구항 4.

제1항에 있어서,

상기 제2 전원 전위의 라인과 상기 제1 및 제2 트랜지스터의 게이트 전극과의 사이에 접속된 제3 스위칭 소자를 더 포함하고,

상기 출력 회로는, 상기 소정의 노드의 전위가 상기 소정 레벨보다도 낮은 경우에는, 상기 제3 스위칭 소자를 도통시키고, 상기 소정의 노드의 전위가 상기 소정 레벨보다도 높은 경우에는, 상기 제3 스위칭 소자를 비도통으로 하는 레벨 변환 회로.

청구항 5.

제4항에 있어서,

상기 제3 스위칭 소자는, 제1 전극이 상기 제2 전원 전위를 받고, 게이트 전극이 상기 소정의 노드 또는 상기 출력 노드 중 어느 한 노드에 접속되고, 제2 전극이 상기 제1 및 제2 트랜지스터의 게이트 전극에 접속된 제1 도전 형식의 제7 트랜지스터인 레벨 변환 회로.

청구항 6.

제2항에 있어서,

상기 제6 트랜지스터의 전류 구동 능력은, 상기 제4 트랜지스터의 전류 구동능력보다도 작은 레벨 변환 회로.

청구항 7.

제6항에 있어서,

상기 제6 트랜지스터의 게이트 폭은, 상기 제4 트랜지스터의 게이트 폭보다도 짧은 레벨 변환 회로.

청구항 8.

제6항에 있어서,

상기 제6 트랜지스터의 게이트 길이는, 상기 제4 트랜지스터의 게이트 길이보다도 긴 레벨 변환 회로.

청구항 9.

제5항에 있어서,

상기 제7 트랜지스터의 전류 구동 능력은, 상기 제3 트랜지스터의 전류 구동능력보다도 작은 레벨 변환 회로.

청구항 10.

제9항에 있어서,

상기 제7 트랜지스터의 게이트 폭은, 상기 제3 트랜지스터의 게이트 폭보다도 짧은 레벨 변환 회로.

청구항 11.

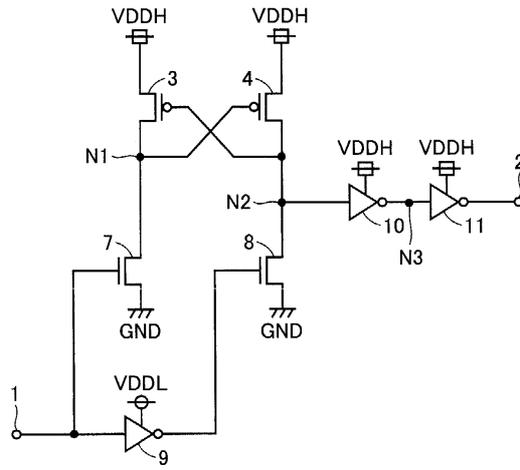
제1항에 있어서,

상기 제2 전원 전위는 상기 제1 전원 전위보다도 높은 레벨 변환 회로.

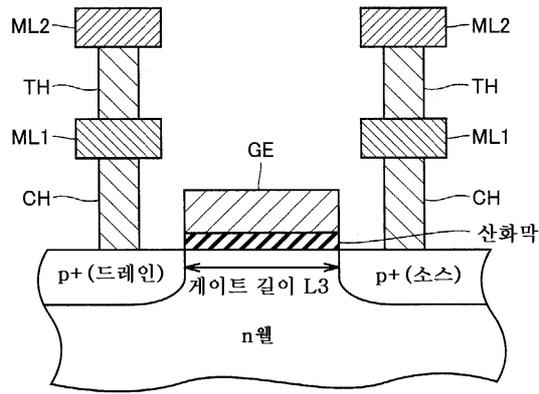
도면

도면3

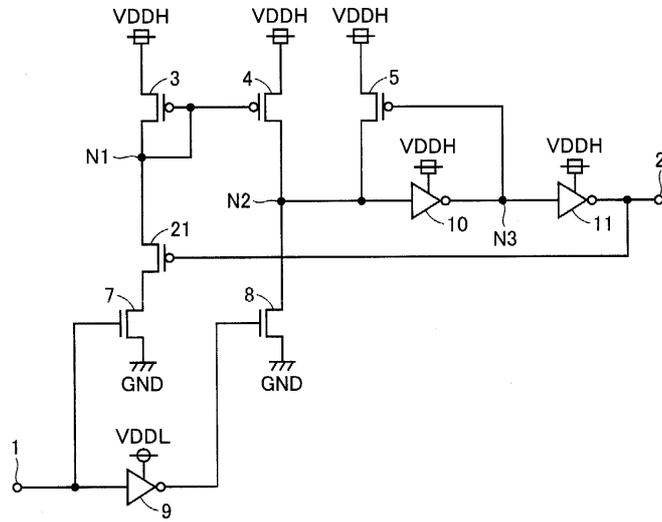
(종래 기술)



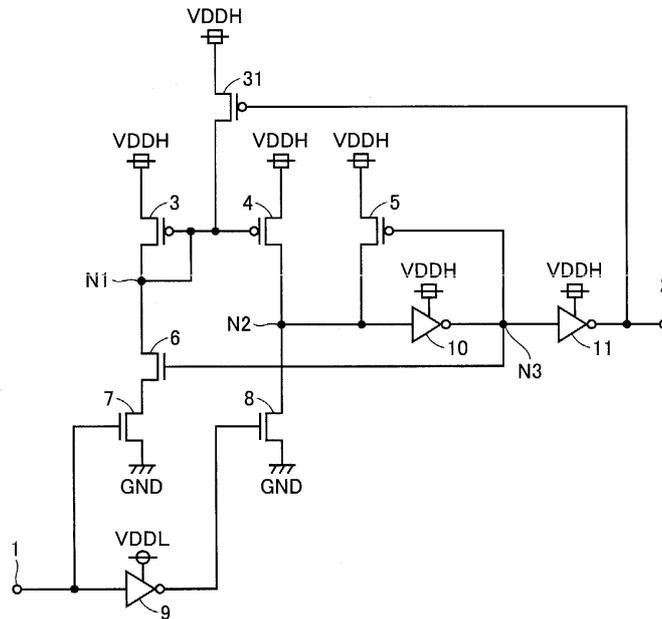
도면6



도면7



도면8



도면11

