



CONFÉDÉRATION SUISSE
OFFICE FÉDÉRAL DE LA PROPRIÉTÉ INTELLECTUELLE

① **CH 675937 A5**

Brevet d'invention délivré pour la Suisse et le Liechtenstein
Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein

⑤ Int. Cl.⁵: **H 03 L 7/08**
H 03 D 3/00
H 03 M 1/00
G 01 D 5/243

⑫ **FASCICULE DU BREVET** A5

⑳ Numéro de la demande: 769/88

⑦ Titulaire(s):
Yamaha Corporation,
Hamamatsu-shi/Shizuoka-ken (JP)
Yamaha Motor Co., Ltd, Iwata-shi/Shizuoka-ken (JP)

㉑ Date de dépôt: 01.03.1988

⑧ Inventeur(s):
Iijima, Kenzaburo, Hamamatsu-shi/Shizuoka-ken (JP)
Hayashi, Yoshinori, Hamamatsu-shi/Shizuoka-ken (JP)
Suzuki, Makoto, Iwata-shi/Shizuoka-ken (JP)
Uchiyama, Atsushi, Iwata-shi/Shizuoka-ken (JP)

⑳ Priorité(s): 03.03.1987 JP 62-48332

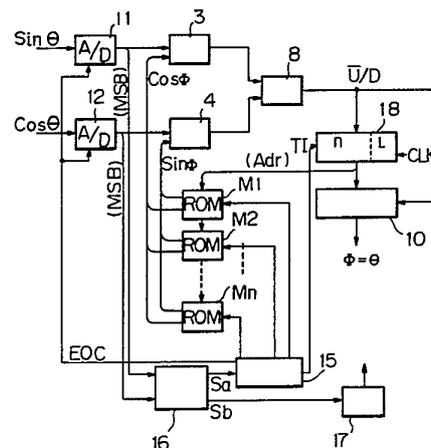
㉒ Brevet délivré le: 15.11.1990

⑨ Mandataire:
Cabinet Roland Nithardt, Yverdon

㉓ Fascicule du brevet publié le: 15.11.1990

⑤④ **Boucle numérique à blocage de phase.**

⑤⑦ Une boucle numérique à blocage de phase est prévue pour la détection du déplacement angulaire d'un mobile sur la base de signaux d'entrée ($\sin \Theta$, $\cos \Theta$) fournis par un codeur. La boucle comporte un circuit de commande du nombre de bits (15 et 16) qui réduit automatiquement le nombre de bits de travail des convertisseurs A/D (11 et 12) et d'un compteur (18) quand la fréquence des signaux d'entrée augmente. Cette réduction s'accompagne d'une sélection d'une mémoire travaillant avec un plus petit nombre de bits, parmi un groupe de mémoires ROM génératrices de fonctions (M1 à Mn), pour fournir des données à des multiplicateurs (3, 4) connectés aux convertisseurs A/D. Ainsi, la vitesse de traitement des signaux dans la boucle augmente sensiblement en réponse à une augmentation de vitesse du mobile.



Description

La présente invention concerne une boucle numérique à blocage de phase, destinée à recevoir et traiter des signaux d'entrée délivrés par un codeur en réponse à un déplacement d'un mobile.

Des circuits très divers ont été développés pour détecter le déplacement d'un mobile par démodulation de signaux de sortie d'un codeur de détection.

Un exemple typique de tels circuits de détection comporte une boucle numérique à blocage de phase dans laquelle des signaux analogiques $\sin \theta$ et $\cos \theta$, correspondant au déplacement d'un mobile, sont délivrés par un codeur et numérisés en vue de la détection de la phase du mobile. Plus particulièrement, un codeur délivre des signaux analogiques $\sin \theta$ et $\cos \theta$ correspondant au déplacement angulaire du mobile, et ces signaux analogiques $\sin \theta$ et $\cos \theta$ sont ensuite numérisés par des convertisseurs respectifs analogiques/numériques (convertisseurs A/D). Une mémoire morte génératrice de fonctions est prévue séparément pour délivrer des signaux $\sin \emptyset$ et $\cos \emptyset$ sur la base de sa donnée d'adresse fournie par un compteur à n bits. Ces signaux $\cos \emptyset$ et $\sin \emptyset$ sont multipliés par les signaux numérisés $\sin \theta$ et $\cos \theta$ au moyen de multiplicateurs respectifs. Les produits des multiplications sont ensuite comparés l'un à l'autre au moyen d'un comparateur pour calculer une valeur $\sin(\theta - \emptyset)$. Quand la valeur $\sin(\theta - \emptyset)$ est positive, un signal \bar{U}/D au niveau «0»

est délivré. En revanche, un signal \bar{U}/D au niveau «1» est délivré quand la valeur de $\sin(\theta - \emptyset)$ est négative. Le signal \bar{U}/D est ensuite transmis au compteur susmentionné qui reçoit également une suite d'impulsions d'horloge appropriées. Quand le signal \bar{U}/D est au niveau «0», le compteur fonctionne en mode ascendant, tandis qu'il fonctionne en mode

descendant quand le signal \bar{U}/D est au niveau «1». Les signaux de sortie du compteur sont bloqués de manière appropriée quand le signal \bar{U}/D s'élève.

Dans le cas d'un tel circuit de détection, la boucle numérique à blocage de phase fonctionne de manière que la valeur $\sin(\theta - \emptyset)$ soit toujours égale à 0, c'est-à-dire que θ soit toujours égal à \emptyset . En d'autres termes, le signal de sortie du compteur correspond au déplacement angulaire θ du mobile.

Même quand le signal \bar{U}/D varie entre les niveaux «0» et «1» quand la valeur $\sin(\theta - \emptyset)$ avoisine 0, la présence d'un organe de blocage élimine des fluctuations à la sortie. Un tel circuit de détection est proposé dans la demande de brevet japonais N° 61-54288.

En supposant que le circuit de détection décrit ci-dessus utilise un compteur à huit bits et des impulsions d'horloge de 2 MHz, la fréquence maximum que la boucle peut traiter est égale à 2 MHz/256 = 7,8 kHz. Dans le cas de mobiles à grande vitesse, les fréquences de leurs signaux d'entrée dépassent souvent 7,8 kHz et la boucle est incapable de traiter de tels signaux d'entrée. Il y a donc sur le mar-

ché une forte demande pour le traitement de signaux à vitesse élevée par des boucles numériques à blocage de phase. Dans ce contexte, les limitations de la vitesse d'accès à la mémoire morte génératrice de fonctions et de la vitesse de traitement du comparateur représentent un goulet empêchant d'utiliser des impulsions d'horloge de fréquence plus élevée. En outre, il faut réserver un certain temps pour le fonctionnement des convertisseurs A/D. C'est pourquoi le traitement des signaux à vitesse plus élevée dans des boucles numériques à blocage de phase n'a pas pu être réalisé malgré la forte demande sur le marché.

La présente invention a pour but d'augmenter, dans une mesure significative, la vitesse de traitement du signal dans une boucle numérique à blocage de phase. Ce but est rempli grâce aux caractéristiques figurant dans la revendication 1.

Ainsi, selon un aspect fondamental de la présente invention, une boucle numérique à blocage de phase comporte un groupe de mémoires mortes ROM génératrices de fonctions, à différents nombres de bits, ainsi qu'un circuit de commande du nombre de bits qui, en se basant sur une détection de la fréquence des signaux d'entrée dans la boucle, réduit le nombre de bits de travail de certains éléments majeurs de la boucle quand la fréquence augmente et, en fonction de cette réduction du nombre de bits de travail, sélectionne une mémoire morte génératrice de fonctions ayant un plus petit nombre de bits.

Dans une forme de réalisation préférée de la présente invention, la boucle comporte un circuit de commande des impulsions d'horloge qui génère des impulsions d'horloge à une cadence plus élevée quand ladite fréquence augmente.

L'invention sera mieux comprise à l'aide de la description suivante d'un exemple de réalisation, en référence aux dessins, dans lesquels:

la fig. 1 est un schéma-bloc d'une forme de réalisation d'une boucle numérique à blocage de phase selon l'invention,

les fig. 2A et 2B sont des schémas-bloc d'un compteur utilisé dans la boucle de la fig. 1, et

la fig. 3 est un diagramme en fonction du temps, illustrant le fonctionnement du compteur selon les fig. 2A et 2B.

En référence à la fig. 1, des convertisseurs analogiques/numériques (A/D) 11 et 12 sont raccordés à un codeur (non représenté) duquel ils reçoivent des signaux analogiques $\sin \theta$ et $\cos \theta$ qu'ils doivent numériser. Les convertisseurs A/D 11 et 12 sont également raccordés à la sortie d'un sélecteur 15 qui délivre un signal de commande de fin de conversion (EOC) afin de terminer l'action des convertisseurs 11 et 12. Les signaux de sortie des convertisseurs 11 et 12 sont transmis à des multiplicateurs respectifs 3 et 4. Parallèlement, les bits les plus élevés dans les signaux de sortie des convertisseurs 11 et 12 sont transmis à un circuit discriminateur de fréquence 16. Ce circuit 16 détecte la fréquence des signaux d'entrée sur la base des variations apparaissant dans les bits les plus élevés mentionnés ci-

dessus et, en fonction de la fréquence détectée, délivre des signaux de commande Sa et Sb au sélecteur 15 et à un circuit d'horloge 17 générant des impulsions d'horloge qui sont délivrées à divers éléments du circuit. Le circuit d'horloge 17 est commandé par le circuit discriminateur de fréquence 16 de façon à accélérer le rythme des impulsions d'horloge quand la fréquence des signaux d'entrée augmente.

Des mémoires mortes génératrices de fonctions (ROM) M1 à Mn sont raccordées aux multiplicateurs 3 et 4, chacune d'elles délivrant des signaux $\sin \emptyset$ et $\cos \emptyset$ quand elle reçoit une donnée d'adresse Adr d'un compteur 18 raccordé au sélecteur 15. Le nombre de bits de sortie et celui du bus d'adresses des mémoires mortes génératrices de fonctions M1 à Mn sont décroissants dans l'ordre de M1 à Mn. Les bus d'adresses des mémoires M1 à Mn sont reliés entre eux en séquence à partir du côté d'ordre le plus élevé. L'une des mémoires M1 à Mn est choisie par le sélecteur 15 raccordé à ces mémoires. Dans cette opération, le sélecteur 15 délivre le signal de commande EOC à une vitesse plus élevée, en fonction du signal de commande Sa, quand la fréquence du signal d'entrée augmente, ce qui réduit le nombre de bits de conversion dans les convertisseurs A/D 11 et 12. En concordance, le sélecteur 15 sélectionne une mémoire morte génératrice de fonctions ayant un plus petit nombre de bits de sortie.

Le compteur 18 compte une suite d'impulsions d'horloge CLK données et il comporte n bits inférieurs et L bits supérieurs. Un signal TI provenant du sélecteur 15 est placé sur l'un des n bits inférieurs. Le choix du bit recevant le signal TI est effectué par le sélecteur 15. Quand la fréquence du signal d'entrée augmente, c'est un bit d'ordre plus élevé qui est choisi pour recevoir le signal TI. Un comparateur 8 est interposé entre les multiplicateurs 3, 4 et le compteur 18. En outre, une bascule de blocage 10 est raccordée aux sorties du comparateur 8 et du compteur 18.

La boucle numérique à blocage de phase décrite ci-dessus fonctionne de la manière suivante. Quand la fréquence des signaux analogiques $\sin \emptyset$ et $\cos \emptyset$ augmente, le circuit discriminateur de fréquence 16 détecte l'augmentation et il délivre, en fonction de celle-ci, des signaux de commande Sa et Sb correspondant à la fréquence détectée. Sur cette base, le sélecteur 15 agit de manière à réduire le nombre de bits de la conversion dans les convertisseurs A/D 11 et 12.

L'une des mémoires mortes génératrices de fonctions M1 à Mn, correspondant au nombre de bits de conversion des convertisseurs A/D 11 et 12, est sélectionnée pour réduire le nombre de bits de fonctionnement des multiplicateurs 3 et 4, afin de raccourcir la durée de la multiplication.

Dans le compteur 18, le signal TI provenant du sélecteur 15 est placé sur un bit correspondant au nombre de bits de conversion des convertisseurs A/D 11 et 12, et le comptage des impulsions d'horloge CLK démarre à partir de la position de ce bit. Par conséquent, sa sortie de comptage change très rapidement. Quand le signal TI est mis sur le bit d'ordre

k à partir du côté inférieur, la vitesse de fonctionnement du compteur est $2^{(k-1)}$ fois plus élevée que la vitesse de fonctionnement nécessaire quand on utilise les n bits inférieurs pour le comptage. Les signaux de sortie du comptage du compteur 18, ainsi que la donnée d'adresse Adr, sont transmis à la mémoire morte sélectionnée dans les mémoires M1 à Mn. De cette manière, une boucle numérique à blocage de phase fonctionnant avec un nombre de bits réduit est formée par les multiplicateurs 3, 4, le comparateur 8, le compteur 18 et les mémoires mortes génératrices de fonctions M1 à Mn. Par conséquent, la vitesse de fonctionnement de la boucle est augmentée de $2^{(k-1)}$ fois par rapport à celle qui est nécessaire quand les n bits inférieurs sont tous utilisés pour le comptage.

Dans cet exemple, on peut également augmenter la fréquence des impulsions d'horloge délivrées par le circuit d'horloge. Cette augmentation de fréquence favorise également l'accélération du traitement dans la boucle selon l'invention. Toutefois, il y a des limites supérieures à la fréquence des impulsions d'horloge, en relation avec la vitesse de lecture dans les mémoires mortes M1 à Mn.

La description qui précède montre que le nombre de bits de conversion dans les convertisseurs A/D 11, 12 et le nombre de bits de la boucle numérique à blocage de phase sont réduits pour des fréquences élevées des signaux d'entrée, ce qui accroît considérablement la vitesse de fonctionnement du système, c'est-à-dire la vitesse de traitement des signaux. La réduction du nombre de bits n'a pas d'influence néfaste sur la précision de détection dans la mesure où un degré de résolution élevé n'est pas nécessaire dans le cas d'un mobile à grande vitesse.

Le nombre de bits de travail de la boucle numérique à blocage de phase et celui des convertisseurs A/D seront choisis de manière à ne pas créer un emballement de la boucle, et à permettre une conversion analogique/numérique fiable.

Les fig. 2A et 2B représentent un exemple de réalisation du compteur 18, le sélecteur 15 comportant un circuit de commande de commutation TIC qui détermine un bit pour transmettre un signal de commutation au compteur 18.

Comme le montre la fig. 2B, le compteur 18 comporte (n + L) jeux de cellules binaires BC connectées en cascade, chaque cellule BC étant faite de portes logiques comme indiqué en fig. 2A.

La cellule binaire BC est réalisée sous la forme d'un compteur synchrone ascendant qui effectue une opération dynamique d'horloge à deux phases. Plus en détail, la cellule binaire BC fonctionne comme suit.

(1) Quand un signal «0» est délivré sur sa borne \bar{U}/D , la cellule binaire BC fonctionne en mode de comptage ascendant. Quand sa borne d'entrée de commutation TI est maintenue au niveau «1» dans ce mode, sa borne de sortie Q est inversée à l'arrivée d'impulsions d'horloge CKB. Sa borne de sortie de commutation TO est maintenue au niveau «1» seulement quand la borne de sortie Q et la borne d'entrée de commutation TI sont maintenues

toutes deux au niveau «1». Autrement, la borne de sortie de commutation TO est maintenue au niveau «0».

Quand la borne d'entrée de commutation TI est maintenue au niveau «0» en mode de comptage ascendant, la borne de sortie Q reste inchangée même quand l'impulsion d'horloge change. En d'autres termes, son comptage est bloqué.

(2) Quand un signal «1» est délivré sur sa borne \bar{U}/D , la cellule binaire BC fonctionne en mode descendant. Quand sa borne d'entrée de commutation TI est maintenue au niveau «0» dans ce mode, sa borne de sortie Q est inversée à l'arrivée des impulsions d'horloge CKB. Sa borne de sortie de commutation TO est maintenue au niveau «0» uniquement quand la borne de sortie Q et la borne d'entrée de commutation TI sont maintenues toutes deux au niveau «0». Autrement, la borne de sortie de commutation TO est maintenue au niveau «1».

Quand la borne d'entrée de commutation TI est maintenue au niveau «1» en mode de comptage descendant, la borne de sortie reste inchangée même quand l'impulsion d'horloge change. En d'autres termes, son comptage est bloqué.

(3) La cellule binaire BC est remise à zéro quand un signal «1» est délivré sur sa borne RK. Quand un signal «1» est délivré sur la borne RK, la borne de sortie Q est maintenue au niveau «0» à l'arrivée des impulsions d'horloge CKB quel que soit l'état des autres signaux traités. Ainsi, les cellules binaires BC sont toutes remises à zéro en synchronisme en dépit de leur connexion en cascade.

Grâce à la connexion en cascade des cellules binaire BC, le compteur est agencé pour traiter n'importe quel nombre de bits choisi. Le fonctionnement de la cellule binaire BC est illustré en fig. 3. Dans le cas de la réalisation illustrée par les fig. 2A et 2B, les impulsions d'horloge CKA ne sont pas utilisées.

Dans la réalisation illustrée en fig. 2B, des signaux TI1 à Tin fixent le premier bit de l'opération de comptage. En supposant qu'un signal Tik est délivré à l'entrée de commutation TI d'une cellule binaire BC pour servir de premier bit, le circuit de commande de commutation TIC met le signal Tik au niveau «1», d'autres signaux dans un état d'impédance élevée et

le signal \bar{U}/D au niveau «0». Ceci forme un compteur ascendant de $(n + L - k)$ bits. Le signal Tik susmentionné est formé par inversion du signal U/D par un inverseur représenté en fig. 2B.

Quand le circuit de commande de commutation TIC met le signal Tik au niveau «0», les autres signaux dans un état d'impédance élevée et le signal \bar{U}/D à un niveau «1», cela forme un compteur descendant à $(n + L - k)$ bits.

Dans ce cas, les L bits supérieurs du compteur 18 ne reçoivent pas de commande de commutation du circuit TIC et ils restent en dehors de la boucle numérique à blocage de phase. Ces L bits peuvent être synchronisés avec les n bits inférieurs par une utilisation commune des bornes de commutation

haut/bas \bar{U}/D . Ainsi, la réalisation du compteur peut être fortement simplifiée.

Revendications

1. Boucle numérique à blocage de phase, destinée à recevoir et traiter des signaux d'entrée délivrés par un codeur en réponse à un déplacement d'un mobile, caractérisée en ce qu'elle comporte:
 - une paire de convertisseurs analogiques/numériques A/D (11 et 12) raccordés au codeur pour recevoir les signaux d'entrée, chacun de ces convertisseurs étant agencé pour travailler avec un nombre de bits variable,
 - une paire de multiplicateurs (3 et 4) dont chacun est raccordé à l'un des convertisseurs A/D,
 - un comparateur (8) raccordé aux multiplicateurs et délivrant un signal de commutation haut-bas en fonction du résultat de la comparaison des signaux de sortie des multiplicateurs,
 - un compteur raccordé au comparateur, pour recevoir le signal de commutation haut-bas, et à une source délivrant des impulsions d'horloge, ce compteur étant agencé pour travailler avec un nombre de bits variable,
 - un groupe de mémoires mortes génératrices de fonctions (M1 à Mn) à différents nombres de bits, chaque mémoire étant raccordée aux multiplicateurs, et
 - un circuit de commande du nombre de bits (15 et 16), raccordé aux convertisseurs A/D, aux mémoires mortes génératrices de fonctions et au compteur, ledit circuit de commande du nombre de bits détectant la fréquence des signaux d'entrée provenant du codeur et, sur la base du résultat de cette détection, délivrant un signal de fin de conversion (EOC) qui est transmis aux convertisseurs A/D (11 et 12) pour réduire le nombre de bits de travail de ces convertisseurs quand ladite fréquence augmente, ledit circuit de commande du nombre de bits sélectionnant, sur la base du résultat de ladite détection, l'une des mémoires mortes génératrices de fonction (M1 à Mn) en concordance avec le nombre de bits de travail des convertisseurs, déterminé par le signal de fin de conversion, et ledit circuit de commande du nombre de bits délivrant en outre, sur la base du résultat de ladite détection, un signal (TI) qui est transmis au compteur sur un bit d'ordre plus élevé quand ladite fréquence augmente, afin de déterminer le bit de départ du comptage dans le compteur.
2. Boucle selon la revendication 1, caractérisée en ce que ledit circuit de commande du nombre de bits comprend un circuit discriminateur de fréquence (16), raccordé aux sorties des convertisseurs A/D, et un sélecteur (15) raccordé à une sortie de ce circuit discriminateur de fréquence.
3. Boucle selon la revendication 1, caractérisée en ce qu'elle comporte en outre un circuit de commande des impulsions d'horloge (16 et 17), raccordé aux convertisseurs A/D et générant des impulsions d'horloge à un rythme plus élevé quand ladite fréquence augmente.
4. Boucle selon la revendication 3, caractérisée en ce que le circuit de commande des impulsions d'horloge comprend un circuit discriminateur de fréquence (16), raccordé aux sorties des convertisseurs A/D, et un circuit générateur d'impulsions

d'horloge (17) raccordé à une sortie de ce circuit discriminateur de fréquence.

5

10

15

20

25

30

35

40

45

50

55

60

65

5

Fig. 1

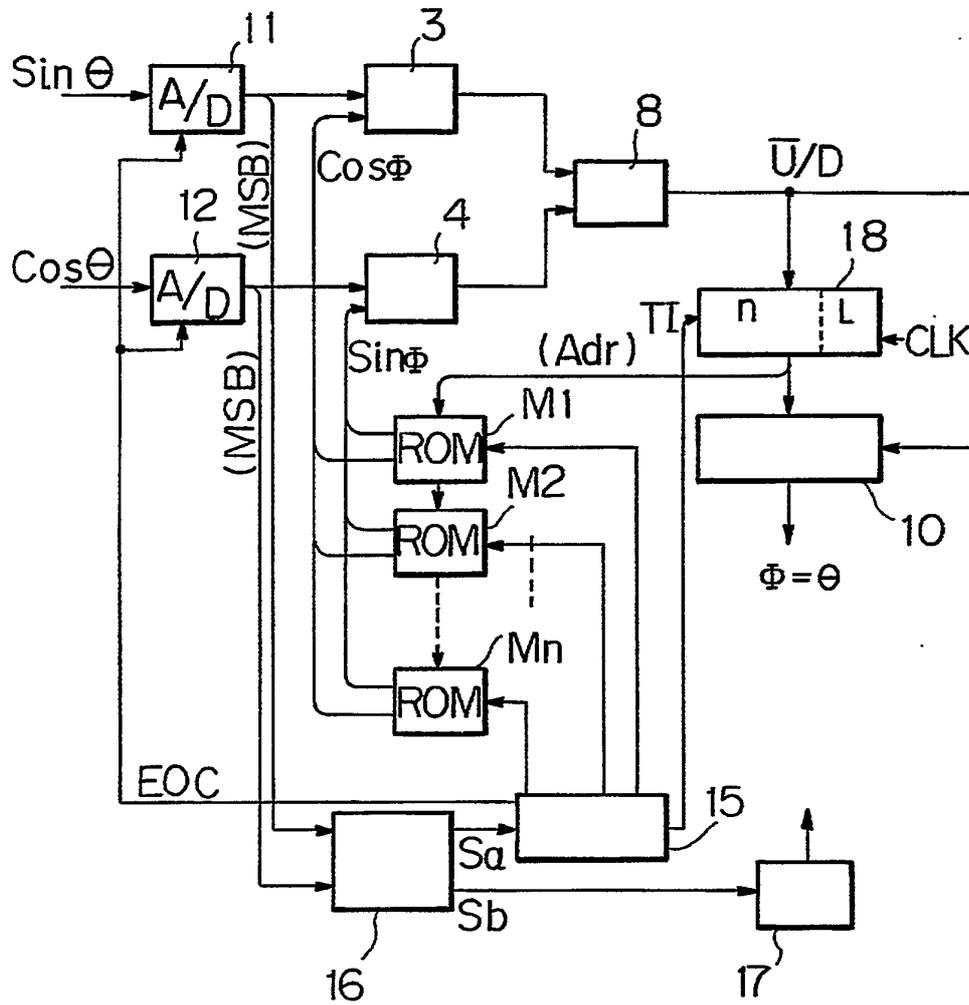


Fig. 3

