(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H01L 27/115

(45) 공고일자 2002년10월25일
(11) 등록번호 10-0357644
(24) 등록일자 2002년10월08일

(21) 출원번호 10-2000-0007527
(22) 출원일자 2000년02월17일

(65) 공개번호 특2000-0058086
(43) 공개일자 2000년09월25일

(30) 우선권주장 99-042224 1999년02월19일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고

(72) 발명자 사카키바라기요히코
일본도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤내

(74) 대리인 김창세

심사관 : 오세준

# (54) 비휘발성 반도체 기억장치 및 그 구동방법, 동작방법 및제조방법

## 요약

비휘발성 반도체 기억장치의 구동 시에 있어서, 라이트백으로 구동전류가 크고, 라이트백 시간이 길고, 채널컨덕턴스의 열화가 있는 등의 과제가 있었다. 제 1 도전형의 채널영역을 거쳐 대향하는 제 2 도전형의 제 1, 제 2 확산층(2aa),(2bb)과, 제 1 도전형의 채널영역 상의 2층 게이트전극을 구비한 트랜지스터에 대하여, 채널영역과 한쪽의 확산층을 제 1 전압레벨로 설정하고, 확산층의 다른 쪽을 제 2 전압레벨로 설정하고, 컨트롤 게이트(6)를 제 1 또는 제 3 전압레벨로 설정하고, 제 1 전압레벨과 제 2 전압레벨의 전위차가 제 1 전압레벨과 제 3 전압레벨의 전위차보다도 절대값에 있어서 크게 설정하고, 채널전류가 흐르는 트랜지스터에 대하여 그 채널영역을 흐르는 전하의 일부를 플로팅 게이트(4)에 주입하도록 하였다.

## 대표도

도 1

## 명세서

## 도면의 간단한 설명

도 1은 본 발명의 실시예 1에 의한 비휘발성 반도체 기억장치의 NOR형 셀 구조를 나타내는 단면개략도,

도 2는 도 1에 있어서의 원형 X의 드레인 근방을 나타내는 확대도,

도 3은 본 발명의 실시예 1에 의한 비휘발성 반도체 기억장치의 제조순서를 나타내는 공정도,

도 4는 본 발명의 실시예 1에 의한 비휘발성 반도체 기억장치의 소거시퀀스를 나타내는 플로차트,

도 5는 본 발명의 실시예 1에 의한 비휘발성 반도체 기억장치의 드레인 근방에 있어서의 채널표면에서의 불순물 분포를 나타내는 블록도,

도 6은 본 발명의 실시예 1에 의한 비휘발성 반도체 기억장치의 다른 소거시퀀스를 나타내는 플로차트,

도 7은 본 발명의 실시예 1에 의한 비휘발성 반도체 기억장치의 수속(收束) 특성/라이트백 특성을 나타내는 그래프,

도 8은 본 발명의 실시예 1에 의한 비휘발성 반도체 기억장치의 수속 특성/라이트백 특성을 나타내는 그래프,

도 9는 본 발명의 실시예 1에 의한 비휘발성 반도체 기억장치의 라이트백 특성을 나타내는 블록도,

도 10은 본 발명의 실시예 1에 의한 비휘발성 반도체 기억장치의 라이트백 특성을 나타내는 블록도,

도 11은 본 발명의 실시예 1에 의한 비휘발성 반도체 기억장치의 구동방법에 있어서의 수속 시 Vg-Ids특성을 나타내는 블록도,

도 12는 본 발명의 실시예 1에 의한 비휘발성 반도체 기억장치의 구동방법에 있어서의 수속 시의 게이트 전류특성을 나타내는 블록도,

도 13은 본 발명의 실시예 1에 의한 비휘발성 반도체 기억장치의 구동방법에 있어서의 라이트백 예를 나타내는 블록도,

도 14는 본 발명의 실시예 2에 의한 비휘발성 반도체 기억장치의 NOR형 셀 구조를 나타내는 단면개략도,

도 15는 도 14에 있어서의 원형 Y의 드레인 근방을 나타내는 확대도,

도 16은 본 발명의 실시예 2에 의한 비휘발성 반도체 기억장치의 제조 순서를 나타내는 공정도,

도 17은 본 발명의 실시예 3에 의한 비휘발성 반도체 기억장치의 DINOR형 셀 구조를 나타내는 단면개략도,

도 18은 도 17에 있어서의 비휘발성 반도체 기억장치의 동작 전압설정을 나타내는 표,

도 19는 종래의 비휘발성 반도체 기억장치에 있어서의 DAHE/DAHH 라이트백 특성평가를 나타내는 블록도,

도 20은 종래의 비휘발성 반도체 기억장치에 있어서의 DAHE/DAHH 라이트백 특성을 나타내는 블록도,

도 21은 이 발명의 실시예 1 내지 3에 의한 비휘발성 반도체 기억장치의 라이트백 특성을 나타내는 블록도,

도 22는 종래의 비휘발성 반도체 기억장치에 있어서의 Vg-Id특성을 나타내는 블록도,

도 23은 본 발명의 실시예 1 내지 3에 의한 비휘발성 반도체 기억장치에 있어서의 수속 시 Vg-Id 특성을 나타내는 블록도,

도 24는 종래의 비휘발성 반도체 기억장치에 있어서의 Vg-Id 특성을 나타내는 블록도,

도 25는 이 발명의 실시예 1 내지 3에 의한 비휘발성 반도체 기억장치에 있어서의 Id/Is 특성을 나타내는 블록도,

도 26은 NOR형 플래시 메모리의 셀 어레이 구성도,

도 27은 종래의 비휘발성 반도체 기억장치에 의한 과소거불량의 Vth분포를 나타내는 블록도,

도 28은 종래의 비휘발성 반도체 기억장치의 CHE에 의한 과소거 비트 라이트백을 설명하기 위해 나타내는 단면개략도,

도 29는 종래의 비휘발성 반도체 기억장치의 셀 구조에 있어서의 드레인단 근방에서 채널표면에서의 불순물분포를 나타내는 블록도,

도 30은 종래의 비휘발성 반도체 기억장치의 DAHE/DAHH에 의한 과소거 비트 라이트백을 설명하기 위해 나타내는 블록도,

도 31은 종래의 비휘발성 반도체 기억장치에 있어서 자기수속법 사용 시의 게이트 전류특성을 나타내는 블록도,

도 32는 종래의 비휘발성 반도체 기억장치의 단면개략도,

도 33은 종래의 비휘발성 반도체 기억장치의 NOR형에 의한 소거시퀀스를 나타내는 플로차트,

도 34는 종래의 비휘발성 반도체 기억장치에 의한 자기수속법에서의 라이트백을 나타내는 블록도,

도 35는 종래의 비휘발성 반도체 기억장치에 의한 자기수속법에서의 라이트백을 나타내는 블록도,

도 36은 종래의 비휘발성 반도체 기억장치에 의한 자기수속법에서의 라이트백을 나타내는 블록도,

도 37은 종래의 비휘발성 반도체 기억장치에 의한 DAHE/DAHH발생을 나타내는 설명도,

도 38은 종래의 비휘발성 반도체 기억장치에 의한 드레인 교란 특성을 나타내는 그래프,

도 39는 종래의 비휘발성 반도체 기억장치에 의한 라이트백 동작 시의 전류수속 특성을 나타내는 그래프,

도 40은 종래의 비휘발성 반도체 기억장치의 DINOR형 셀 구조를 나타내는 단면개략도,

도 41은 종래의 비휘발성 반도체 기억장치의 DINOR형에 의한 기록 시퀀스를 나타내는 플로차트,

도 42는 종래의 비휘발성 반도체 기억장치의 DINOR형의 동작전압설정의 표.

도면의 주요 부분에 대한 부호의 설명

1 P형 반도체 기판(반도체 기판)

1a P+ 영역(제 1 도전형 영역)

1b P+ 포켓 영역(제 1 도전형 영역)

2b, 2b' N+ 드레인 영역(전계 완화층)

2aa, 2bb N++ 소스, 드레인 영역(제 1, 제 2 확산층)

3 제 1 게이트 절연막(게이트 절연막)

4 플로팅 게이트

6 컨트롤 게이트

7a, 7b 사이드월(side wall)

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 플로팅 게이트와 제어 게이트의 2층 게이트 전극을 갖는 비휘발성 반도체 기억장치 및 그 구동방법, 동작방법 및 제조방법에 관한 것이다.

도 26은 종래의 플래시 메모리 등의 비휘발성 반도체 기억장치에 있어서의 메모리 셀 어레이를 나타내는 회로 구성도로서, NOR형 플래시 메모리의 일례를 나타내는 것이며, 도면에 있어서, WLm-1 WL-m+1은 워드라인, BLn-1 BLn+1은 비트라인, SL은 소스라인이다.

우선, 플래시 메모리의 과소거 상태에 대하여 설명한다.

메모리 셀(이하, 셀이라 함)의 구성에 있어서 NOR형 또는 DINOR형이라고 불리는 어레이 구성을 갖는 것에서는, 동일한 비트선 상에 문턱값 Vth(이하, Vth라 함)가 공핍 상태(Vth< 0)인 셀이 존재하면 그 비트선 상의 모든 셀의 Vth 측정을 할 수 없게 되는 문제가 있다. 예컨대, 도 26에 있어서의 원 A에 해당하는 BLn/WLm의 셀의 Vth가 공핍 상태인 경우, BLn 위의 다른 셀의 Vth가 인헨스먼트(enhancement) 상태(Vth0)에 있더라도, BLn/WLm의 셀의 영향으로 Vth를 측정할 수 없다(모두 0V 이하로 된다).

이 때문에, 상기 어레이 구성에서의 Vth 분포를 조사하면, 도 27의 과소거 불량의 Vth 분포도에 도시하는 바와 같이 동일 비트선 상의 셀 수에 비례한 셀이 Vth< 0 이라고 판정되어 버린다. 이러한 공핍 상태의 셀은 플래시 메모리에서 플로팅 게이트로부터 전자를 추출할 때에 우발적으로 전자기 과잉 방출되는 것에 의해 발생할 수 있다.

이 현상에 대해서는 야마다 등에 의한「애벌런시 핫 캐리어 주입을 사용한 NOR형 플래시 EEPROM용의 자기 수속 소거법」(문헌 1 : IEEE Trans. Electron Devices, vol. 43, p.l937, 1996)중에 오소거 셀(erratic over erase)로서 기재되어 있다.

다음에 과소거 셀의 Vth의 라이트백에 대하여 설명한다. 여기서, 과소거 셀의 Vth를 인헨스먼트 상태로 되돌리는 것을 라이트백이라고 칭한다. 이 라이트백에는 몇 가지의 방법이 이미 보고되어 있다.

먼저, 플래시 메모리에서 셀로의 전자 주입법으로서 CHE(Channel Hot Electron)를 이용한 방법이 알려져 있다. 여기서, CHE에 의한 기록이란, 메모리 셀의 드레인 근방의 급경사의 전계에서 가속된 채널 전자 중, 산화막의 장벽 높이 이상으로 가속된 고에너지 전자를 플로팅 게이트에 주입하는 방식을 말한다.

다음, 종래의 NOR형 플래시 메모리 셀 구조를 이용하여, CHE를 이용한 과소거 비트 라이트백을 설명한다. 도 28은 종

래의 CHE에 의한 과소거 비트 라이트백을 설명하기 위한 플래시 메모리 셀의 단면 개략도이며, 도면에 있어, 참조부호 11은 P형 반도체 기판, 참조부호 12a, 12b는 각각 N 채널의 소스, 드레인 영역, 참조부호 13은 제 1 게이트 산화막, 참조부호 14는 다결정 실리콘 등으로 이루어지는 플로팅 게이트, 참조부호 15는 누설(leakage) 대책을 위한 산화막, 질화막, 산화막의 3층 구조를 갖는 ONO라고 불리는 절연막, 참조부호 16은 다결정 실리콘 등으로 이루어지는 컨트롤 게이트, 참조부호 Vs는 소스 전압, 참조부호 Vd는 드레인 전압, 참조부호 Vcg는 제어 전압, 참조부호 Vsub는 기판 전압이다. 또, 제어 전압(Vcg)은 드레인 전압(Vd)보다도 높게 설정하는 것이 통상적이다.

CHE 방식을 이용하는 플래시 메모리에서는 CHE 효율을 높이기 위해서, 드레인 근방에 짙은 P+기판 농도( $10^{18}$ $cm^{-3}$ 정도)와 짙은 N+확산층( $10^{20}$ $cm^{-3}$ 정도)을 구비한다. 예컨대, 도 29는 종래 셀 구조에 의한 드레인단 근방에서의 채널 표면에서의 불순물의 분포를 나타내는 그래프이다. 이것에 의하면, log N의 값이 일거에 떨어지는 표층 위치(PO)를 경계로 불순물 농도에는 증감의 변화가 발견된다. 이러한 종래의 셀 구조에서는 공핍층은 P채널 기판영역에서만 확대를 억제하여 CHE효율을 높이고 있다. 앞에서의 문헌 1에도 드레인의 주입은 $As=5\times10^{15}$ $cm^{-2}$ 라고 기재되어 있고, 이 주입 조건에서 열처리 후의 N+확산층 농도는 $10^{20}$ $cm^{-3}$ 이상이 된다.

다음에 동작에 대하여 설명한다.

셀에 대한 기록은 드레인 근방의 급경사인 전계에서 가속된 채널 전자 중, 제 1 게이트 산화막(13)의 장벽 높이 이상으로 가속된 고에너지 전자, 즉 CHE를 플로팅 게이트에 주입하는 것에 의해 실행되고, 한편, 셀에의 라이트백은 과소거 상태의 셀에 대하여, 상기 CHE 방식을 이용하여 Vth를 인헨스먼트 상태로 하는 것에 의해 가능하다.

그러나, 이 방법에서는 이하에 기술하는 것과 같은 문제점이 존재한다.

(1) 과소거 셀을 선택할 필요가 있기 때문에, 회로 구성이 복잡하게 된다.

(2) 기록해야 할 Vth 변동폭이 종래의 기입과는 다르기 때문에, 드레인·게이트에 소망하는 전압을 설정해야 한다. 즉, 이 전압은 일반적으로 셀을 기입 상태로 하는 전위 배치와는 다른 전위 배치가 필요하게 된다.

(3) 라이트백 시에 채널 전류를 구동할 필요가 있다. (Id 수10μA/셀)

이것에 대하여, 상기 CHE 방식에 의한 라이트백에서의 비트 선택을 하지 않더라도 좋은 방법으로서, 드레인 애벌런시 핫 일렉트론(Drain Avalanche Hot Electron; 이하 DAHE라 칭함), 드레인 애벌런시 핫 홀(Drain Avalanche Hot Ho1e; 이하 DAHH라 칭함)에 의한 게이트 전류를 이용한 라이트백 방법이 보고되어 있다(문헌 1 참조).

이 라이트백 방법을 이용한 셀 구조에 대하여 이하 설명한다.

도 30은 종래의 DAHE/DAHH에 의한 과소거 비트 라이트백을 설명하기 위한 플래시 메모리 셀의 단면 개략도이며, 도면에 있어서, 장치 구성은 상기 CHE에 의한 메모리 셀과 거의 동일하고 그 설명은 생략하지만, 전극에 대해 인가전압을 가하는 방법에 상위점이 있고, Vcg에 대하여 GND레벨을 인가하고, Vsub에 대하여 GND 또는 부바이어스를 인가하는 것이다.

이러한 드레인 구조를 갖는 플래시 메모리의 셀에서의 게이트 전류(Ig)는 도 31에 도시하는 바와 같이 채널 전류가 흐르는 게이트 전압 영역에서 게이트 전압이 낮은 측에서, DAHH, DAHE, CHE라고 한 게이트 전류가 관측되는 것이 알려져 있다. 이 모양은, 문헌 1이나 다른 문헌에도 기재되어 있다(예컨대, 문헌 2 : IEEE Electron Devices Letter, EDL-7, p.561, 1986, Y.Nissan-Cohen, 또는, 문헌 3 : 미국 특허 제 5,546,340 호, Chung-Yu Hu 등). 여기서, DAHE/DAHH의 게이트 전류는 채널을 흐르는 전류를 주로 하여, 드레인 근방의 고전계 영역에서 발생한 전자·홀 쌍 중, 상기 전계에서 에너지적으로 높은 상태로 가속된 전자 또는 홀이 플로팅 게이트에 주입된 것으로 설명할 수 있다.

이 DAHH/DAHE를 이용하면, 자기 수속적으로 과소거 상태의 셀을 라이트백할 수 있다.

이하, 라이트백 방법에 의한 평가에 대하여 기술한다.

셀 구조는 상기 문헌1을 참고한 도 32의 단면 구조를 갖는 것을 사용하였다. 도 34는 이 방법에서의 라이트백을 단체(團體)셀에서 평가한 결과를 도시한 그래프이다.

Vth를 약 0V까지 소거한 셀을 드레인 전압(Vd)=5V, 제어 게이트 전압 Vcg=0V의 조건에서 (소스 전압 Vs=Vsub=GND) 방치하면, 약 0.1초 후에 수속(收束:Vth)은 약 1.75V까지 라이트백된다. 즉, 이 라이트백 방법에서는 CHE 방식에서 문제로 된 비트 선택의 필요가 없이 드레인 전체의 비트 선에 드레인 전압을 인가하며 게이트 전압은 0V로 설정하여 방치하면 무방하다.

또한 이 방법에서 특징적인 것은 수속 Vth보다 높은 Vth를 갖는 상태도, 수속 Vth로 변동시킬 수 있다는 것이다. 즉, 도 31의 자기수속법 사용시의 게이트 전류 특성의 그래프에 도시된 바와 같이, 수속 Vth 이하의 셀에서는, DAHE의 주입(전자 주입)이 발생하며, 플로팅 전위가 도면의 Vg*에까지 하락한다. 이 결과, 셀 Vth는 수속 Vth에까지 라이트백된다. 한편, 수속 Vth 이상의 셀에서는, DAHH의 주입(홀 주입)이 발생하며, 플로팅 전위가 도면의 Vg*에까지 상승한다. 이 결과, 셀 Vth는 수속 Vth에까지 하락하게 된다. 즉, 수속 Vth에서는 DAHE에 의한 전자 주입과 DAHH에 의한 홀 주입이 조화를 이룬 상태로 된다(전자 · 홀 모두가 주입되어 지속된다).

또한, 도 35는 이 자기수속법에서의 라이트백 방법에 있어서 드레인 전압(Vd) 의존성을 도시한 그래프이며, 드레인 전압이 Vd=6V에서 4V로 하락하는 것에 따라, 라이트백에 요하는 시간이 증가하는 것으로 판단된다.

또, 도 36은 이 자기수속법에서의 라이트백 방법에서의 수속 포인트 즉 수속 Vth에까지 도달한 셀의 게이트 전압 Vg—게이트 전류 Id 특성을 도시한 그래프이며, 이 도면에서는, Vg=0V에서도 라이트백된 셀에서는 전류가 흐르는 것으로 판단된다. 이 측정은 Vd=1V에서 행해지며, 실제의 라이트백 시(Vd를 5V로 인가한 때)에는 수 μA/비트의 전류가 흐른다. 또한 도 39를 참조하면, 라이트백 동작 시간이 10 내지 100초인 범위에서는 드레인 전류 Id는 안정되어 20μA(=2×$10^{-5}$ 암페어)로 흐르는 것으로 판단되며, 이것은 라이트백 시에 수속 Vth에서 전류가 흐르는 것을 명백하게 나타내고 있다.

또한, 비트선 선택을 행하지 않는 대신에 드레인 전체를 선택한 경우, 어레이 블록 사이즈가 256비트(BL)×2048비트(WL)=512k비트라고 가정하고, 또 수속 Vth에서의 셀 전류를 1μA/비트로 가정해도, 이 라이트백 방법에서는 약 500㎃ 정도의 전류가 흐르게 된다. 즉, 이 방법에서는 라이트백 동작시의 구동 전류가 증가한다는 것이 문제로 된다.

또한, DAHE/DAHH 게이트 전류에 의한 라이트백에서는 채널 컨덕턴스가 열화한다고 하는 것도 보고되고 있다(문헌3 : IEDM'94, p.291). 이것은 수속 Vth에 있어서 전자 및 홀의 모두가 게이트 산화막을 거쳐 주입되어 지속되기 때문에 이 게이트 산화막이 열화하는 것이다.

도 37은 일본국 특허 공개 평성 10-144809호 기재의 반도체 기억장치의 단면도이다. 도면에 있어서, N++ 영역(12bb)과 농도가 높은 P+ 영역(2b)이 접하는 구조가, 게이트와 오버랩하고 있으므로, 도면에서 원으로 둘러싸여 있는 부분에서 발생한 전자 및 홀이 게이트로 주입되어, 도 38에 도시된 바와 같이, 드레인 교란 특성이 악화된다. 여기서, 드레인 교란 특성이라는 것은, 높은 Vth 상태에 있는 셀에 CHE 기입시의 드레인 전압이 장시간 인가되면 Vth가 하락한다고 하는 문제를 말하는 것이다.

또, 채널 영역에 전계 완화층이 없는 경우의 일 예로서, 일본국 특허 공개 평성 4-211178호 기재의 반도체 기억장치가 있지만, 이것에 의하면, DAHE/DAHH의 게이트 전류가 조화를 이룰 때 Vth는 수속한다. 이것에 대응하는 라이트백

동작시의 전류 수속 특성을 나타내는 그래프도가 도 39이다. 도 39는 횡축이 시간, 종축이 라이트백 동작시의 채널에 흐르는 전류량으로, 약 10초 정도에서 10μA 정도의 수속값으로 수속하고, 이것은 DAHE/DAHH의 게이트 전류가 조화되는 상태를 나타낸다. 또한, 100초 정도에서 게이트 산화막이 파괴되었다. 이것은 전자와 홀 모두가 동시에 게이트 산화막에 주입된 결과, 산화막의 열화가 촉진되어 파괴가 발생한 것이다.

다음에, 비휘발성 반도체 기억장치의 동작 방법으로서 소거 순서에 대해 설명한다.

도 33은 종래의 NOR형 플래시 메모리의 소거 순서를 나타낸 플로차트이다. 도면에서, ST11은 커맨드 입력 단계, ST12는 소거전 기입 단계, ST13은 소거 단계, ST14는 소거 확인 단계이다.

다음에 그 동작에 대해 설명한다.

커맨드 입력이 단계 ST11에서 행해지면, 과소거 셀의 발생을 억제하기 위해 한번 소거를 선택한 블록의 모든 셀이 소거전 기입 단계 ST12에서 기입된다. 종래는, 이 소거 순서에 있어서 이 소거전 기입 시간이 길어지게 되어 소거 시간의 단축이 곤란했다.

예컨대, CHE 방식에 의한 기입을 행하는 NOR 형의 셀 어레이에서, 512k비트의 블록이 동일 비트선 상에 256 비트/동일 워드선 상에 2048비트의 배치로 구성되었다고 한다. 소거전 기입에 있어서 32비트를 재차 선택하여 기입을 행하였다고 한다. 재차의 기입 시간이 20μs이었다고 하여도, 2048/32×256×20μs=0.328초를 요한다.

따라서, 예컨대 1메가비트의 용량을 갖는 칩이 상기 블록 구성으로 구성되었다고 하면, 소거 커맨드 입력 후에는 소거전 기입 동작만으로 0.328초×2=0.65초에 이르는 것으로 된다. 실제의 소거 시간(셀을 낮은 Vth 상태에까지 유지하고 있는 동작)에 관해서는, 소거전에 산화막에 인가되는 FN 터널 전계를 높이면 약 0.1초 정도까지는 단축할 수 있음에도 불구하고, 과소거 셀의 발생을 억제하기 위한 소거전 기입만으로 그 6배 정도의 시간을 요하는 것으로 되어 있었다.

또, 상기에 있어서는, 종래의 NOR형 플래시 메모리를 예로 하여 설명하였지만 DINOR형 플래시 메모리에 대해서도 보충하여 설명한다.

도 40은 종래의 DINOR형 플래시 메모리의 셀 구조를 나타내는 단면 개략도이며, 17은 저 농도의 N형 드레인 영역 즉 N- 드레인 영역으로서, 이를 제외한 다른 구성 요소는 도 28의 것과 동일한 것이므로 동일한 부호는 동일한 구성 요소 또는 상당부분을 나타내고 그 설명은 생략한다.

DINOR형의 셀 구조에서 CHE 기록을 이용하는 NOR형의 것과는 다르게 되고, 이하의 특징을 가진다.

(1) 어레이 구성은 DINOR형도 상기의 NOR형 플래시 메모리와 마찬가지로 해도 된다(도 26 참조).

(2) 기록은 저Vth상태, 소거는 고Vth상태에서 실시한다.

(3) 기록동작은 Vd에 정바이어스, Vcg에 부바이어스를 인가하고, 플로팅 게이트로부터 드레인 접합영역에 FN터널로 전자를 추출한다.

(4) 소거동작은 Vcg에 정바이어스, Vsub에 바이어스를 인가하고, 채널전면에서의 FN터널에 의해 플로팅 게이트에 전자를 주입한다.

또, 도 42에 DINOR형 플래시 메모리에 있어서의 동작전압을 바람직하게 나타낸다.

다음에, 비휘발성 반도체 기억장치의 동작방법으로서 기록 시퀀스에 대하여 설명한다. 도 41의 플로차트에 있어서, 종래의 DINOR형 플래시 메모리에 있어서의 기록 시퀀스를 나타낸다. 도면에 있어서, ST21은 기록단계, ST22는 기록확인단계, ST23은 모든 비트 종료여부의 판단단계, ST24는 라이트백단계이다.

동작에 대하여는 DINOR형에서는 각 비트마다에 확인(verify)을 실시하기 때문에(ST22), NOR형에 비하여 셀 Vth가 공핍상태로 되는(NOR형에서는 과소거 상태이지만, DINOR형에서는 과기록 상태) 일은 적다.

## 발명이 이루고자 하는 기술적 과제

종래의 플래시 메모리 등의 비휘발성 반도체 기억장치 및 그 구동방법은 이상과 같이 구성되어 있으므로, 게이트 전압(Vg)이 드레인 전압(Vd)보다도 높은 통상의 CHE방식을 사용한 라이트백에서는 셀로의 기록동작 시와는 다른 전위발생을 필요로 하고, 과소거 셀의 비트 선택이 필요하고, 채널전류를 적극적으로 흐르게 하기 때문에 라이트백 시의 구동전류가 큰 것 등의 문제가 있었다.

한편, DAHE/DAHH 게이트전류에 의한 자기수속법을 이용한 라이트백은 자기수속적으로 라이트백시키므로 비트선택이 불필요하거나, 전위발생도 기록 시와 거의 동일하게 설정하여도 된다는 장점은 있지만, 전위저하를 일으키고 수속에 이르기까지의 시간이 길게되는 것(전형적인 예로서는 0.1초 내지 1초에 이름), 수속전류가 어레이 전체에서 흐르는 것에 의해 라이트백 시의 구동전류가 큰 것이나, 셀의 채널 컨덕턴스가 열화하는 등의 문제가 있었다.

또한, 종래의 비휘발성 반도체 기억장치의 동작방법은 이상과 같이 구성되어 있으므로, 과소거 셀의 발생을 억제하기 때문에 소거전 기록의 시간이 길게 걸려 소거시간의 단축이 곤란한 것이나, 우발적으로 기록속도가 증가하고, 과기록을 일으키는 등의 문제가 있었다.

이 발명은 상기와 같은 문제를 해결하기 위한 것으로 소비전류를 감소시킴과 아울러 라이트백 동작 시간을 단축할 수 있고, 게다가 채널 컨덕턴스의 열화를 방지하면서 자기수속적으로 과소거 셀을 라이트백하거나, 과기록 셀을 이레이즈백할 수 있는 비휘발성 반도체 기억장치 및 그 구동방법, 동작방법 및 제조방법을 얻는 것을 목적으로 한다.

## 발명의 구성 및 작용

본 발명에 따른 비휘발성 반도체 기억장치의 구동 방법은, 반도체 기판 상에, 제 1 도전형의 채널 영역을 거쳐 대향하는 제 2 도전형의 제 1 및 제 2 확산층과, 제 1 도전형의 채널 영역 상에 게이트 절연막을 거쳐 형성된 플로팅 게이트 및 제어 게이트로 구성되는 2층 게이트 전극을 구비한 트랜지스터를 배치하여 두고, 제 1 도전형의 채널 영역 및 제 1 및 제 2 확산층의 한 편을 제 1 전압 레벨로 설정하는 단계와, 제 1 및 제 2 확산층의 다른 편을 제 2 전압 레벨로 설정하는 단계와, 제어 게이트를 제 1 또는 제 3 전압 레벨로 설정하는 단계와, 제 1 전압 레벨과 제 2 전압 레벨과의 전위차가 제 1 전압 레벨과 제 3 전압 레벨과의 전위차보다도 절대값에 있어서 크게 설정함으로써, 채널 전류가 흐르는 트랜지스터에 대해서 그 채널 영역을 흐르는 전하의 일부를 플로팅 게이트로 주입하는 단계를 포함하는 것이다.

본 발명에 따른 비휘발성 반도체 기억장치의 구동 방법은, 트랜지스터를 배치하여 두고, 제 1 도전형의 채널 영역을 제 1 전압 레벨로 설정하는 단계와, 제 1 및 제 2 확산층의 한 편을 제 2 전압 레벨로 설정하는 단계와, 제 1 및 제 2 확산층의 다른 편을 제 3 전압 레벨로 설정하는 단계와, 제어 게이트를 제 1 및 제 2 또는 제 4 전압 레벨로 설정하는 단계와, 제 1 전압 레벨과 제 2 전압 레벨과의 전위차가 제 1 전압 레벨과 제 3 전압 레벨과의 전위차 및 제 1 전압 레벨과 제 4 전압 레벨과의 전위차보다도 절대값에 있어서 크게 설정함으로써, 채널 전류가 흐르는 트랜지스터에 대해 그 채널 영역을 흐르는 전하의 일부를 플로팅 게이트로 주입하는 단계를 포함하는 것이다.

본 발명에 따른 비휘발성 반도체 기억장치의 구동 방법은, 트랜지스터가 NOR형 또는 DINOR형 플래시 메모리에 적용되는 것이다.

본 발명에 따른 비휘발성 반도체 기억장치는, 반도체 기판의 표층부에 제 1 도전형의 채널 영역을 거쳐 대향하는 제 2 도전형의 제 1 및 제 2 확산층과, 제 1 도전형의 채널 영역 상에 게이트 절연막을 거쳐 형성된 플로팅 게이트 및 제어

게이트로 구성되는 2층 게이트 전극과, 제 1 및 제 2 확산층의 적어도 어느 하나와 채널 영역과의 사이에 형성되는 제 2 도전형의 전계 완화층을 구비한 트랜지스터를 포함하는 것으로, 전계 완화층과 인접하는 확산층은 2층 게이트 전극과는 오버랩하지 않는 것이다.

본 발명에 관련된 비휘발성 반도체 기억장치는, 제 1 도전형 반도체 기판의 표층부에 형성되고, 그 반도체 기판보다도 고농도의 제 1 도전형 영역과, 제 1 도전형 영역 내에 제 1 도전형의 채널 영역을 사이에 두고 대향하는 제 2 도전형의 제1 및 제 2 확산층과, 제 1 도전형의 채널 영역 상에 게이트 절연막을 사이에 두고 형성된 플로팅 게이트 및 제어 게이트로 구성된 2층 게이트 전극과, 제1 및 제 2 확산층의 적어도 어느 한쪽과 채널 영역과의 사이에 제 1 도전형 영역 내에서 형성된 제 2 도전형의 전계 자화층을 구비한 트랜지스터를 구비하는 것에 있고, 전계 완화층과 인접하는 확산층은 2층 게이트 전극과는 중첩되지 않는 것이다.

본 발명에 관련된 비휘발성 반도체 기억 장치는 제 1 도전형의 반도체 기판의 표층부에 형성되고, 제 1 도전형 채널 영역을 사이에 두고 대향하는 제 2 도전형의 제 1 및 제 2 확산층과, 제 1 도전형 채널 영역 상에 게이트 절연막을 사이에 두고 형성된 플로팅 게이트 및 제어 게이트로 구성된 2층 게이트 전극과, 제 1 및 제 2 확산층의 적어도 어느 한쪽과 채널 영역과의 사이에 제 1 도전형 영역 내에서 형성된 제 2 도전형 전계 완화층과, 전계 완화층 및 이 것과 인접하는 확산층을 포함해서 형성되고, 반도체 기판보다도 고농도의 제 1 도전형 영역을 구비하는 트랜지스터를 구비하는 것이고, 전계 완화층과 인접하는 확산층은 2층 게이트 전극과는 중첩되지 않는 것이다.

본 발명에 관련된 비휘발성 반도체 기억장치는, 전계 완화층의 제 2 도전형 농도가 이것에 인접하는 확산층의 도전형 농도보다도 낮은 것이다.

본 발명에 관련된 비휘발성 반도체 기억 장치는, 트랜지스터는 NOR형 또는 DINOR형 플래시 메모리에 적용되는 것이다.

본 발명에 따른 비휘발성 반도체 기억장치의 제조방법은, 제 1 도전형의 반도체 기판의 표층부에 이 기판보다도 고농도로 소정 깊이로 제 1 도전형 영역을 형성하는 단계와, 제 1 도전형 영역 위에 게이트 절연막을 경유하는 컨트롤 게이트 및 플로팅 게이트로 구성되는 2층 게이트 전극을 형성하는 단계와, 이 2층 게이트 전극을 마스크로 하여 불순물 주입을 행하여 표층부에 제 2 도전형의 확산층을 형성하는 단계와, 절연막을 전면에 형성한 후, 이방성 식각을 행하여 2층 게이트 전극의 측면에 사이드 웰을 형성하는 단계와, 2층 게이트 전극 및 사이드 웰을 마스크로 하여 불순물 주입을 행하여 소정 깊이의 범위로 제 2 도전형의 제 1, 제 2 확산층을 형성함으로서, 확산층의 일부는 전계 완화층에 형성하는 단계를 구비하도록 구성한다.

본 발명에 따른 비휘발성 반도체 기억장치의 제조 방법은, 제 1 도전형의 반도체 기판 상에 게이트 절연막을 경유하는 컨트롤 게이트와 플로팅 게이트로 구성되는 2층 게이트 전극을 형성하는 단계와, 이 2층 게이트 전극을 마스크로 하여 불순물 주입을 행하여 기판의 표층부에 제2 도전형의 확산층을 형성하는 단계와, 확산층을 적어도 포함하도록 기판보다도 고농도로 불순물 주입을 행하여 소정 깊이로 제 1 도전 영역을 형성하는 단계와, 절연막을 전면에 형성한 후, 이방성 식각을 행하여 2층 게이트 전극의 측면에 사이드 웰을 형성하는 단계와, 2층 게이트 전극 및 사이드 웰을 마스크로 하여 불순물 주입을 행하고, 소정 깊이의 범위로 제 2 도전형의 제 1, 제 2 확산층을 형성하는 것에 의해, 확산층의 일부는 전계 완화층에 형성하는 단계를 구비하도록 구성한다.

본 발명에 따른 비휘발성 반도체 기억장치의 제조방법은, 제 1 도전형 영역을 형성하는 단계는 불순물의 주입 각도를 기판 법선에 대하여 30도 이내로 행하는 것이다.

본 발명에 따른 비휘발성 반도체 기억장치의 동작 방법은, 반도체 기판의 표층부에서 제 1 도전형의 채널 영역을 통해 대향하는 제 2 도전형의 제 1 및 제 2 확산층과, 제 1 도전형의 채널 영역 상에서 게이트 절연막을 통해 형성된 플로팅 게이트 및 컨트롤 게이트로 구성되는 2층 게이트 전극과, 제 1 및 제 2 확산층 중 적어도 어느 하나와 채널 영역의 사이에 형성된 제 2 도전형의 전계 완화층을 구비한 트랜지스터를 포함하되, 전계 완화층과 인접하는 확산층은 2층 게이트 전극과는 오버랩되지 않는 장치 구성에서, 트랜지스터가 소정의 임계치 이하에서 소거 또는 기입되는 것을 확인하는 단계와, 제 1 도전형의 채널 영역 및, 제 1 및 제 2 확산층중 하나를 제 1 전압 레벨로 설정하는 단계와, 제 1 및 제 2 확산층 중 다른 하나를 제 2 전압 레벨로 설정하는 단계와, 컨트롤 게이트를 제 1 또는 제 3 전압 레벨로 설정하는 단계와, 제 1 전압 레벨과 제 2 전압 레벨간의 전위차를 제 1 전압 레벨과 제 3 전압 레벨간의 전위차보다도 절대치에 있어 크게 설정함으로써, 채널 전류가 흐르는 트랜지스터에 대해 그 채널 영역을 흐르는 전하의 일부를 플로팅 게이트에 주입하는 단계를 포함한다.

본 발명에 따른 비휘발성 반도체 기억장치의 동작 방법은, 반도체 기판의 표층부에서 제 1 도전형의 채널 영역을 통해 대향하는 제 2 도전형의 제 1 및 제 2 확산층과, 제 1 도전형의 채널 영역 상에 게이트 절연막을 통해 형성된 플로팅 게이트 및 컨트롤 게이트로 구성되는 2층 게이트 전극과, 제 1 및 제 2 확산층 중 적어도 하나와 채널 영역의 사이에 형성된 제 2 도전형의 전계 완화층을 구비한 트랜지스터를 포함하되, 전계 완화층과 인접하는 확산층은 2층 게이트 전극과는 오버랩되지 않는 장치 구성에서, 트랜지스터가 소정의 임계치 이하에서 소거 또는 기입되는 것을 확인하는 단계와, 제 1 도전형의 채널 영역을 제 1 전압 레벨로 설정하는 단계와, 제 1 및 제 2 확산층중 하나를 제 2 전압 레벨로 설정하는 단계와, 제 1 및 제 2 확산층 중 다른 하나를 제 3 전압 레벨로 설정하는 단계와, 컨트롤 게이트를 제 1, 제 2 또는 제 4 전압 레벨로 설정하는 단계와, 제 1 전압 레벨과 제 2 전압 레벨간의 전위차를, 제 1 전압 레벨 및 제 3 전압 레벨간의 전위차 및 제 1 전압 레벨과 제 4 전압 레벨간의 전위차보다도 절대치에 있어 크게 설정함으로써, 채널 전류가 흐르는 트랜지스터에 대해 그 채널 영역을 흐르는 전하의 일부를 플로팅 게이트에 주입시키는 단계를 포함한다.

본 발명에 따른 비휘발성 반도체 기억장치의 동작 방법은, 확인하는 단계에 앞서서 과소거 트랜지스터의 발생을 억제하기 위해 트랜지스터에 기입을 행하는 단계를 구비한다.

이하에서는 본 발명의 실시예를 설명한다.

(실시예 1)

도 1은 본 발명의 실시예 1에 따른 비휘발성 반도체 기억장치의 셀 구조를 나타내는 단면 개략도로서, 일 예로서 NOR형 플래시 메모리에 적용한 것을 도시한다. 도 2는 도 1에 원 X로 표시된 드레인 근방을 부분 확대해서 도시한 것으로, 셀 트랜지스터의 드레인 근방의 셀 구조에 있어서 불순물 프로파일을 나타낸다. 이러한 플래시 메모리는 NOR형 어레이 구성으로 배치된 점에서 도 26의 것에 대응한다. 그리고, 도 3(a) (d)는 도 1의 플래시 메모리의 제조 순서를 도시한 공정도이다.

도 1 내지 도 3에 있어서, 1은 p형 반도체 기판(반도체 기판), 1a는 고농도 p형 영역, 즉, p+영역(제 1 도전형 영역), 2b는 고농도의 n형 드레인 영역, 즉, n+드레인 영역, 2b'는 전계 완화층으로서의 n+ 드레인 영역, 2aa, 2bb는 각기 더욱 고농도의 n형 소스 및 드레인 영역, 즉, n++ 소스 및 드레인 영역(제 1 및 제 2 확산층), 3은 산화막 등의 제 1 게이트 절연막(게이트 절연막), 4는 다결정 실리콘 등에 의해 구성된 플로팅 게이트, 5는 누설 방지 대책을 위한 것으로, 산화막-질화막-산화막의 3층 구조를 갖는 ONO로 약칭되는 제 2 게이트 절연막, 6은 다결정 실리콘 등에 의해 구성되는 컨트롤 게이트, 7a, 7b는 각기 소스 측 및 드레인 측의 절연막인 사이드월(side wall), 8은 레지스트이다. 이들 플로팅 게이트(4), 제 2 게이트 절연막(5), 컨트롤 게이트(6)에 의해 2층 게이트 전극이 구성된다.

이하에서 도 3에 기초해 본 발명의 실시예 1에 따른 플래시 메모리의 제조 방법을 설명한다.

우선, 채널 영역, 즉, p+영역(1a)의 구조를 형성하기 위해, 도 3a에 도시된 바와 같이, p형 반도체 기판(1)의 표면층에서 p농도가 $1\times10^{18}$ ㎝$^{-3}$ 정도로 보론(B) 등을 이온 주입하여 채널 도핑을 행한다. 예컨대, 도핑 후의 열처리 조건에 의해서이기도 하지만, 주입된 보론은 p형 반도체 기판(1)에서 그 표면으로부터 약 0.4㎛ 정도의 깊이까지 열처리한 결과, 확산된 p+영역(1a)을 형성할 수 있다. 구체적으로, 보론을 $4\times10^{13}$ ㎝$^{-3}$ 이상 주입하면, p+ 영역(1a)의 p농도는 $4\times10^{13}$ /0.4㎛=$1\times10^{18}$ ㎝$^{-3}$ 으로 된다.

다음으로, 도 3b에 도시된 바와 같이, p형 반도체 기판(1)에서 제 1 게이트 절연막(3)을 통해 플로팅 게이트(4)를 형성하고, 또, 제 2 게이트 절연막(5)을 통해 컨트롤 게이트(6)를 형성해서 2층 전극을 완성한다. 이에 계속해서, 셀 드레인 구조를 형성하기 위해, 동일 도면에 도시된 바와 같이, 레지스트(8)를 패터닝해서 2층 전극 중 한쪽에만 비소(As) 등을 이온 주입하여 n+ 드레인 영역(2b)을 형성하고 열처리를 행하면, n+ 드레인 영역(2b)이 표층으로부터 약 0.2㎛ 정도의 깊이까지 확산된다. 예컨대, 다음 공정의 사이드월(7a, 7b) 형성 전(도 3b 참조)에 비소(As) 등을 $1\times10^{18}$ ㎝$^{-3}$ 이하로 주입하면, 약 $5\times10^{18}$ ㎝$^{-3}$ 정도의 농도를 갖는 n+ 드레인 영역(2b)이 얻어진다.

또한, 도면에 도시하지는 않았지만, 드레인 측 n+ 주입 공정과 마찬가지로, 소스 측만을 레지스트 패터닝해서 개구하고, 소스 측 n+ 구조(2a)를 형성한다.

다음으로, 도 3c에 도시된 바와 같이, 이들의 상부면에 소정의 두께를 갖는 절연막을 형성하고, 이를 이방성 전면 에칭하면 사이드월(7a, 7b)이 게이트 전극의 측면에 형성된다. 이 표면 구성에 대해, 도 3d에 도시된 바와 같이, 고농도의 As 등을 이온 주입하면, 2층 전극 및 사이드월이 마스크로 되어 더욱 고농도의 n++ 소스 및 드레인 영역(2aa, 2bb)이 얻어짐과 동시에, 전계 완화층으로서의 n+ 드레인 영역(2b')이 이에 인접하여 얻어진다.

그 후, 도시하지는 않았지만, 전면에 층간 절연막을 형성하고, n++의 소스 영역(2aa) 및 드레인 영역(2bb)이 존재하는 p형 반도체 기판(1)에 도달하도록 층간 절연막의 일부를 개구해서 콘택트 홀을 형성한다. 또한, 알루미늄 등의 금속막을 증착법, 스퍼터법, 화학 기상 성장법 등에 의해 성막하고, 레지스트 등으로 패터닝하는 미세 가공에 의해 소스 전극(Vs) 및 드레인 전극(Vd)을 형성하면, 본 발명에 따른 플래시 메모리의 셀 구조가 완성된다.

이러한 플래시 메모리의 셀 구조에 있어서 특징 부분에 대해 설명한다.

도 1 및 도 2의 불순물 프로파일에 관련하여, 트랜지스터의 핫 캐리어의 열화(드레인 애벌런치 전류의 발생)를 억제하기 위해, LDD(lightly doped drain) 구조를 이용하는 것이 바람직한 것으로 통상 알려져 있다. 따라서, 본 실시예 1에서는, CHE에 의해 전자 기입을 행하는 플래시 메모리의 메모리 셀(이하 간단히 셀이라고 칭함)에 있어서, p+ 영역(1a)과 접하는 n+ 드레인 영역(2b)의 사이드월 하부 근방에, n+ 확산층의 농도를 저하시킨 n+ 드레인 영역(2b')를 생성하여 드레인 애벌런치 발생을 억제함과 동시에, 이에 인접하는 p+ 영역(1a)의 농도를 높게 해서 CHE 효율을 향상시키도록 하였다.

예컨대, 도 5는 본 발명의 실시예 1에 따른 셀 구조의 드레인 단부 근방에 있어서 채널 표면에서의 불순물 분포를 나타내는 그래프로서, 종래의 셀 구조와 비교해서 도시되어 있다. 도면에서, a는 종래의 셀 구조에 대한 곡선이고, b는 본 발명의 셀 구조에 대한 곡선으로서, 표층 위치(P1 P2)가 사이드월(7b)(SW 영역)의 아래쪽 부분에 대응한다. 여기서, n+드레인 영역(2b)의 형성으로서는, 비소(As) 농도를 As< $1\times10^{15}$ ㎝$^{-2}$ 정도로 주입량을 억제하였다. 이 결과, 열처리후의 사이드월(7b)의 아랫부분의 n+ 드레인 영역(2b)의 농도는 $1\times10^{19}$ ㎝$^{-3}$ 이상으로 확보되지만, 종래의 $1\times10^{20}$ ㎝$^{-3}$ 에 비해 낮게 설정된다.

또, n+ 드레인 영역(2b)의 n+ 농도를 낮게 하는 것에 의해 드레인 근방에서의 전계가 완화되어 CHE 효율이 낮아진다고 하는 불합리에 대해서는, p+ 영역(1a)의 농도를 종래의 $1\times10^{18}$ ㎝$^{-3}$ 이하보다 높게 형성($1\times10^{18}$ ㎝$^{-3}$ 이상)하는 것에 의해 회피될 수 있다.

또한, NOR형 플래시 메모리의 셀 구조에서는, 드레인 근방에서 인접하는 p+ 영역(1a)의 농도가 $1\times10^{18}$ ㎝$^{-3}$ 이상이고, 또, 그의 p+영역(1a)에 인접하는 n+ 드레인 영역(2b)의 농도가 $1\times10^{20}$ ㎝$^{-3}$ 이하로 되도록 설정하였다. 그 결과, 수속 Vth에 의해 채널 전류가 컷오프되는 특징이 얻어졌다.

다음으로, 상기한 발명의 셀 구조의 동작에 대해 설명한다.

셀에 대한 기입은, CHE 방식에 의한 것으로서, 드레인 근방의 급격한 전계에 의해 가속된 채널 전자 중, 제 1 게이트 절연막(3)의 장벽 높이 이상으로 가속된 고 에너지 전자기 플로팅 게이트(4)에 주입됨으로써 행해진다. 한편, 셀에 대한 라이트백은, 어레이 전체의 비트 라인에 대해 기입 시와 동일한 드레인 전압(Vd)을 인가하고, 동시에, 게이트 전위 Vcg를, 예컨대, GND 레벨(0V)로 유지함(Vs=Vsub=GND)으로써 행해진다.

이 결과, 수속 시 채널 전류가 컷오프되도록 자기 수속 방식으로 과소거 셀을 라이트백하는 것이 가능하게 된다. 또한, 기판에 백게이트 전위(음의 바이어스)를 인가하여 CHE 기입 효율을 높이는 것(Vs=GND, Vsub< 0V)도 가능하다.

이상과 같이, 본 발명의 실시예 1에 따른 플래시 메모리 등의 비휘발성 반도체 기억장치는 상기한 셀 구조를 구비하므로, 종래와 같은 셀 어레이의 비트 라인 전체에 전위를 인가하고, 컨트롤 게이트를 모두 GND 레벨로 유지한 채로, 과소거 셀을 선택한다고 하는 단계를 거칠 필요가 없게 하여, 선택적으로 수속 Vth 이하의 셀 Vth를 수속 Vth까지 고속으로 라이트백할 수 있다. 게다가, 수속 Vth 상태에서는 셀 전류가 컷오프되므로, Vth가 수속되는데 따른 소비 전류를 억제할 수 있다.

다음으로, 본 발명의 실시예 1에 따른 비휘발성 반도체 기억장치의 소거 방법에 대해 설명한다.

도 4는 상기 플래시 메모리에 의한 소거시퀀스를 나타내는 플로차트이다. 도면에 있어서 ST1은 커맨드 입력단계, ST2는 소거단계, ST3은 소거확인단계, ST4는 라이트백 단계이다.

다음에 동작에 대하여 설명한다.

소거시퀀스를 개시하여 소거커맨드가 단계ST1에서 입력되면, 소거전 기록은 하지 않고 단계 ST2에서 소거를 행한 후, 소거확인단계 ST3으로 들어가고, 모든 비트가 어떤 Vth 이하까지 소거된 것을 확인한 후에, 라이트백 단계 ST4로 들어가 소거시퀀스는 종료된다.

여기서, 주목할 점은 라이트백 단계 ST4에서는 종래의 DAHE/DAHH의 게이트전류를 이용한 라이트백과는 다르게 셀 특성이 열화하지는 않는다. 또한, 이 라이트백 단계 ST4에 필요한 시간은 10msec 정도로 충분하다. 그 결과, 종래의 소거동작 시간에서 가장 시간을 필요로 하던 소거시간을 0.1sec(소거)+0.01sec(라이트백)=0.11sec로 단축할 수 있다. 이 소거시간 단축의 결과는 집적도가 높아질수록(즉, 비트수/블록수가 많을수록) 현저하게 나타나므로 장치 전체의 액세스 속도의 향상에 많이 기여한다.

또, 도 33에서 나타내는 것과 같은 소거전 기록 단계 ST12를 포함한 도 6의 플로차트에서도 상기와 마찬가지로 소거시간 단축의 효과를 얻을 수 있는 것은 말할 것도 없다.

이하, 본 발명의 실시예 1에 의한 플래시 메모리에 있어서의 셀의 라이트백은 CHE만으로 행해지는 것을 그래프를 참조하여 설명한다.도 7은 본 실시예 1에 따른 플래시 메모리의 셀에서의 수속특성 및 라이트백 특성을 나타내는 그래프이다. 본 도면에 관한 측정에서는 Vd=4.5V, Vcg=0V, Vs=Vsub=GND와 DAHE/DAHH 게이트 전류에 의한 라이트백과 동일 전위배치로 설정하였다. 이 도면으로부터 공핍 상태로 되어 있는 셀의 Vth가 약 1msec에서 Vth〉 2.0V까지 라이트백된다는 것이 명백하다.

도 8은 도 7보다도 더욱 짧은 라이트백 시간에서의 라이트백 측정의 결과를 나타내는 그래프이다. 종래의 DAHE/DAHH 게이트전류에 의한 라이트백에서는 약 0.1sec 걸리던 라이트백 시간이 약 0.1msec로 약 3자리로 시간이 단축되어 있는 것이 명백하다.

더욱이, 이 실시예 1에 관한 셀의 라이트백은 종래의 DAHE/DAHH 게이트전류에 의한 라이트백과 동일한 드레인에만 전위를 부여하고, 게이트는 0V로 유지하는데도 불구하고, 종래와는 다르게 수속 Vth 이상인 셀의 Vth가 내려가는 것은 아니다(도 7참조). 이것은 이 실시예 1에 관한 셀 구조 애벌런시 발생을 억제하고, 또한 CHE효율을 높이기 위함이다.

도 9에서는 본 발명 방식의 라이트백의 드레인 전압 의존성을 나타낸다. 종래와 비교하여 Vd=4V에서도 고속의 라이트백이 실행되고 있다.

도 10에서는 또한 Vd가 저전압(2  4V)에 있어서의 라이트백의 예를 나타내고 있다.

도 11은 라이트백의 수속상태로 된 셀에서의 Vg-Ids 측정결과를 나타내는 그래프이다. 이것에 의하면, 종래의 DAHE/DAHH 게이트전류에 의한 라이트백의 경우와는 다르게, 수속상태의 셀에서는 채널전류가 컷오프되는 것이 명백하다. 즉, 종래의 DAHE/DAHH 게이트전류에 의한 라이트백에서는 약 0.1sec의 라이트백의 동안에 512kbits 어레이에서는 약 500mA 정도의 전류가 계속 흐르지만, 본 발명에 의하면 수속되는 것에 따른 전류가 컷오프된다. 이것에 의해, 종래에 비해 소비전류가 현저하게 감소된다.

도 12는 상기 수속법 사용 시의 게이트 전류특성의 그래프이다. 여기서 Ig는 새로운 셀 구조에서의 게이트전류를 나타내고, Ig'는 종래의 셀 구조에서의 게이트전류를 나타낸다. 이 발명에 의한 게이트 전류(Ig) 측의 곡선은 log Id/Ig가 게이트 전압(Vg)의 증대와 함께 Vg** 지점에서 급격히 입상한 후 다음에 완만하게 수속되어 가고, 드레인 전류(Id)의 곡선과 일치한 것으로 되어 있지만, 종래 구조에서의 게이트 전류(Ig') 측의 곡선은 게이트 전압(Vg)의 증대와 함께 Vg** 지점에서 Vg* 지점에 이르는 동안 log Id/Ig가 0으로 떨어지고, 그 후 입상된

이 검토결과에 의해, 상기 셀 드레인 구조를 채용한 덕분에 DAHH/DAHE의 게이트전류가 억제되고, 더욱이 CHE효율이 여러 단으로 높일 수 있었다고 생각된다. 즉, 본 발명의 구조를 사용하면, 채널영역을 흐르는 서브스레스홀드 전류 중 에너지적으로 가속된 성분이 게이트 전류로서 플로팅 게이트로 주입된다. 이 결과, 플로팅 게이트의 전위가 내려가고, 채널이 컷오프되는 상태로 셀 Vth가 수속한다. 즉, 서브스레스홀드 전류의 CHE에서 라이트백을 실시하는 것으로 된다.

도 13은 이 실시예 1에 관한 셀 구조를 이용한 256kbits 어레이에서의 라이트백의 예를 나타낸다. 소거 후에 과소거를 일으키고 있는 Vth분포가 Vth〉 2V 이상으로 라이트백되어 있는 것이 명백하다. 즉, 단체(單體)셀에서의 현상이 셀 어레이에 있어서도 실증되었다.

이상과 같이, 이 실시예 1에 의하면, 셀 드레인 구조에 있어서, 고농도의 P영역과 접하는 드레인의 N++확산층보다도 농도를 저하한 전계 완화층을 이루는 N+확산층을 설치하고, 채널영역 측으로부터 P영역이 이들 N++확산층 및 N+확산층을 포함하도록 구성한 것이고, 드레인 애벌런시 홀·전자의 발생을 억제하고, 또한 CHE효율을 향상하는 것이 가능하다. 이것에 의해, 어레이 구성을 한 플래시 메모리 등의 비휘발성 반도체 기억장치에 있어서는 과소거 셀을 선택할 필요 없이 선택적으로 수속 Vth 이하의 셀의 Vth를 수속 Vth에 고속으로 라이트백할 수 있으므로, 장치의 액세스 시간이 향상하는 효과가 있다.

또한, 수속 Vth 상태에서는 셀 전류가 컷오프되기 때문에 Vth가 수속함에 따라서 소비전력을 억제할 수 있으므로 장치 전체의 소비전력을 감소시킬 수 있는 효과가 있다.

더욱이, 상기 구성에 있어서는, 소거전 기록 단계를 생략하는 대신에, 상기 기록 단계를 사용하는 것에 의해 소거시퀀스의 고속화가 도모됨과 아울러, 애벌런시 홀 · 전자기 제 1 절연막을 거쳐 컨트롤 게이트에 주입되지 않으므로 채널 컨덕턴스의 열화를 방지할 수 있는 효과가 있다.

더욱이 제 1 절연막과 같은 터널 산화막의 절연파괴를 방지할 수 있으므로, 장치수명을 향상할 수 있는 효과가 있다.

(실시예 2)

도 14는 발명의 실시예 2에 의한 비휘발성 반도체 기억장치를 나타내는 단면 개략도이고, 상기 실시예 1과 동일하게 NOR형의 플래시 메모리에 적용한 것을 나타낸다. 도 15 및 도 14의 원 Y를 부분 확대하여 나타낸 것이고, 셀 트랜지스터의 드레인 근방의 셀 구조에 있어서의 불순물 프로파일을 나타낸다. 도 16(a)~(c)는 도 14의 플래시 메모리의 제조 순서를 도시한 공정도이다.

도면에 있어서, 1b는 P농도가 높은 P+포켓(pocket) 영역(제 1 도전형 영역)이고, 그 밖의 다른 구성 요소는 실시예 1과 동일하므로 동일한 구성 요소에는 동일 부호를 붙이고 그에 대한 설명을 생략한다.

이하, 도 16a 내지 16c를 참조해서, 본 발명의 실시예 2에 따른 플래시 메모리의 제조 방법을 설명한다.

먼저, 도 16a에 도시된 바와 같이, P형 반도체 기판에 제 1 게이트 절연막(3)을 사이에 두고 플로팅 게이트(4)를 형성하고, 또한, 제 2 게이트 절연막(5)을 사이에 두고 제어 게이트(6)를 형성해서 2층 전극을 완성한다.

이어서, 셀 드레인 구조를 형성하기 위해서, 도 16b에 도시된 바와 같이, 레지스트(8)를 패터닝해서 2층 전극부분 쪽에만 N형 불순물인 비소(As) 등을 이온 주입해서 N+드레인 영역(2b)을 형성하고, 연속해서 P형 불순물인 붕소(B) 등을 비스듬히 이온 주입해서 P+포켓 영역(1b)을 형성한다.

또한, 도시되어 있지는 않지만, 드레인 측 N+ 주입 공정과 동일하게 소스 측만 레지스트 패턴으로 구멍을 형성하여, 소스 측 N+구조(2a)를 형성한다.

그 다음, 도 16c에 도시된 바와 같이, 이들의 상부 표면에 소정 두께의 산화막을 형성하고, 이 산화막을 이방성 전면 에칭한 사이드월(7a, 7b)을 게이트의 측면에 형성한다. 또한, 이 표면 구성에 대해서, 고농도의 As 등을 이온 주입하면 2층 전극 및 사이드월(7a, 7b)이 마스크로 되고 더욱이 고농도의 N++소스, 드레인 영역(2aa, 2bb)이 형성되는 동시에, 전계 완화층으로서의 N+드레인 영역(2b')이 거기에 인접해서 형성된다.

그 후, 상기 실시예 1의 경우와 마찬가지로, 형성된 층간 절연막에 콘택트 홀(contact hole)을 형성해서, 소스 전극 Vs 및 드레인 전극 Vd을 형성하면, 해당 발명에 따른 플래시 메모리의 셀 구조가 완성된다. 또한, 이 셀 구조에 대한 동작과 이 셀 구조를 사용한 플래시 메모리의 소거 시퀀스(sequence)의 내용은, 실시예 1과 같으므로 그 설명을 생략한다.

이 플래시 메모리 셀 구조의 특징 부분은, 상기 실시예 1의 특징 부분과 거의 동일하지만, P+영역(1a)이 P형 반도체 기판(1)의 표층부 전면에 고농도의 P+영역(1a)을 생성하는 경우와는 다르고, 셀 드레인 근방에만 선택적으로 P농도를 높게 해서 P+포켓 영역(1b)을 생성하는 점이 다르다. 이에 따라서, 셀 Vth를 필요 이상으로 높이지 않고 상기 실시예 1의 효과를 얻을 수 있다.

이상과 같이 본 실시예 2에 따르면, 상기 실시예 1의 효과에 더해서, 셀 Vth를 필요 이상으로 높이지 않고도 통상의 그대로에서 장치를 안정적으로 동작시킬 수 있는 효과가 있다.

(실시예 3)

도 17은 본 발명의 실시예 3에 따른 비휘발성 반도체 기억장치의 셀 구조를 도시한 단면 개략도이고, 일 예로서, DINOR형 플래시 메모리에 적용한 것이다. 이 구조의 특징 부분은 상기 실시예 2의 셀 구조에서 도시된 바와 같은 P+포켓 영역(1b)을 드레인 측 대신에 소스 측에 설치해서 그 안에 전계 완화층이 되는 N+드레인 영역(2b')을 설치한 점에 있다. 따라서, 도면 부호 및 제조 방법의 설명에 대해서는 생략한다. 또한, 도 18에 본 발명의 실시예 3에 관계된 DINOR형 플래시 메모리에 대한 동작 전압을 정리해서 도시하였다.

종래에는, 예를 들면 드레인 Vd에 7V, 게이트 Vcd에 8V를 인가해서 기록을 수행했지만, 본 발명의 셀 구조를 적용하면, 도 41에 참조된 종래의 DINOR형 플래시 메모리의 기록 시퀀스에 있어서, 셀이 오버프로그램(over-program), 즉, 공핍 상태인 경우, DINOR의 기록/소거와는 다른 전위를 셀에 발생하고, CHE에서 기록하며, 소위 비트를 선택할 필요가 없기 때문에, 도 18의 동작 전압 설정에 의거한 기록은, 소스에 5  6V 정도의 전위를 약 10㎳ 정도 인가해서, 과기록 상태의 셀을 선택적으로 소거해서 원상 복귀, 즉, Vth를 인헨스먼트 상태로 복귀할 수 있다.

이하, 상기 발명의 실시예 1  실시예3에 따른 플래시 메모리와 종래 예에 따른 플래시 메모리의 특성을 비교해서 검토한다.

도 19, 도 20, 도 22 및 도 24는, 종래의 플래시 메모리에 관해서 단일 셀을 DAHE/DAHH에 의해서 기록한 경우의 특성을 도시한 그래프이고, 도 19는 Vd=5V, 도 10과 도 24는 Vd=8V, 도 22는 Vd=6V의 경우이다. 한편, 도 21, 도 23 및 도 25는, 상기 발명의 플래시 메모리에 대한 단일 셀을 서브스레스홀드 누설전류에 관한 CHE를 이용한 경우의 특성을 도시한 그래프이다.

도 19와 도20에서는 약 10㎳에서 과소거 비트를 구제하는 데는 6V 이상의 전위차가 필요하고, DAHE/DAHH의 수속점(收束點)을 사용하기 때문에, 수속 Vth 이상의 상태도 시프트됨을 알 수 있다. 한편, 본 발명과 같이 CHE를 이용한 것에는, 도 21에 도시된 바와 같이 DAHE/DAHH 방식으로 비교하고, 저전압(Vd4V) 그리고 고속(약 10㎳)에서 과소거 비트를 구제할 수 있고, 전자만이 주입되기 때문에, 수속 Vth 이상의 상태는 시프트되지 않음을 알 수 있다.

다음에, 도 22와 도 23을 비교하면, 기록 상태에서 방치되는 경우에, 전자에서는 채널 컨덕턴스가 열화되고, 후자에서는 열화되지 않음을 알 수 있다.

또한, 도 24와 도 25를 비교하면, 수속 상태에 대해서, 전자에서는 약 100㎂ 레벨의 채널 전류가 흐르고 있고, 후자에서는 채널 전류가 컷오프됨을 알 수 있다.

## 발명의 효과

이상과 같이, 본 발명에 따르면, 비휘발성 반도체 기억장치의 구동 방법은, 반도체 기판 상에, 제 1 도전형의 채널 영역을 거쳐 대향하는 제 2 도전형의 제 1, 제 2 확산층과, 제 1 도전형의 채널 영역 상에 게이트 절연막을 경유하여 형성된 플로팅 게이트 및 컨트롤 게이트로 구성되는 2층 게이트 전극을 구비한 트랜지스터를 배치한 해당 장치에 대해서, 제 1 도전형의 채널 영역 및 제 1, 제 2의 확산층의 하나를 제 1의 전압 레벨로 설정하는 단계와, 제 1, 제 2의 확산층의 다른 것을 제 2의 전압 레벨로 설정하는 단계와, 컨트롤 게이트를 제 1 또는 제3의 전압 레벨로 설정하는 단계와, 제 1의 전압 레벨과 제 2의 전압 레벨과의 전위차가 제 1의 전압 레벨과 제3의 전압 레벨과의 전위차보다도 절대값에 있어서 크게 설정함으로써, 채널 전류가 흐르는 트랜지스터에 대해서 그 채널 영역을 흐르는 전하의 일부를 플로팅 게이트에 주입하는 단계를 적용하도록 구성하였으므로, 애벌런시(avalanche) 핫 홀 전자의 발생을 억제하고, 또한 채널 핫 전자(CHE) 효율을 향상시킬 수 있는 효과가 있다.

또, 수속 문턱값 Vt 상태에서는, 셀 전류가 차단되기 때문에 트랜지스터의 문턱값 Vth가 수속함에 따라 소비 전류를 억제할 수 있어, 장치 전체의 소비 전력을 줄일 수 있는 효과가 있다.

또한, 애벌런시 핫 홀 전자기 제 1의 절연막을 경유하여 컨트롤 게이트에 주입되지 않으므로 채널 컨덕턴스의 열화를 방지할 수 있는 효과가 있다.

게다가, 게이트 절연막과 같은 터널 산화막의 절연 파괴를 방지할 수 있으므로, 장치 수명을 향상시킬 수 있는 효과가 있다.

본 발명에 따르면, 상기의 비휘발성 반도체 기억장치에 대해서, 제 1 도전형의 채널 영역을 제 1의 전압 레벨로 설정하는 단계와, 제 1, 제 2의 확산층의 하나를 제 2의 전압 레벨로 설정하는 단계와, 제 1, 제 2의 확산층의 다른 것을 제3의 전압 레벨로 설정하는 단계와, 컨트롤 게이트를 제 1, 제 2 또는 제4의 전압 레벨로 설정하는 단계와, 제 1의 전압 레벨과 상기 제 2의 전압 레벨과의 전위차가 상기 제 1의 전압 레벨과 상기 제3의 전압 레벨과의 전위차 및 상기 제 1의 전압 레벨과 상기 제4의 전압 레벨과의 전위차보다도 절대값에 있어서 크게 설정함으로써, 채널 전류가 흐르는 상기 트랜지스터에 대해서, 그 채널 영역을 흐르는 전하의 일부를 플로팅 게이트에 주입하는 단계를 적용하도록 구성하였으므로, 상기 효과와 더불어, 채널 핫 전자의 기록 효율을 높일 수 있는 효과가 있다.

본 발명에 따르면, 비휘발성 반도체 기억장치의 구동 방법은, 트랜지스터가 NOR형 또는 DINOR형 플래시 메모리에 적용되도록 구성하였으므로, NOR형의 어레이 구성에서는 과소거 상태의 트랜지스터 셀을 선택할 필요가 없어 선택적으로 수속Vth이하의 트랜지스터 셀의 Vth를 수속 Vth로 고속으로 다시 기록할 수 있고, 혹은, DINOR형의 어레이 구성으로도 과기록 상태의 트랜지스터 셀을 선택적으로 다시 소거할 수 있으므로, 장치의 액세스 시간이 향상되는 효과가 있다.

본 발명에 따르면, 비휘발성 반도체 기억장치는, 제 2 도전형의 전계 완화층이 제 1, 제 2의 확산층의 적어도 어느 것인가 하나와 상기 채널 영역과의 사이에 형성되고, 플로팅 게이트 및 컨트롤 게이트로 구성되는 2층 게이트 전극과 전계 완화층에 인접하는 상기 확산층은 표층부에서 중복되는 않은 트랜지스터로 구성하였으므로, 인접하는 확산층의 불순물 농도를 전계 완화층보다도 높게 설정함으로써, 통상의 애벌런시 핫 홀 전자 홀에 의한 게이트 전극에 따른 재기록 전위 배치로도 수속 Vth 이상에 있는 트랜지스터의 Vth가 내려가지 않고 고속으로 재기록을 수행할 수 있음과 동시에, 수속 상태의 트랜지스터는 채널 전류가 차단되므로, 장치의 소비 전력을 줄이고 액세스 시간을 향상시키는 효과가 있다.

본 발명에 따르면, 비휘발성 반도체 기억장치는, 고농도의 제 1 도전형 영역 내에, 제 1 도전형의 전계 완화층과 제 1, 제 2의 확산층이 형성되며, 이 전계 완화층이 채널 영역과의 사이에 형성되며, 또한 플로팅 게이트 및 컨트롤 게이트로 구성되는 2층 게이트 영역과 전계 완화층에 인접하는 확산층은 표층부에서 중복하지 않은 트랜지스터로 구성하였으므로, 상기의 효과와 더불어, 전계 완화층에 의한 트랜지스터로의 전자기록효율을 향상시킬 수 있는 효과가 있다.

본 발명에 따르면, 비휘발성 반도체 기억장치는, 고농도의 제 1 도전형 영역 내에, 제 1 도전형의 전계 완화층과 제 1, 제 2의 확산층의 적어도 어느 것인가 하나가 형성되며, 이 전계 완화층이 채널 영역과의 사이에 형성되고, 또한 상기 2층 게이트 영역과 전계 완화층에 인접하는 확산층은 표층부에서 중복하지 않은 트랜지스터로 구성하였으므로, 채널 영역의 일부만을 제 1 도전형 영역으로 할 수 있기 때문에, 상기의 효과와 더불어, 트랜지스터의 Vth를 기판 레벨까지 줄일 수 있는 효과가 있다.

본 발명에 따르면, 비휘발성 반도체 기억장치는, 전계 완화층의 제 2 도전형 농도가 이것에 인접하는 확산층의 것보다도 낮게 되도록 구성하였으므로, 애벌런시 핫 홀 전자 홀의 발생을 억제함과 동시에, 채널 핫 전자의 플로팅 게이트로의 주입 효율을 향상시킬 수 있는 효과가 있다.

본 발명에 따르면, 비휘발성 반도체 기억장치는, 트랜지스터는 NOR형 또는 DINOR형 플래시 메모리에 적용되도록 구성하였으므로, 전자의 경우는 재기록 시에 드레인 애벌런시 핫 홀 전자 홀의 발생을 억제함과 동시에, 채널 핫 전자의 주입 효율을 향상시킬 수 있는 효과가 있고, 후자의 경우는 과기록 상태의 트랜지스터를 선택적으로 소거할 수 있는 효과가 있다.

본 발명에 따르면, 비휘발성 반도체 기억장치의 제조 방법은, 반도체 기판의 제 1 도전형 영역 상에 2층 게이트 전극을 형성하는 단계와, 이 제 2 게이트 전극을 마스크로 하여 불순물 주입을 행하고 제 1 도전 영역내의 표층부에 제 2 도전형의 확산층을 형성하는 단계와, 2층 게이트 전극의 측면에 사이드 웰을 형성하는 단계와, 이것에 대해서 불순물 주입을 행하여, 소정 깊이의 범위에서 제 2 도전형의 제 1, 제 2의 확산층을 형성함으로써 확산층의 일부를 분리하여 전계 완화층을 형성하는 단계를 구비하도록 구성하였으므로, 상기 인접하는 확산층의 불순물 농도를 전계 완화층보다도 높게 설정하는 것에 의해, 통상의 애벌런시 핫 전자 홀에 의한 게이트 전류에 따른 재기록 전위 배치로도 수속 Vth 이상에 있는 트랜지스터의 Vth가 내려가지 않고 고속 재기록을 수행할 수 있음과 동시에, 수속 상태의 트랜지스터는 채널 전류가 차단되므로, 장치의 소비 전력을 줄이고 액세스 시간을 향상시키는 장치가 얻어지는 효과가 있다.

본 발명에 따르면, 비휘발성 반도체 기억장치의 제조 방법은 반도체 기판 상에 2층 게이트 전극을 형성하는 단계와, 이 2층 게이트 전극을 마스크로 하여 불순물 주입을 행하고 상기 기판의 표층부에 제 2 도전형의 확산층을 형성하는 단계와, 이 확산층을 적어도 포함하도록 상기 기판보다도 고농도로 불순물 주입을 행하여 소정 깊이로 제 1 도전형 영역을 형성하는 단계와, 2층 게이트 전극의 측면에 사이드 웰을 형성하는 단계와, 이것에 대해서 불순물 주입을 행하여, 소정 깊이의 범위에서 제 2 도전형의 제 1, 제 2 확산층을 형성함으로써 확산층은 전계 완화층에 형성하는 단계를 구비하도록 구성하였으므로, 상기 효과와 더불어, 트랜지스터의 Vth를 줄일 수 있는 효과가 있다.

본 발명에 따르면, 비휘발성 반도체 기억장치의 제조 방법은, 제 1 도전형 영역을 형성하는 단계는, 불순물의 주입 각도를 기판 법선에 대해서 30도 이내로 하여 행하도록 구성하였으므로, 전계 완화층의 채널 영역 방향으로의 확산을 억제한 장치 구조로 할 수 있는 효과가 있다.

이 발명에 의하면, 비휘발성 반도체 기억장치의 동작방법은 제 1 도전형의 채널영역을 거쳐 대향하는 제 2 도전형의 제 1, 제 2 확산층과, 제 1 도전형의 채널영역 상에 형성된 2층 게이트 전극과, 제 1, 제 2 확산층의 어느 한쪽과 채널영역 사이에 형성되는 제 2 도전형의 전계 완화층을 구비한 트랜지스터에 있어서, 전계 완화층과 인접하는 상기 확산층은 2층 게이트전극과는 오버랩하지 않는 장치구성에 있어서, 트랜지스터가 소정의 문턱값 이하로 소거 또는 기록된 것을 확인하는 단계와, 제 1 도전형의 채널영역 및 제 1, 제 2 확산층의 한쪽을 제 1 전압레벨로 설정하는 단계와, 제 1, 제 2 확산층의 다른 쪽을 제 2 전압레벨로 설정하는 단계와, 컨트롤 게이트를 제 1 또는 제3 전압레벨로 설정하는 단계와, 제 1 전압레벨과 상기 제 2 전압레벨의 전위차가 상기 제 1 전압레벨과 제 3의 전압레벨의 전위차보다 절대값에 있어서 크게 설정하는 것에 의해, 채널전류가 흐르는 트랜지스터에 대하여 그 채널영역을 흐르는 전하의 일부를 플로팅 게이트에 주입하는 단계를 구비하도록 구성한 것이고, 그 후에 행해지는 라이트백 단계에서의 트랜지스터 특성의 열화가 발견되지 않을 뿐 아니라, 소거된 것에 대하여 확인단계가 이루어진 경우에는 종래 필요하였던 소거전 기록단계가 필요없게 되므로, 그 만큼 소거시간을 단축할 수 있는 장치의 액세스속도를 향상하는 효과가 있고, 한편, 기록된 것에 대하여 확인단계가 이루어진 경우에는 트랜지스터가 터블레션 상태로 되어도 자기 수속적으로 구제될 수 있는 효과가 있다. 게다가, 이들 효과는 집적도가 높게 됨에 따라 크게 된다.

본 발명에 의하면, 비휘발성 반도체 기억장치의 동작방법은 반도체기판의 표층부에 제 1 도전형의 채널영역을 거쳐 대향하는 제 2 도전형의 제 1, 제 2 확산층과, 제 1 도전형의 채널영역 상에 게이트 절연막을 거쳐 형성된 플로팅 게이트 및 컨트롤 게이트로 구성되는 2층 게이트전극과, 제 1, 제 2 확산층의 적어도 어느 한 쪽과 상기 채널영역 사이에 형성되는 제 2 도전형의 전계 완화층을 구비한 트랜지스터를 포함하고, 전계 완화층과 인접하는 확산층은 상기 2층 게이트

전극과는 오버랩하지 않는 장치구성에 있어서, 트랜지스터가 소정의 문턱값 이하에서 소거 또는 기록된 것을 확인하는 단계와, 제 1 도전형의 채널영역을 제 1 전압레벨로 설정하는 단계와, 제 1, 제 2 확산층 중 어느 한 쪽을 제 2의 전압레벨로 설정하는 단계와, 제 1, 제 2 확산층의 다른 쪽을 제 3 전압레벨로 설정하는 단계와, 컨트롤 게이트를 제 1, 제 2 또는 제 4의 전압레벨로 설정하는 단계와, 제 1 전압레벨과 제 2 전압레벨의 전위차가 제 1의 전압레벨과 제 3 전압레벨의 전위차 및 제 1 전압레벨과 제 4 전압레벨의 전위차보다도 절대값에 있어서 크게 설정한 것에 의해, 채널전류가 흐르는 상기 트랜지스터에 대하여, 그 채널영역을 흐르는 전하의 일부를 플로팅 게이트에 주입하는 단계를 포함하도록 구성한 것이고, 상기 효과에 더하여, 제 1 도전형의 채널영역에 부(負)바이어스를 인가할 수 있고, 채널 핫 전자의 기록 효율을 향상하는 효과가 있다.

이 발명에 의하면, 비휘발성 반도체 기억장치의 동작방법은 확인하는 단계에 앞서 과소거 트랜지스터의 발생을 억제하기 때문에, 트랜지스터에 기록을 실시하는 단계를 구비하도록 구성했으므로, 액세스속도의 향상에는 기여하지 않지만, 과소거 트랜지스터의 발생은 보다 확실하게 억제할 수 있는 효과가 있다.

## (57) 청구의 범위

### 청구항 1.

반도체 기판 상에, 제 l 도전형의 채널 영역을 거쳐서 대향하는 제 2 도전형의 제 1, 제 2 확산층과, 상기 제 1 도전형의 채널 영역 상에 게이트 절연막을 거쳐 형성된 플로팅 게이트 및 제어 게이트로 구성되는 2층 게이트 전극을 포함한 트랜지스터를 배치한 비휘발성 반도체 기억장치의 구동 방법에 있어서,

상기 제 1 도전형의 채널 영역 및 상기 제 1, 제 2 확산층의 한쪽을 제 1 전압 레벨로 설정하는 단계와,

상기 제 1, 제 2 확산층의 다른 쪽을 제 2 전압 레벨로 설정하는 단계와,

상기 제어 게이트를 제 3 전압 레벨로 설정하는 단계와,

상기 제 1 전압 레벨과 상기 제 2 전압 레벨의 전위차가 상기 제 1 전압 레벨과 제 3 전압 레벨의 전위차보다도 절대치에 있어서 크게 설정한 것에 의해, 채널 전류가 흐르는 상기 트랜지스터에 대하여 그 채널 영역을 흐르는 전하의 일부를 플로팅 게이트에 주입하는 단계

를 포함한 비휘발성 반도체 기억장치의 구동 방법.

### 청구항 2.

반도체 기판 상에, 제 1 도전형의 채널 영역을 거쳐서 대향하는 제 2 도전형의 제 1, 제 2 확산층과, 상기 제 1 도전형의 채널 영역 상에 게이트 절연막을 거쳐서 형성된 플로팅 게이트 및 제어 게이트로 구성되는 2층 게이트 전극을 포함한 트랜지스터를 배치한 비휘발성 반도체 기억장치의 구동 방법에 있어서,

상기 제 1 도전형의 채널 영역을 제 1 전압 레벨로 설정하는 단계와,

상기 제 1, 제 2 확산층의 한쪽을 제 2 전압 레벨로 설정하는 단계와,

상기 제 1, 제 2 확산층의 다른 쪽을 제 3 전압 레벨로 설정하는 단계와,

상기 제어 게이트를 제 4 전압 레벨로 설정하는 단계와,

상기 제 1 전압 레벨과 상기 제 2 전압 레벨의 전위차가, 상기 제 1 전압 레벨과 상기 제 3 전압 레벨의 전위차 및 상기 제 1 전압 레벨과 상기 제 4 전압 레벨의 전위차보다도 절대치에 있어서 크게 설정한 것에 의해, 채널 전류가 흐르는 상기 트랜지스터에 대하여, 그 채널 영역을 흐르는 전하의 일부를 플로팅 게이트에 주입하는 단계

를 포함한 비휘발성 반도체 기억장치의 구동 방법.

청구항 3.

삭제

청구항 4.

제 l 도전형의 반도체 기판의 표층부에 형성되어, 상기 반도체 기판보다도 고농도의 제 1 도전형 영역과,

상기 제 1 도전형 영역 내에 제 1 도전형의 채널 영역을 거쳐서 대향하는 제 2 도전형의 제 1, 제 2 확산층과,

상기 제 1 도전형의 채널 영역 상에 게이트 절연막을 거쳐서 형성된 플로팅 게이트 및 제어 게이트로 구성되는 2층 게이트 전극과,

상기 제 1, 제 2 확산층의 적어도 어느 한쪽과 상기 채널 영역 사이에 상기 제 1 도전형 영역 내에서 형성된 제 2 도전형의 전계 완화층을 구비한 트랜지스터를 포함한 비휘발성 반도체 기억장치에 있어서,

상기 전계 완화층과 인접하는 상기 확산층은 상기 2층 게이트 전극과는 오버랩되지 않는 것을 특징으로 하는 비휘발성 반도체 기억장치.

청구항 5.

제 1 도전형의 반도체 기판의 표층부에 형성되어, 제 1 도전형의 채널 영역을 거쳐서 대향하는 제 2 도전형의 제 1, 제 2 확산층과,

상기 제 l 도전형의 채널 영역 상에 게이트 절연막을 거쳐서 형성된 플로팅 게이트 및 제어 게이트로 구성되는 2층 게이트 전극과,

상기 제 1, 제 2 확산층의 적어도 어느 한쪽과 상기 채널 영역 사이에 상기 제 1 도전형 영역 내에서 형성된 제 2 도전형의 전계 완화층과,

상기 전계 완화층 및 이것과 인접하는 상기 확산층을 포함하여 형성되고, 상기 반도체 기판의 표층부에 형성된 상기 반도체 기판보다도 고농도의 제 1 도전형 영역을 구비한 트랜지스터를 포함한 비휘발성 반도체 기억장치에 있어서,

상기 전계 완화층과 인접하는 상기 확산층은 상기 2층 게이트 전극과는 오버랩되지 않는 것을 특징으로 하는 비휘발성 반도체 기억장치.

청구항 6.

제 1 도전형의 반도체 기판의 표층부에 이 기판보다도 고농도로 소정의 깊이에 제 1 도전형 영역을 형성하는 단계와,

상기 제 1 도전형 영역 상에 게이트 절연막을 거쳐서 제어 게이트 및 플로팅 게이트로 구성되는 2층 게이트 전극을 형성하는 단계와,

이 2층 게이트 전극을 마스크로 하여 불순물 주입을 실행해서 상기 표층부에 제 2 도전형의 확산층을 형성하는 단계와,

절연막을 전면에 형성한 후, 이방성 에칭을 실행하여 상기 2층 게이트 전극의 측면에 측벽을 형성하는 단계와,

상기 2층 게이트 전극 및 상기 측벽을 마스크로 하여 불순물 주입을 실행해서, 상기 소정의 깊이의 범위에서 제 2 도전형의 제 1, 제 2 확산층을 형성하는 것에 의해 상기 확산층의 일부는 전계 완화층에 형성하는 단계

를 포함한 것을 특징으로 하는 비휘발성 반도체 기억장치의 제조 방법.

청구항 7.

제 1 도전형의 반도체 기판 상에 게이트 절연막을 거쳐서 제어 게이트 및 플로팅 게이트로 구성되는 2층 게이트 전극을 형성하는 단계와,

이 2층 게이트 전극을 마스크로 하여 불순물 주입을 실행해서 상기 기판의 표층부에 제 2 도전형의 확산층을 형성하는 단계와,

상기 확산층을 적어도 포함하도록 상기 기판보다도 고농도로 불순물 주입을 실행하여 소정의 깊이에 제 1 도전형 영역을 형성하는 단계와,

절연막을 전면에 형성한 후, 이방성 에칭을 실행하여 상기 2층 게이트 전극의 측면에 측벽을 형성하는 단계와,

상기 2층 게이트 전극 및 상기 측벽을 마스크로 하여 불순물 주입을 실행해서, 상기 소정의 깊이 범위에서 제 2 도전형의 제 1, 제 2 확산층을 형성하는 것에 의해 상기 확산층의 일부는 전계 완화층에 형성하는 단계

를 포함한 것을 특징으로 하는 비휘발성 반도체 기억장치의 제조 방법.

청구항 8.

반도체 기판의 표층부에 제 1 도전형의 채널 영역을 거쳐서 대향하는 제 2 도전형의 제 1, 제 2 확산층과, 상기 제 1 도전형의 채널 영역 상에 게이트 절연막을 거쳐서 형성된 플로팅 게이트 및 제어 게이트로 구성되는 2층 게이트 전극과, 상기 제 1, 제 2 확산층의 적어도 어느 한쪽과 상기 채널 영역 사이에 형성되는 제 2 도전형의 전계 완화층을 구비한 트랜지스터를 포함하고 있으며, 상기 전계 완화층과 인접하는 상기 확산층은 상기 2층 게이트 전극과는 오버랩되지 않는 비휘발성 반도체 기억장치의 동작 방법에 있어서,

상기 트랜지스터가 소정의 문턱값 이하로 소거 또는 기입된 것을 확인하는 단계와,

상기 제 1 도전형의 채널 영역 및 상기 제 1, 제 2 확산층의 한쪽을 제 1 전압 레벨로 설정하는 단계와,

상기 제 1, 제 2 확산층의 다른 쪽을 제 2 전압 레벨로 설정하는 단계와,

상기 제어 게이트를 제 3 전압 레벨로 설정하는 단계와,

상기 제 1 전압 레벨과 상기 제 2 전압 레벨의 전위차가 상기 제 1 전압 레벨과 제 3 전압 레벨의 전위차보다도 절대치에 있어서 크게 설정한 것에 의해, 채널 전류가 흐르는 상기 트랜지스터에 대하여 그 채널 영역을 흐르는 전하의 일부를 플로팅 게이트에 주입하는 단계

를 포함한 비휘발성 반도체 기억장치의 동작 방법.

청구항 9.

반도체 기판의 표층부에 제 1 도전형의 채널 영역을 거쳐서 대향하는 제 2 도전형의 제 l, 제 2 확산층과, 상기 제 1 도전형의 채널 영역 상에 게이트 절연층을 거쳐서 형성된 플로팅 게이트 및 제어 게이트로 구성되는 2층 게이트 전극과, 상기 제 1, 제 2 확산층의 적어도 어느 한쪽과 상기 채널 영역 사이에 형성되는 제 2 도전형의 전계 완화층을 구비한 트

랜지스터를 포함하고 있으며, 상기 전계 완화층과 인접하는 상기 확산층은 상기 2층 게이트 전극과는 오버랩되지 않는 비휘발성 반도체 기억장치의 동작 방법에 있어서,

상기 트랜지스터가 소정의 문턱값 이하로 소거 또는 기입된 것을 확인하는 단계와,

상기 제 1 도전형의 채널 영역을 제 1 전압 레벨로 설정하는 단계와,

상기 제 1, 제 2 확산층의 한쪽을 제 2 전압 레벨로 설정하는 단계와,

상기 제 1, 제 2 확산층의 다른 쪽을 제 3 전압 레벨로 설정하는 단계와,

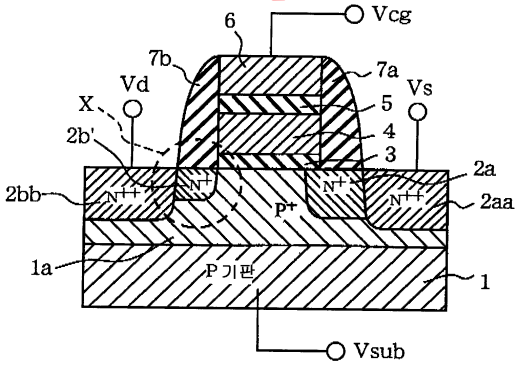
상기 제어 게이트를 제 4 전압 레벨로 설정하는 단계와,

상기 제 1 전압 레벨과 상기 제 2 전압 레벨 전위차가, 상기 제 1 전압 레벨과 상기 제 3 전압 레벨의 전위차 및 상기 제 1 전압 레벨과 상기 제 4 전압 레벨의 전위차보다도 절대치에 있어서 크게 설정한 것에 의해, 채널 전류가 흐르는 상기 트랜지스터에 대해, 그 채널 영역을 흐르는 전하의 일부를 플로팅 게이트에 주입하는 단계

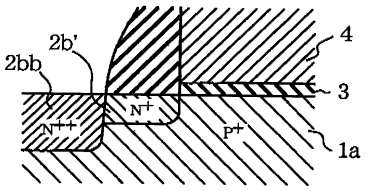
를 포함한 비휘발성 반도체 기억장치의 동작 방법.

## 도면

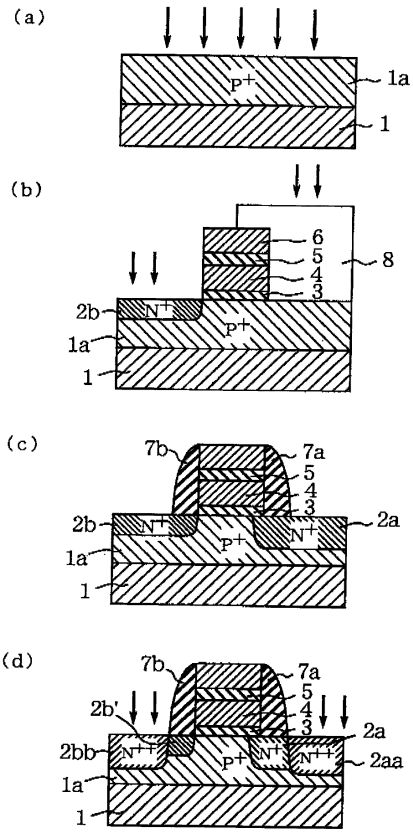
### 도면 1



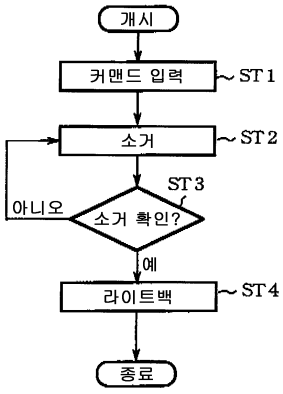

### 도면 2



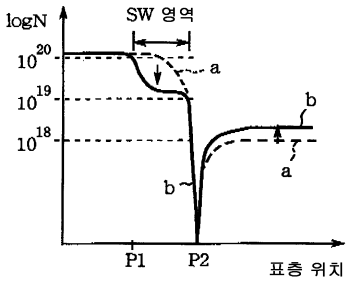
## 도면 3


(a)
P+
1a
1
(b)
6
5
4
3
8
2b
N+
P+
1a
1
(c)
7b
7a
5
4
3
2a
2b
N+
N+
P+
1a
1
(d)
7b
7a
5
4
3
2b'
2a
2bb
N++
N+
N++
P+
2aa
1a
1

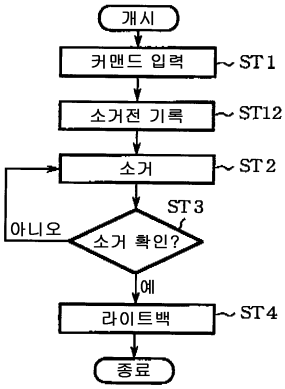
## 도면 4


개시
커맨드 입력
ST1
소거
ST2
ST3
아니오
소거 확인?
예
라이트백
ST4
종료

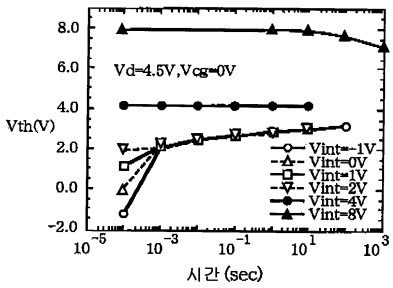
## 도면 5


logN
SW 영역
$10^{20}$
$10^{19}$
$10^{18}$
a
b
b
a
P1
P2
표층 위치

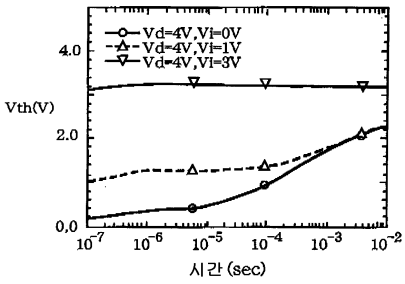
## 도면 6


개시
커맨드 입력
ST1
소거전 기록
ST12
소거
ST2
ST3
아니오
소거 확인?
예
라이트백
ST4
종료

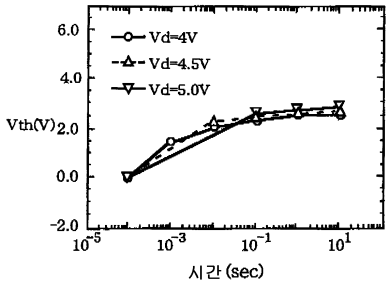
## 도면 7


8.0
6.0
4.0
2.0
0.0
-2.0
Vth(V)
Vd=4.5V,Vcg=0V
Vint=-1V
Vint=0V
Vint=1V
Vint=2V
Vint=4V
Vint=8V
$10^{-5}$
$10^{-3}$
$10^{-1}$
$10^{1}$
$10^{3}$
시간 (sec)

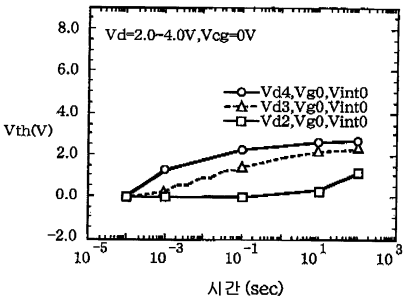
## 도면 8


Vd=4V,Vi=0V
Vd=4V,Vi=1V
Vd=4V,Vi=3V
Vth(V)
4.0
2.0
0.0
$10^{-7}$
$10^{-6}$
$10^{-5}$
$10^{-4}$
$10^{-3}$
$10^{-2}$
시간 (sec)

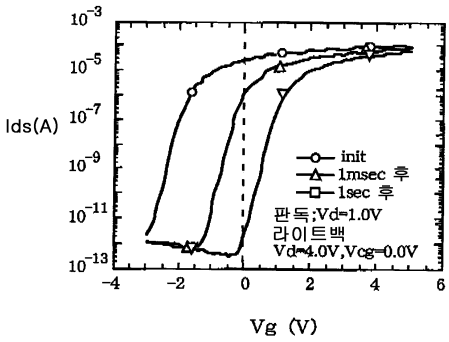
## 도면 9


Vd=4V
Vd=4.5V
Vd=5.0V
Vth(V)
6.0
4.0
2.0
0.0
-2.0
$10^{-5}$
$10^{-3}$
$10^{-1}$
$10^{1}$
시간 (sec)

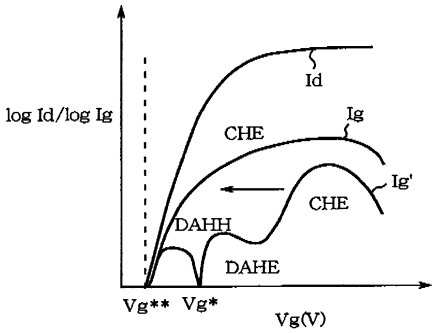
## 도면 10


Vd=2.0~4.0V,Vcg=0V
Vd4,Vg0,Vint0
Vd3,Vg0,Vint0
Vd2,Vg0,Vint0
Vth(V)
8.0
6.0
4.0
2.0
0.0
-2.0
$10^{-5}$
$10^{-3}$
$10^{-1}$
$10^{1}$
$10^{3}$
시간 (sec)

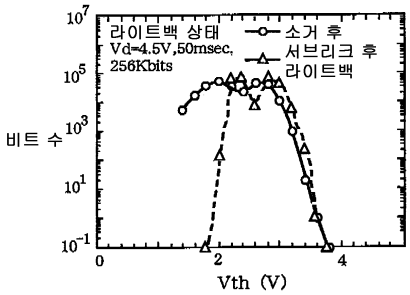
## 도면 11



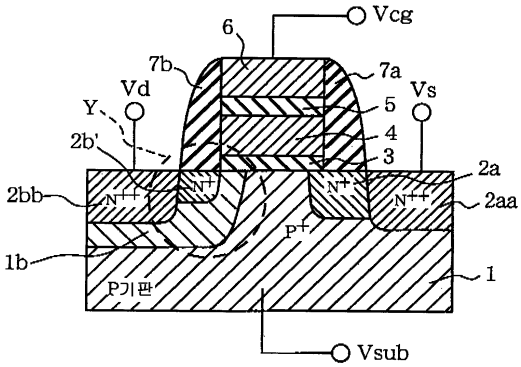

## 도면 12



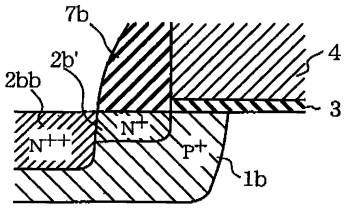

## 도면 13



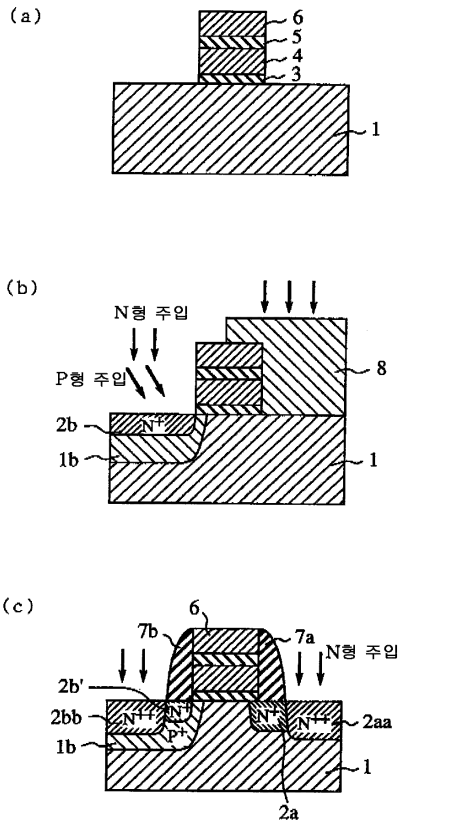
도면 14



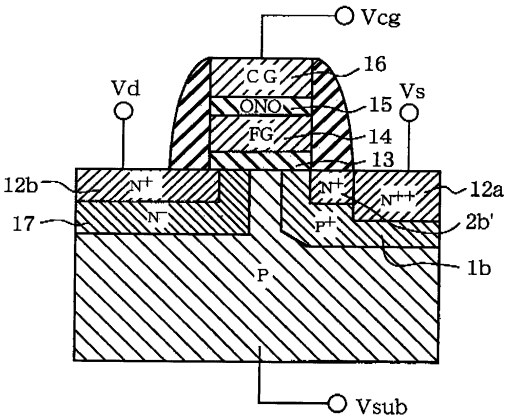

도면 15



## 도면 16


(a)
6
5
4
3
1
(b)
N형 주입
P형 주입
8
2b
N+
1b
1
(c)
6
7b
7a
N형 주입
2b'
2bb
N++
N+
P+
2aa
1
2a

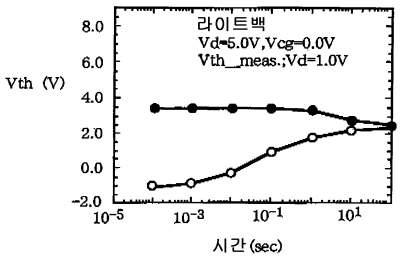
## 도면 17


Vcg
16
CG
Vd
Vs
ONO
15
FG
14
13
12b
N+
12a
17
N-
P+
2b'
1b
P
Vsub

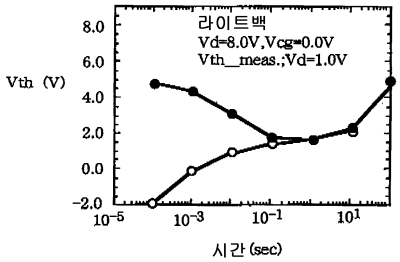
## 도면 18

| 동작 | 드레인 | 게이트 | 소스 | 백 게이트 |
|---|---|---|---|---|
| 판독 | 1V | 0-5V | 0V | 0V |
| 기록 | 6V | -8V | 오픈 | 0V |
| 소거 | 오픈 | 9V | -8V | -8V |
| 라이트백 | 0V | 0V | 6V | 0V |

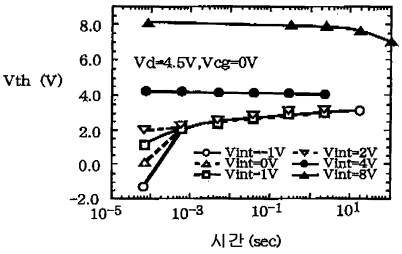
## 도면 19



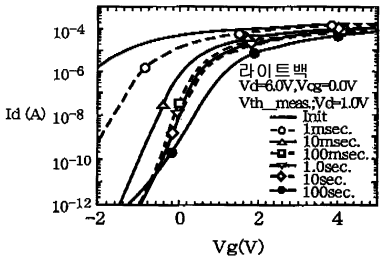

## 도면 20



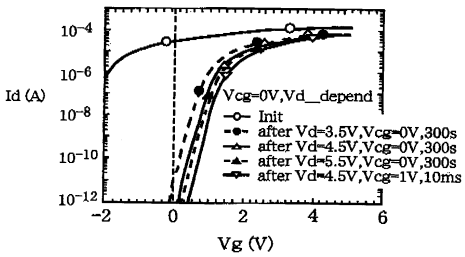

## 도면 21



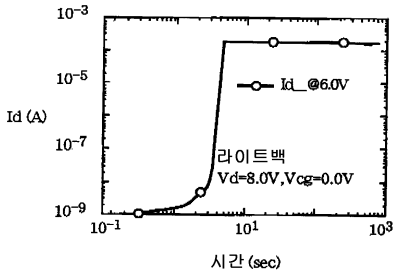
## 도면 22



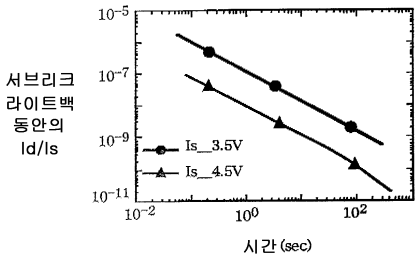

## 도면 23



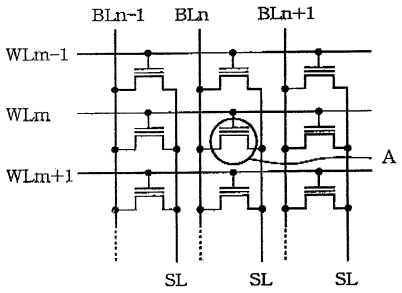

## 도면 24



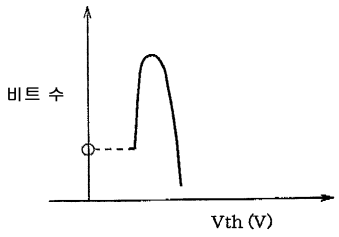

## 도면 25



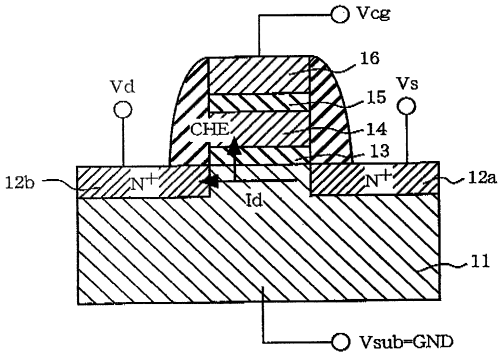
## 도면 26



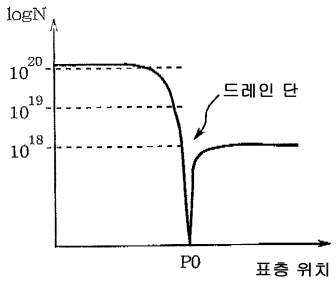

## 도면 27



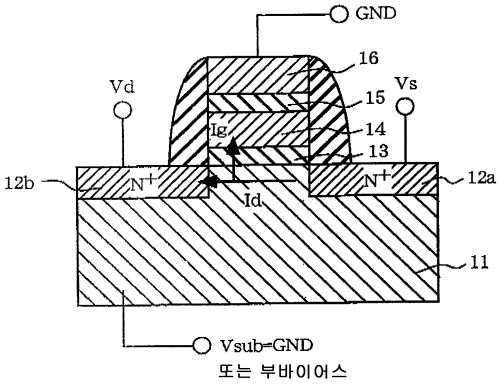

## 도면 28



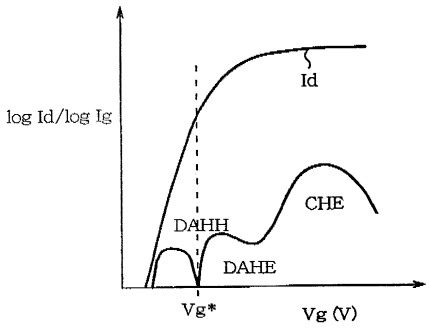

## 도면 29



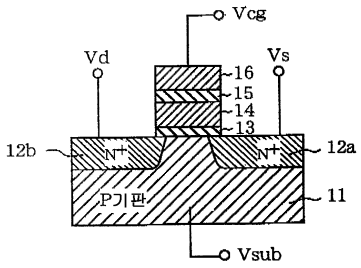
도면 30



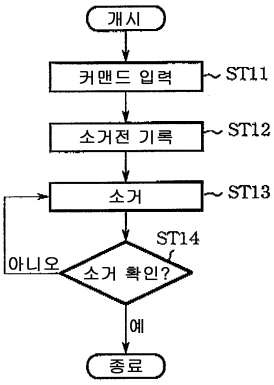

도면 31



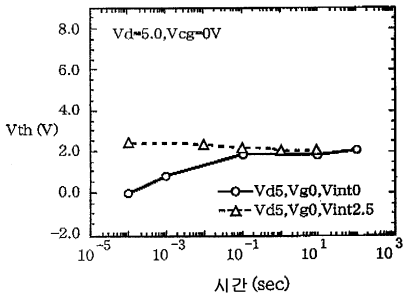

도면 32



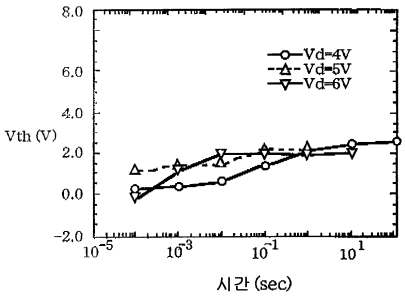
## 도면 33



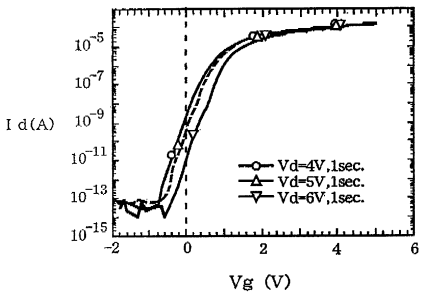

## 도면 34




## 도면 35

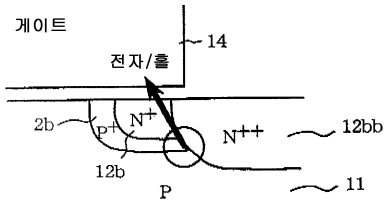


## 도면 36

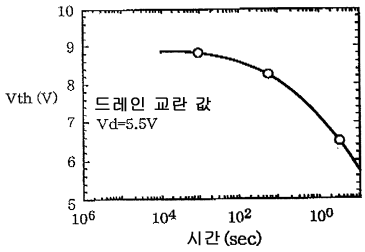



## 도면 37

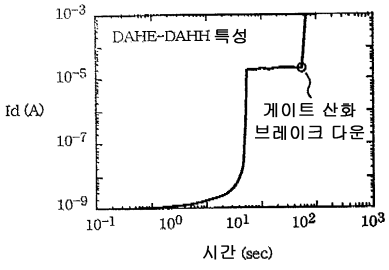
(드레인 단 확대도)



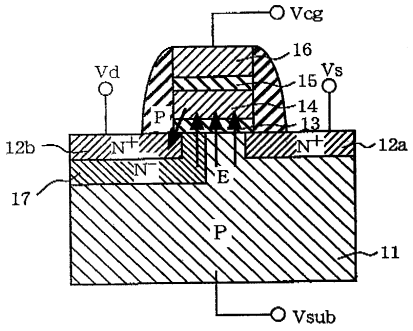

## 도면 38



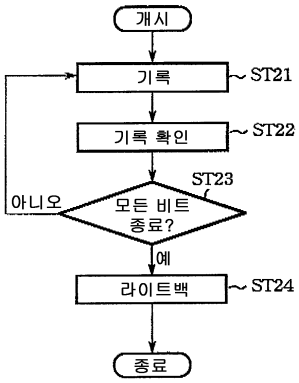

## 도면 39



## 도면 40




## 도면 41




## 도면 42

| 동작 | 드레인 | 게이트 | 소스 | 백 게이트 |
|---|---|---|---|---|
| 판독 | 1V | 0-5V | 0V | 0V |
| 기록 | 6V | -8V | 오픈 | 0V |
| 소거 | 오픈 | 9V | -8V | -8V |
| 라이트백 | 7V | 8V | 0V | 0V |