

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3607016号  
(P3607016)

(45) 発行日 平成17年1月5日(2005.1.5)

(24) 登録日 平成16年10月15日(2004.10.15)

(51) Int. Cl.<sup>7</sup>

F I

H O 1 L 21/336

H O 1 L 29/78 6 2 7 C

H O 1 L 27/08

H O 1 L 27/08 3 3 1 E

H O 1 L 29/786

H O 1 L 29/78 6 1 3 A

請求項の数 15 (全 21 頁)

|  |   |
|--|---|
| <p>(21) 出願番号 特願平8-281703<br/>                 (22) 出願日 平成8年10月2日(1996.10.2)<br/>                 (65) 公開番号 特開平10-107293<br/>                 (43) 公開日 平成10年4月24日(1998.4.24)<br/>                 審査請求日 平成15年10月1日(2003.10.1)</p> | <p>(73) 特許権者 000153878<br/>                 株式会社半導体エネルギー研究所<br/>                 神奈川県厚木市長谷398番地<br/>                 (72) 発明者 張 宏勇<br/>                 神奈川県厚木市長谷398番地 株式会社<br/>                 半導体エネルギー研究所内<br/>                 (72) 発明者 寺本 聡<br/>                 神奈川県厚木市長谷398番地 株式会社<br/>                 半導体エネルギー研究所内<br/>                 審査官 綿引 隆</p> |
|--|---|

最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法、並びに携帯型の情報処理端末、ヘッドマウントディスプレイ、ナビゲーションシステム、携帯電話、カメラおよびプロジェクター

(57) 【特許請求の範囲】

【請求項1】

隣り合って配置されたボトムゲイト型の薄膜トランジスタを形成するに際して、絶縁表面上に第1の電極を形成する工程と、前記第1の電極上に前記第1の電極を覆うように絶縁膜を形成する工程と、前記絶縁膜上に半導体層を形成する工程と、前記半導体層上に層間絶縁膜を形成する工程と、前記半導体層の一部が露呈するように前記層間絶縁膜に開口を形成する工程と、前記開口内部において前記半導体層に接する金属膜を形成する工程と、前記開口内部において、前記金属膜と前記半導体層とを同一のマスクを用いてパターニングし、第2の電極を形成すると共に前記半導体層を分離する工程と、を有することを特徴とした半導体装置の作製方法。

【請求項2】

隣り合って配置されたボトムゲイト型の薄膜トランジスタを形成するに際して、基板上に第1の電極を形成する工程と、前記第1の電極上に前記第1の電極を覆うように絶縁膜を形成する工程と、前記絶縁膜上に第1の半導体層を形成する工程と、前記第1の半導体層上にレジストを塗布する工程と、前記基板の裏面から前記第1の電極を介して前記レジストを露光し、前記第1の電極と整合したレジストマスクを形成する工程と、

前記レジストマスクを残してレジストをエッチングする工程と、  
 前記レジストマスク上に前記レジストマスクを覆うように第2の半導体層を形成する工程と、  
 前記レジストマスクと共に前記レジストマスクの上部で接する前記第2の半導体層の一部を除去し、前記第1の半導体層の一部が露呈するように前記第2の半導体層に第1の開口を形成する工程と、  
 前記第2の半導体層上に選択的に不純物元素を導入する工程と、  
 前記第1の開口において露出した前記第1の半導体層及び前記第2の半導体層上に層間絶縁膜を形成する工程と、  
 前記第2の半導体層の一部が露呈するように前記層間絶縁膜に第2の開口を形成する工程と、  
 前記第2の開口内部において前記第2の半導体層に接する金属膜を形成する工程と、  
 前記第2の開口内部において、前記金属膜と前記第1の半導体層及び前記第2の半導体層とを同一のマスクを用いてパターンニングし、第2の電極を形成すると共に前記第1の半導体層及び前記第2の半導体層を分離する工程と、  
 を有することを特徴とした半導体装置の作製方法。

10

【請求項3】

請求項1または請求項2において、  
前記金属膜は、チタン膜とアルミニウム膜とチタン膜との積層膜であることを特徴とする半導体装置の作製方法。

20

【請求項4】

請求項1乃至請求項3のいずれか一項において、  
前記層間絶縁膜は、窒化珪素膜と、前記窒化珪素膜上のポリイミド樹脂膜、ポリアミド樹脂膜またはポリイミドアミド樹脂膜との積層膜であることを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至請求項4のいずれか一項において、  
前記第2の電極上にポリイミド樹脂でなる層間絶縁膜を形成する工程と、  
 当該層間絶縁膜上に画素電極を形成する工程と、  
 を有することを特徴とする半導体装置の作製方法。

30

【請求項6】

隣り合って配置されたボトムゲイト型の薄膜トランジスタにおいて、  
 絶縁表面上に形成された第1の電極と、  
 前記第1の電極上に前記第1の電極を覆うように形成された絶縁膜と、  
 前記絶縁膜上に形成された第1の半導体層と、  
 前記第1の半導体層上に形成され、前記第1の電極の端部と側面の一致している第1の開口部を有する第2の半導体層と、  
 前記第2の半導体層上に形成され、前記第1の開口部において前記第1の半導体層と接し、  
 前記第2の半導体層の一部が露呈するような第2の開口部を有する層間絶縁膜と、  
 前記層間絶縁膜上に形成された第2の電極とを有し、  
 前記第2の電極と前記第2の半導体層とは、前記第2の開口部において接触し、  
 前記第2の電極と前記第1の半導体層及び前記第2の半導体層とは、前記第2の開口部において同一のマスクを用いてパターンニングされ、分離されていることを特徴とする半導体装置。

40

【請求項7】

請求項6において、  
前記第2の電極は、チタン膜とアルミニウム膜とチタン膜との積層でなることを特徴とする半導体装置。

【請求項8】

請求項6または請求項7において、

50

前記層間絶縁膜は、窒化珪素膜と、前記窒化珪素膜上のポリイミド樹脂膜、ポリアミド樹脂膜またはポリイミドアミド樹脂膜との積層膜であることを特徴とする半導体装置。

【請求項 9】

請求項 6 乃至請求項 8 のいずれか一項において、  
前記第 2 の電極上にポリイミド樹脂でなる層間絶縁膜を有し、  
当該層間絶縁膜上に画素電極を有することを特徴とする半導体装置。

【請求項 10】

請求項 6 乃至請求項 9 のいずれか一項において、  
前記半導体装置を用いた携帯型の情報処理端末。

【請求項 11】

請求項 6 乃至請求項 9 のいずれか一項において、  
前記半導体装置を用いたヘッドマウントディスプレイ。

【請求項 12】

請求項 6 乃至請求項 9 のいずれか一項において、  
前記半導体装置を用いたナビゲーションシステム。

【請求項 13】

請求項 6 乃至請求項 9 のいずれか一項において、  
前記半導体装置を用いた携帯電話。

【請求項 14】

請求項 6 乃至請求項 9 のいずれか一項において、  
前記半導体装置を用いたカメラ。

【請求項 15】

請求項 6 乃至請求項 9 のいずれか一項において、  
前記半導体装置を用いたプロジェクター。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本明細書で開示する発明は、薄膜トランジスタを集積化した構造に関する。またその作製工程に関する。またそのような構成を有する電子装置に関する。

【0002】

【従来の技術】

薄膜トランジスタ（一般に T F T と称される）を利用した装置（本明細書では広く一般に半導体装置と称することとする）としては、アクティブマトリクス型の液晶表示装置や E L 素子を利用したアクティブマトリクス型の表示装置が知られている。また、他に薄膜トランジスタの利用用途としては、メモリや演算機能を有する各種集積回路がある。

【0003】

また最近、アクティブマトリクス回路（画素回路や画素マトリクス回路とも呼ばれる）と周辺駆動回路（ドライバー回路とも呼ばれる）とを同一ガラス基板や石英基板上に集積化したアクティブマトリクス型の液晶表示装置が注目されている。この構成は、周辺駆動回路一体型と呼ばれている。

【0004】

図 7 にアクティブマトリクス型の液晶表示装置の T F T が形成された側の基板（T F T 基板と称される）の回路配置の概要を示す。図に示すように、同一の基板（ガラス基板または石英基板）301 上にアクティブマトリクス回路 303 と該回路を駆動するための周辺駆動回路 302 と 304 とが配置されている。これらの回路は、T F T でもって構成されている。

【0005】

ここで周辺駆動回路 304（302 も基本的に同様な構造を有する）には、308 でその拡大した状態が示されるように、P チャネル型の T F T（P T F T と称する）と N チャネル型の T F T（N T F T と称する）とを相補型（C M O S 構造）に組み合わせた 307 で

10

20

30

40

50

示される素子が、アクティブマトリクス回路のソース線またゲイト線に対応して配列された構造となっている。

【0006】

この307で示されるのは、アナログスイッチと称されるものであるが、他にシフトレジスタ回路やバッファ回路も307で示されるCMOS素子が基本となって構成される。

【0007】

308で示す回路は、アナログスイッチと呼ばれ、最終的にソース線に信号を流す最終段部分の回路である。この意味でドライバー回路、またはドライバー段とも称される。

【0008】

配線のインピーダンスの違いを考慮した場合、CMOS素子307は、図7に示されるように一例に配列することが望ましい。これは、配線のインピーダンスの違いによって、アクティブマトリクス回路に送り出される信号に微妙な乱れが出ることを抑制するためである。

10

【0009】

また、TFEの活性層を構成する結晶性珪素膜（一般にP-Siと表記される）を得る方法として、線状のビーム形状を有したレーザー光の照射による方法（レーザーアニール法と称される）を利用する技術がある。

【0010】

この技術を利用する場合、その走査方向におけるエネルギー密度のバラツキにより結晶性に微妙な違いが生じるという問題がある。従って、同一の特性を要求される多数の素子を集積化する場合、各素子が308に示されるように横一列に並んでいる方が好ましい。

20

【0011】

【発明が解決しようとする課題】

表示装置に要求される性能としては、大面積画面、微細表示、高速動画表示といったものがある。これらの要求を満足しようとする場合、図7の308で示されるようなCMOS素子307を横一列に配列した構造は寸法的及び面積的に無理がある。

【0012】

そこで、実際には、図8で示されるように素子を配置した構成が採用されている。即ち、多数の素子を互い違いになるように段違いに配列した構成が採用されている。

【0013】

しかしこのような構造を採用した場合、前述した、  
 (1) 段の違いによる活性層の結晶性の違いに起因する素子特性の違い。  
 (2) 配線インピーダンスの違い。  
 といった問題は発生する。

30

【0014】

上記の問題は、表示に縞模様が発生したり、ムラが発生する要因となる。

【0015】

特に(1)の問題は、レーザーアニール装置の出力の安定性や光学系の誤差といった問題も絡み、その影響は無視できないものとなっている。

【0016】

上記の問題は、図7の307で示されるCMOS素子の占める面積が大きい（寸法が大きい）ことに大きな要因がある。

40

【0017】

従って、307で示されるCMOS素子の占める面積より小さくすれば、図8で示されるような1列の配列が可能となる。そうすれば、上述した問題も発生しない。

【0018】

上記のCMOS素子307の示す面積が大きい（寸法が大きい）という問題について以下に詳述する。

【0019】

図9に図7のCMOS素子307を拡大した概略を示す。図9において、214で示され

50

るのが P T F T と N T F T とが相補型に構成された構造を有する C M O S 素子である。また、215が隣の C M O S 素子の一部である。

【0020】

まず素子214の各部について説明する。素子214は、P T F T の半導体層202とN T F T の半導体層216とを活性層として構成される。

【0021】

図9において、203はP T F T のゲート電極であり、205はN T F T のゲート電極である。両ゲート電極は延在して204で示されるパターンで一緒になっている。

【0022】

201は、P T F T のソース電極である。208は、N T F T のソース電極である。この両ソース電極も延在したパターンで一緒になっている。 10

【0023】

206は両T F T に共通したドレイン電極である。ドレイン電極206は213で示されるパターンで延在し、その先はアクティブマトリクス回路のソース線に延在している。

【0024】

207で示されるのは、P T F T の活性層202のソース領域にコンタクトする開口部である。この開口部を介して、ソース電極201とソース領域202とがコンタクトする。

【0025】

図9に示すような構造を採用した場合、マスク合わせ精度の関係から素子同士の間隔や素子の大きさの最低値が決まる。 20

【0026】

例えば、フォトリソグラフィ工程として3 $\mu$ mルールを採用した場合は以下の様になる。

【0027】

3 $\mu$ mルールを採用した場合、図9の矢印で示される寸法は最低でも3 $\mu$ mとなる。従って、217で示される隣合う素子のソースコンタクトの間隔は最低でも15 $\mu$ mとなってしまう。

【0028】

また、1つのC M O S 素子においても、218で示される距離が最低でも9 $\mu$ m必要とされる。 30

【0029】

本明細書に開示する発明は、図7に示すような回路構成を実現するに当たり、素子の占有面積を極力小さくし、多数の素子を一直線上に配列する新規な構成を提供することを課題とする。

【0030】

【課題を解決するための手段】

本明細書で開示する発明の一つは、図5にその具体的な作製工程の一部を示すように、隣合って配置された少なくとも2つのボトムゲート型の薄膜トランジスタ147および148を形成するに際して、

ソース電極138及び139のパターン（またドレイン電極のパターン）を利用して自己整合的に前記2つの薄膜トランジスタの活性層の分離（開口145で分離される）を行うことを特徴とする。 40

【0031】

他の発明の構成は、図5にその具体的な作製工程の一部を示すように、隣合って配置されたボトムゲート型を有するP及びNチャネル型の薄膜トランジスタでなる少なくとも2つのC M O S 素子を形成するに際して、

ソース電極138及び139のパターン（またはドレイン電極のパターン）を利用して自己整合的に前記2つの素子を構成する半導体層の分離（開口145で分離される）を行うことを特徴とする。

【0032】

図5に示す構成においては、CMOS素子を構成するPチャネル型の薄膜トランジスタ（PTFT）とNチャネル型の薄膜トランジスタ（NTFT）の活性層は、共通な半導体層で構成されている。

【0033】

他の発明の構成は、

隣合って配置された少なくとも2つのボトムゲイト型の薄膜トランジスタを有し、ソースまたはドレイン電極のパターンを利用して自己整合的に前記2つの薄膜トランジスタの活性層の分離が行われていることを特徴とする。

【0034】

他の発明の構成は、

隣合って配置されたボトムゲイト型を有するP及びNチャネル型の薄膜トランジスタでなる少なくとも2つのCMOS素子を有し、ソースまたはドレイン電極のパターンを利用して自己整合的に前記2つの素子を構成する半導体層の分離が行われていることを特徴する。

【0035】

上記構成を採用した場合、図5の開口145の部分に示すように分離が行われた素子の端部の一部は、ソースまたはドレイン電極のパターンの端部とその側面が一致したものとなる。これは、電極のパターンを利用した自己整合プロセスの結果として得られる。

【0036】

上記の構成は、集積回路単体に利用されるのみではなく、当該集積回路を用いた電子装置、例えば図18に示すような情報処理端末やビデオカメラのディスプレイに利用することができる。本明細書では、これらの装置を電子装置と総称する。

【0037】

【発明の実施の形態】

図5に示すように、電極138及び139のパターンを利用して、145で示される開口を形成し、隣合ったCMOS素子を分離する。また、隣合ったTFT147と148とを分離する。

【0038】

こうすることで、素子間隔を詰めることができ、より集積度を高めることができる。

【0039】

【実施例】

〔実施例1〕

本実施例は、ボトムゲイト型のPTFTとNTFTとを相補型に構成したCMOS素子を一直線上に配列した構成に関する。

【0040】

なお、いうまでもないことではあるが、成膜条件や各種パラメータは、実施に当たって当業者の知見に応じ、適時選択または変更することができる。

【0041】

図1以下に本実施例の作製工程の概略工程図を示す。図1において、A-A'で切った断面が下部の断面図に対応する。

【0042】

まず図1に示すようにガラス基板（または石英基板）101上にゲイト電極102、103、104、105を形成する。

【0043】

ここではゲイト電極の材料として、アルミニウムを利用する。勿論、他の導電性材料を利用するのでもよい。

【0044】

図においては、102と103のゲイト電極がそれぞれ延在して連結した構造となっている。また、104と105のゲイト電極がそれぞれ延在して連結した構造となっている。

【0045】

10

20

30

40

50

後で詳述するが、102と103の組のゲイト電極が1つのCMOS素子のゲイト電極を構成する。具体的には、102がCMOSを構成するPTFTのゲイト電極を構成する。また、103がCMOSを構成するNTFTのゲイト電極を構成する。

【0046】

また、104と105は他のCMOSのPTFT、NTFTのゲイト電極を構成することとなる。即ち、図1には2つのCMOS素子の作製段階の状態が図示されている。

【0047】

アルミニウムでなるゲイト電極102～105を形成したら、陽極酸化法により、その表面に図示しない陽極酸化膜を形成する。この陽極酸化膜は、ゲイト電極の表面を物理的及び電氣的に保護し、後の工程において、ヒロックやウイスキーの発生を抑制する機能を有している。また、層間絶縁膜のピンホールを介した上下間ショートを防止する機能を有している。

10

【0048】

ヒロックやウイスキーというのは、アルミニウムの異常成長により発生する刺上あるいは針状の突起物のことである。

【0049】

次にゲイト絶縁膜として機能する酸化珪素膜106を1000の厚さに成膜する。成膜方法は、成膜ガスとしてTEOSと酸素とを用いたプラズマCVD法を用いる。

【0050】

つぎに薄膜トランジスタの活性層を構成するための半導体層を形成する。ここでは、まず図示しない非晶質珪素膜を500の厚さに減圧熱CVD法を用いて成膜する。次にレーザー光の照射を行うことにより、非晶質珪素膜を結晶化させる。こうして107で示される結晶性珪素膜を得る。

20

【0051】

結晶性珪素膜を得る方法は他の手段でもよい。例えば加熱処理やランプ照射による方法でもよい。また、直接結晶性を有する珪素膜を用いるのもよい。また、非晶質珪素膜のままでもよい。

【0052】

以上のようにして図1に示す状態を得る。次に図2に示すように、窒化珪素膜でなるマスク108、109、111、112を形成する。

30

【0053】

このマスクパターンは、ゲイト電極をマスクとして用いた基板裏面側からの露光により形成する。

【0054】

この方法によれば、ゲイト電極のパターンを利用して自己整合的に108、109、111、112で示されるマスクパターンを形成することができる。なお、図2のB-B'で切った断面が下部の断面図に対応する。

【0055】

次に図示しないレジストマスクを配置して、選択的にP(リン)とB(ボロン)のドーピングを行う。ドーピングはプラズマドーピング法を用いて行う。

40

【0056】

このドーピングは、114、116、120、122、126の領域をP型とし、113、117、119、123、125の領域をN型とする条件でもって行う。

【0057】

ドーピングの終了後、図示しないレジストマスク(ドーピング用のマスク)を除去し、さらにマスク108、109、111、112を除去する。そして、レーザー光の照射を行うことにより、ドーピングがされた領域の損傷のアニールとドーピングされた不純物の活性化とを行う。

【0058】

ここで、114と116、さらに120と122の領域がPTFTのソース、ドレイン領

50

域となる。

【0059】

また、117と119、さらに123と125がNTFTのドレイン、ソース領域となる。

【0060】

また、115はPTFTのチャンネル領域、118はNTFTのチャンネル領域、121はPTFTのチャンネル領域、124はNTFTのチャンネル領域である。

【0061】

なお、113は図示しない左隣のCMOS素子を構成するNTFTのN型領域(ソース領域)である。また、126は図示しない右隣のCMOS素子を構成するPTFTのP型領域(ソース領域)である。

10

【0062】

次に図3に示すように層間絶縁膜として、窒化珪素膜127とポリイミド樹脂膜128とを成膜する。窒化珪素膜はプラズマCVD法により成膜する。また、ポリイミド膜はスピコート法を用いた方法により成膜する。なお、図3において、C-C'で切った断面が下部の断面図に対応する。

【0063】

なお、ポリイミドの他には、ポリアミド、ポリイミドアミドを利用することができる。

【0064】

窒化珪素膜127とポリイミド膜128との積層膜でなる層間絶縁膜を形成したら、129、130、131、132、133で示されるコンタクトホールを形成を行う。この工程において、各コンタクトホールの底部において、半導体層が露呈する。(図3参照)

20

【0065】

この状態においては、複数のCMOS素子を構成するための半導体層が共通なものとなっている。即ち、複数(図では2つ)のCMOS素子の活性層は共通であり、その中でPおよびN型の領域が選択的に作り分けられている状態となっている。

【0066】

次に層間絶縁膜上にチタン膜とアルミニウム膜とチタン膜とでなる積層膜を形成する。この積層膜はソース電極およびそこから延在した配線、さらにドレイン電極およびそこから延在した配線を形成するためのものである。

30

【0067】

そして400で代表されるレジストマスクを配置する。そしてドライエッチング法を用いて、上記チタン膜とアルミニウム膜とチタン膜とでなる積層膜をパターニングする。さらにこの積層膜のエッチングに引き続いて、その下部の活性層のエッチングも引き続いて行なう。

【0068】

上記のドライエッチングは、エッチングガスとして、 $\text{SiCl}_4$ 、 $\text{Cl}_2$ 、 $\text{BCl}_2$ を混合したガスを用いたRIE法を利用する。このエッチングガスを用いた場合、チタン膜とアルミニウム膜とチタン膜とでなる積層膜をエッチングし、さらに連続して活性層を構成する珪素膜をもエッチングすることができる。

40

【0069】

図4には、上記チタン膜とアルミニウム膜とチタン膜とでなる積層膜がパターニングされた状態が示されている。この状態は、積層膜のエッチングが終了し、活性層が露呈したエッチングの途中の状態といえる。

【0070】

なお、実際においては、図4の状態のエッチングを停止させるのは、困難である。

【0071】

また、図4において、E-E'で切った断面が下図の断面図に対応する。

【0072】

図4には、左側のCMOS素子を構成するPTFTのソース電極135とドレイン電極1

50

36、さらにNTFTのソース電極138とドレイン電極136とが示されている。図から明らかなように、ドレイン電極136は両TFTにおいて共通なものとなっている。

【0073】

また図4には、右側のCMOS素子を構成するPTFTのソース電極139とドレイン電極140、さらにNTFTのソース電極142とドレイン電極140とが示されている。図から明らかなように、ドレイン電極140は両TFTにおいて共通なものとなっている。また、134で示されるのは、さらに左側のCMOS素子のNTFTのソース電極である。また、143で示されるのは、さらに右側のCMOS素子のPTFTのソース電極である。

【0074】

図4に示す状態から引き続いて、さらに露呈している半導体層のエッチングを行う。そしてレジストマスク400を除去する。こうすることにより、図5に示すように144、145、146で示される開口部が形成され、半導体層(活性層)が各CMOS素子単位で分断される。

【0075】

この分断は、ソース電極を形成するためのパターンを利用して自己整合的に行われる。即ち、CMOS素子を分離するための活性層のパターニングをそれぞれ単独で行うのではなく、ソース電極(またはドレイン電極)のパターンを形成する際に同時に導体層を素子毎に分断することができる。

【0076】

この場合、半導体層を分離するためのマスクとソース電極のパターニングのためのマスク(代表的に図4の400で示される)とは同じものとなる。従って、半導体層を分離するために特にマスクを配置する必要がなく、またそのためのマスク合わせマージンは必要とされない。そして、その分CMOS素子の間隔を狭めることができる。

【0077】

また、CMOS素子を構成するPTFTとNTFTとを同一の半導体層で構成することにより、両TFTの間隔を最大限狭めることができる。

【0078】

また本実施例に示す構成を採用した場合、ソース及びドレイン電極の半導体層(活性層)へのコンタクト面積を大きくすることができる。

【0079】

〔実施例2〕

本実施例は、2つのTFTを並べて配置する構成において、その間隔を狭めることができる構成に関する。

【0080】

実施例1では、複数のCMOS素子を1直線上に配置した場合において、各CMOS素子の間隔を狭めた構成を示した。(例えば図5参照)

【0081】

しかし、本明細書に開示する発明は、実施例1に示したようなCMOS素子の形成のみに利用が限定されるものではない。

【0082】

本明細書に開示する発明のポイントの一つは、図5の145で示されるような開口(分離のための半導体の除去領域)をソースまたはドレイン電極のパターニングの際に同時に形成することにある。

【0083】

従って、分離されるTFTのチャンネル型の組み合わせは任意である。即ち、PTFTとPTFTの組み合わせ、またはNTFTとNTFTの組み合わせでもよい。

【0084】

また、その配置も必ずしも一直上に配置されておらず、隣合う素子の配置がずれているような場合にも利用できる。

10

20

30

40

50

## 【0085】

このように、本明細書で開示する発明は、隣合って配置されたTFTの間隔を狭くすることができる技術として利用することができる。

## 【0086】

以下に具体的な例を示す。ここでは、図5のNTFT147とPTFT148とに注目する。ここで、2つのTFTはCMOSを構成している訳ではない。

## 【0087】

この場合、開口145により活性層を分離することにより、NTFT147とPTFT148とが分離される。即ち、2つの隣り合ったTFTが分離される。

## 【0088】

開口145は、PTFT147のソース電極138とNTFT148のソース電極139とをパターンニングにより形成する際にさらにエッチングを進行させることによって、自己整合的に形成される。

## 【0089】

即ち、PTFT147のソース電極138とNTFT148のソース電極139とをパターンニングする際に、PTFT147とNTFT148の分離も同時に行われる。

## 【0090】

このようにすることにより、隣合うTFTの分離を自己整合的に行うことができ、素子分離のためのマスク合わせ精度のマージン(余分に設定される寸法)を省くことができる。そしてこの隣合う素子の間隔を狭めることができる。

## 【0091】

## 〔実施例3〕

本実施例は、実施例1に示す構成において、TFTの構造を別のものにした場合の例を示す。

## 【0092】

図6に本実施例に示す薄膜トランジスタの作製工程を示す。なお図1～図5に示すのと同じ符号は同一の箇所を示す。また、作製方法等も特に断らない限り実施例1と同様である。

## 【0093】

まず実施例1に示す工程に従って、図6(A)に示す状態を得る。この状態においては、レーザー光の照射による結晶化を行わず、601で示される膜は非晶質状態のままとする。

## 【0094】

次に窒化珪素膜でなるマスク108、109、111、112を裏面からの露光を利用して形成する。そして、導電性を付与する不純物のドーピングを選択的に行う。この工程で、N型の領域113、117、119、123、125を形成する。またP型の領域114、116、120、122、126を形成する。

## 【0095】

そして、図6(B)に示すように、基板101の裏面側からレーザー光の照射を行う。この工程において、113、114、116、117、119、120、122、123、125、126の領域の活性化を行う。この際、当該領域の結晶化も同時に行われる。

## 【0096】

後は実施例1に示す工程に従って、ガラス基板上に多数のCMOS素子が一直線上に配列された構成を得る。

## 【0097】

## 〔実施例4〕

本実施例は、本明細書に開示する発明を利用してアクティブマトリクス型の液晶表示装置を構成した場合の例である。

## 【0098】

同一基板上にアクティブマトリクス回路と周辺駆動回路とを集積化した構造を有するアク

10

20

30

40

50

ティブマトリクス型の液晶表示装置においては、以下のような課題がある。

【0099】

一般に周辺駆動回路はゲイトドライバー回路とソースドライバー回路とで構成されている。これらの回路は、アクティブマトリクス回路に比較してより高い周波数で動作することが要求される。特にソースドライバー回路はゲイトドライバー回路よりさらに高い周波数での動作が要求される。

【0100】

例えば、ソースドライバーには10MHz以上での動作が要求される。なお、ゲイトドライバーには、十数kHz程度での動作が要求される。

【0101】

現状の結晶性珪素を用いたTFT(P-SiTFTと略記される)は、数MHz程度の周波数までしか動作させることができない。

【0102】

従って、上記のVGA規格に現状のTFTを利用した場合、ゲイトドライバーは構成することができるが、ソースドライバーはそのままでは構成できない。

【0103】

そこで、動作方法を工夫することにより、数MHzまでの動作しかしないTFTでソースドライバーを構成することが行われている。即ち、動作形態を分割することにより、実際に必要とされる動作速度を(1/分割数)に低減させる動作方法を採用する工夫がなされている。

【0104】

本実施例では、高い周波数での動作が要求される周辺駆動回路部分(ソースドライバー回路)は、従来からの手法である外付のICチップ(ドライバーLSIと称されている)による構成とし、現状のTFTでも対応できるゲイトドライバー回路は、TFTを利用して構成する。

【0105】

ここで、ゲイトドライバーの構成は、実施例1に示した構成を利用する。即ち、結晶性珪素膜を用いた逆スタガー型のTFTでもって構成されたCMOSインバータ素子を用いた構成とする。

【0106】

〔実施例6〕

本実施例は、実施例5に示す構成において、ゲイトドライバー回路を非晶質珪素膜(アモルファスシリコン膜)を用いたTFTで構成する例である。本実施例を実施するに当たっては、実施例1に示す構成において、TFTの活性層を構成する半導体膜を結晶化させずに非晶質なままとすればよい。

【0107】

本実施例の構成を採用した場合、結晶化工程を省くことができる。また作製工程を削減することができるので、作製工程における不良の発生を抑制し、さらに得られた製品の信頼性を高くすることができる。

【0108】

〔参考例〕

実施例1に示す構成には、周辺駆動回路一体型のアクティブマトリクス型液晶表示装置の周辺駆動回路に利用することができる。

【0109】

一般に周辺駆動回路一体型の構成においては、周辺駆動回路とアクティブマトリクス回路とは同時に平行して作製される。(そもそもそのような作製工程を採用できることが特徴の一つである)

【0110】

ここでは、実施例1に示す構成において、同一基板上にアクティブマトリクス回路を同時に形成する構成に関する。

10

20

30

40

50

## 【0111】

図10にアクティブマトリクス回路に配置される薄膜トランジスタの作製工程を示す。図10(A)に示すのは、図3に示す工程に対応する。即ち、図3に示す状態において、他部において図10(A)に示す状態が得られている。

## 【0112】

図10(A)に示す状態においては、活性層の1002、1004で示される領域が露呈している。ここで、1002はソース領域、1004はドレイン領域である。本実施例は、画素TFTとしてNTFTを利用する例を示すので、これらの領域はN型を有している。また、1003がチャネル領域である。

## 【0113】

また、127は第1の層間絶縁膜を構成する窒化珪素膜であり、128は第1の層間絶縁膜を構成する樹脂膜(ポリイミド膜)である。

## 【0114】

図10(A)に示す状態を得たら、図10(B)に示すように、チタン膜とアルミニウム膜とチタン膜との積層膜をもって、ソース電極1008、ドレイン電極1009を形成する。

## 【0115】

この際、露呈した活性層のエッチングをチタン膜とアルミニウム膜とチタン膜との積層膜のパターニングに引き続いて行う。こうすることにより、活性層のパターニングを自己整合的に行うことができる。

## 【0116】

こうして図10(B)に示す状態を得る。この状態においては、ゲイト絶縁膜106が露呈した状態となる。

## 【0117】

次に図10(C)に示すように、ポリイミド樹脂でなる第2の層間絶縁膜1010を形成する。そしてチタン膜をもって遮光膜1011を形成する。この遮光膜はBM(ブラックマトリクス)も併用した構成とする。

## 【0118】

次に図10(D)に示すように、ポリイミド樹脂でなる第3の層間絶縁膜1012を形成する。そしてコンタクトホール形成を行い、1013で示されるITOでなる画素電極を形成する。こうしてアクティブマトリクス回路に配置されるTFT(画素TFT)を形成する。

## 【0119】

## 〔実施例7〕

本実施例は、実施例1に示す工程において、実施例1に示すものと異なる構造を有するTFTに関する。図11~図17に本実施例の作製工程を示す。以下において、図1~図5に示すものと同じ符号は、同じ部分を示す。

## 【0120】

まず実施例1に示す工程に従って、図11に示す状態を得る。本実施例において、実施例1に示す工程に従って、図2に示す不純物のドーピングを行う前の状態を得る。こうして図11に示す状態を得る。

## 【0121】

図11において、101はガラス基板(または石英基板)である。102、103、104、105はゲイト電極である。102と103のゲイト電極は延在して共通化されている。また、104と105のゲイト電極は延在し共通化されている。

## 【0122】

106で示されるのはゲイト絶縁膜を構成するための酸化珪素膜である。また107で示されるのは非晶質珪素膜である。

## 【0123】

201、202、203、204は、ゲイト電極102~105を利用した基板裏面から

10

20

30

40

50

の露光により形成されたレジストマスクである。

【0124】

図11に示す状態を得たら、図12に示すようにP型を有する非晶質珪素膜205をプラズマCVD法により成膜する。

【0125】

次にレジストマスク201、202、203、204を専用の溶剤を用いて除去する。この結果、図13に示す状態を得る。

【0126】

図13において、206、208、210、212で示されるがチャネル領域となる。なお、205、207、209、211、213で示す領域がP型を有する領域である。 10

【0127】

次に図14に示すようにレジストマスク214、215、216を配置し、P(リン)元素のドーピングを行う。この工程において、217、218、219、220、221で示される領域がN型の領域へとその導電型が反転する。

【0128】

そしてレジストマスク214、215、216を除去する。こうして図15に示す状態を得る。

【0129】

図15に示す状態において、217、218、219、220、221で示されるのがN TFTのソース及びドレイン領域を形成するN型の領域である。 20

【0130】

また、222、223、224、225、226で示されるのがP TFTのソース及びドレイン領域を形成するN型の領域である。

【0131】

次に図16に示すように層間絶縁膜として、窒化珪素膜127とポリイミド膜128を成膜する。さらにドライエッチング法を用いて、129、130、131、132、133で示される開口を形成する。この際、図示しないレジストマスクを用いて、129、130、131、132、133で示される開口部分が露呈するようにしてドライエッチングを行う。 30

【0132】

このドライエッチング工程の結果、開口底部において半導体層が露呈した状態が得られる。 30

【0133】

図16に示す状態を得たら、図17に示すように金属電極134、135、136、138、139、140、142、143を形成する。

【0134】

この際、171、172、173で示される部分の半導体層を除去することによりCMOS素子毎に半導体層を分離する。

【0135】

〔実施例9〕 40

本実施例は、実施例1に示すような構成を利用した各種表示機能を有する装置の具体例を示す。

【0136】

図18(A)に示すのは、携帯型の情報処理端末である。この装置は、本体2001にアクティブマトリクス型の液晶表示装置2003、操作ボタン2004、CCDカメラ2002を備えている。この装置は、電話回線から情報を引き出したり、また電話回線を介して情報を送ることができる構成を有している。

【0137】

また、電話回線以外に衛星からの情報や各種電波媒体からの情報を処理したり表示する機能を有せしめることもできる。 50

## 【0138】

表示装置2003に利用される液晶パネルの形式としては、透過型又は反射型を利用することができる。低消費電力とするのであれば、反射型が有利である。

## 【0139】

図18(B)に示すのは、ヘッドマウントディスプレイと呼ばれる装置である。この装置は、人間の頭に装着し、目の前に直接画像を表示させ、あたかも前方に画像が表示されているかのような機能を有するものである。この装置は、アクティブマトリクス型の液晶表示装置2102を配置し、本体2101をバンド2103で頭に固定する構造となっている。

## 【0140】

液晶パネルとしては、透過型または反射型のものを用いることができる。

## 【0141】

図18(C)に示すのは、カーナビゲーションシステムと呼ばれるものある。この装置は、本体2202にアクティブマトリクス型の液晶表示装置2202、操作ボタン2203が配置され、衛星からの電波をアンテナ2204で受ける機能を有している。

## 【0142】

そして衛星から受けた地理情報その他を液晶表示装置2204に表示する機能を有している。液晶パネルとしては、透過型または反射型のものを用いることができる。

## 【0143】

図18(D)に示すのは、携帯電話であり、本体2301にアクティブマトリクス型の液晶表示装置2304、音声入力部2303、音声出力部2302、操作ボタン2305、アンテナ2306が配置されている。液晶パネルとしては、一般に反射型のものが用いられる。

## 【0144】

図18(E)に示すのは、携帯型のビデオカメラであり、本体2401に操作ボタン2404、アクティブマトリクス型の液晶表示装置2402、表示装置2402に表示される画像を見るための接眼部2403、撮影した画像を記憶するために磁気テープを収納するテープホルダー2405を備えている。

## 【0145】

表示装置2402を構成する液晶パネルとしては、通常バックライトからの光を変調して画像を形成する透過型のものが用いられる。

## 【0146】

図18(F)に示すのは、投射型のプロジェクターであり、本体2501に光源からの光を光学変調するアクティブマトリクス型の液晶表示装置2503を備えている。図においては、表示装置2503として反射型の液晶パネルでなるものが示されている。

## 【0147】

液晶表示装置2503で光学変調された画像は、光学系2504で拡大されて、スクリーン2505に投影される。画像を見る場合は、本体側からスクリーン2505に投影された像を見る。

## 【0148】

## 【発明の効果】

本明細書に開示する発明を利用することにより、TFTを並べて配置する構成において、配置間隔を狭くすることができる。また、CMOS回路を一行に配列しようとする場合等において、その配置間隔を狭くすることができる。そして、高い集積度を得ることができる。

## 【0149】

また、本明細書に開示する発明をアクティブマトリクス型の液晶表示装置の周辺駆動回路に利用した場合、スイッチ回路を一行上に配置することができる。こうすることで、線状のレーザーアニールを利用した結晶化技術における結晶性のバラツキの問題を解決することができる。また、スイッチ回路毎における配線インピーダンスの違いを是正することが

10

20

30

40

50

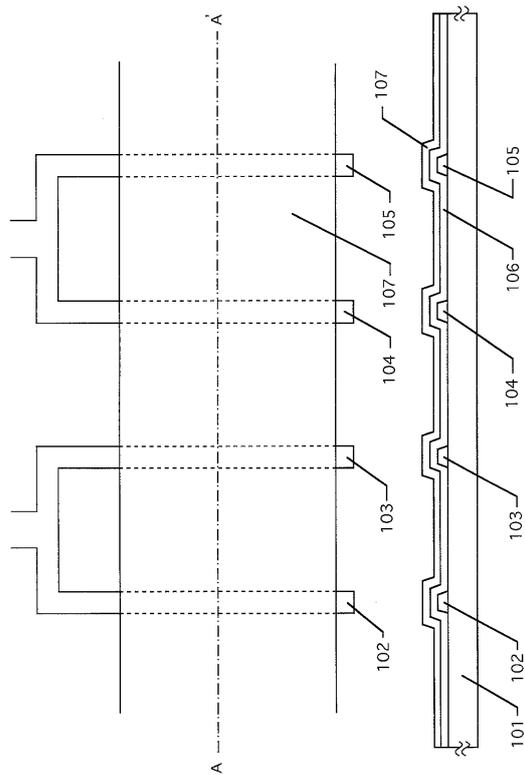
できる。

【図面の簡単な説明】

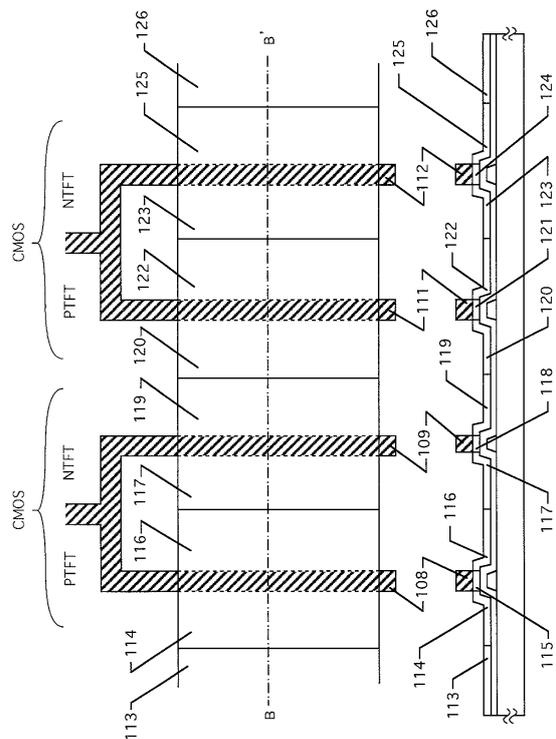
- 【図 1】実施例の作製工程を示す図。  
 【図 2】実施例の作製工程を示す図。  
 【図 3】実施例の作製工程を示す図。  
 【図 4】実施例の作製工程を示す図。  
 【図 5】実施例の作製工程を示す図。  
 【図 6】実施例の作製工程を示す図。  
 【図 7】アクティブマトリクス型の液晶表示装置の概要を示す図。  
 【図 8】アクティブマトリクス型の液晶表示装置の概要を示す図。 10  
 【図 9】並んで配置された CMOS 素子の概要を示す図。  
 【図 10】並んで配置された CMOS 素子の概要を示す図。  
 【図 11】実施例の作製工程を示す図。  
 【図 12】実施例の作製工程を示す図。  
 【図 13】実施例の作製工程を示す図。  
 【図 14】実施例の作製工程を示す図。  
 【図 15】実施例の作製工程を示す図。  
 【図 16】実施例の作製工程を示す図。  
 【図 17】実施例の作製工程を示す図。  
 【図 18】発明を利用した装置の概要を示す図。 20
- 【符号の説明】
- |         |                             |    |
|---------|-----------------------------|----|
| 101     | ガラス基板（または石英基板）              |    |
| 102、103 | ゲイト電極                       |    |
| 104、105 | ゲイト電極                       |    |
| 106     | ゲイト絶縁膜（酸化珪素膜）               |    |
| 107     | 非晶質珪素膜                      |    |
| 108、109 | 窒化珪素膜でなるマスクパターン             |    |
| 111、112 | 窒化珪素膜でなるマスクパターン             |    |
| 113     | N型領域（NTFTのソース領域）            |    |
| 114     | P型領域（PTFTのソース領域）            | 30 |
| 115     | チャンネル領域                     |    |
| 116     | P型領域（PTFTのドレイン領域）           |    |
| 117     | N型領域（NTFTのドレイン領域）           |    |
| 118     | チャンネル領域                     |    |
| 119     | N型領域（NTFTのソース領域）            |    |
| 120     | P型領域（PTFTのドレイン領域）           |    |
| 121     | チャンネル領域                     |    |
| 122     | P型領域（PTFTのソース領域）            |    |
| 123     | N型領域（NTFTのドレイン領域）           |    |
| 124     | チャンネル領域                     | 40 |
| 125     | N型領域（ソース領域）                 |    |
| 126     | P型領域（ドレイン領域）                |    |
| 127     | 層間絶縁膜（窒化珪素膜）                |    |
| 128     | 層間絶縁膜（ポリイミド樹脂膜）             |    |
| 129、130 | 開口                          |    |
| 131、132 | 開口                          |    |
| 133     | 開口                          |    |
| 400     | レジストマスク                     |    |
| 134     | NTFTのソース電極（Ti/Al/Tiの積層膜でなる） |    |
| 135     | PTFTのソース電極                  | 50 |

- 136 NTFET及びPTFETのドレイン電極
- 138 NTFETのソース電極
- 139 PTFETのソース電極
- 140 NTFET及びPTFETのドレイン電極
- 142 NTFETのソース電極
- 143 PTFETのソース電極
- 144、145 素子分離用の開口
- 146 素子分離用の開口

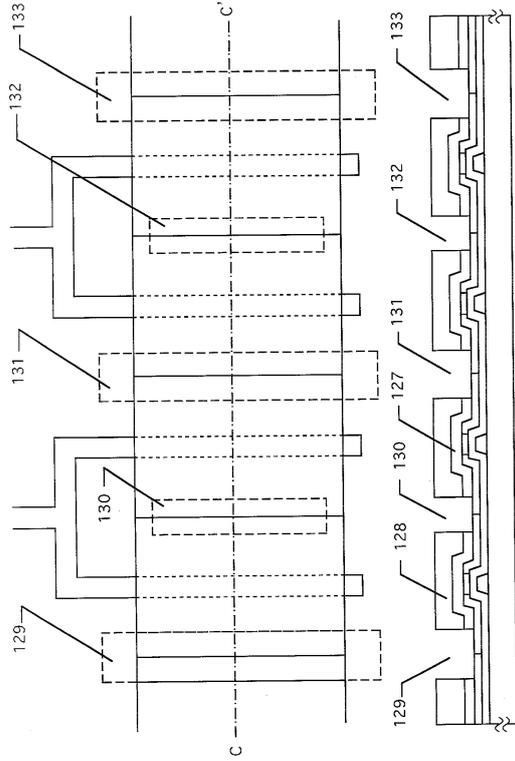
【図1】



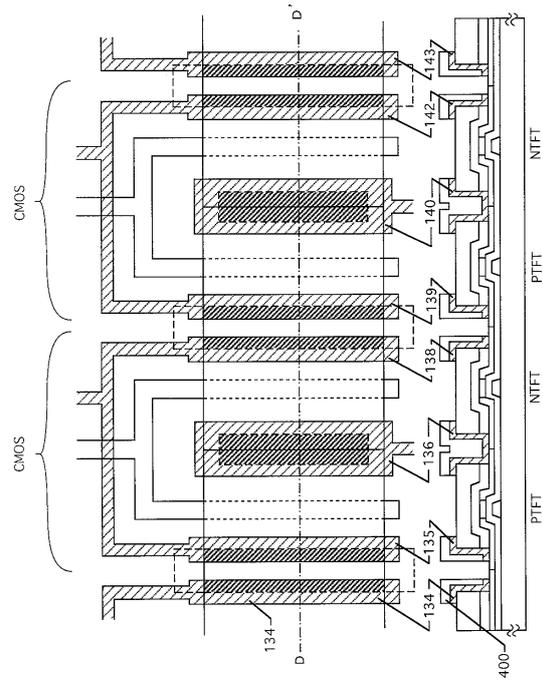
【図2】



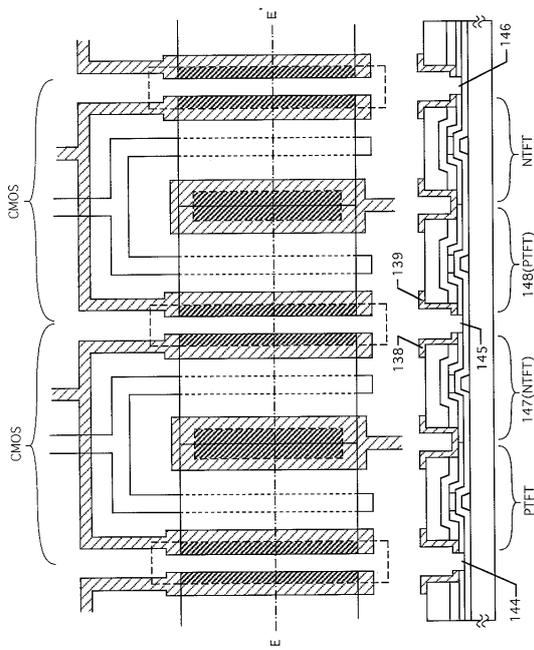
【 図 3 】



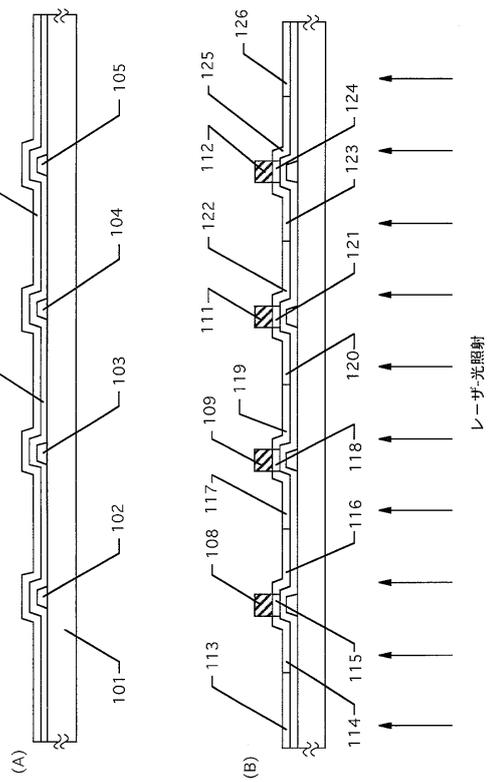
【 図 4 】



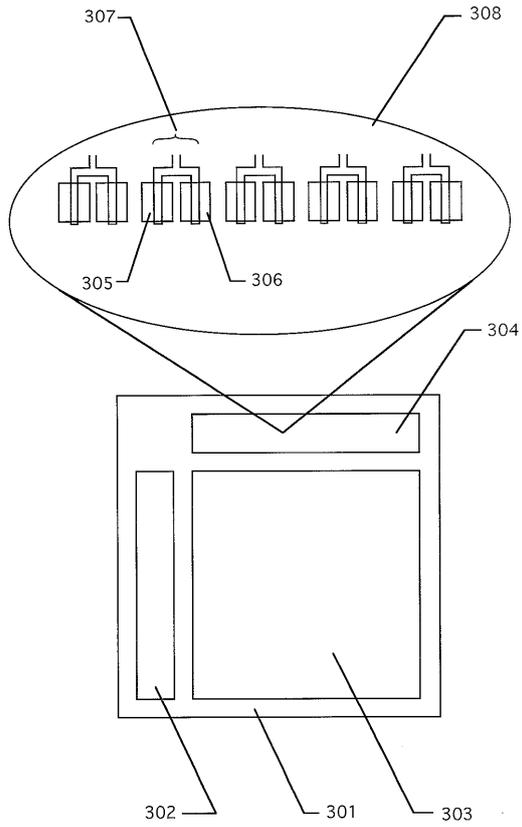
【 図 5 】



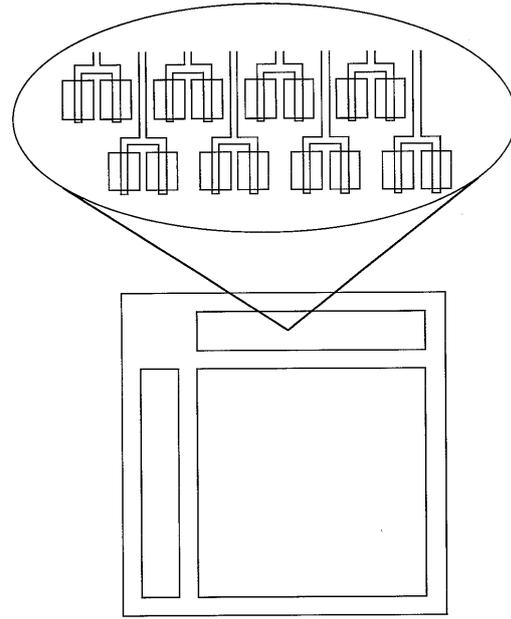
【 図 6 】



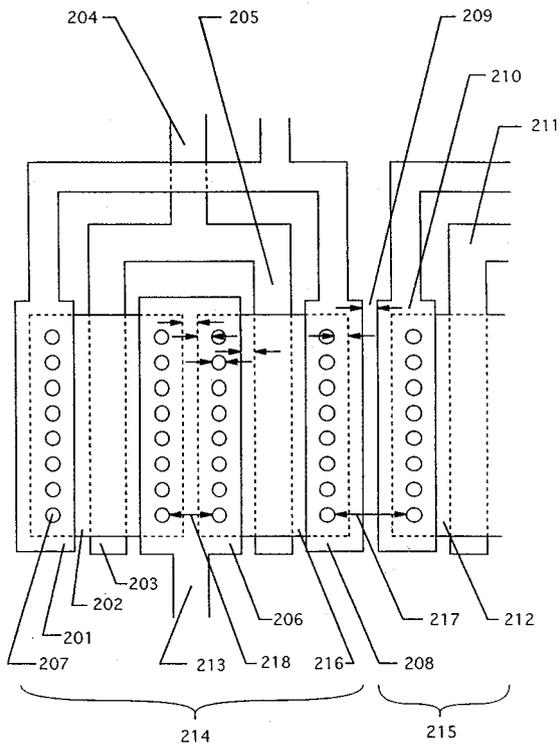
【 図 7 】



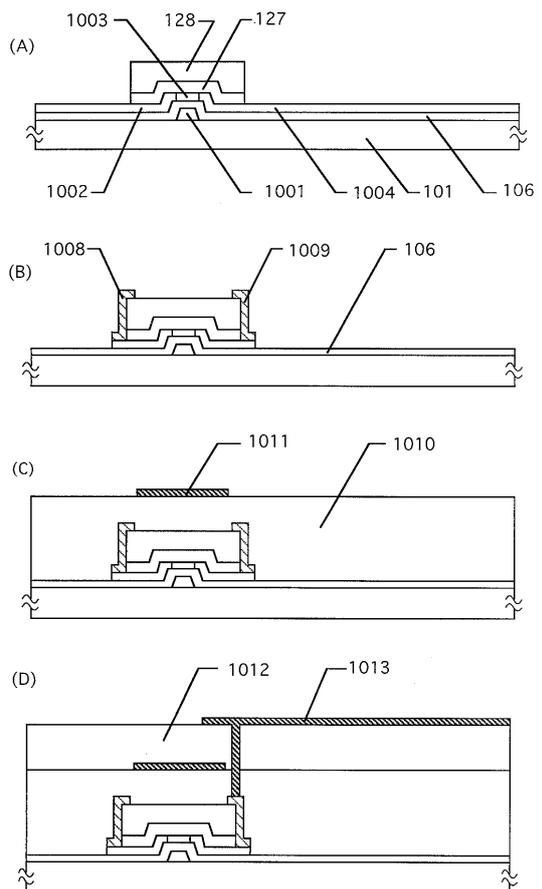
【 図 8 】



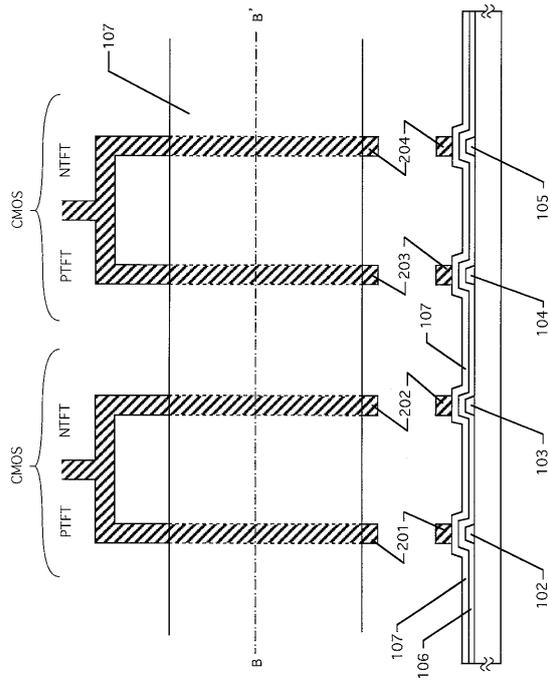
【 図 9 】



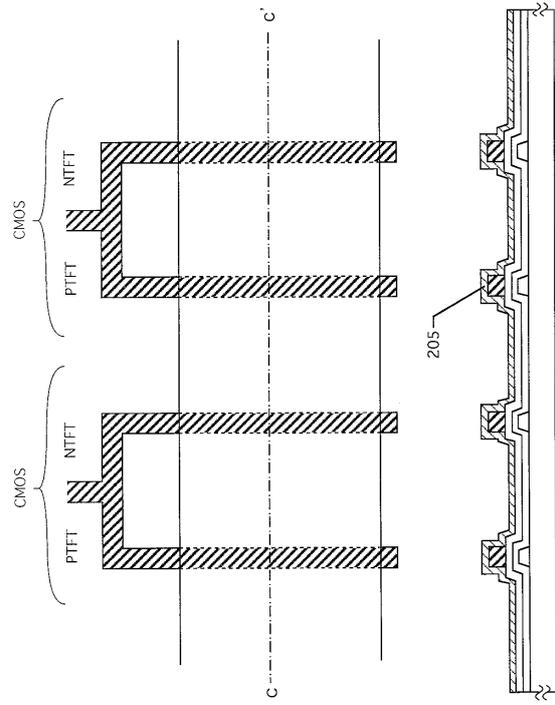
【 図 10 】



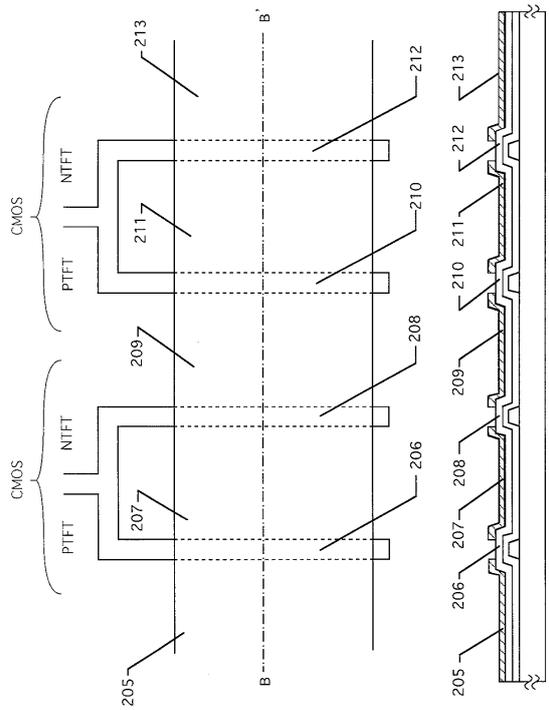
【 1 1 】



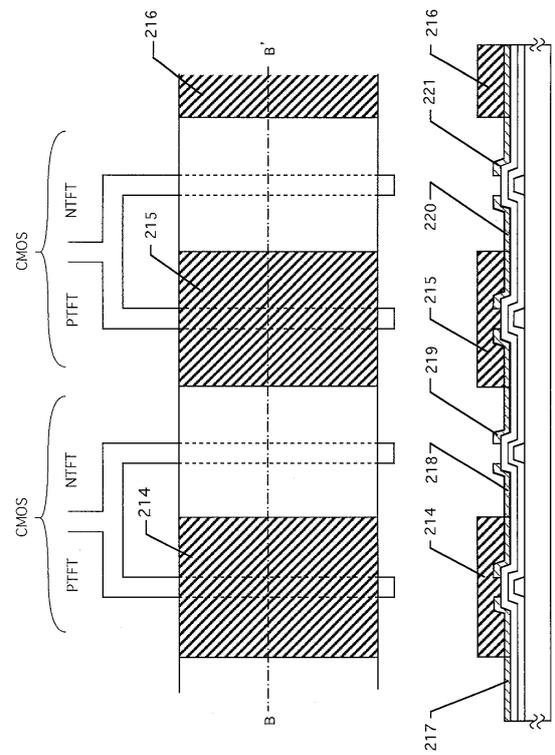
【 1 2 】



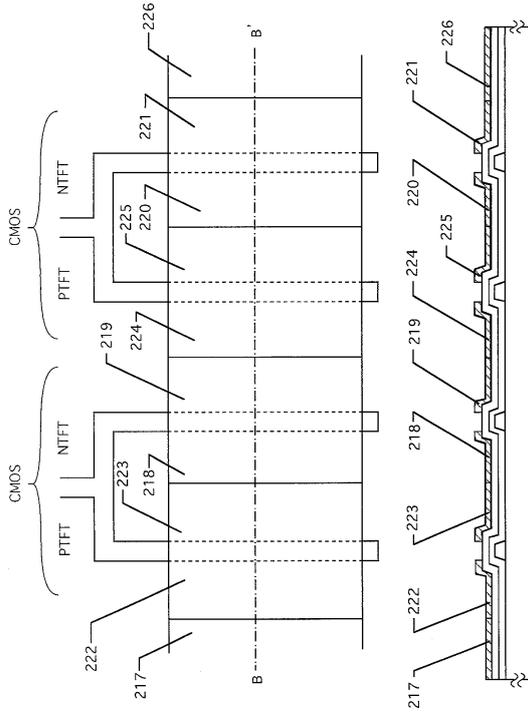
【 1 3 】



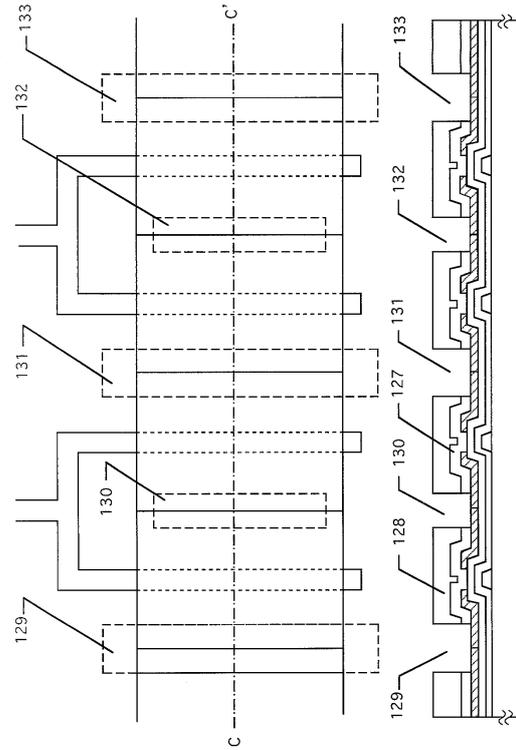
【 1 4 】



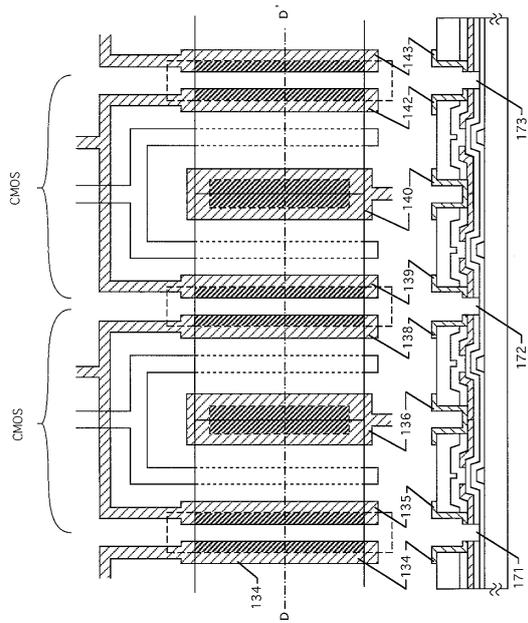
【 図 15 】



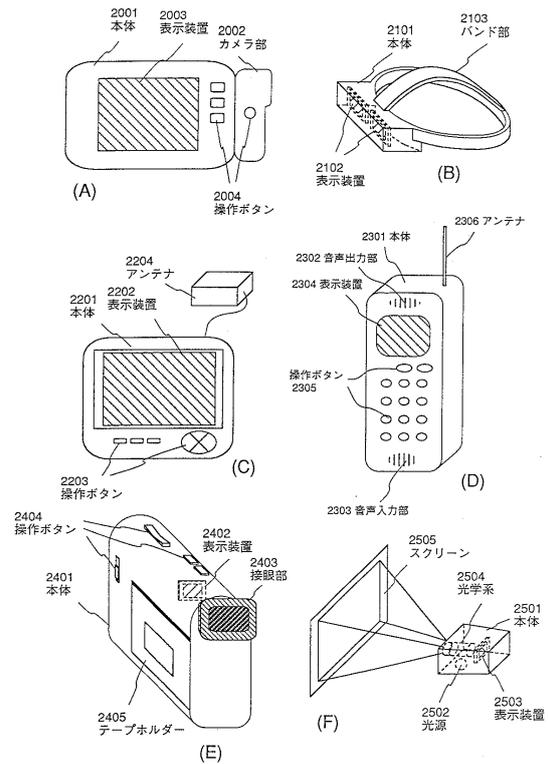
【 図 16 】



【 図 17 】



【 図 18 】



---

フロントページの続き

- (56)参考文献 特開平03 - 091248 (JP, A)  
特開平01 - 161869 (JP, A)  
特開平06 - 037313 (JP, A)  
特開平03 - 259124 (JP, A)  
特開平10 - 012735 (JP, A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01L 29/786  
H01L 21/336  
H01L 27/06  
H01L 27/08