



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월11일
 (11) 등록번호 10-1055749
 (24) 등록일자 2011년08월03일

(51) Int. Cl.
H01L 21/336 (2006.01) *H01L 29/768* (2006.01)
 (21) 출원번호 10-2008-0113983
 (22) 출원일자 2008년11월17일
 심사청구일자 2008년11월17일
 (65) 공개번호 10-2010-0055066
 (43) 공개일자 2010년05월26일
 (56) 선행기술조사문헌
 KR1020070038233 A*
 KR100723527 B1
 KR100725370 B1
 KR100660881 B1
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
 정영균
 경기 성남시 분당구 구미동 까치마을1단지선경아파트 108-801
 (74) 대리인
 특허법인 신성

전체 청구항 수 : 총 18 항

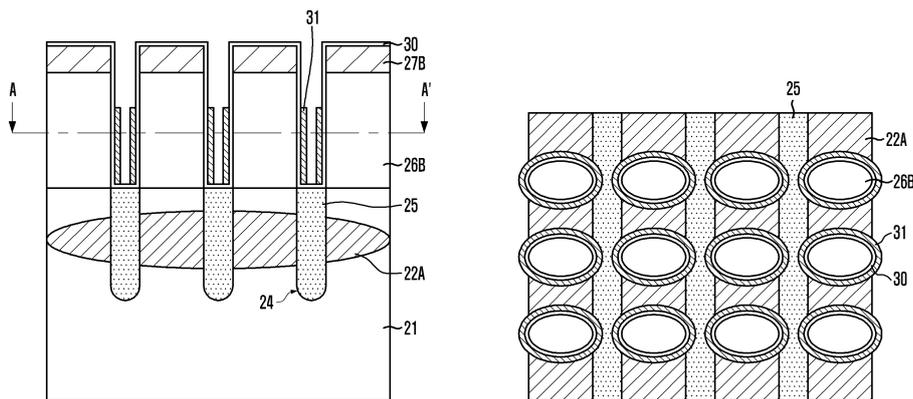
심사관 : 박근용

(54) 수직게이트를 구비한 반도체장치 제조 방법

(57) 요약

본 발명은 매립형비트라인을 분리시키기 위한 트렌치와 활성필라간 오정렬을 근본적으로 방지할 수 있고, 활성필라 상부의 보호막 어택을 방지할 수 있는 수직게이트를 구비한 반도체장치 제조 방법을 제공하기 위한 것으로, 본 발명은 제1기판 내에 불순물을 이온주입하여 매립형비트라인을 형성하는 단계; 상기 매립형비트라인을 분리시키는 트렌치를 형성하는 단계; 상기 트렌치를 깎필하는 층간절연막을 형성하는 단계; 상기 층간절연막이 깎필된 제1기판 상에 제2기판을 형성하는 단계; 상기 제2기판 상에 보호막패턴을 형성하는 단계; 및 상기 보호막패턴을 식각장벽으로 상기 제2기판을 식각하여 복수의 활성필라를 형성하는 단계를 포함하고, 상술한 본 발명은 활성필라를 형성하기 전에 매립형비트라인 및 매립형비트라인의 분리를 위한 트렌치 식각공정을 먼저 진행하므로써 오정렬이 발생하지 않고, 또한 활성필라 형성전에 매립형비트라인을 분리시키기 위한 트렌치 식각공정을 진행하므로써 보호막패턴의 어택없이 안정적으로 활성필라를 형성할 수 있는 효과가 있다.

대표도 - 도3k



특허청구의 범위

청구항 1

기판 내에 불순물영역을 형성하는 단계;

상기 불순물영역을 분리시키는 트렌치를 형성하여 상기 트렌치에 의해 서로 분리된 매립형비트라인을 형성하는 단계;

상기 매립형비트라인 상부에 복수의 활성필라를 형성하는 단계; 및

상기 활성필라의 측벽을 에워싸는 수직게이트를 형성하는 단계

를 포함하는 반도체장치 제조 방법.

청구항 2

제1항에 있어서,

상기 복수의 활성필라를 형성하는 단계는,

상기 매립형비트라인이 형성된 기판 상부에 활성필라용 기판을 형성하는 단계;

상기 활성필라용 기판 상에 보호막을 형성하는 단계;

상기 트렌치 형성시 사용된 제1마스크를 이용하여 상기 보호막을 1차 식각하는 단계;

상기 제1마스크와 교차하는 방향의 제2마스크를 이용하여 상기 보호막을 2차 식각하여 보호막패턴을 형성하는 단계; 및

상기 보호막패턴을 식각장벽으로 상기 활성필라용 기판을 식각하는 단계

를 포함하는 반도체장치 제조 방법.

청구항 3

제2항에 있어서,

상기 제1마스크 및 제2마스크는 라인/스페이스 형태의 감광막패턴을 이용하는 반도체장치 제조 방법.

청구항 4

제2항에 있어서,

상기 보호막패턴은 질화막 또는 산화막을 포함하는 반도체장치 제조 방법.

청구항 5

제2항에 있어서,

상기 활성필라용 기판은 에피택셜성장법을 이용하여 형성하는 반도체장치 제조 방법.

청구항 6

제5항에 있어서,

상기 활성필라용 기판은 에피택셜실리콘막을 포함하는 반도체장치 제조 방법.

청구항 7

제1항에 있어서,
상기 기판은 실리콘막을 포함하는 반도체장치 제조 방법.

청구항 8

제1항에 있어서,
상기 불순물영역은 불순물의 이온주입에 의해 형성하는 반도체장치 제조 방법.

청구항 9

제1기판 내에 매립형비트라인을 형성하는 단계;
상기 매립형비트라인을 분리시키는 트렌치를 형성하는 단계;
상기 트렌치를 깎필하는 층간절연막을 형성하는 단계;
상기 층간절연막이 깎필된 제1기판 상에 제2기판을 형성하는 단계;
상기 제2기판 상에 보호막패턴을 형성하는 단계;
상기 보호막패턴을 식각장벽으로 상기 제2기판을 식각하여 복수의 활성필라를 형성하는 단계; 및
상기 활성필라의 측벽을 에워싸는 수직게이트를 형성하는 단계
를 포함하는 반도체장치 제조 방법.

청구항 10

제9항에 있어서,
상기 보호막패턴을 형성하는 단계는,
상기 제2기판 상에 보호막을 형성하는 단계;
상기 트렌치 형성시 사용된 제1마스크를 이용하여 상기 보호막을 1차 식각하는 단계; 및
상기 제1마스크와 교차하는 방향의 제2마스크를 이용하여 상기 보호막을 2차 식각하는 단계
를 포함하는 반도체장치 제조 방법.

청구항 11

제10항에 있어서,
상기 제1마스크 및 제2마스크는 라인/스페이스 형태의 감광막패턴을 이용하는 반도체장치 제조 방법.

청구항 12

제10항에 있어서,
상기 보호막패턴은 질화막 또는 산화막을 포함하는 반도체장치 제조 방법.

청구항 13

제9항에 있어서,
 상기 제2기판은 에피택셜성장법을 이용하여 형성하는 반도체장치 제조 방법.

청구항 14

제13항에 있어서,
 상기 제2기판은 에피택셜실리콘막을 포함하는 반도체장치 제조 방법.

청구항 15

제9항에 있어서,
 상기 제1기판은 실리콘막을 포함하는 반도체장치 제조 방법.

청구항 16

제9항에 있어서,
 상기 매립형비트라인은 불순물의 이온주입에 의해 형성하는 반도체장치 제조 방법.

청구항 17

제9항 내지 제16항 중 어느 한 항에 있어서,
 상기 수직게이트를 형성하는 단계는,
 상기 활성필라를 포함한 전면에 게이트도전막을 형성하는 단계; 및
 상기 게이트도전막을 에치백하는 단계
 를 포함하는 반도체장치 제조 방법.

청구항 18

제17항에 있어서,
 상기 게이트도전막은 폴리실리콘막 또는 금속성막을 포함하는 반도체장치 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체장치 제조 방법에 관한 것으로, 특히 수직게이트를 구비한 반도체장치 제조 방법에 관한 것이다.

배경기술

[0002] 최근에 집적도 향상을 위해 40nm 이하급 메모리 소자가 요구되고 있는데, $8F^2$ (F:minimum feature size) 또는 $6F^2$ 셀아키텍처(cell architecture) 형태에서 사용하는 플라나채널(Planar channel) 또는 리세스채널(Recess

channel)을 갖는 트랜지스터의 경우에는 40nm 이하로 스케일링(scaling) 하기가 매우 어려운 문제가 있다. 따라서 동일 스케일링에서 집적도를 1.5~2 배 향상시킬 수 있는 $4F^2$ 셀아키텍처를 갖는 DRAM 소자가 요구되고 있으며, 그에 따라 수직게이트(Vertical gate)를 갖는 반도체장치가 제안되었다.

- [0003] 수직게이트를 갖는 반도체장치는 반도체 기판을 가공하여 기둥형의 활성영역(Active pillar, 이하 '활성필라'라고 약칭함)과 활성필라의 주위를 감싸는 환형(Surround type)의 수직게이트를 구비하고, 수직게이트를 중심으로 하여 활성필라의 상부와 하부에 채널이 수직방향으로 형성되는 트랜지스터이다.
- [0004] 이와 같은 수직게이트를 구비한 반도체장치는 이온주입을 통해 매립형비트라인(Buried BitLine; BBL)을 형성하며, 이웃한 매립형비트라인을 분리시키기 위해 트렌치(Trench) 공정을 진행하고 있다.
- [0005] 도 1a는 종래기술에 따른 수직게이트를 구비한 반도체장치의 제조 방법을 도시한 도면이다.
- [0006] 도 1a에 도시된 바와 같이, 보호막(13)을 식각장벽으로 기판(11)을 식각하여 리세스된 측벽을 갖는 활성필라(12)를 형성한 후, 활성필라(12)의 리세스된 측벽을 에워싸는 수직게이트(14)를 형성한다.
- [0007] 이어서, 기판(11) 내에 이온주입을 통해 불순물영역을 형성한 후, 불순물영역이 분리되는 깊이까지 트렌치(16)를 형성하여 불순물영역을 분리시킨다. 여기서, 분리된 불순물영역은 매립형비트라인(15A, 15B)이 된다.
- [0008] 상술한 종래기술에서 매립형비트라인(15A, 15B)은 이온주입을 통해 형성하며, 트렌치(16)를 통해 이웃한 매립형비트라인(15A, 15B)을 분리시킨다. 트렌치(16) 형성을 위해 감광막을 이용한 마스크(PR)를 사용하고 있다. 이 마스크는 'BBL 마스크'라고도 한다.
- [0009] 도 1b는 종래기술에 따른 매립형비트라인을 도시한 평면도로서, 트렌치(16)에 의해 매립형비트라인(15A, 15B)이 서로 분리되고 있다.
- [0010] 그러나, 종래기술은 활성필라(12)를 먼저 형성한 후에 매립형비트라인(15A, 15B)을 분리시키기 위한 식각공정을 진행하기 때문에 활성필라(12)와 트렌치(16)간에 오정렬(Miss Align)이 발생하기 쉽다.
- [0011] 도 2a는 BBL 마스크의 정렬과 BBL 마스크의 오정렬을 비교한 도면이고, 도 2b는 BBL 마스크 오정렬에 의한 보호막 어택을 도시한 사진이다.
- [0012] 도 2a와 같이 오정렬이 발생하면 활성필라(12)와 어긋나게 트렌치(16)가 형성되거나, 도 2b와 같이 트렌치(16) 형성을 위한 식각공정을 진행하는 도중에 활성필라(12) 상부의 보호막(13)이 어택(Attack, 도면부호 'A' 참조) 받는 문제가 발생한다.
- [0013] 위와 같은 오버레이(Overlay)를 극복하여 정렬을 맞추기에는 마스크 공정에서 어려움이 크다.

발명의 내용

해결 하고자하는 과제

- [0014] 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 매립형비트라인을 분리시키기 위한 트렌치와 활성필라간 오정렬을 근본적으로 방지할 수 있는 수직게이트를 구비한 반도체장치 제조 방법을 제공하는데 그 목적이 있다.
- [0015] 또한, 본 발명의 다른 목적은 활성필라 상부의 보호막 어택을 방지할 수 있는 수직게이트를 구비한 반도체장치 제조 방법을 제공하는데 있다.

과제 해결수단

- [0016] 상기 목적을 달성하기 위한 본 발명의 반도체장치 제조 방법은 제1기판 내에 불순물을 이온주입하여 매립형비트라인을 형성하는 단계; 상기 매립형비트라인을 분리시키는 트렌치를 형성하는 단계; 상기 트렌치를 깎필하는 층간절연막을 형성하는 단계; 상기 층간절연막이 깎필된 제1기판 상에 제2기판을 형성하는 단계; 상기 제2기판 상에 보호막패턴을 형성하는 단계; 및 상기 보호막패턴을 식각장벽으로 상기 제2기판을 식각하여 복수의 활성필라를 형성하는 단계; 및 상기 활성필라의 측벽을 에워싸는 수직게이트를 형성하는 단계를 포함하는 것을 특징으로 한다. 상기 보호막패턴을 형성하는 단계는 상기 제2기판 상에 보호막을 형성하는 단계; 상기 트렌치 형성시 사용된 제1마스크를 이용하여 상기 보호막을 1차 식각하는 단계; 및 상기 제2마스크와 교차하는 방향의 제2마스크

를 이용하여 상기 보호막을 2차 식각하는 단계를 포함하는 것을 특징으로 한다.

효 과

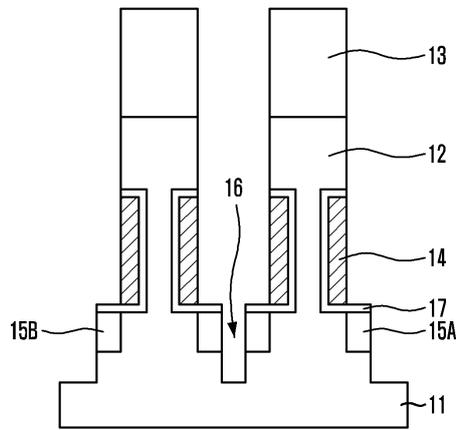
- [0017] 상술한 본 발명은 활성필라를 형성하기 전에 매립형비트라인 및 매립형비트라인의 분리를 위한 트렌치 식각공정을 먼저 진행하므로써 오정렬이 발생하지 않는 효과가 있다.
- [0018] 또한, 본 발명은 활성필라 형성전에 매립형비트라인을 분리시키기 위한 트렌치 식각공정을 진행하므로써 보호막 패턴의 어택없이 안정적으로 활성필라를 형성할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

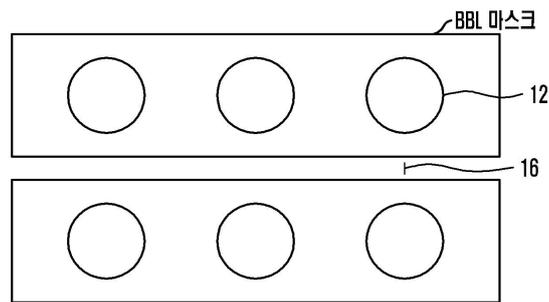
- [0019] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- [0020] 도 3a 내지 도 3k는 본 발명의 실시예에 따른 수직계이트를 구비한 반도체장치 제조 방법을 도시한 도면이다. 이하, 각 도면에서 좌측 도면은 공정 단면도이고, 우측 도면은 각 단면도에 대응하는 평면도이다.
- [0021] 도 3a에 도시된 바와 같이, 제1기판(21)에 불순물이온주입을 진행하여 불순물영역(22)을 형성한다. 불순물영역(22)은 인(Ph) 또는 비소(As) 등의 불순물을 이온주입하여 형성한다. 제1기판(21)은 실리콘막을 포함할 수 있다. 불순물영역(22)은 매립형비트라인의 역할을 한다.
- [0022] 도 3b에 도시된 바와 같이, 제1기판(21) 상부에 감광막을 이용하여 제1마스크(23)를 형성한다. 제1마스크(23)는 라인/스페이스(Line/space) 형태로 패턴링된 것이며, 매립형비트라인을 분리시키기 위한 BBL 마스크의 역할을 한다.
- [0023] 도 3c에 도시된 바와 같이, 제1마스크(23)를 이용한 식각을 통해 불순물영역(22)이 분리되는 깊이까지 제1기판(21)을 식각하여 트렌치(24)를 형성한다. 이후, 제1마스크(23)를 스트립한다.
- [0024] 이와 같이, 트렌치(24)에 의해 불순물영역(22)은 분리되어 매립형비트라인(22A)이 된다.
- [0025] 도 3d에 도시된 바와 같이, 트렌치(24)를 깎필하는 층간절연막(25)을 형성한다. 층간절연막(25)은 깎필특성이 우수한 BPSG(Boro Phosphorous Silicate Glass) 등의 산화막일 수 있으며, 층간절연막(25)은 이웃한 매립형비트라인(22A) 사이를 절연시키는 역할을 한다.
- [0026] 제1기판(21)의 표면이 노출되도록 층간절연막(25)을 평탄화시킨다. 여기서, 평탄화는 CMP(Chemical Mechanical Polishing) 공정을 이용할 수 있다.
- [0027] 도 3e에 도시된 바와 같이, 제1기판(21) 상에 제2기판(26)을 형성한다. 여기서, 제2기판(26)은 에피택셜성장법(Epitaxial growth)을 이용하여 성장시킨다. 따라서, 제2기판(26)은 실리콘에피택셜막이 될 수 있다. 실리콘에피택셜막은 SiH₄ 등의 실리콘소스를 이용한 선택적에피택셜성장법(Selective Epitaxial Growth; SEG)을 이용하여 형성할 수 있다. 선택적에피택셜성장법 적용시 공정 온도는 적어도 15 °C 이상으로 하며, 채널로 작용하기 위해 일정 농도의 불순물이 도핑될 수도 있다.
- [0028] 제2기판(26)은 후속하는 식각공정을 통해 활성필라가 형성되는 물질로서 활성필라의 높이를 고려하여 두께를 조절한다.
- [0029] 이어서, 제2기판(26) 상에 보호막(27)을 형성한다. 보호막(27)은 질화막을 포함할 수 있다. 보호막(27)은 후속 식각공정시 식각장벽 역할을 한다.
- [0030] 이어서, 보호막(27) 상에 감광막을 이용하여 제2마스크(28)를 형성한다. 제2마스크(28)는 라인/스페이스 형태로 패턴링되어 있다. 제2마스크(28)는 도 3b의 제1마스크(23)와 동일한 형태일 수 있다. 이에 따라 제1마스크(23)와 제2마스크(28)간에는 오정렬이 발생하지 않는다. 즉, 정렬은 이미 하부에서도 동일하게 제1마스크(23)로 진행하였으므로 오버레이의 오차가 발생하지 않는다.
- [0031] 도 3f에 도시된 바와 같이, 제2마스크(28)를 이용하여 보호막(27)을 식각한다. 따라서, 보호막(27)도 라인/스페이스 형태로 패턴링된다. 보호막(27) 식각시 보호막(27)과 제2기판(26)에 대한 선택비를 갖는 레시피를 적용한

도면

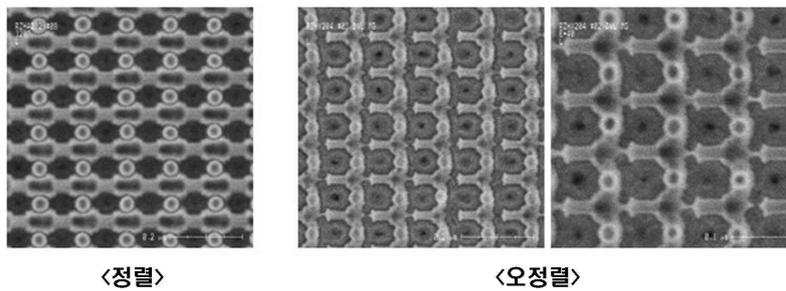
도면1a



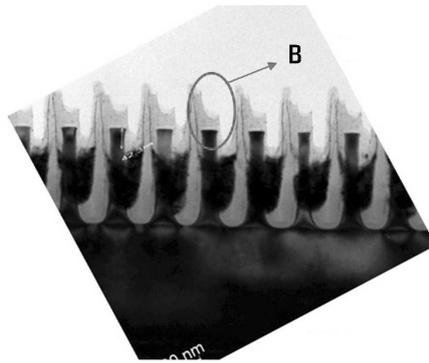
도면1b



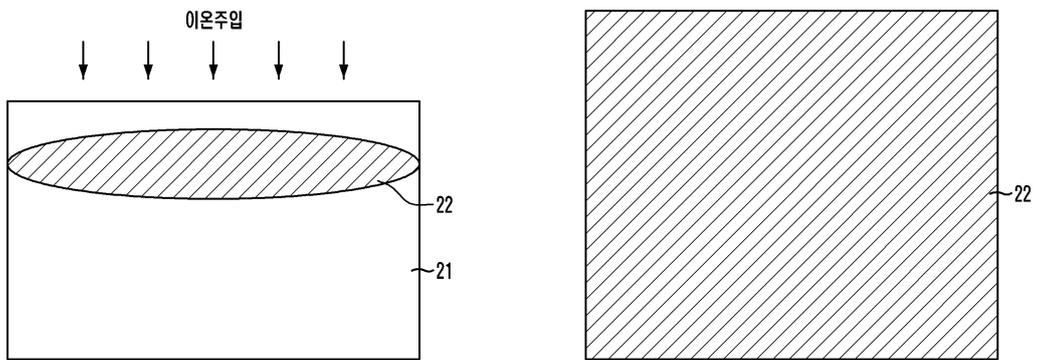
도면2a



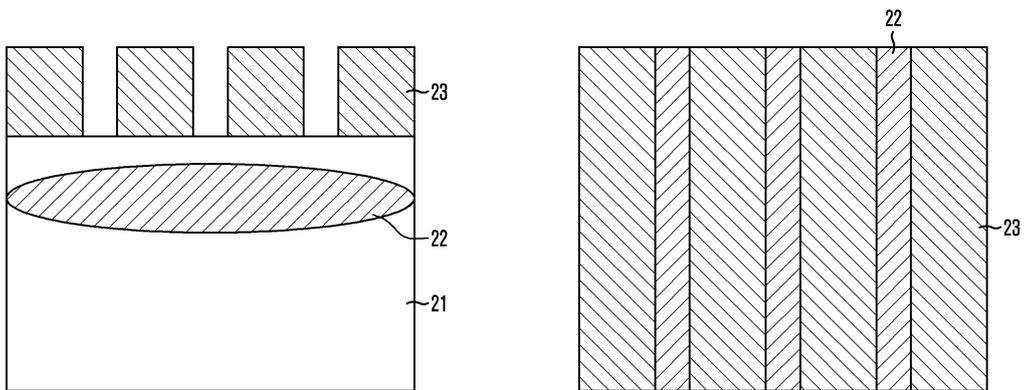
도면2b



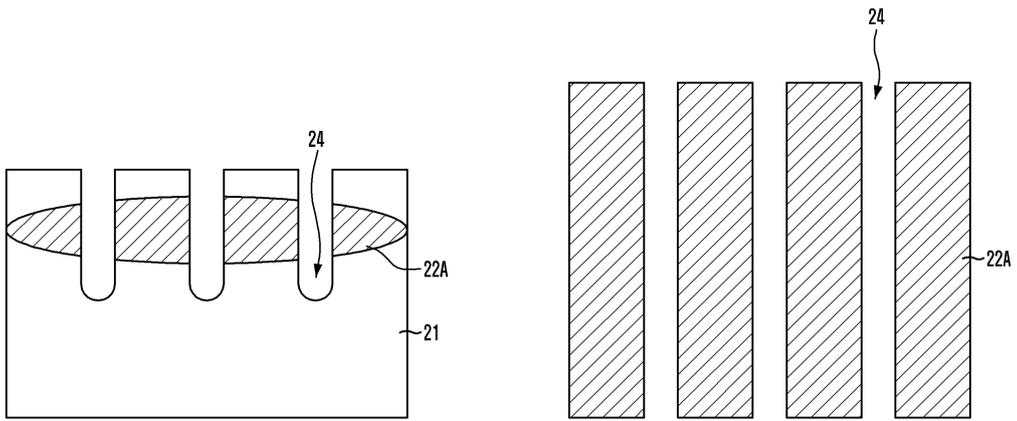
도면3a



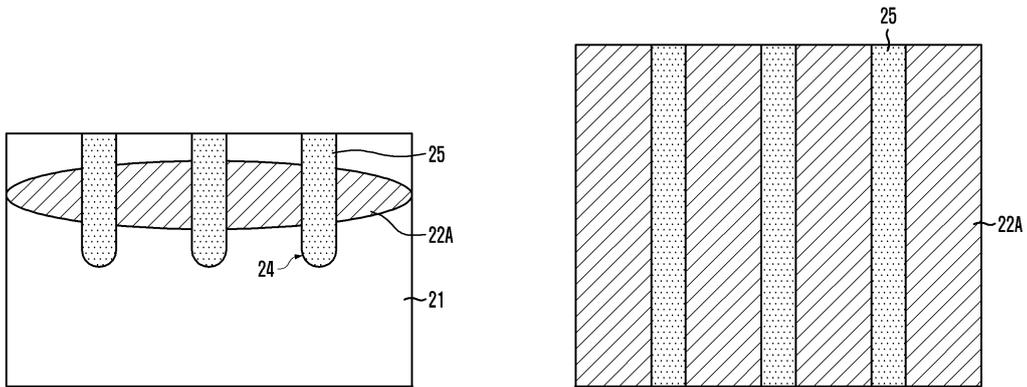
도면3b



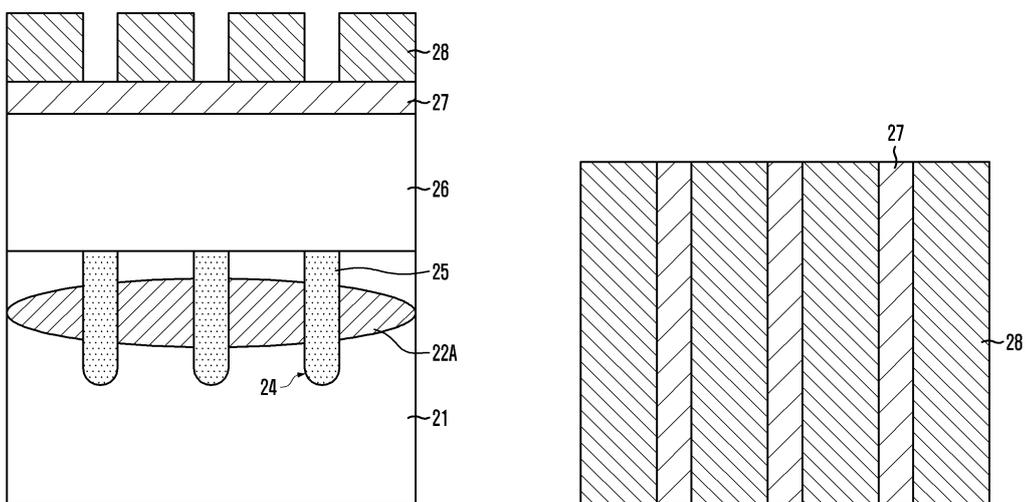
도면3c



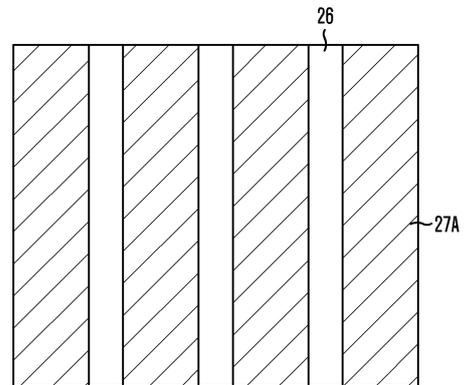
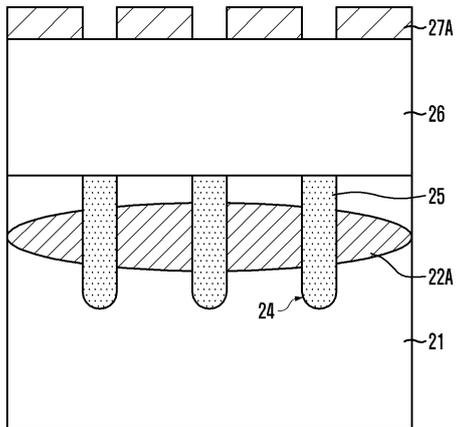
도면3d



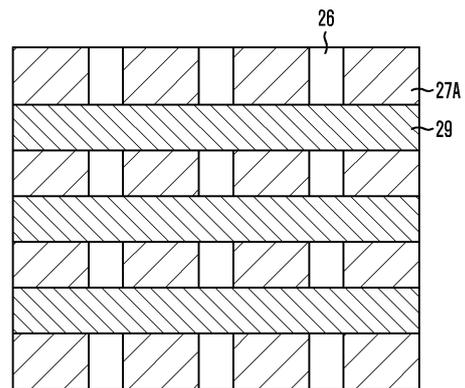
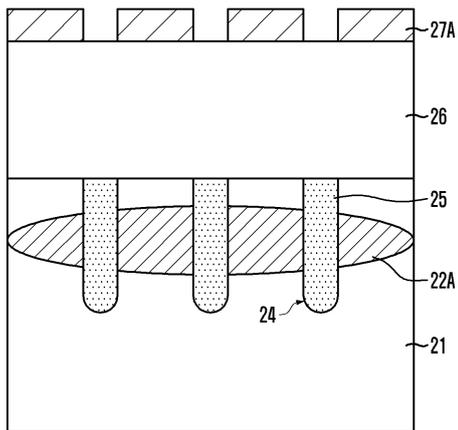
도면3e



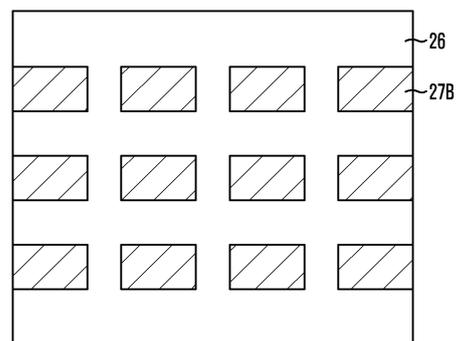
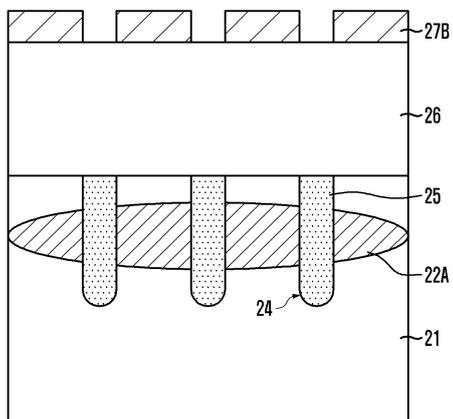
도면3f



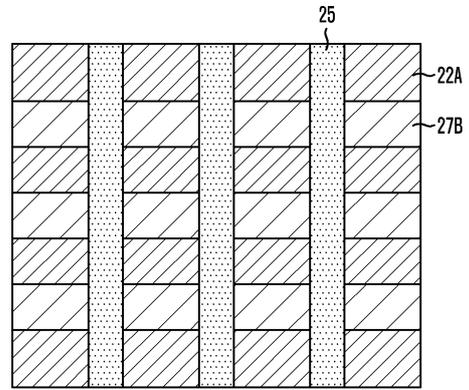
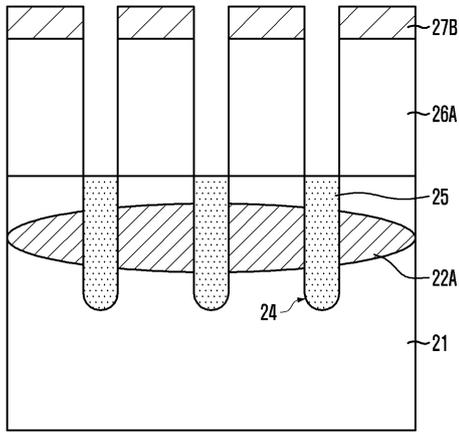
도면3g



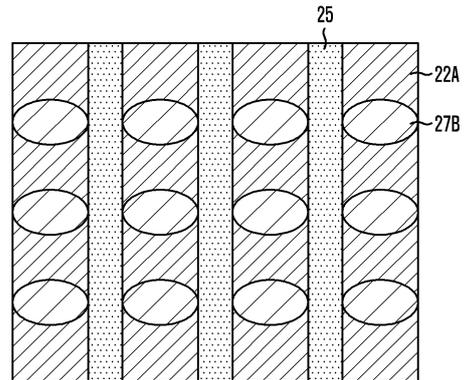
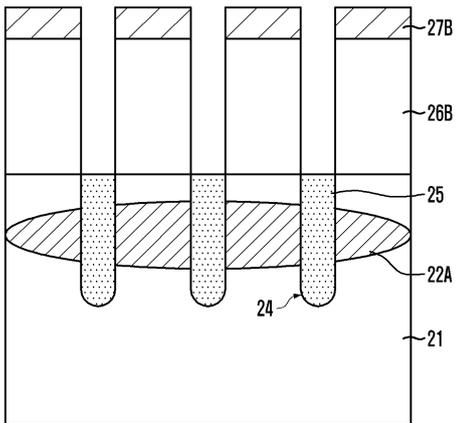
도면3h



도면3i



도면3j



도면3k

