

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5528747号
(P5528747)

(45) 発行日 平成26年6月25日(2014.6.25)

(24) 登録日 平成26年4月25日(2014.4.25)

(51) Int.Cl. F1
G11C 29/00 (2006.01) G11C 29/00 603L

請求項の数 21 (全 16 頁)

(21) 出願番号	特願2009-210232 (P2009-210232)	(73) 特許権者	513192281
(22) 出願日	平成21年9月11日 (2009.9.11)		ピーエスフォー ルクスコ エスエイアー ルエル
(65) 公開番号	特開2011-60387 (P2011-60387A)		PS4 Luxco S. a. r. l.
(43) 公開日	平成23年3月24日 (2011.3.24)		ルクセンブルク大公国エルー 2 1 2 1、ル クセンブルク、ヴァル デ ボン マラデ ス 2 0 8
審査請求日	平成24年7月3日 (2012.7.3)	(74) 代理人	100115738 弁理士 鷲頭 光宏
		(74) 代理人	100121681 弁理士 緒方 和文
		(74) 代理人	100130982 弁理士 黒瀬 泰之
		(74) 代理人	100127199 弁理士 三谷 拓也

最終頁に続く

(54) 【発明の名称】 半導体装置、救済アドレス情報書き込み装置及び救済アドレス情報の書き込み方法

(57) 【特許請求の範囲】

【請求項 1】

複数ビットで構成される救済アドレス情報の当該複数のビットの各情報を、少なくとも一つの第1の端子を介して外部から時系列的に供給される複数の第1の信号に基づきそれぞれ生成する救済アドレス生成回路と、

前記救済アドレス生成回路によって生成されたビット情報を有する救済アドレス情報をヒューズセットに書き込むプログラミング回路と、

複数の第3の端子と、を備え、

前記救済アドレス生成回路は、これら第3の端子に順次供給される複数の第3の信号と前記第1の信号とに応答して前記救済アドレス情報の前記複数のビット情報を生成し、

前記第3の信号は、前記複数の第1の信号の入力サイクルに連動して、アクティブレベルを示すビットの位置が変化することを特徴とする半導体装置。

【請求項 2】

前記第3の信号は、アクティブレベルを示すビットが1つであり、前記複数の第1の信号の入力サイクルに連動して、アクティブレベルを示すビットの位置がシフトすることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

複数の半導体装置にそれぞれ救済アドレス情報を書き込む救済アドレス情報書き込み装置であって、

前記複数の半導体装置ごとに前記救済アドレス情報を記憶する記憶部と、

前記複数の半導体装置に対し、それぞれ対応する救済アドレス情報をシリアルに供給する第1の出力部と、

前記複数の半導体装置に対し、前記第1の出力部が前記救済アドレス情報のどのビットを現在供給しているかを示す複数のアドレスビット信号を、前記複数の半導体装置に対して共通に供給する第3の出力部と、を備えることを特徴とする救済アドレス情報書き込み装置。

【請求項4】

前記第3の出力部は、前記複数の半導体装置のアドレス端子群に共通接続されることを特徴とする請求項3に記載の救済アドレス情報書き込み装置。

【請求項5】

複数の半導体装置にそれぞれ救済アドレス情報を書き込む救済アドレス情報書き込み方法であって、

前記複数の半導体装置ごとに前記救済アドレス情報を取得する第1のステップと、

前記複数の半導体装置に対し、それぞれ対応する救済アドレス情報をシリアルに供給する第2のステップと、

前記複数の半導体装置に対し、前記救済アドレス情報のどのビットを現在供給しているかを示す複数のアドレスビット信号を、前記複数の半導体装置に対して共通に供給する第4のステップと、を備えることを特徴とする救済アドレス情報書き込み方法。

【請求項6】

複数のワード線と、複数のビット線と、それぞれ前記複数のワード線及び前記複数のビット線の対応するものに接続された複数のメモリセルと、複数の冗長メモリセルとを含むメモリセルアレイと、

第1のモードにおいては第1のデータ信号が供給され、第2の動作モードにおいては第1のアドレス信号が供給されるよう構成された第1の端子と、

不良のあるワード線の一つ及び不良のあるビット線の一つの少なくとも一方を特定するアドレス情報が書き込まれるよう構成された情報保持回路と、

前記第1の端子と前記情報保持回路との間に接続され、前記第2のモードにおいて活性化されて、前記不良のあるワード線の一つ及び前記不良のあるビット線の一つの少なくとも一方を特定する前記アドレス情報を前記情報保持回路が保持及び供給するよう、前記第1の端子に供給される前記第1のアドレス信号に応答して前記アドレス情報を前記情報保持回路に書き込む制御回路と、

前記第1のモードにおいてアクセスアドレスが供給されるよう構成されたアドレス端子と、

前記アドレス端子、前記情報保持回路及び前記メモリセルアレイに接続され、前記第1のモードにおいて活性化されて前記アクセスアドレスと前記アドレス情報とを比較し、前記アクセスアドレスが前記アドレス情報と不一致である場合には前記複数のメモリセルの少なくとも一つにアクセスし、前記アクセスアドレスが前記アドレス情報と一致する場合には前記複数のメモリセルの代わりに前記複数の冗長メモリセルの少なくとも一つにアクセスするアクセス回路と、を備え、

前記第1の動作モードにおいて前記第1の端子に供給される前記第1のデータ信号は、前記アクセスアドレスが前記アドレス情報と不一致である場合には前記複数のメモリセルの少なくとも一つに入力又は出力され、前記アクセスアドレスが前記アドレス情報と一致する場合には前記複数のメモリセルの代わりに前記複数のメモリセルの少なくとも一つに入力又は出力される、装置。

【請求項7】

前記第1のアドレス信号は複数のビットを含み、前記第1のアドレス信号の前記複数のビットが前記第1の端子にシリアルに供給される、請求項6の装置。

【請求項8】

第2の端子をさらに備え、

前記情報保持回路は複数の保持領域を含み、

10

20

30

40

50

前記制御回路は、前記第 2 の端子に供給される信号にตอบสนองして、前記複数の保持領域の 1 又はそれ以上を選択するよう構成されている、請求項 7 の装置。

【請求項 9】

前記第 2 の端子は、前記第 1 のモードにおいては第 2 のデータ信号が供給され、前記第 2 のモードにおいては第 2 のアドレス信号が供給されるよう構成され、

前記制御回路は、前記第 2 の端子に供給される前記第 2 のアドレス信号にตอบสนองして、前記複数の保持領域の 1 又はそれ以上を選択する、請求項 8 の装置。

【請求項 10】

前記第 2 のアドレス信号は複数のビットを含み、前記第 2 のアドレス信号の前記複数のビットが前記第 2 の端子にシリアルに供給される、請求項 9 の装置。

10

【請求項 11】

前記複数の保持領域は、前記アドレス情報が電氣的に書き込まれるヒューズ回路をそれぞれ含む、請求項 8 の装置。

【請求項 12】

複数ビットの組み合わせからなるヒューズアドレス情報によって 1 つが特定される複数のヒューズセットを含む半導体装置のための救済アドレス情報であって、データリードライト動作に供される複数のアクセスアドレスの中の前記リードライト動作が禁止された不良アドレスを特定する複数ビットからなる救済アドレス情報を取得し、

前記救済アドレス情報の前記複数ビットを前記半導体装置にシリアルに供給し、前記ヒューズアドレス情報の前記複数ビットを前記半導体装置にシリアルに供給する、方法。

20

【請求項 13】

前記救済アドレス情報の供給と前記ヒューズアドレス情報の供給は、少なくとも一部において互いに同期して実行される、請求項 12 の方法。

【請求項 14】

データが入力され或いは出力される少なくとも一つのデータ端子を含む半導体装置のための救済アドレス情報であって、データリードライト動作に供される複数のアクセスアドレスの中の前記リードライト動作が禁止された不良アドレスを特定する複数ビットからなる救済アドレス情報を取得し、

前記データ端子を用いて、前記救済アドレス情報の前記複数ビットを前記半導体装置に供給する、方法。

30

【請求項 15】

複数のワード線と、前記複数のワード線と交差する複数のビット線と、前記複数のワード線及び前記複数のビット線の対応する交点にそれぞれ配置された複数のメモリセルと、少なくとも一つの冗長ワード線と、少なくとも一つの冗長ビット線と、対応する前記冗長ワード線及び対応する前記冗長ビット線にそれぞれ接続された複数の冗長メモリセルとを含むメモリセルアレイと、

外部からシリアルな一連の第 1 の信号が供給される第 1 の端子と、前記複数のワード線の一つ及び前記複数のビット線の一つの少なくとも一方を指定する複数ビットからなるアドレス情報がパラレルに供給される第 2 の端子群と、

40

前記第 1 の端子に接続され、前記一連の第 1 の信号にตอบสนองして、前記第 1 の信号にそれぞれ対応する複数ビットからなり、不良のあるワード線の一つ及び不良のあるビット線の一つの少なくとも一方を特定する救済アドレスを生成する救済アドレス生成回路と、

ヒューズセットと、不良のあるワード線の一つ及び不良のあるビット線の一つの少なくとも前記一方を特定する前記救済アドレスを前記ヒューズセットが保持及び供給するよう、前記救済アドレスを前記ヒューズセットに書き込むプログラム回路と、

前記第 2 の端子群から前記アドレス情報を受け、前記ヒューズセットから前記救済アドレスを受け、前記アドレス情報が前記救済アドレスと一致するかを判定し、前記アドレス情報が前記救済アドレスと一致した場合に、前記複数のワード線の一つ及び前記複数のビ

50

トのそれぞれは、不良のある前記通常ワード線を示すワード救済アドレス及び不良のある前記通常ビット線を示すビット救済アドレスの一方を保持及び供給する、請求項17の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、救済アドレス情報が書き込まれるヒューズセットを備えた半導体装置に関する。また、本発明は、このような半導体装置に対して救済アドレス情報を書き込むための救済アドレス情報書き込み装置及び救済アドレス情報の書き込み方法に関する。

10

【背景技術】

【0002】

D R A M (Dynamic Random Access Memory) に代表される半導体装置には、正常に動作しない不良メモリセルを冗長メモリセルに置換することによって、当該アドレスを救済するアドレス救済回路が設けられていることが多い。不良メモリセルのアドレス、すなわち救済アドレス情報は、製造時に行われる動作試験において検出され、検出された救済アドレス情報はウェハ状態のまま当該半導体装置に書き込まれる。

【0003】

救済アドレス情報を半導体装置に書き込む方法としては、レーザービームを照射することによってヒューズ素子を切断する方法が広く用いられている。しかしながら、この方法はレーザートリマーなどの装置が必要であるとともに、ウェハ上の多数の半導体装置に対して救済アドレス情報を同時に書き込むことができないため、書き込み動作に時間がかかるという問題があった。

20

【0004】

これに対し、近年、アンチヒューズ素子と呼ばれる素子を用いて救済アドレス情報を記憶する方法が注目されている(特許文献1参照)。初期状態におけるアンチヒューズ素子は絶縁状態であり、高電圧の印加によって絶縁破壊させると導通状態に遷移する。導通状態に遷移したアンチヒューズ素子は絶縁状態に戻すことができず、このため通常のヒューズ素子と同様、不揮発的且つ不可逆的な情報の保持が可能となる。このように、アンチヒューズ素子への書き込みは電気的に行われるため、ウェハ上の多数の半導体装置に対して、救済アドレス情報を並列に書き込むことが可能となる。

30

【0005】

図8は、ウェハ上の多数の半導体装置に対して救済アドレス情報を並列に書き込む方法を説明するためのフローチャートである。

【0006】

まず、書き込み対象となる半導体装置に対してテストコマンドを共通に発行することにより、これら半導体装置をテストモードにエントリさせる(ステップS1)。次に、救済アドレス情報書き込み装置(テスト)内のアドレスカウンタをリセットした後(ステップS2)、当該アドレス情報が救済アドレス情報に該当するか否かを半導体装置ごとに判定する(ステップS3)。その結果、救済アドレス情報に該当する半導体装置(ステップS3: YES)に対しては、イネーブル信号を供給することにより当該救済アドレス情報の書き込みを指示する(ステップS4)。これに対し、救済アドレス情報に該当しない半導体装置(ステップS3: NO)に対してはイネーブル信号が供給されず、その結果、当該救済アドレス情報が書き込まれることはない。これにより、当該救済アドレス情報を複数の半導体装置に対して選択的に書き込むことができる。

40

【0007】

上記の動作は、アドレスカウンタの値をインクリメントすることによって繰り返し行われる(ステップS3~S6)。このような動作は、アドレスカウンタの値が最大値を示すまで行われ、最終的にアドレスカウンタの値が最大値を示した場合に(ステップS5: YES)、一連の書き込み処理が完了する。

50

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2004-303354号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、図8に示す方法では、全アドレス空間に対して上記の処理を行う必要があることから、一連の書き込み処理が完了するまでに比較的長い時間がかかるという問題があった。具体的な数字を挙げて説明すると、アドレス空間が8k (= 8192) アドレスあり、1アドレスの処理に必要な時間が70msである場合には、一連の書き込み処理に約10分の時間が必要となる。

10

【課題を解決するための手段】

【0010】

本発明による半導体装置は、複数ビットで構成される救済アドレス情報の当該複数のビットの各情報を、少なくとも一つの第1の端子を介して外部から時系列的に供給される複数の第1の信号に基づきそれぞれ生成する救済アドレス生成回路と、前記救済アドレス生成回路によって生成されたビット情報を有する救済アドレス情報をヒューズセットに書き込むプログラミング回路と、を備えることを特徴とする。

【0011】

20

また、本発明による救済アドレス情報書き込み装置は、複数の半導体装置にそれぞれ救済アドレス情報を書き込む救済アドレス情報書き込み装置であって、前記複数の半導体装置ごとに前記救済アドレス情報を記憶する記憶部と、前記複数の半導体装置に対し、それぞれ対応する救済アドレス情報をシリアルに供給する第1の出力部と、を備えることを特徴とする。

【0012】

また、本発明による救済アドレス情報書き込み方法は、複数の半導体装置にそれぞれ救済アドレス情報を書き込む救済アドレス情報書き込み方法であって、前記複数の半導体装置ごとに前記救済アドレス情報を取得する第1のステップと、前記複数の半導体装置に対し、それぞれ対応する救済アドレス情報をシリアルに供給する第2のステップと、を備えることを特徴とする。

30

【発明の効果】

【0013】

本発明によれば、救済アドレス情報が時系列的に供給されることから、救済アドレス情報のビット数と同数の端子を用いる必要がない。これにより、複数の半導体装置に対して個々に接続される端子、例えばデータ入出力端子を用いて救済アドレス情報を供給することができることから、複数の半導体装置に対して異なる救済アドレス情報を同時に供給することが可能となる。したがって、複数の半導体装置に対して救済アドレス情報の書き込みを並列に行う場合であっても、一連の書き込み処理を短時間で完了させることが可能となる。

40

【図面の簡単な説明】

【0014】

【図1】本発明の好ましい実施形態による半導体装置10の構成を示すブロック図である。

【図2】第1の実施形態によるアンチヒューズ制御回路100の回路構成を示すブロック図である。

【図3】アンチヒューズ制御回路100の動作を説明するためのタイミング図である。

【図4】複数の半導体装置が形成されたウェハと、これら半導体装置に対して救済アドレス情報の書き込み処理を並列に行うためのプローブカードの構成を示す模式図である。

【図5】救済アドレス情報書き込み装置と複数の半導体装置(DUT)との接続関係を示

50

すブロック図である。

【図6】第2の実施形態によるアンチヒューズ制御回路200の回路構成を示すブロック図である。

【図7】アンチヒューズ制御回路200の動作を説明するためのタイミング図である。

【図8】従来の救済アドレス情報の書き込み方法を説明するためのフローチャートである。

【発明を実施するための形態】

【0015】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0016】

図1は、本発明の好ましい実施形態による半導体装置10の構成を示すブロック図である。

【0017】

本実施形態による半導体装置10はDDR型のSDRAMであり、外部端子として、クロック端子11、コマンド端子群12、アドレス端子群13及びデータ入出力端子群14を備えている。その他、電源端子やデータストロープ端子なども備えられているが、これらについては図示を省略してある。

【0018】

クロック端子11は、外部クロック信号CKが供給される端子であり、供給された外部クロック信号CKは、クロック生成回路21に供給される。クロック生成回路21は、外部クロック信号CKに基づいて内部クロック信号ICKを生成し、これをアンチヒューズ制御回路100、200などの各種内部回路に供給する。詳細については後述するが、アンチヒューズ制御回路100、200はウェハ状態においてアンチヒューズ素子に救済アドレス情報を書き込むための制御回路である。

【0019】

コマンド端子群12は、各種の外部コマンド信号CMDが供給される端子群である。コマンド端子群12に供給された外部コマンドCMDはコマンドデコーダ22に入力され、コマンドデコーダ22によって各種内部コマンド信号が生成される。内部コマンド信号としては、救済アドレス情報の入力動作を開始するための救済アドレス設定コマンドTMR S、アンチヒューズ素子の絶縁破壊を開始する書き込み開始コマンドCONST、アンチヒューズ素子の絶縁破壊を終了する書き込み終了コマンドCONEDが少なくとも含まれる。このうち、救済アドレス設定コマンドTMR Sについては少なくともデータ入出力回路60に供給され、書き込み開始コマンドCONST及び書き込み終了コマンドCONEDについては少なくともアンチヒューズ制御回路100、200に供給される。

【0020】

アドレス端子群13は、アドレスビットA0～A12からなるアドレス信号ADDが供給される端子群であり、供給されたアドレス信号ADDは、アドレスラッチ回路23に供給される。アドレスラッチ回路23にラッチされたアドレス信号ADDのうち、ロウアドレスXAについてはロウ系救済回路30に供給され、カラムアドレスYAについてはカラム系救済回路40に供給される。

【0021】

ロウ系救済回路30には、複数のヒューズセットXSET1～XSETmが含まれている。各ヒューズセットXSET1～XSETmには複数のアンチヒューズ素子が含まれており、これによって不良ワード線に対応するロウアドレス(救済アドレス情報)を記憶する。そして、アドレスラッチ回路23から供給されたロウアドレスXAがヒューズセットXSET1～XSETmに保持されているいずれかの救済アドレス情報と一致した場合には、置換されたロウアドレスをロウデコーダ51に供給する。これにより、不良ワード線ではなく冗長ワード線に対して代替アクセスが行われる。一方、アドレスラッチ回路23から供給されたロウアドレスXAがヒューズセットXSET1～XSETmに保持されて

10

20

30

40

50

いるいずれの救済アドレス情報とも一致しない場合には、当該ロウアドレス X A がそのままロウデコーダ 5 1 に供給される。

【 0 0 2 2 】

同様に、カラム系救済回路 4 0 には、複数のヒューズセット Y S E T 1 ~ Y S E T n が含まれている。各ヒューズセット Y S E T 1 ~ Y S E T n には複数のアンチヒューズ素子が含まれており、これによって不良ビット線に対応するカラムアドレス（救済アドレス情報）を記憶する。そして、アドレスラッチ回路 2 3 から供給されたカラムアドレス Y A がヒューズセット Y S E T 1 ~ Y S E T n に保持されているいずれかの救済アドレス情報と一致した場合には、置換されたカラムアドレスをカラムデコーダ 5 2 に供給する。これにより、不良ビット線ではなく冗長ビット線に対して代替アクセスが行われる。一方、アドレスラッチ回路 2 3 から供給されたカラムアドレス Y A がヒューズセット Y S E T 1 ~ Y S E T n に保持されているいずれの救済アドレス情報とも一致しない場合には、当該カラムアドレス Y A がそのままカラムデコーダ 5 2 に供給される。

10

【 0 0 2 3 】

ロウデコーダ 5 1 は、メモリセルアレイ 5 0 に含まれるいずれかのワード線（又は冗長ワード線）W L を選択する回路である。メモリセルアレイ 5 0 内においては、複数のワード線（又は冗長ワード線）W L と複数のビット線（又は冗長ビット線）B L が交差しており、その交点にはメモリセル M C が配置されている（図 1 では、1 本のワード線 W L 、1 本のビット線 B L 及び 1 個のメモリセル M C のみを示している）。ビット線（又は冗長ビット線）B L は、センス回路 5 3 内の対応するセンスアンプ S A に接続されている。

20

【 0 0 2 4 】

カラムデコーダ 5 2 は、センス回路 5 3 に含まれるいずれかのセンスアンプ S A を選択する回路である。カラムデコーダ 5 2 によって選択されたセンスアンプ S A は、データ入出力回路 6 0 に接続される。データ入出力回路 6 0 はデータ入出力端子群 1 4 に接続されている。

【 0 0 2 5 】

データ入出力端子群 1 4 は、データビット D Q 0 ~ D Q 1 5 からなるデータ D Q が入出力される端子群である。つまり、リード動作時においては、センス回路 5 3 及びデータ入出力回路 6 0 を介してメモリセルアレイ 5 0 から読み出されたリードデータがデータ入出力端子群 1 4 から出力される。一方、ライト動作時においては、データ入出力端子群 1 4 に入力されたライトデータがデータ入出力回路 6 0 及びセンス回路 5 3 を介してメモリセルアレイ 5 0 に書き込まれる。これらデータ入出力回路 6 0 の動作は、内部クロック信号 I C L K に同期して行われる。

30

【 0 0 2 6 】

また、データ入出力回路 6 0 には、コマンドデコーダ 2 2 から救済アドレス設定コマンド T M R S が供給されている。データ入出力回路 6 0 は、救済アドレス設定コマンド T M R S が活性化すると、データ入出力端子群 1 4 を介して入力されるデータビット D Q 2 , D Q 3 をアンチヒューズ制御回路 1 0 0 , 2 0 0 に供給する。図 1 に示すように、アンチヒューズ制御回路 1 0 0 , 2 0 0 には、救済アドレス生成回路 1 1 0 、プログラミング回路 1 2 0 及びヒューズセット選択回路 1 3 0 が含まれている。

40

【 0 0 2 7 】

以上が本実施形態による半導体装置 1 0 の全体構成である。

【 0 0 2 8 】

図 2 は、第 1 の実施形態によるアンチヒューズ制御回路 1 0 0 の回路構成を示すブロック図である。上述の通り、アンチヒューズ制御回路 1 0 0 は、救済アドレス生成回路 1 1 0 、プログラミング回路 1 2 0 及びヒューズセット選択回路 1 3 0 を含む。

【 0 0 2 9 】

図 2 に示すように、救済アドレス生成回路 1 1 0 は、AND ゲート群 1 1 1 と、AND ゲート群 1 1 1 の出力をラッチするラッチ回路 1 1 2 を有している。AND ゲート群 1 1 1 の一方の入力端には、アドレスビット A 0 ~ A 1 2 及びイネーブルビット E N がそれぞれ

50

れ入力され、他方の入力端にはビット信号 B が共通に入力される。

【 0 0 3 0 】

図 2 に示すように、AND ゲート群 1 1 1 に入力されるアドレスビット A 1 ~ A 1 2 は、アドレス端子群 1 3 に含まれる対応する端子からそれぞれ供給される。これに対し、AND ゲート群 1 1 1 に入力されるアドレスビット A 0 及びイネーブルビット EN については、いずれもアドレス端子群 1 3 に含まれるアドレスビット A 0 に対応する端子から供給され、シフタ 1 1 3 によるシリアルパラレル変換によって分離される。シフタ 1 1 3 は、内部クロック信号 I C L K に基づき、シリアルに入力されるアドレスビット A 0 をシフトすることにより、シリアルパラレル変換を行う回路である。尚、イネーブルビット EN の入力方法がこれに限られるものではなく、他の方法、アドレス端子群以外の端子から別途入力する方法であっても構わない。もちろん、イネーブルビット EN を必要としない回路構成であれば、これを省略することも可能である。

10

【 0 0 3 1 】

ビット信号 B は、データビット D Q 2 と内部クロック信号 I C L K との論理積をとる AND ゲート 1 1 4 によって生成される。データビット D Q 2 は、データ入出力端子群 1 4 の対応する端子から入力される信号であり、救済アドレス設定コマンド T M R S が活性化した場合にデータ入出力回路 6 0 から供給される。

【 0 0 3 2 】

ラッチ回路 1 1 2 は、AND ゲート群 1 1 1 の出力をそれぞれラッチする複数の S R ラッチ回路によって構成されている。これら S R ラッチ回路は、書き込み終了コマンド C O N E D によって全てリセットされ、対応するアドレスビット A 0 ~ A 1 2 又はイネーブルビット EN の活性化 (ハイレベル) によってそれぞれセットされる。したがって、一旦 S R ラッチ回路がセットされると、その後、書き込み終了コマンド C O N E D が活性化するまでリセットされない。

20

【 0 0 3 3 】

以上の構成により、救済アドレス設定コマンド T M R S が発行された後、データビット D Q 2 がハイレベルに活性化されているタイミングで、アドレスビット A 0 ~ A 1 2 及びイネーブルビット EN がハイレベルになると、対応する S R ラッチ回路がセットされる。これにより、ラッチ回路 1 1 2 に救済アドレス情報が一時的にラッチされる。但し、本実施形態においては、複数のアドレスビット A 0 ~ A 1 2 及びイネーブルビット EN が同時に活性化することではなく、1 ビットずつ順に活性化される。つまり、アドレスビット A 0 ~ A 1 2 及びイネーブルビット EN のうち、アクティブレベルを示すビットは 1 つであり、アクティブレベルを示すビットの位置がシフトする。これは以下に詳述するように、ラッチ回路 1 1 2 への救済アドレス情報の設定が複数の半導体装置に対して並列に行われるからである。したがって、データビット D Q 2 についても、アドレスビット A 0 ~ A 1 2 及びイネーブルビット EN と同数、つまり 1 4 ビット必要であり、1 4 回に分けてシリアルに入力される。

30

【 0 0 3 4 】

ラッチ回路 1 1 2 に一時的にラッチされた救済アドレス情報は、プログラミング回路 1 2 0 に供給される。プログラミング回路 1 2 0 は、コマンドデコーダ 2 2 より供給される書き込み開始コマンド C O N S T の活性化にตอบสนองして、供給された救済アドレス情報をいずれかのヒューズセット X S E T 1 ~ X S E T m、Y S E T 1 ~ Y S E T n にプログラミングする。いずれのヒューズセット X S E T 1 ~ X S E T m、Y S E T 1 ~ Y S E T n にプログラミングするかは、ヒューズセット選択回路 1 3 0 によって指定される。かかるプログラミング動作は、コマンドデコーダ 2 2 より供給される書き込み終了コマンド C O N E N の活性化にตอบสนองして終了する。

40

【 0 0 3 5 】

特に限定されるものではないが、ヒューズセットへのプログラミングは 1 ビットずつ行うことが好ましい。これは、プログラミング動作についても複数の半導体装置によって並列に行われるため、救済アドレス情報の全ビットを同時にプログラミングしようとする

50

テスト（救済アドレス情報書き込み装置）の電流供給能力を超えてしまうおそれがあるからである。本実施形態では、救済アドレス情報が14ビット構成であることから、14回に分けてプログラミングが行われる。一例として、1ビットのプログラミングに要する時間が5msであるとする、1つの救済アドレス情報をプログラミングするのに要する時間は70msとなる。

【0036】

ヒューズセット選択回路130は、シリアルパラレル変換回路140によってパラレル変換されたデータビットDQ3に基づき、ヒューズセットの選択を行う。シリアルパラレル変換回路140は、シリアルに入力されるデータビットDQ3を内部クロック信号ICLKに同期して次々にラッチし、これによってシリアルパラレル変換を行う回路である。

10

【0037】

ヒューズセットの数については半導体装置によって異なるが、ロウ系救済回路30に含まれるヒューズセットとカラム系救済回路40に含まれるヒューズセットの合計で、約1200セット程度設けられることが多い。この場合、ヒューズセットの選択に必要なデータビットDQ3のビット数は11ビットであり、3ビットのバンクアドレスを付加した場合であっても、14ビットで特定可能である。このように、データビットDQ2に必要なビット数とデータビットDQ3に必要なビット数がほぼ一致していることから、これらを同時に受け付けることが可能である。

20

【0038】

図3は、アンチヒューズ制御回路100の動作を説明するためのタイミング図である。

【0039】

図3に示すように、救済アドレス設定コマンドTMR5が発行された後、アドレスビットA0～A12をこの順に順次ハイレベルとする。アドレスビットの入力サイクルは基本的に1クロックサイクルであるが、アドレスビットA0については2クロックサイクルに亘ってアクティブレベル（ハイレベル）が維持される。これは、図2に示したシフト113によるシリアルパラレル変換によって、イネーブルビットENとアドレスビットA0を生成する必要があるからである。したがって、実際にはアドレスビットA0を含め、全てのアドレスビットの入力サイクルを1クロックサイクルと考えることができる。

30

【0040】

そして、アドレスビットの入力に連動して、データビットDQ2、DQ3がシリアルに入力される。このうち、データビットDQ2は、書き込むべき救済アドレス情報のビットのうち、現在活性化しているアドレスビットに対応するビットの論理値が1であるか0であることを示す信号として用いられる。具体的には、現在活性化しているアドレスビットに対応するビットの論理値が1であればデータビットDQ2をハイレベルとし、現在活性化しているアドレスビットに対応するビットの論理値が0であればデータビットDQ2をローレベルとする。したがって、データビットDQ2とアドレスビットA0～A12の活性化タイミングは必ず同期している必要がある。

40

【0041】

これに対し、データビットDQ3は、救済アドレス情報を書き込むべきヒューズセットを指定する信号であることから、必ずしもアドレスビットA0～A12の活性化タイミングと同期している必要はないが、本実施形態ではこれらを同期させている。これにより、救済アドレス情報の入力とヒューズセットの指定を同時に行われるため、入力に必要な時間が短縮される。尚、データビットDQ3のビット数はヒューズセットの総数に依存することから、必ずしも全ビットをデータビットDQ2と同時に入力する必要はない。

【0042】

そして、救済アドレス情報の入力及びヒューズセットの指定が完了した後、書き込み開始コマンドCONSTが発行される。これにより、ラッチ回路112に入力された救済ア

50

ドレス情報が指定されたヒューズセットに書き込まれる。書き込み動作は、アンチヒューズ素子 A F を絶縁破壊することにより行う。例えば、絶縁破壊されたアンチヒューズ素子については論理レベル = 1 を割り当て、絶縁破壊されていないアンチヒューズ素子については論理レベル = 0 を割り当てることにより、救済アドレス情報を不揮発的且つ不可逆的に記憶することが可能となる。上述の通り、ヒューズセットへのプログラミングは 1 ビットずつ行われる。

【 0 0 4 3 】

そして、指定されたヒューズセットへの書き込み動作が完了するタイミングにて書き込み終了コマンド C O N E N が発行される。これにより、これにより当該アドレスの書き込み動作が完了する。その後は、上記の動作を繰り返すことにより、全ての救済アドレス情報がそれぞれヒューズセットに書き込まれることになる。

10

【 0 0 4 4 】

このように、本実施形態によれば、アドレスビット A 0 ~ A 1 2 のアクティブレベルをシフトさせながら、データビット D Q 2 を用いて救済アドレス情報の当該ビットの論理レベルを指定していることから、図 3 に示す処理を最大でもヒューズセットの総数分だけ繰り返せば、一連の救済アドレス情報の書き込み処理が完了する。つまり、従来の半導体装置のように全アドレス空間に亘ってスキャンする必要がないことから、一連の救済アドレス情報の書き込み処理に要する時間を短縮することが可能となる。具体的には、上記の通り、1 つの救済アドレス情報をプログラミングするのに要する時間を 7 0 m s とし、ヒューズセットの総数が 1 2 0 0 セットであるとすると、一連の処理に要する時間は 8 4 秒となり、処理時間を従来よりも大幅に短縮することが可能となる。

20

【 0 0 4 5 】

次に、複数の半導体装置に対して救済アドレス情報の書き込み処理を並列に行う方法について具体的に説明する。

【 0 0 4 6 】

図 4 は、複数の半導体装置が形成されたウェハと、これら半導体装置に対して救済アドレス情報の書き込み処理を並列に行うためのプローブカードの構成を示す模式図である。

【 0 0 4 7 】

図 4 に示すように、ウェハ 4 0 0 には複数の半導体装置 1 0 がマトリクス状に形成されており、このうち、 $j \times k$ 個の半導体装置に対して並列に救済アドレス情報の書き込み処理が行われる。並列に処理される $j \times k$ 個の半導体装置は、いわゆる D U T (Device Under Test) と呼ばれる。D U T の数は、テストに設けられたプローブカード 4 0 1 の構成に依存し、例えば 2 0 0 個程度の半導体装置が並列に処理される。

30

【 0 0 4 8 】

プローブカード 4 0 1 は、処理対象となる半導体装置 1 0 に設けられた各端子と接触するための多数のプローブを有しているが、図 4 に示すように、外部クロック信号 C K を供給するためのプローブ 4 0 1 a と、コマンド信号 C M D を供給するためのプローブ 4 0 1 b と、アドレス信号 A D D を供給するためのプローブ 4 0 1 c は、それぞれチップ間で共通接続される。つまり、共通の外部クロック信号 C K 、コマンド信号 C M D 及びアドレス信号 A D D がこれら半導体装置 1 0 に与えられる。これに対し、データ D Q を授受するためのプローブ 4 0 1 d については共通接続されず、チップごとに個別接続される。これにより、上述したデータビット D Q 2 , D Q 3 については、半導体装置ごとに個別の値を供給することができる。

40

【 0 0 4 9 】

図 5 は、救済アドレス情報書き込み装置と複数の半導体装置 (D U T) との接続関係を示すブロック図である。

【 0 0 5 0 】

図 5 に示すように、救済アドレス情報書き込み装置 3 0 0 には、複数の半導体装置 1 0 ごとに救済アドレス情報を記憶する記憶部 3 1 0 と、各半導体装置 1 0 に各種信号を供給するための出力部 3 2 0 とを含んでいる。出力部 3 2 0 は、データビット D Q 2 を各半導

50

体装置 10 に個別に供給する出力部 321 と、データビット DQ3 を各半導体装置 10 に個別に供給する出力部 322 と、アドレスビット A0 ~ A12 を複数の半導体装置 10 に共通に供給する出力部 323 とを含んでいる。これら出力部 321 ~ 323 は、記憶部 310 を参照することにより、複数の半導体装置 10 ごとに救済アドレス情報を取得し、これに基づいて対応するデータを複数の半導体装置 10 に出力する。

【0051】

このような構成を有する救済アドレス情報書き込み装置 300 を用いれば、アドレスビット A0 ~ A12 を複数の半導体装置 10 に共通に供給しつつ、データビット DQ2, DQ3 を各半導体装置 10 に個別に供給することができる。これにより、半導体装置 10 ごとに異なる救済アドレス情報を異なるヒューズセットに書き込むことが可能となる。具体的書き込み方法については、図 3 などを用いて説明したとおりである。

10

【0052】

このように、本実施形態によれば、異なる救済アドレス情報を異なるヒューズセットに書き込むという処理を、複数の半導体装置 10 に対して並列に実行することが可能である。

【0053】

図 6 は、第 2 の実施形態によるアンチヒューズ制御回路 200 の回路構成を示すブロック図である。

【0054】

図 6 に示すように、本実施形態によるアンチヒューズ制御回路 200 は、救済アドレス生成回路 110 がシフトレジスタ 210 によって構成されている。その他の点については、図 3 に示したアンチヒューズ制御回路 100 と同一であることから、同一の要素については同一の符号を付し、重複する説明は省略する。シフトレジスタ 210 は、データビット DQ2 を順次シフトする回路であり、シフト動作は内部クロック信号 ICLK に同期して行われる。本実施形態では、アドレスビット A0 ~ A12 の入力は不要である。このため、少なくとも救済アドレス情報の書き込み処理に際しては、アドレス信号 ADD を供給するためのプローブ 401c は必要ない。

20

【0055】

図 7 は、アンチヒューズ制御回路 200 の動作を説明するためのタイミング図である。

【0056】

図 7 に示すように、救済アドレス設定コマンド TMR5 が活性化した後、データビット DQ2 をシリアルに入力する。本例では、最初に入力されるデータビット DQ2 がアドレスビット A12 に対応しており、その後、A11, A10... の順に対応し、最後に入力されるデータビット DQ2 がイネーブルビット EN に対応する。データビット DQ3 の入力に関しては、第 1 の実施形態によるアンチヒューズ制御回路 100 と同じである。

30

【0057】

このようにしてデータビット DQ2 をシリアルに入力すると、図 6 に示したシフトレジスタ 210 に救済アドレス情報が書き込まれた状態となる。この状態で、書き込み開始コマンド CONST を活性化させれば、シフトレジスタ 210 に設定された救済アドレス情報が指定されたヒューズセットに書き込まれる。そして、書き込み終了コマンド CONEN が活性化すれば、当該アドレスの書き込み動作が完了する。その後は、上記の動作を繰り返すことにより、全ての救済アドレス情報がそれぞれヒューズセットに書き込まれることになる。

40

【0058】

このように、本実施形態によれば、シリアルに入力されるデータビット DQ2 をシフトレジスタ 210 によってシリアルパラレル変換していることから、アドレスビット A0 ~ A12 の入力が必要となる。これにより、回路構成を簡素化することができるとともに、少なくとも救済アドレス情報の書き込み処理に際してプローブ 401c が不要となる。

【0059】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限

50

定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0060】

例えば、上記実施形態では、本発明をSDRAMに適用した場合を例に説明したが、本発明の適用対象がこれに限定されるものではない。したがって、他の種類の半導体メモリに適用しても構わないし、ロジック系の半導体装置に適用しても構わない。

【0061】

また、ヒューズセットに含まれるヒューズ素子がアンチヒューズ素子に限定されることはなく、電気的に書き込み可能な素子であれば、他の種類の素子を用いても構わない。

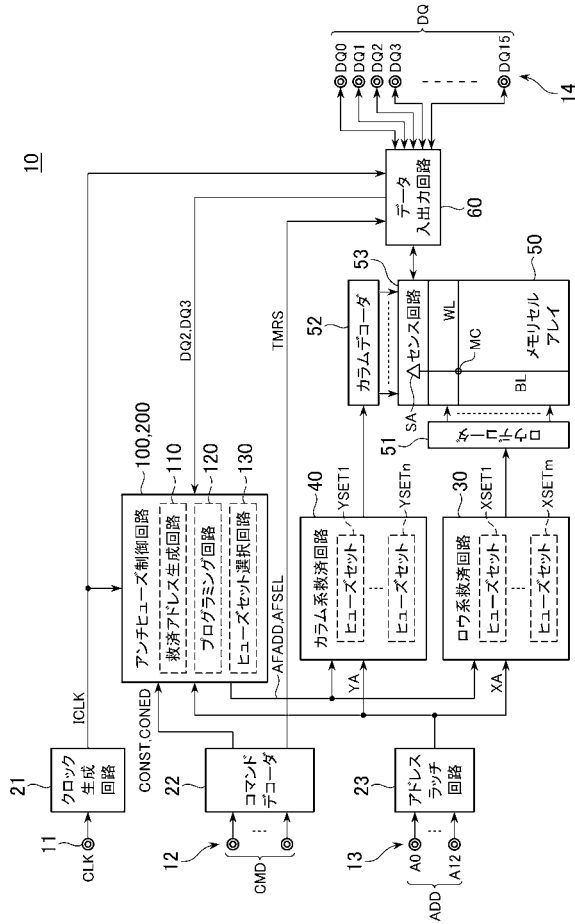
【符号の説明】

10

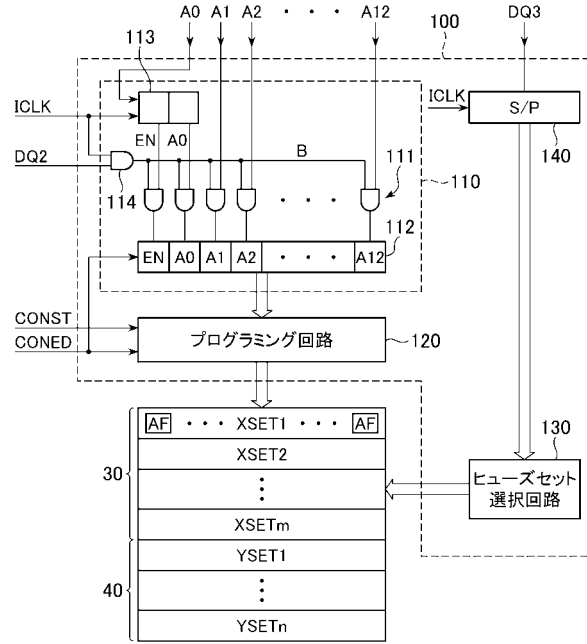
【0062】

10	半導体装置	
11	クロック端子	
12	コマンド端子群	
13	アドレス端子群(第3の端子)	
14	データ入出力端子群(第1及び第2の端子)	
21	クロック生成回路	
22	コマンドデコーダ	
23	アドレスラッチ回路	
30	ロウ系救済回路	20
40	カラム系救済回路	
50	メモリセルアレイ	
51	ロウデコーダ	
52	カラムデコーダ	
53	センス回路	
60	データ入出力回路	
100, 200	アンチヒューズ制御回路	
110	救済アドレス生成回路	
111	ANDゲート群	
112	ラッチ回路	30
113	シフタ	
114	ANDゲート	
120	プログラミング回路	
130	ヒューズセット選択回路	
140	シリアルパラレル変換回路	
210	シフトレジスタ	
300	救済アドレス情報書き込み装置	
310	記憶部	
320 ~ 323	出力部	
400	ウェハ	40
401	プローブカード	
401a ~ 401d	プローブ	
A0 ~ A12	アドレスビット(第3の信号)	
DQ2	データビット(第1の信号)	
DQ3	データビット(第2の信号)	
XSET1 ~ XSETm, YSET1 ~ YSETn	ヒューズセット	

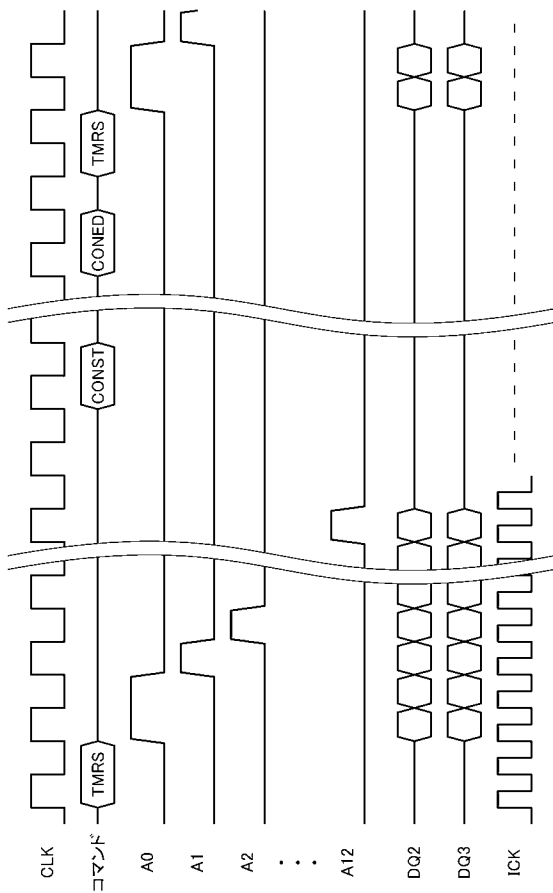
【図1】



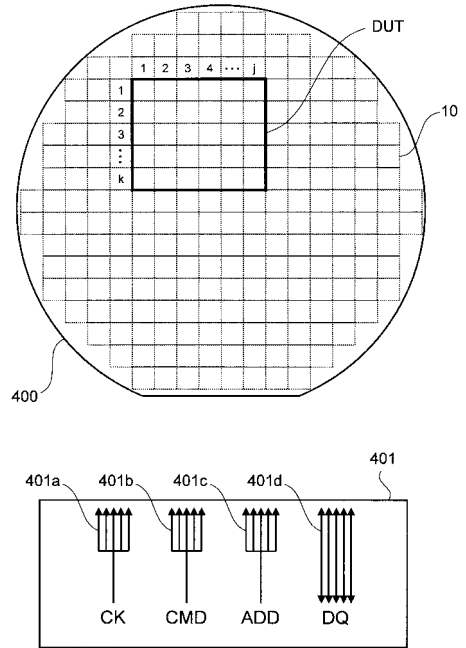
【図2】



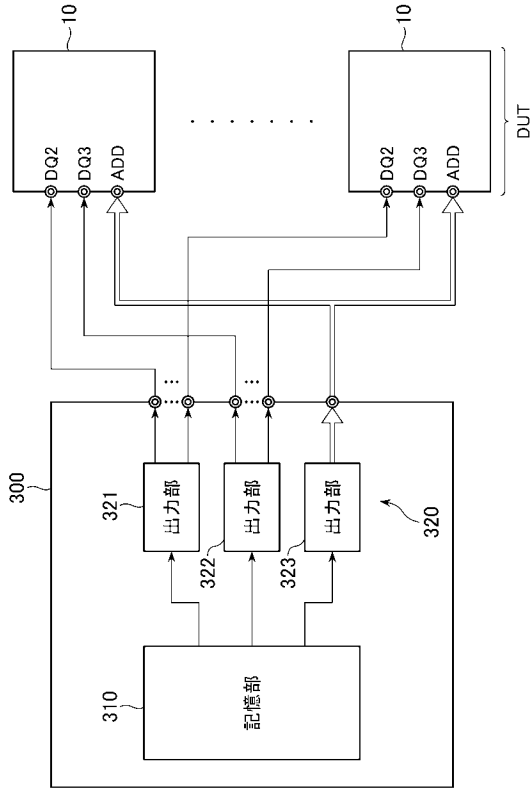
【図3】



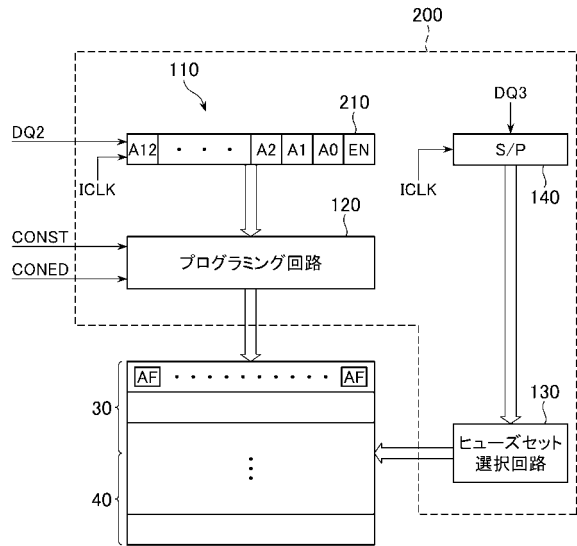
【図4】



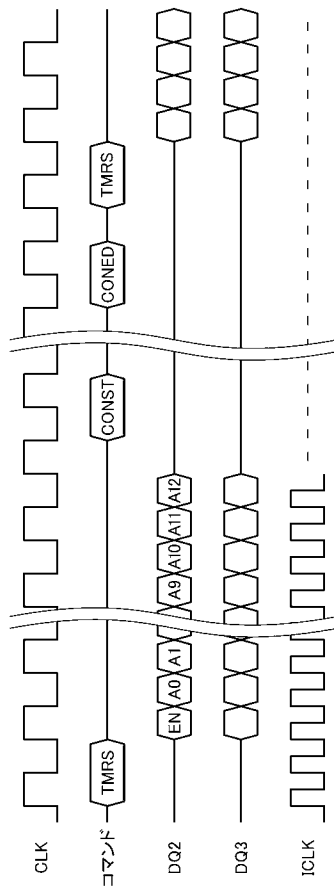
【図5】



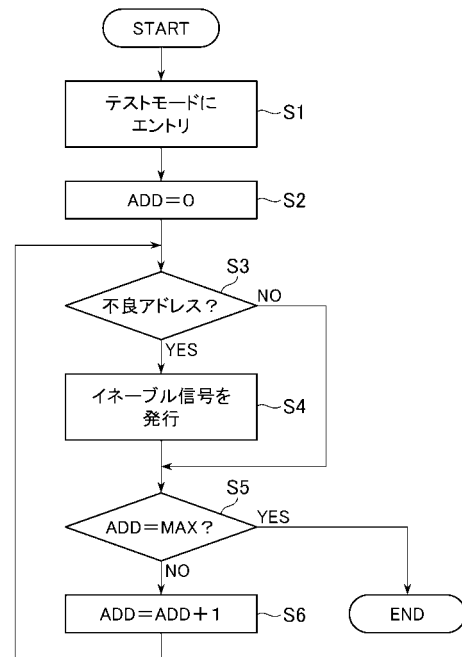
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 久保内 修一
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

審査官 後藤 彰

(56)参考文献 特開平07-230698(JP,A)
特開2008-181633(JP,A)
特開2009-110584(JP,A)
特開昭62-150599(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 29/00