

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5091487号  
(P5091487)

(45) 発行日 平成24年12月5日(2012.12.5)

(24) 登録日 平成24年9月21日(2012.9.21)

(51) Int.Cl. F I  
 HO 1 L 29/78 (2006.01) HO 1 L 29/78 6 5 2 B  
 HO 1 L 21/76 (2006.01) HO 1 L 29/78 6 5 2 R  
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 6 5 3 A  
 HO 1 L 29/78 6 5 8 G

請求項の数 3 (全 8 頁)

(21) 出願番号	特願2007-1543 (P2007-1543)	(73) 特許権者	000003078
(22) 出願日	平成19年1月9日(2007.1.9)		株式会社東芝
(65) 公開番号	特開2008-171887 (P2008-171887A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年7月24日(2008.7.24)	(74) 代理人	100092820
審査請求日	平成21年3月23日(2009.3.23)		弁理士 伊丹 勝
		(74) 代理人	100106389
			弁理士 田村 和彦
		(72) 発明者	大田 剛志
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	河野 孝弘
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		審査官	工藤 一光

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体層の同一の面に、第1のトレンチと、前記第1のトレンチよりも幅の広い第2のトレンチと、前記第2のトレンチよりも幅の広い第3のトレンチを同時に形成する工程と、

前記半導体層上の表面に酸化膜を形成する工程と、

前記酸化膜が形成された前記半導体層上にゲート電極となる導電性材料を成膜することにより、前記第2のトレンチ及び前記第3のトレンチを埋没させることなく、前記第1のトレンチを前記導電性材料により埋没させる工程と、

前記第1のトレンチ内に前記導電性材料を残したまま、前記第2のトレンチ及び前記第3のトレンチ内に成膜された前記導電性材料をエッチング除去する工程と、

前記酸化膜が形成された前記半導体層上に埋込絶縁層となる絶縁材料を成膜することにより、前記第3のトレンチを埋没させることなく、前記第2のトレンチを前記絶縁材料により埋没させる工程と、

前記第2のトレンチ内に前記絶縁材料を残したまま、前記第3のトレンチ内に成膜された前記絶縁材料及び前記酸化膜をエッチング除去する工程と、

前記半導体層上に電極膜となる金属材料を成膜することにより、少なくとも前記第3のトレンチ内の表面を前記金属材料により覆う工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項2】

10

20

前記エッチングは、等方性エッチングであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記エッチングは、ウエットエッチング、または、ケミカルドライエッチングであることを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関するものであり、特に、トレンチゲート型MOSFETの半導体装置の製造方法の技術分野に関するものである。

10

【背景技術】

【0002】

電力制御用の半導体装置として、パワーMOSFET(Field Effect Transistor)や、IGBT(Insulated Gate Bipolar Transistor)などのMOS型トランジスタが用いられている。これらの半導体装置においては、スイッチングオペレーション時の電力損失の低減や、低容量特性が要求される。これらの要求に応えるものとして、特許文献1に開示されているようなトレンチゲート構造がある。

【0003】

このようなトレンチゲート構造のMOS型トランジスタを備えた半導体チップを実際に製造する場合には、トレンチゲートの他、終端埋込絶縁層やトレンチコンタクトを形成する必要があり、これらを形成するためにフォトリソグラフィを10回前後行う必要があり、時間と費用を要しコストアップの原因となっていた。

20

【特許文献1】特開2003-92405号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、トレンチゲート型MOSFETを有する半導体チップにおいて、フォトリソグラフィを行う回数を削減し、製造工程を簡略化した構成の半導体装置の製造方法を提供するものである。

30

【課題を解決するための手段】

【0007】

また、本発明の一態様に係る半導体装置の製造方法は、半導体層の同一の面に、第1のトレンチと、前記第1のトレンチよりも幅の広い第2のトレンチと、前記第2のトレンチよりも幅の広い第3のトレンチを同時に形成する工程と、前記半導体層上の表面に酸化膜を形成する工程と、前記酸化膜が形成された前記半導体層上にゲート電極となる導電性材料を成膜することにより、前記第2のトレンチ及び前記第3のトレンチを埋没させることなく、前記第1のトレンチを前記導電性材料により埋没させる工程と、前記第1のトレンチ内に前記導電性材料を残したまま、前記第2のトレンチ及び前記第3のトレンチ内に成膜された前記導電性材料をエッチング除去する工程と、前記酸化膜が形成された前記半導体層上に埋込絶縁層となる絶縁材料を成膜することにより、前記第3のトレンチを埋没させることなく、前記第2のトレンチを前記絶縁材料により埋没させる工程と、前記第2のトレンチ内に前記絶縁材料を残したまま、前記第3のトレンチ内に成膜された前記絶縁材料及び前記酸化膜をエッチング除去する工程と、前記半導体層上に電極膜となる金属材料を成膜することにより、少なくとも前記第3のトレンチ内の表面を前記金属材料により覆う工程と、を備えたことを特徴とする。

40

【発明の効果】

【0008】

本発明によれば、トレンチゲート型MOSFETを有する半導体チップにおいて、フォトリソグラフィを行う回数を削減し、製造工程を簡略化することができるため、半導体装

50

置のコストを削減させることができる。

【発明を実施するための最良の形態】

【0009】

本発明における一実施の形態を以下に記載する。

【0010】

本実施の形態は、トレンチゲート型MOSFETチップであり、半導体基板上にトレンチゲート、終端埋込絶縁膜、トレンチコンタクトの3種類の異なる幅のトレンチを形成し製造するものである。

【0011】

このトレンチゲート型MOSFETチップの製造方法について以下説明する。

10

【0012】

図1に示すように、N+型の半導体基板11上にN-型のドリフト層12を形成し、更に、前記ドリフト層12の形成されている面より、イオン注入によりB(ボロン)を約 $3 \times 10^{13}$  [ / cm<sup>2</sup> ] 注入したP型のベース層13を形成し、更にその上に、イオン注入によりAs(ヒ素)を約 $5 \times 10^{15}$  [ / cm<sup>2</sup> ] 注入したP型のソース層14を形成する。

【0013】

この後、ソース層14上に、熱酸化及びCVD(Chemical Vapor Deposition)により酸化シリコン層15を形成し、1回目のフォトリソグラフィを行うことによりレジストパターンを形成する。具体的には、酸化シリコン層15上に、フォトレジストを塗布した後、プリベークを行い、露光、現像を行うことにより、トレンチの形成される領域のみフォトレジストが除去されたレジストパターンを形成する。

20

【0014】

次に、図2に示すように、RIE(Reactive Ion Etching)により、レジストパターンの形成されていない領域の酸化シリコン層をエッチングし、マスクとなる酸化シリコン層15を形成し、この後、フォトレジストをアッシング等により除去する。

【0015】

次に、図3に示すように、RIEによりマスクとなる酸化シリコン層15の形成されていない領域のソース層14、ベース層13、ドリフト層12の一部についてエッチングを行った後、マスクとなる酸化シリコン層15をフッ酸によるウエットエッチング等により除去する。これによりトレンチゲートとなる幅W1の第1のトレンチ31、終端埋込絶縁層を形成するための幅W2の第2のトレンチ32、トレンチコンタクトを形成するための幅W3の第3のトレンチ33が形成される。

30

【0016】

各々のトレンチの幅は、幅W2は幅W1よりも広く、幅W3は幅W2よりも広く形成されており、例えば、幅W1は0.4 [ μm ]、幅W2は0.5 [ μm ]、幅W3は0.7 [ μm ]となるように形成されている。

【0017】

次に、図4に示すように、熱酸化によりゲート絶縁層16を形成する。これにより、各々のトレンチ内部を含む表面全体に酸化シリコンからなるゲート絶縁層16が形成される。

40

【0018】

次に、図5に示すように、CVDによりポリシリコン層17を形成する。このCVDによるポリシリコン層17の成膜により、幅の狭い幅W1の第1のトレンチ31内部は、すべてポリシリコン層17により埋め込まれるが、幅の広い幅W2の第2のトレンチ32及び、幅W3の第3のトレンチ33は、トレンチ内部の表面にポリシリコン層17が形成され、トレンチとしての構造は残したままの状態となる。

【0019】

次に、図6に示すように、ゲート配線18及びトレンチゲート電極19を形成する。具

50

体的には、2回目のフォトリソグラフィを上記と同様の方法により行うことにより、ポリシリコン等によるゲート配線18が形成される領域のみレジストが形成されるレジストパターンを形成する。この後、レジストの形成されていない領域のポリシリコン層17についてCDE (Chemical Dry Etching) によるエッチングを行う。このCDEによるエッチングは等方性エッチングであり、ソース層14上の酸化シリコン層15を介した表面に形成されているポリシリコン層17は完全に除去されるが、第1のトレンチ31内のポリシリコン層17の一部は残存し、トレンチゲート電極19が形成される。なお、このCDEによるエッチングにより第2のトレンチ32、第3のトレンチ33内に形成されたポリシリコン層17はすべて除去される。

#### 【0020】

次に、図7に示すように、半導体基板11のゲート絶縁層16及びゲート配線18が形成されている面に、CVDにより酸化シリコンからなる層間絶縁膜20を形成する。このCVDによる層間絶縁膜20の成膜により、幅の狭い幅W2の第2のトレンチ32は層間絶縁膜20により埋め込まれるが、幅の広い幅W3の第3のトレンチ33は、トレンチ内部の表面に層間絶縁膜20が形成され、トレンチとしての構造は残したままの状態となる。尚、この層間絶縁膜20は、膜が等方的に成長するCVDにより成膜されるが、実際には層間絶縁膜20は、第1のトレンチ31、第3のトレンチ33が形成される領域では、トレンチの形成される密度が高いため凹凸が多く比較的薄く形成されるが、第2のトレンチ32が形成される領域では、トレンチの形成される密度が低いため凹凸が少なく比較的厚く形成される。

#### 【0021】

次に、図8に示すように、層間絶縁膜20のエッチングを行う。具体的には、等方性エッチングであるフッ酸等によるウェットエッチングを行う。これにより、第1のトレンチ31、第3のトレンチ33が形成される領域では、比較的膜厚の薄い層間絶縁膜20が形成されており、この領域のソース層14上の層間絶縁膜20及び酸化シリコン層15は完全に除去される。同様に、この部分と略同一の膜厚が形成されている第3のトレンチ33の内部の層間絶縁膜20及び酸化シリコン層15も除去される。一方、第2のトレンチ32が形成される領域では、比較的膜厚の厚い層間絶縁膜20が形成されており、この領域のソース層14上の層間絶縁膜20は完全に除去されることはなく一部残存し、酸化シリコン層15も除去されることはない。また、第2のトレンチ32内の層間絶縁膜20は、第2のトレンチ32の内部に埋め込まれるため、上記エッチングでは除去されず残存し、層間絶縁層21が形成される。この層間絶縁層21と酸化シリコン層15により終端埋込絶縁層が形成される。尚、第1のトレンチ31では、トレンチゲート電極19の表面上に形成された層間絶縁膜20は埋め込まれた状態で形成されるため、層間絶縁膜20はすべて除去されることなく、一部残存し絶縁層22が形成される。

#### 【0022】

次に、図9に示すように、B等のイオン注入により、第1のトレンチのドリフト層12が露出している領域にP+型のコンタクト層23を形成する。具体的に、この工程においてイオン注入されるBの濃度は、約 $1 \times 10^{15}$  [ / cm<sup>2</sup> ] である。尚、この工程においては、表面が露出しているソース層14にもBのイオンが注入されるが、ソース層14は、前述のとおり高濃度のN+型の半導体領域であるため、このBのイオン注入により影響を受けることはない。

#### 【0023】

次に、図10に示すように、メタルゲート電極24、メタルソース電極25を形成する。具体的には、半導体基板11において、第3のトレンチ33が形成されている面に、スパッタリングによりAl (アルミニウム) 膜を形成し、この後、3回目のフォトリソグラフィを上記と同様の方法により行うことにより、電極の形成される領域のみレジストが形成されるレジストパターンを形成する。この後、RIEによりレジストの形成されていない領域のAl膜のエッチングを行い、その後レジストを除去する。これにより、メタルソース電極24、メタルゲート電極25が形成される。

## 【 0 0 2 4 】

次に、図 1 1 に示すように、ポリイミド層 2 6 を形成する。具体的には、メタルソース電極 2 4、メタルゲート電極 2 5 の形成されている面にポリイミドを塗布した後、4 回目のフォトリソグラフィを上記と同様の方法により行うことにより、メタルゲート電極 2 5 の形成されている領域のポリイミドが残存するようにレジストパターンを形成する。この後、レジストの形成されていない領域のポリイミドについて溶剤等によるウエットエッチングを行い、その後レジストを除去する。これにより、ポリイミド層 2 6 が形成される。この後、半導体基板 1 1 のポリイミド層 2 6 を形成した面の反対面において、金属材料をスパッタリング等することによりドレイン電極 2 7 を形成する。

## 【 0 0 2 5 】

以上の工程により、本実施の形態におけるトレンチゲート型 MOS F E T チップが作製される。本実施の形態における製造方法では、フォトリソグラフィの行われる回数は 4 回であり、従来の半分、或いはそれ以下の回数でトレンチゲート型 MOS F E T チップを製造することが可能となり、製造コストを削減することができる。

## 【 0 0 2 6 】

このトレンチゲート型 MOS F E T チップは、前述のとおり、半導体基板 1 1 に形成されたトレンチゲートを形成するための幅 W 1 の第 1 のトレンチ 3 1、終端埋込絶縁層を形成するための幅 W 2 の第 2 のトレンチ 3 2、トレンチコンタクトを形成するための幅 W 3 の第 3 のトレンチ 3 3 が形成されたものである。第 1 のトレンチ 3 1 内部の表面に、ゲート絶縁層 1 6 が形成され、この中にポリシリコンを埋め込むことによりトレンチゲート電極 1 9 が形成される。また、第 2 のトレンチ 3 2 内には、ゲート絶縁層 1 6 と埋め込まれた層間絶縁層 2 1 からなる終端埋込絶縁層が形成される。また、第 3 のトレンチ 3 3 内には、トレンチコンタクトとなるメタルソース電極 2 4 が形成される。このように、本実施の形態におけるトレンチゲート型 MOS F E T チップは、各々のトレンチ内に異なる材料が埋め込まれ形成されている。

## 【 0 0 2 7 】

本実施の形態における成膜による埋め込みは、幅の広いトレンチにおいては、トレンチが埋め込まれることなくトレンチ内部の表面に膜が形成され、トレンチとしての構造を残しているのに対し、幅の狭いトレンチにおいては、トレンチが完全に埋め込まれるまで膜を堆積させるものである。このためには、幅の狭いトレンチの幅と幅の広いトレンチの幅の関係が重要である。発明者の経験に基づくならば、幅の狭いトレンチの幅を 1 とした場合に、幅の広いトレンチの幅は、1 . 2 以上であれば、幅の狭いトレンチは膜材料により完全に埋め込むことができ、幅の広いトレンチでは、トレンチ内部に膜が形成されるものの膜材料により埋め込まれることはなく、トレンチとしての構造を残すことが可能である。尚、製造される半導体装置が大型化を避けるため幅の狭いトレンチの幅を 1 とした場合に、幅の広いトレンチの幅は、2 . 0 以下であることが好ましい。

## 【 0 0 2 8 】

この後、幅の広いトレンチに形成された膜を除去し、幅の狭いトレンチに形成された膜の一部が残存するようなエッチングを行う。これらの工程を繰り返し行うことにより、フォトリソグラフィによりレジストパターンの形成を行う工程数を減少させることができ、製造される半導体装置のコストを削減させることができる。

## 【 0 0 2 9 】

尚、トレンチの埋め込みの成膜には、短時間でトレンチの埋め込みを行うことが可能な等方的に膜成長する C V D 等が好ましいが、これ以外の成膜方法であってもよい。また、堆積した膜のエッチングには、幅の狭いトレンチに埋め込まれた膜材料が除去されることなく、幅の広いトレンチに形成された膜材料を除去するために、C D E やウエットエッチングのような等方的なエッチング方法が好ましいが、これ以外のエッチング方法であってもよい。

## 【 0 0 3 0 】

以上、実施の形態において本発明における半導体装置の製造方法について詳細に説明し

10

20

30

40

50

たが、本発明は上記実施の形態に限定されるものではなく、これ以外の形態をとることが可能である。

【図面の簡単な説明】

【0031】

- 【図1】本実施の形態における半導体装置の製造方法の工程図(1)
- 【図2】本実施の形態における半導体装置の製造方法の工程図(2)
- 【図3】本実施の形態における半導体装置の製造方法の工程図(3)
- 【図4】本実施の形態における半導体装置の製造方法の工程図(4)
- 【図5】本実施の形態における半導体装置の製造方法の工程図(5)
- 【図6】本実施の形態における半導体装置の製造方法の工程図(6)
- 【図7】本実施の形態における半導体装置の製造方法の工程図(7)
- 【図8】本実施の形態における半導体装置の製造方法の工程図(8)
- 【図9】本実施の形態における半導体装置の製造方法の工程図(9)
- 【図10】本実施の形態における半導体装置の製造方法の工程図(10)
- 【図11】本実施の形態における半導体装置の断面図

【符号の説明】

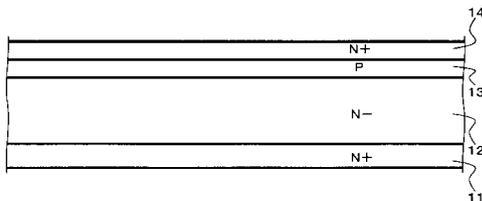
【0032】

11・・・半導体基板、12・・・ドリフト層、13・・・ベース層、14・・・ソース層、16・・・ゲート絶縁層、18・・・ゲート配線、19・・・トレンチゲート電極、22・・・絶縁層、23・・・コンタクト層、24・・・メタルソース電極、25・・・メタルゲート電極、26・・・ポリイミド層、27・・・ドレイン電極、31・・・第1のトレンチ、32・・・第2のトレンチ、33・・・第3のトレンチ、W1・・・第1のトレンチの幅、W2・・・第2のトレンチの幅、W3・・・第3のトレンチの幅

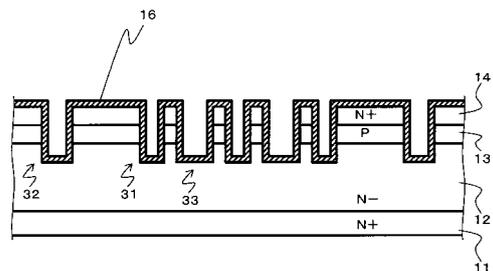
10

20

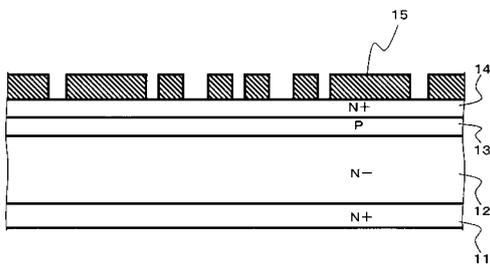
【図1】



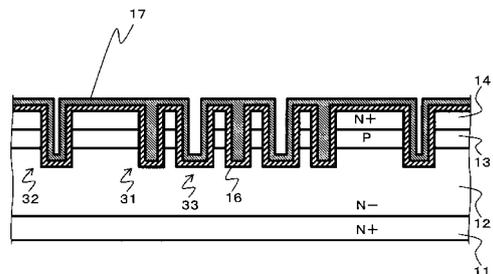
【図4】



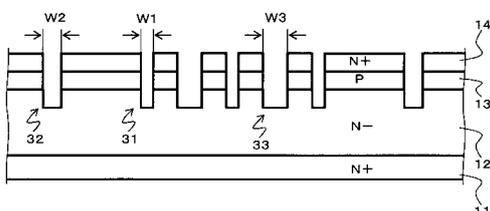
【図2】



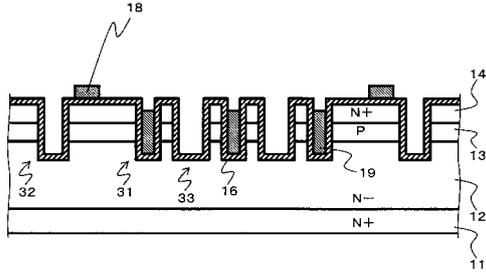
【図5】



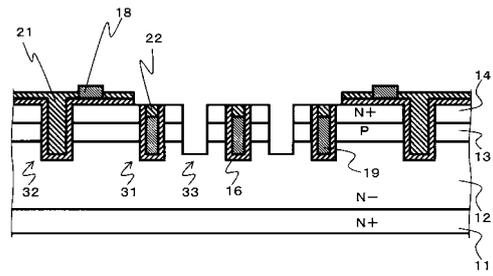
【図3】



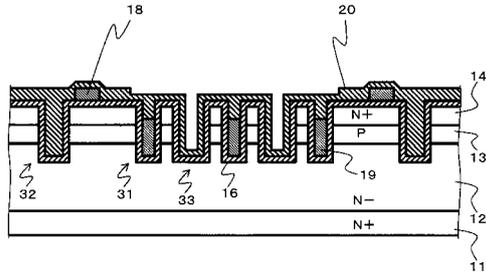
【図6】



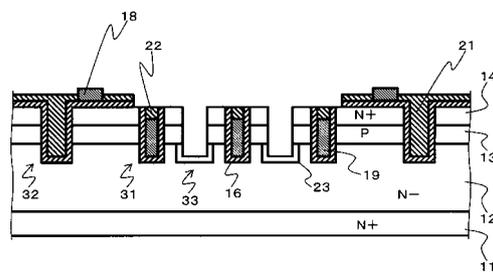
【図8】



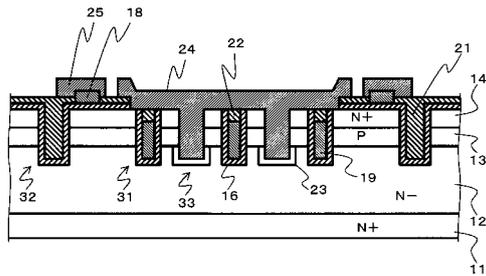
【図7】



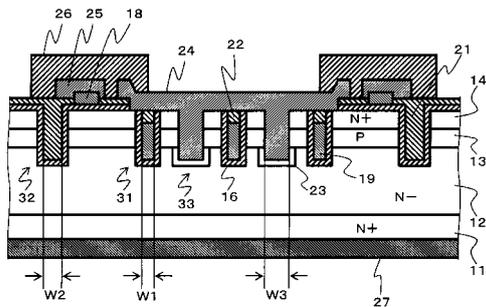
【図9】



【図10】



【図11】



---

フロントページの続き

- (56)参考文献 特開2001-094101(JP,A)  
特開2006-128507(JP,A)  
特開平10-275855(JP,A)  
米国特許出願公開第2004/0171271(US,A1)  
特表2005-501408(JP,A)  
特開2003-92405(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L21/336  
H01L21/76  
H01L29/78-29/792