

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-182104

(P2009-182104A)

(43) 公開日 平成21年8月13日(2009.8.13)

(51) Int. Cl. F I テーマコード (参考)
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2008-19005 (P2008-19005)
 (22) 出願日 平成20年1月30日 (2008.1.30)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100077849
 弁理士 須山 佐一
 (74) 代理人 100113871
 弁理士 川原 行雄
 (74) 代理人 100124073
 弁理士 山下 聡
 (74) 代理人 100134223
 弁理士 須山 英明
 (72) 発明者 竹本 康男
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

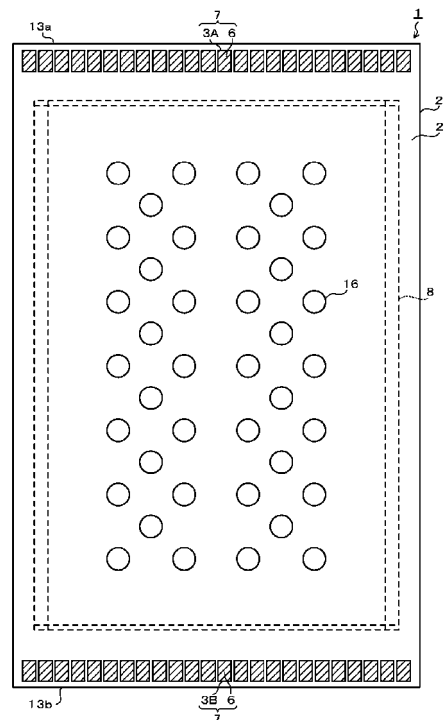
(54) 【発明の名称】 半導体パッケージ

(57) 【要約】

【課題】BGAやLGA等にTSOPと互換性を持たせるにあたって、外部接続用端子の配置形状等に基づく不都合を解消する。

【解決手段】半導体パッケージ1は、外部接続用端子3を備える第1の主面2aと、素子搭載部と内部接続用端子とを備える第2の主面2bとを有する配線基板2を具備する。配線基板2の素子搭載部上には電極パッドを有する半導体素子8が搭載される。半導体素子8の電極パッドと配線基板2の内部接続用端子とは接続部材を介して電氣的に接続される。半導体素子は接続部材と共に封止樹脂層で一体的に封止される。外部接続用端子3A、3Bは配線基板2の外形辺のうちの対向する二辺13a、13bに沿って配列されており、かつ端子配列辺13a、13bに向かう方向に伸びた長方形形状を有する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

外部接続用端子を備える第 1 の主面と、素子搭載部と内部接続用端子とを備え、前記第 1 の主面とは反対側の第 2 の主面とを有する配線基板と、

前記配線基板の前記素子搭載部上に搭載され、少なくとも外形の一辺に沿って配列された電極パッドを有する半導体素子と、

前記半導体素子の前記電極パッドと前記配線基板の前記内部接続用端子とを電氣的に接続する接続部材と、

前記半導体素子を前記接続部材と共に封止するように、前記配線基板の前記第 2 の主面上に設けられた封止樹脂層とを具備し、

前記外部接続用端子は前記配線基板の外形辺のうちの対向する二辺に沿って配列されており、かつ前記外部接続用端子が配列された辺に向かう方向に伸びた長方形形状を有することを特徴とする半導体パッケージ。

10

【請求項 2】

外部接続用端子を備える第 1 の主面と、素子搭載部と内部接続用端子とを備え、前記第 1 の主面とは反対側の第 2 の主面とを有する配線基板と、

前記配線基板の前記素子搭載部上に積層されて搭載され、少なくとも外形の一辺に沿って配列された電極パッドを有する複数の半導体素子を備える半導体素子群と、

前記複数の半導体素子の前記電極パッドと前記配線基板の前記内部接続用端子とを電氣的に接続する接続部材と、

前記半導体素子群を前記接続部材と共に封止するように、前記配線基板の前記第 2 の主面上に形成された封止樹脂層とを具備し、

前記外部接続用端子は前記配線基板の外形辺のうちの対向する二辺に沿って配列されており、かつ前記外部接続用端子が配列された辺に向かう方向に伸びた長方形形状を有することを特徴とする半導体パッケージ。

20

【請求項 3】

請求項 1 または請求項 2 記載の半導体パッケージにおいて、

さらに、前記外部接続用端子上に配置された突起状端子を具備することを特徴とする半導体パッケージ。

【請求項 4】

請求項 3 記載の半導体パッケージにおいて、

前記長方形形状を有する外部接続用端子の形成ピッチを P 、短辺の長さを W 、長辺の長さを L としたとき、前記外部接続用端子は $0.4P < W < 0.6P$ 、 $W < L < 2W$ の条件を満足する長方形形状を有することを特徴とする半導体パッケージ。

30

【請求項 5】

請求項 1 ないし請求項 4 のいずれか 1 項記載の半導体パッケージにおいて、

前記配線基板の前記第 1 の主面には、前記外部接続用端子の形成領域を除く内側領域にテスト用端子が設けられていることを特徴とする半導体パッケージ。

【発明の詳細な説明】**【技術分野】**

40

【0001】

本発明は半導体パッケージに関する。

【背景技術】**【0002】**

半導体パッケージの代表的な構造としては、半導体素子を搭載する回路基材としてリードフレームを用いたパッケージ構造 (TSOP (Thin Small Outline Package) 等) や、回路基材として配線基板を用いたパッケージ構造 (BGA (Ball Grid Array) や LGA (Land Grid Array) 等) が知られている。TSOP 等の半導体パッケージは回路基材として安価なリードフレームを使用しているため、半導体パッケージの低コスト化等に寄与する。

50

【0003】

T S O Pはリードフレーム上に搭載されてインナーリードと電氣的に接続された半導体素子を樹脂封止した樹脂封止体とその側面から突出されたアウターリードとを有する。このため、半導体素子を内包する樹脂封止体のサイズはT S O Pのパッケージサイズより小さくなる。従って、搭載される半導体素子の大きさはパッケージサイズより小さくなるのが避けられない。このことは実装ボード等に半導体パッケージを実装するにあたって、半導体パッケージの実装ボードに対する占有面積に比べて、実際の半導体素子の形状が小さくなることを意味する。N A N D型フラッシュメモリ等の半導体メモリ素子を搭載した半導体パッケージでは、パッケージサイズに見合った記憶容量が得られない。

【0004】

10

B G AやL G A等の半導体パッケージは、樹脂封止体のサイズとパッケージサイズと同じになるため、T S O Pよりも大きい半導体素子を搭載することができる。ただし、一般的なB G AやL G Aでは配線基板の下面側に外部接続用端子がマトリクス状に配列されているため、T S O P用の実装ボード（プリント基板等）をそのまま使用することはできず、B G AやL G A用に端子を配置した実装ボードを用いる必要がある。T S O Pに代えてB G AやL G Aを適用する場合には、汎用性の点から既存のT S O P用実装ボードにB G AやL G Aを実装可能にすることが好ましい。このためにはB G AやL G Aの外部接続用端子をT S O Pのアウターリードと同様な配置とする必要がある。

【0005】

20

外部接続用端子をT S O Pのアウターリードと同様に配線基板の対向する2つの外形辺に沿って配列したB G AやL G A等の半導体パッケージでは、外部接続用端子の狭ピッチ化が避けられないことから、様々な不都合が生じることが懸念される。例えば、従来のB G AやL G Aの外部接続用端子をそのまま使用した場合には、実装信頼性の低下が懸念される。B G AやL G AにT S O Pと互換性を持たせる場合のように、B G AやL G Aの外部接続用端子をT S O Pのリードピッチと同程度のピッチで形成した場合には、端子の狭ピッチ化等に起因して様々な不都合が生じることが懸念される。

【0006】

30

特許文献1～3にはB G Aの実装信頼性を高めるために、角部に配置された接続端子のサイズを内側領域に配置された接続端子より大きくすることが記載されている。これらはいずれもマトリクス状に配列された接続端子（B G A用端子）を前提としており、配線基板の対向する二辺に沿って配置した外部接続用端子、さらにはT S O Pのリードピッチと同程度のピッチで形成する外部接続用端子については考慮されていない。

【特許文献1】特開2000-082757号公報

【特許文献2】特開2003-332497号公報

【特許文献3】特開2006-294656号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

40

本発明の目的は、B G AやL G A等の外部接続用端子をT S O Pのリードピッチと同程度のピッチで形成するような場合において、外部接続用端子の配置形状や形成ピッチ等に基づく不都合を解消することを可能にした半導体パッケージを提供することにある。

【課題を解決するための手段】

【0008】

本発明の一態様に係る半導体パッケージは、外部接続用端子を備える第1の主面と、素子搭載部と内部接続用端子とを備え、前記第1の主面とは反対側の第2の主面とを有する配線基板と、前記配線基板の前記素子搭載部上に搭載され、少なくとも外形の一辺に沿って配列された電極パッドを有する半導体素子と、前記半導体素子の前記電極パッドと前記配線基板の前記内部接続用端子とを電氣的に接続する接続部材と、前記半導体素子を前記接続部材と共に封止するように、前記配線基板の前記第2の主面上に設けられた封止樹脂層とを具備し、前記外部接続用端子は前記配線基板の外形辺のうちの対向する二辺に沿っ

50

て配列されており、かつ前記外部接続用端子が配列された辺に向かう方向に伸びた長方形形状を有することを特徴としている。

【0009】

本発明の他の態様に係る半導体パッケージは、外部接続用端子を備える第1の主面と、素子搭載部と内部接続用端子とを備え、前記第1の主面とは反対側の第2の主面とを有する配線基板と、前記配線基板の前記素子搭載部上に積層されて搭載され、少なくとも外形の一辺に沿って配列された電極パッドを有する複数の半導体素子を備える半導体素子群と、前記複数の半導体素子の電極パッドと前記配線基板の内部接続用端子とを電気的に接続する接続部材と、前記半導体素子群を前記接続部材と共に封止するように、前記配線基板の前記第2の主面上に形成された封止樹脂層とを具備し、前記外部接続用端子は前記配線基板の外形辺のうちの対向する二辺に沿って配列されており、かつ前記外部接続用端子が配列された辺に向かう方向に伸びた長方形形状を有することを特徴としている。

10

【発明の効果】

【0010】

本発明の態様に係る半導体パッケージによれば、外部接続用端子をTSOPのリードピッチと同程度のピッチで形成した上で、外部接続用端子の配置形状や形成ピッチに基づく実装信頼性の低下等の不都合を解消することができる。従って、汎用性と信頼性とを兼ね備えた半導体パッケージを提供することが可能となる。

【発明を実施するための最良の形態】

【0011】

20

以下、本発明を実施するための形態について、図面を参照して説明する。図1ないし図4は本発明の実施形態による半導体パッケージの構成を示す図であって、図1は半導体パッケージの平面図、図2は半導体パッケージの下面図、図3は図1のA-A線に沿った断面図（配線基板の長辺方向に切断した断面図）、図4は図1のB-B線に沿った断面図（配線基板の短辺方向に切断した断面図）である。

【0012】

これらの図に示される半導体パッケージ1は、例えばBGAやLGA等の外部接続用端子にTSOPと互換性を持たせるにあたって、外部接続用端子の狭ピッチ化等に基づく不都合を解消するものである。すなわち、TSOPの OUTER-リードと同様に、BGAやLGA等の外部接続用端子を配線基板の外形辺のうちの対向する二辺に沿って配置した場合、従来の端子形状では実装ボードの端子との接合面積が不十分となり、半導体パッケージの実装ボードに対する実装信頼性が低下してしまうことが判明した。

30

【0013】

特に、実装信頼性を評価する熱サイクル試験(TCT)を実施した際に、端子配列辺(二つの外形辺)の対向方向に加わる熱応力で、半導体パッケージの外部接続用端子と実装ボードの端子との間の接続部(半田接続部等)に亀裂や破断等の不良が発生しやすいことが判明した。この実施形態の半導体パッケージ1は、上記したような外部接続用端子の狭ピッチ化に基づく実装信頼性の低下等の不都合を抑制するものである。以下に、半導体パッケージ1の具体的な構成について説明する。

【0014】

40

半導体パッケージ1は素子搭載用基材として配線基板2を有している。配線基板2は、例えば絶縁樹脂基板の内部や表面に配線網(図示せず)を設けたものであり、具体的にはガラス-エポキシ樹脂やBT樹脂(ビスマレイミド・トリアジン樹脂)からなる樹脂基板を使用した多層構造のプリント配線基板等が適用される。配線基板2は、外部接続面(実装面)となる下面側の第1の主面2aと、素子実装面となる上面側の第2の主面2bとを有している。配線基板2は矩形形状(長方形形状)の外形を有している。

【0015】

配線基板2の第1の主面2aには外部接続用端子3(3A、3B)が設けられている。外部接続用端子3は配線基板2の第1の主面2aに形成されたCu層等の金属層(金属ランド)で構成されている。配線基板2の第2の主面2bには、素子搭載部4と内部接続用

50

端子 5 とが設けられている。内部接続用端子 5 は配線基板 2 と半導体素子との接続時（例えばワイヤボンディング時）に接続部（接続パッド等）として機能するものであり、配線基板 2 の図示を省略した配線網を介して外部接続用端子 3 と電氣的に接続されている。

【0016】

ここでは BGA パッケージに適用する半導体パッケージ 1 を示しているため、外部接続用端子 3 上に半田ボール 6 等の金属ボールが配置されている。半田ボール 6 は突起状端子として機能するものである。外部接続用端子 3 上に配置された半田ボール 6 は半田リフローを施すことによって、図 3 に示すように外部接続用端子 3 の形状にならうように広がった形状となる。リフロー後の半田ボール 6 は、当初のボール体積を外部接続用端子 3 の面積に基づいて適宜設定することによって、突起状端子としての機能（高さ）が維持される。すなわち、半田ボール 6 は長方形の外部接続用端子 3 に対応した外形を有し、かつ突起状端子として機能させることが可能な高さを有している。

10

【0017】

外部接続用端子 3 と半田ボール 6 は BGA 用外部端子 7 を構成している。半導体パッケージ 1 を BGA パッケージとして用いる場合には、半田ボール 6 が実装ボードとの直接的な接続部として機能し、ランド状の外部接続用端子 3 は半田ボール 6 の支持部として機能する。半導体パッケージ 1 は LGA パッケージにも適用可能である。半導体パッケージ 1 は半田ボール 6 を省くことによって、LGA パッケージとして用いることができる。半導体パッケージ 1 を LGA パッケージとして用いる場合には、外部接続用端子 3 が直接的に金属ランド（接続部）として機能する。

20

【0018】

配線基板 2 の素子搭載部 4 には、複数の半導体素子 8（8A～8H）が積層されて搭載されており、これらは半導体素子群 9 を構成している。半導体素子 8 は外形の一辺（具体的には一方の長辺）に沿って配列された電極パッド 10 を有している。半導体素子 8 の電極パッド 10 は、配線基板 2 の内部接続用端子（接続パッド）5 と金属ワイヤ 11 のような接続部材を介して電氣的に接続されている。複数の半導体素子 8 の具体例としては、例えば NAND 型フラッシュメモリのような半導体メモリ素子が挙げられる。なお、半導体メモリ素子の積層体上には必要に応じてコントローラ素子等の半導体素子が積層される。

【0019】

複数の半導体素子 8 が搭載された配線基板 2 の第 2 の主面 2b には、例えばエポキシ樹脂からなる封止樹脂層 12 がモールド成形されている。複数の半導体素子 8 は金属ワイヤ 11 等と共に封止樹脂層 12 で一体的に封止されている。これらによって、BGA 等として用いられる半導体パッケージ 1 が構成されている。この実施形態の半導体パッケージ 1 は、NAND 型フラッシュメモリ等の半導体メモリ素子を多段に積層して高容量化を図った半導体記憶装置に好適であるが、必ずしもこれに限られるものではない。

30

【0020】

この実施形態の半導体パッケージ 1 では、外部接続用端子 3 と半田ボール（金属ボール）6 とで構成された BGA 用外部端子 7 に TSO P のアウターリードと互換性を持たせるため、外部接続用端子 3 を配線基板 2 の外形辺のうちの対向する二辺、具体的には 2 つの短辺（端子配列辺）13a、13b に沿ってそれぞれ配列している。すなわち、半導体パッケージ 1 は、配線基板 2 の一方の短辺 13a に沿って配列された外部接続用端子 3A と、他方の短辺 13b に沿って配列された外部接続用端子 3B とを備えている。

40

【0021】

さらに、BGA 用外部端子 7 の信号配置は TSO P のアウターリードの信号配置と同じとしている。従って、BGA を構成する半導体パッケージ 1 は、TSO P 用の実装ボード（プリント基板等）上にそのまま実装することができる。すなわち、半導体パッケージ 1 は TSO P 用ボードに実装可能な BGA として使用される。言い換えると、半導体パッケージ 1 は実装に関して TSO P と互換性を有する BGA として使用可能なものである。

【0022】

ここで、BGA 用外部端子 7 を TSO P 用ボードの端子と接続するにあたって、BGA

50

用外部端子7（特に金属層（金属ランド）で構成される外部接続用端子3）の形成ピッチは、T S O Pの OUTERリードの形成ピッチと同じにする必要がある。図5に示すように、外部接続用端子3の形成ピッチ（隣接する外部接続用端子3の中心線間距離）Pは、通常のB G Aの端子形成ピッチより狭く、例えば0.5 mmというように狭ピッチ化される。狭ピッチ（例えば0.5 mmの形成ピッチP）で外部接続用端子3の形成する場合、外部接続用端子3の配列方向の長さWは隣接する外部端子7間でのショート等を防止する上で、0.6 P以下（例えば0.3 mm以下）とすることが好ましい。

【0023】

上述したように、0.5 mmの形成ピッチPで金属ランドを形成する際に、その形状を直径が0.3 mmの円形や幅が0.3 mmの正方形とした場合、図6に示すように、実装後の半田ボール6による半田接続部21xの外部接続用端子3xとの接合面積が不十分になる。図6において、符号22は実装ボード、符号23は実装ボード22の端子である。さらに、半田接続部21xの外部接続用端子3xとの接合面積が不十分となることから、半田接続部21xは半導体パッケージ1x側で急激にくびれた形状となる。これらによって、T C Tを実施した際に半田接続部21xに低サイクルで亀裂や破断等の不良が生じやすい。これは半導体パッケージ（B G A）1xの実装信頼性が低いことを意味する。

10

【0024】

そこで、この実施形態の半導体パッケージ1においては、配線基板2の2つの短辺（端子配列辺）13a、13bに沿って配列した外部接続用端子3A、3Bの形状を、それぞれ端子配列辺13a、13bに向かう方向に伸びた長方形形状としている。外部接続用端子3の配列方向の長さ（短辺の長さ）Wは端子形成ピッチPに対して0.6 P以下とすることが好ましく、それ以上に広げることが困難である。このため、半導体パッケージ1では外部接続用端子3A、3Bの配列方向と直交する方向の長さLを端子配列辺13a、13bに向けて伸ばすことによって、外部接続用端子3の面積を拡大している。

20

【0025】

上述したように、外部接続用端子3の形状を端子配列辺13に向かう方向に伸びた長方形形状として面積を拡張することによって、図7に示すように外部接続用端子3と半田接続部21との接合面積の増大を図ることができる。半田接続部21の断面形状（配線基板2の面方向に切断した断面形状）は長方形に近い楕円形状となる。さらに、半田接続部21の外部接続用端子3との接合面積を大きくすることによって、半田接続部21の半導体パッケージ1側におけるくびれも緩やかになる。これらによって、半導体パッケージ1の実装ボード22に対する実装信頼性を向上させることが可能となる。具体的には、半導体パッケージ1の実装ボード22に対する実装信頼性を評価する熱サイクル試験（T C T）において、低サイクルでの半田接続部21の亀裂や破断等を抑制することができる。

30

【0026】

ところで、半田ボール等による突起状端子を有する電子部品の実装信頼性を高めるにあたって、電子部品と実装装置（配線基板等）との間の隙間にアンダーフィル材を充填することが行われている。しかし、この実施形態の半導体パッケージ1のように配線基板2の第1の主面2aに対して半田ボール6を偏って配置した場合、アンダーフィル材の効果を十分に得ることができない。アンダーフィル材は熱サイクル試験に対する効果が少なく、またリワーク性に劣るといった欠点も有する。このような点に対して、長方形形状の外部接続用端子3は熱サイクル試験に対して良好な効果を示し、またリワーク性等を考慮する必要もないという特徴を有する。なお、アンダーフィル材の適用を必ずしも除外するものではなく、必要に応じて半導体パッケージ1にアンダーフィル材を適用してもよい。

40

【0027】

図8に半導体パッケージ1に対してT C Tを実施した結果を示す。図8において、実施例1は端子形成ピッチP = 0.5 mm、長辺の長さL = 0.55 mm、短辺の長さW = 0.3 mmの外部接続用端子3を適用し、その上に半田ボール6を0.13 mmの高さで形成したB G A（半導体パッケージ1）である。実施例1ではアンダーフィル材を適用していない。実施例2は実施例1のB G Aにアンダーフィル材を適用したものである。比較例

50

1は端子形成ピッチ $P = 0.5\text{ mm}$ 、直径 $= 0.3\text{ mm}$ の円形状の外部接続用端子を適用し、その上に半田ボールを 0.13 mm の高さで形成したBGAである。比較例2は比較例1のBGAにアンダーフィル材を適用したものである。

【0028】

実施例1～2および比較例1～2による各BGAをそれぞれTSP用の実装ボード（パッド形状： $0.3 \times 1.6\text{ mm}$ ）に半田実装した後にTCTを実施した。TCTは-25～125を1サイクルとして実施した。このような熱サイクルを付加した際のサイクル数と故障の発生率（故障率）との関係をワイブルプロットしたものを図8に示す。図8から明らかのように、円形状端子を適用した比較例1は低サイクルで故障が発生していることが分かる。また、比較例2は低サイクルでも故障が生じており、実装信頼性に劣ることが分かる。これらに対し、実施例1、2は故障の発生が高サイクル側にシフトしており、またプロットの傾きも大きいことから、実装信頼性に優れることが分かる。

10

【0029】

この実施形態の半導体パッケージ1において、長方形形状を有する外部接続用端子3の長辺の長さ L は、短辺の長さ W より長くすれば面積の拡大効果が得られる。端子面積をより有効に拡大する上で、長辺の長さ L は $1.5W$ 以上とすることがさらに好ましい。ただし、長辺の長さ L をあまり長くしすぎると実装時に必要な半田ボール6の高さ H を確保するためのボールサイズ（リフロー前の半田ボールの大きさ）を大きくする必要がある。外部接続用端子3の形成ピッチが狭ピッチであるため、大きな半田ボールをリフローすると隣接する外部接続用端子3等と接触してショートが生じるおそれがある。このため、外部接続用端子3の長辺の長さ L は $2W$ 以下とすることが好ましい。

20

【0030】

外部接続用端子3の短辺の長さ W は、上述したように $0.6P$ 以下とすることが好ましい。実装可能な半田ボール6の高さ H を確保する上でも、短辺の長さ W は $0.6P$ 以下とすることが好ましい。外部接続用端子3の面積の拡大効果を得る上で、短辺の長さ W は $0.4P$ 以上とすることが好ましい。BGAとして用いる半導体パッケージ1において、外部接続用端子3は $0.4P \leq W \leq 0.6P$ 、 $W < L \leq 2W$ （さらには $1.5W \leq L \leq 2W$ ）を満足する長方形形状を有することが好ましい。外部接続用端子3は配線基板2の切断時における外部接続用端子3や半田ボール6の切断不良の抑制等を考慮して、配線基板2の端子配列辺13からの距離 S が 0.2 mm 以上となるように形成することが好ましい。

30

【0031】

この実施形態の半導体パッケージ1は半田ボール6を省くことで、LGAとして使用することができる。半導体パッケージ1をLGAに適用する場合の外部接続用端子3の形状に関しては、短辺の長さ W はBGAと同様に $0.4P \leq W \leq 0.6P$ の範囲とすることが好ましい。LGAの場合にはBGAと異なって半田流れが生じるおそれが少ないことから、長辺の長さ L はより長くすることができる。具体的には、長辺の長さ L は $W < L \leq 3W$ の範囲とすることが好ましい、さらに好ましくは $1.5W \leq L \leq 2.5W$ の範囲である。このような長方形形状を有する外部接続用端子3を適用することによって、LGAとしての半導体パッケージ1の実装信頼性を向上させることが可能となる。

40

【0032】

次に、複数の半導体素子8の積層構造について述べる。ここでは8個の半導体素子8、例えばNAND型フラッシュメモリのような半導体メモリ素子を積層する場合について説明する。なお、半導体素子8の搭載数（積層数）は8個に限られるものではなく、半導体素子群9を構成する半導体素子8の数が複数個であればよい。さらに、場合によっては半導体素子8の数は1個であってもよい。このように、半導体素子8の搭載数は特に限られるものではなく、1個もしくは複数個のいずれであってもよいが、半導体素子8の高密度化等を実現する上で複数の半導体素子8を積層して搭載することが好ましい。

【0033】

第1ないし第8の半導体素子8A～8Hは矩形形状の同一形状を有し、それぞれ一方の長辺に沿って配列された電極パッド10を有している。第1ないし第8の半導体素子8A～

50

8 Hはそれぞれ長辺片側パッド構造を有している。このような半導体素子8 A ~ 8 Hに対応して、配線基板2の第2の主面2 bにはその両長辺1 4 a、1 4 bに沿って端子形成領域1 5 A、1 5 Bが設けられている。これら端子形成領域1 5 A、1 5 Bにはそれぞれワイヤボンディング時に接続パッドとして機能する内部接続用端子5が配置されている。

【0034】

第1の半導体素子8 Aは電極パッド1 0を有する電極形成面を上方に向けて、配線基板2の素子搭載部4上に接着層を介して接着されている。接着層には一般的なポリイミド樹脂、エポキシ樹脂、アクリル樹脂等を主成分とするダイアタッチフィルム(接着剤フィルム)が用いられる。他の半導体素子8の接着層も同様である。第1の半導体素子8 Aはパッド配列辺(一方の長辺)を配線基板2の長辺1 4 aに向けて配置されている。すなわち、第1の半導体素子8 Aは電極パッド1 0が配線基板2の第1の端子形成領域1 5 Aの近傍に位置するように配置されている。

10

【0035】

第2の半導体素子8 Bは電極パッド1 0を有する電極形成面を上方に向けて、第1の半導体素子8 Aの電極パッド1 0を露出させつつ、第1の半導体素子8 A上に接着層を介して接着されている。第2の半導体素子8 Bはパッド配列辺(一方の長辺)を配線基板2の長辺1 4 bに向けて配置されている。すなわち、第2の半導体素子8 Bは電極パッド1 0が配線基板2の第2の端子形成領域1 5 Bの近傍に位置するように配置されている。第3の半導体素子8 Cは第1の半導体素子8 Aと同様な配置で第2の半導体素子8 B上に接着層を介して接着されている。第4の半導体素子8 Dは第2の半導体素子8 Bと同様な配置で第3の半導体素子8 C上に接着層を介して接着されている。

20

【0036】

第5および第7の半導体素子8 E、8 Gは第3の半導体素子8 Cと同様に、第1の半導体素子8 Aと同様な配置で積層されている。第6および第8の半導体素子8 F、8 Hは第4の半導体素子8 Dと同様に、第2の半導体素子8 Bと同様な配置で積層されている。このように、8個の半導体素子8 A ~ 8 Hはパッド配列辺を交互に配置すると共に、下段側の半導体素子8の電極パッド1 0が露出するように短辺方向にずらして積層されている。これらによって、8個の半導体素子8 A ~ 8 Hの電極パッド1 0をそれぞれ露出させつつ、半導体素子8の配線基板2に対する占有面積の増大を抑制している。

【0037】

第1、第3、第5および第7の半導体素子8 A、8 C、8 E、8 Gはそれぞれ電極パッド1 0が第1の端子形成領域1 5 Aの近傍に位置するように配置されている。これらの電極パッド1 0は第1の端子形成領域1 5 Aに配置された内部接続用端子(接続パッド)5と金属ワイヤ1 1を介して電氣的に接続されている。第2、第4、第6および第8の半導体素子8 B、8 D、8 F、8 Hはそれぞれ電極パッド1 0が第2の端子形成領域1 5 Bの近傍に位置するように配置されている。これら電極パッド1 0は第2の端子形成領域1 5 Bに配置された内部接続用端子5と金属ワイヤ1 1を介して電氣的に接続されている。金属ワイヤ1 1としては一般的なAu線やCu線等の金属細線が用いられる。

30

【0038】

第1、第3、第5および第7の半導体素子8 A、8 C、8 E、8 Gは同一配置としてもよいが、その場合には積層位置に近い第1の半導体素子8 Aと第3の半導体素子8 C、および第5の半導体素子8 Eと第7の半導体素子8 Gに接続された金属ワイヤ1 1同士が干渉するおそれがある。そこで、第3の半導体素子8 Cを第1の半導体素子8 Aに対して長辺方向にずらして配置している。第7の半導体素子8 Gは第5の半導体素子8 Eに対して長辺方向にずらして配置されている。第1の半導体素子8 Aと第5の半導体素子8 E、および第2の半導体素子8 Bと第7の半導体素子8 Gは同一配置とされている。

40

【0039】

このように、積層位置に近い第1の半導体素子8 Aと第3の半導体素子8 C、および第5の半導体素子8 Eと第7の半導体素子8 Gの配置を長辺方向(電極パッド1 0の配列方向)にずらすことによって、金属ワイヤ1 0の接続性(ワイヤボンディング性)やその信

50

頼性（ワイヤ間の接触によるショート抑制等）を高めることができる。第2、第4、第6および第8の半導体素子8B、8D、8F、8Hも同様な配置とされており、第4および第8の半導体素子8D、8Hは電極パッド10がオフセットするように、第2および第6の半導体素子8B、8Fに対して長辺方向にずらして配置されている。

【0040】

この実施形態の半導体パッケージ1において、複数の半導体素子8A～8Hはパッド配列辺が交互に位置するように配置しつつ、下段側の半導体素子8の電極パッド10が露出するようにパッド配列辺と直交する方向にずらして積層されている。さらに、パッド配列辺を同方向に向けて配置した複数の半導体素子8、例えば第1、第3、第5および第7の半導体素子8A、8C、8E、8G、もしくは第2、第4、第6および第8の半導体素子8B、8D、8F、8Hにおいて、積層位置が近い半導体素子8はパッド配列辺の方向にずらして配置されている。このような積層構造を適用することで、素子占有面積の増大を抑制しつつ、半導体素子8に対するワイヤボンディング性を良好に保つことができる。

10

【0041】

この実施形態の半導体パッケージ1には、通常のBGAやLGAと同様にパッケージサイズに近似した半導体素子8の搭載が可能である。そのような半導体パッケージ1の外部接続用端子（BGA用端子やLGA用端子）3にTSPと互換性を持たせているため、半導体パッケージ1のTSP用ボードへの実装とTSPより大きな半導体素子8の搭載とを両立させることができる。さらに、外部接続用端子3の形状に基づいて半導体パッケージ1のTSP用ボードへの実装信頼性も向上させることができる。

20

【0042】

従って、この実施形態によればTSPと互換性を持たせて汎用性と素子面積の増大（高容量化等）を実現した上で、端子形状に基づく実装信頼性の低下を解消したBGAやLGA等の半導体パッケージ1を提供することが可能となる。半導体パッケージ1は大容量化と汎用性と信頼性とを兼ね備えたものである。このような半導体パッケージ1は、例えばTSPでは実現が困難な大容量の半導体記憶装置に好適である。半導体パッケージ1はTSPと互換性を有するため、TSP用ボードに実装する半導体記憶装置の記憶容量の増大、半導体記憶装置の記憶容量に基づく多品種化等を実現することができる。

【0043】

ところで、半導体パッケージ1の電気特性検査は配線基板2の外部接続用端子3にプローブを接触させて実施してもよいが、外部接続用端子3は形成ピッチPが狭いため、電気特性検査の実施が困難となることが懸念される。そこで、この実施形態の半導体パッケージ1においては外部接続用端子3とは別に、配線基板2の第1の主面2aにテスト用端子16を設けている。すなわち、配線基板2の第1の主面2aには外部接続用端子3の形成領域を除く内側領域にテスト用端子16が設けられている。テスト用端子16の形成ピッチPTは外部接続用端子3の形成ピッチPより広くする（ $PT > P$ ）ことができるため、半導体パッケージ1の電気特性検査を良好に実施することが可能となる。

30

【0044】

テスト用端子16はあくまでも電気特性を検査する際のプローブと接触される電極を構成するものであり、外部との接続には寄与しないものである。このようなテスト用端子16の配線は半導体素子8の電極パッド10と電氣的に接続された内部接続用端子5から外部接続用端子3への配線の途中で分岐させてもよいが、この場合には分岐後の配線不良を検知することができない。そこで、内部接続用端子5から外部接続用端子3を経由してテスト用端子16に至る配線とすることが好ましい。このように、内部接続用端子5からテスト用端子16に引き回した配線を適用することによって、半導体パッケージ1の不良をテスト用端子16で確実に検知することが可能となる。

40

【0045】

なお、本発明の半導体装置は上記した実施形態に限定されるものではなく、TSPと互換性を持たせた外部接続用端子（BGA用端子やLGA用端子等）を有する配線基板上に半導体素子を搭載した各種の半導体装置に適用可能である。本発明の半導体装置の具体

50

的な構造は、本発明の基本構成を満足するものであれば種々に変形が可能である。さらに、実施形態は本発明の技術的思想の範囲内で拡張もしくは変更することができ、拡張、変更した実施形態も本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【0046】

【図1】本発明の実施形態による半導体パッケージを示す平面図である。

【図2】図1に示す半導体パッケージの下面図である。

【図3】図1のA-A線に沿った断面図である。

【図4】図1のB-B線に沿った断面図である。

【図5】図1に示す半導体パッケージの外部接続用端子の形状を示す図である。

10

【図6】従来の端子を有する半導体パッケージ(BGA)を実装したときの半田接続部の形状を示す断面図である。

【図7】図1に示す半導体パッケージ(BGA)を実装したときの半田接続部の形状を示す断面図である。

【図8】図8はTSP用ボードに半田実装された半導体パッケージ(BGA)のTCTにおけるサイクル数と故障率との関係をワイブルプロットした図である。

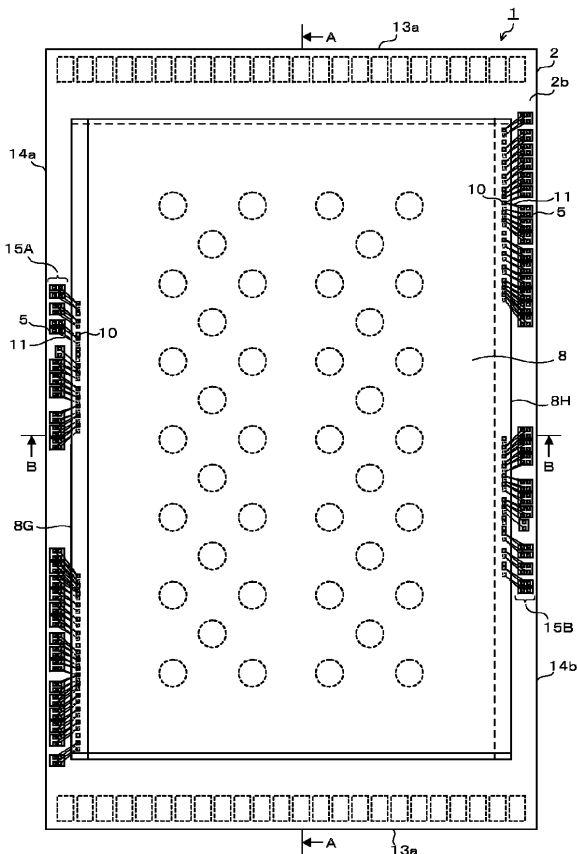
【符号の説明】

【0047】

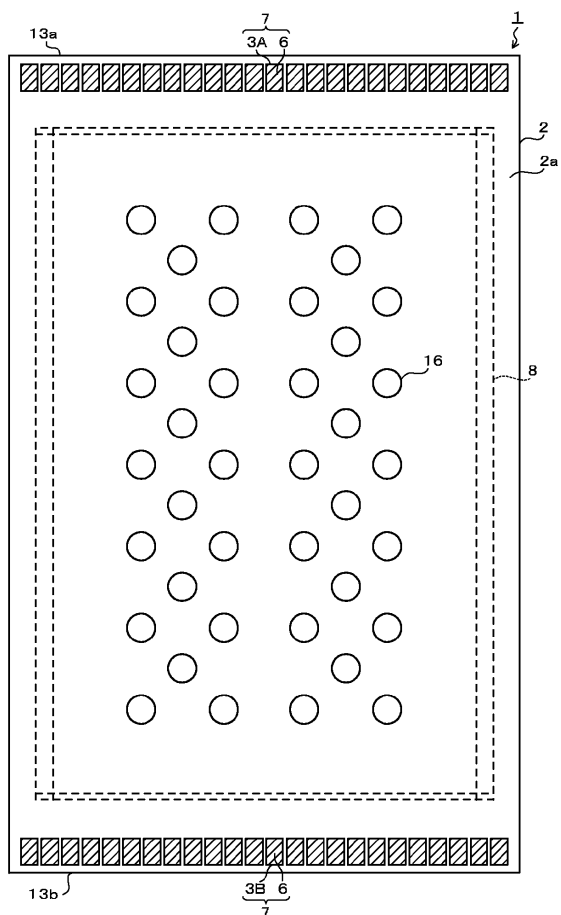
1...半導体パッケージ、2...配線基板、3(3A, 3B)...外部接続用端子、4...素子搭載部、5...内部接続用端子、6...半田ボール、7...BGA用外部端子、8(8A~8H)...半導体素子、9...半導体素子群、10...電極パッド、11...金属ワイヤ、12...封止樹脂層、13...配線基板の短辺(端子配列辺)、15...端子形成領域、16...テスト用端子、21...半田接続部。

20

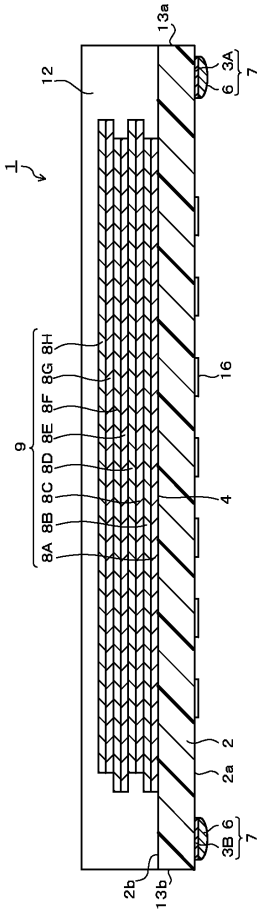
【図1】



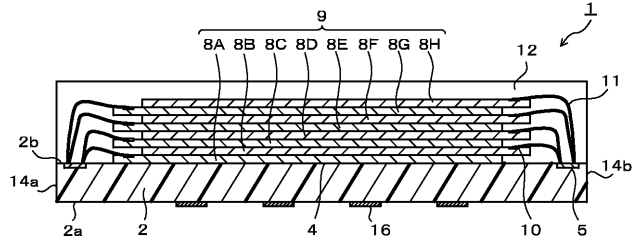
【図2】



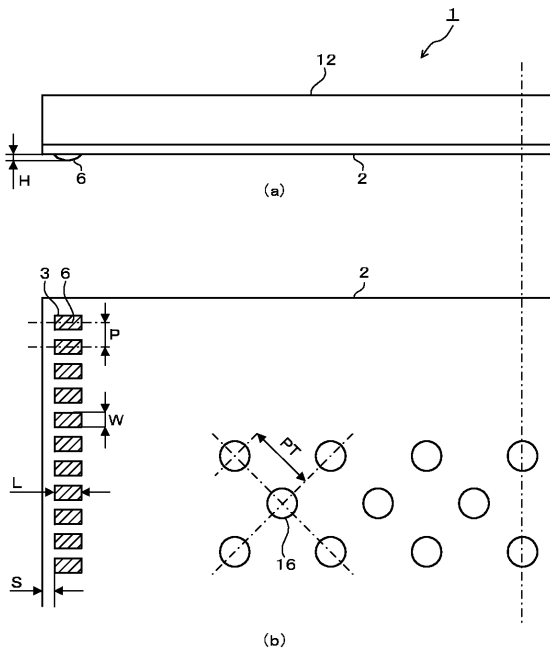
【 図 3 】



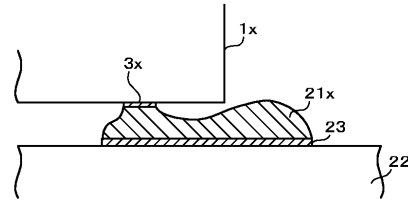
【 図 4 】



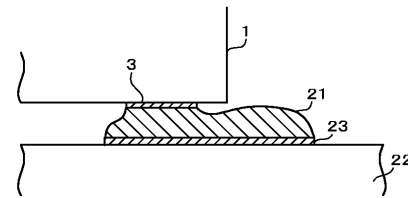
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

