

(12) 发明专利

(10) 授权公告号 CN 1823421 B

(45) 授权公告日 2010.04.28

(21) 申请号 200480020035.6

(22) 申请日 2004.08.20

(30) 优先权数据

295946/2003 2003.08.20 JP

(85) PCT申请进入国家阶段日

2006.01.12

(86) PCT申请的申请数据

PCT/JP2004/011969 2004.08.20

(87) PCT申请的公布数据

W02005/020275 JA 2005.03.03

(73) 专利权人 株式会社电装

地址 日本爱知

(72) 发明人 山内庄一 山口仁 铃木隆司

中岛京子

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 王永建

(51) Int. Cl.

H01L 29/78 (2006.01)

(56) 对比文件

JP 特开 2003-224273 A, 2003.08.08, 全文.

CN 1420569 A, 2003.05.28, 全文.

US 2003/0176031 A1, 2003.09.18, 全文.

US 2002/0074596 A1, 2002.06.20, 全文.

审查员 车晓璐

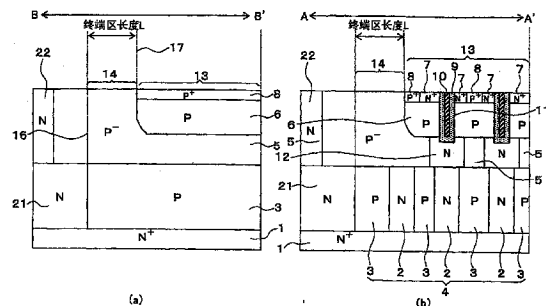
权利要求书 4 页 说明书 7 页 附图 12 页

(54) 发明名称

垂直型半导体装置

(57) 摘要

一种具有超连接结构的垂直型 MOSFET 装置，其中 N 型柱形区和 P 型柱形区交替排列。从有源区的终端与柱形区的终端之间的距离方面看，该柱形区的终端设置在这样的位置上，以使得其与有源区终端分离的距离可由相应于柱形区的深度的距离减去 N 型柱形区的宽度的一半获得。因此，防止了电场集中在面对柱形结构的窄边区的特定部分上，从而提高了垂直型 MOSFET 的击穿电压。



1. 一种具有垂直型半导体元件的半导体装置,该装置包括:

第一导电型的半导体衬底(1);

柱形区(4),其包括多个彼此邻接的第一导电型的第一半导体区(2)和第二导电型的第二半导体区(3),其中该第一和第二半导体区(2,3)分别沿该半导体衬底(1)的衬底深度方向具有预定深度,其中从衬底表面侧看,该第二半导体区(3)呈多边形的形状,其中该第一半导体区(2)中的每一个以预定距离彼此分离,并且该第二半导体区(3)中的每一个以预定距离彼此分离,其中该第一和第二半导体区(2,3)在该半导体衬底(1)上交替排列,从而提供该柱形区(4);

第三半导体区(21),其设置在该第一导电型的半导体衬底(1)上,并设置在该柱形区(4)的外面;

第二导电型的第四半导体区(5),其中该第四半导体区(5)设置在该第三半导体区(21)上,并设置在从该柱形区(4)到该柱形区(4)的外面的范围中;

第五半导体区(22),其设置在该第四半导体区(5)的外面,并设置在该第三半导体区(21)上,其中该第五半导体区(22)从该装置的表面伸展到该第三半导体区(21);

第二导电型的主体区(6),其设置在该第四半导体区(5)的衬底表面侧;

第一导电型的源极区(7);

第二导电型的主体接触区(8);

沟槽,其中该源极区(7)、该主体接触区(8)和该沟槽设置在该主体区(6)中;

栅极绝缘膜(9),其设置在该沟槽的侧壁和底部处;以及

沟槽栅极(11),其如此提供,以使得一电极(10)通过该栅极绝缘膜(9)嵌入该沟槽中,设置在该柱形区(4)和该主体区(6)之间的第一导电型的缓冲区(12),该缓冲区(12)接触该柱形区(4)的第一半导体区(2)和该主体区(6);其中

该第三半导体区(21)和该第五半导体区(22)为第一导电型半导体区,

该沟槽栅极(11)设置成到达该缓冲区(12),

该源极区(7)设置在该沟槽栅极(11)的周围并设置在该主体区(6)的表面上,

该主体接触区(8)设置在该主体区(6)的表面上,

该半导体衬底(1)和该第一半导体区(2)电连接,

设置在该柱形区(4)上的该源极区(7)、该主体区(6)、该主体接触区(8)和该沟槽栅极(11)提供一有源区(13),

该主体接触区(8)具有作为该有源区(13)的终端的终端(17),

该第二半导体区(3)具有作为该柱形区(4)的终端的终端部分(16),

从该主体接触区(8)的终端(17)到该第二半导体区(3)的终端部分(16)的距离被定义为终端区长度L,该第一半导体区(2)的宽度被定义为 $W_1$ ,该柱形区的深度被定义为d,以及

该终端区长度L、该第一半导体区宽度 $W_1$ 和该柱形区深度d满足以下关系:

$$L \geq d - W_1 / 2。$$

2. 一种具有垂直型半导体元件的半导体装置,该装置包括:

第一导电型的半导体衬底(1);

柱形区(4),其包括多个彼此邻接的第一导电型的第一半导体区(2)和第二导电型的

第二半导体区 (3), 其中该第一和第二半导体区 (2, 3) 分别沿该半导体衬底 (1) 的衬底深度方向具有预定深度, 其中从衬底表面侧看, 该第二半导体区 (3) 呈多边形的形状, 其中该第一半导体区 (2) 中的每一个以预定距离彼此分离, 并且该第二半导体区 (3) 中的每一个以预定距离彼此分离, 其中该第一和第二半导体区 (2, 3) 在该半导体衬底 (1) 上交替排列, 从而提供该柱形区 (4);

第二导电型的主体区 (6), 其设置在该柱形区 (4) 的衬底表面侧;

第一导电型的源极区 (7);

第二导电型的主体接触区 (8);

沟槽, 其中该源极区 (7)、该主体接触区 (8) 和该沟槽设置在该主体区 (6) 中;

栅极绝缘膜 (9), 其设置在该沟槽的侧壁和底部处; 以及

沟槽栅极 (11), 其如此提供, 以使得一电极 (10) 通过该栅极绝缘膜 (9) 嵌入该沟槽中, 其中

该源极区 (7) 设置在该沟槽栅极 (11) 的周围并设置在该主体区 (6) 的表面上,

该主体接触区 (8) 设置在该主体区 (6) 的表面上,

该沟槽栅极 (11) 设置成到达该第一半导体区 (2),

该半导体衬底 (1) 和该第一半导体区 (2) 电连接,

设置在该柱形区 (4) 上的该源极区 (7)、该主体区 (6)、该主体接触区 (8) 和该沟槽栅极 (11) 提供一有源区 (13),

该主体接触区 (8) 具有作为该有源区 (13) 的终端的终端 (17),

该第二半导体区 (3) 具有作为该柱形区 (4) 的终端的终端部分 (16),

从该主体接触区 (8) 的终端 (17) 到该第二半导体区 (3) 的终端部分 (16) 的距离被定义为终端区长度  $L$ , 该第一半导体区 (2) 的宽度被定义为  $w_1$ , 该柱形区的深度被定义为  $d$ , 以及

该终端区长度  $L$ 、该第一半导体区宽度  $w_1$  和该柱形区深度  $d$  满足以下关系:

$$L \geq d - w_1 / 2.$$

3. 一种具有垂直型半导体元件的半导体装置, 该装置包括:

半导体衬底 (1), 其具有 (110)-硅表面并且呈第一导电型;

柱形区 (4), 其包括多个彼此邻接的第一导电型的第一半导体区 (2) 和第二导电型的第二半导体区 (3), 其中该第一和第二半导体区 (2, 3) 分别沿该半导体衬底 (1) 的衬底深度方向具有预定深度, 其中从衬底表面侧看, 该第二半导体区 (3) 呈多边形的形状, 其中该第一半导体区 (2) 中的每一个以预定距离彼此分离, 并且该第二半导体区 (3) 中的每一个以预定距离彼此分离, 其中该第一和第二半导体区 (2, 3) 在该半导体衬底 (1) 上交替排列, 从而提供该柱形区 (4);

第三半导体区 (21), 其设置在该第一导电型的半导体衬底 (1) 上, 并设置在该柱形区 (4) 的外面;

第二导电型的第四半导体区 (5), 其中该第四半导体区 (5) 设置在该第三半导体区 (21) 上, 并设置在从该柱形区 (4) 到该柱形区 (4) 的外面的范围中;

第五半导体区 (22), 其设置在该第四半导体区 (5) 的外面, 并设置在该第三半导体区 (21) 上, 其中该第五半导体区 (22) 从该装置的表面伸展到该第三半导体区 (21);

第二导电型的主体区 (6), 其设置在该第三半导体区 (21) 的衬底表面侧 ;  
 第一导电型的源极区 (7) ;  
 第二导电型的主体接触区 (8) ;  
 沟槽, 其中该源极区 (7)、该主体接触区 (8) 和该沟槽设置在该主体区 (6) 中 ;  
 栅极绝缘膜 (9), 其设置在该沟槽的侧壁和底部处 ; 以及  
 沟槽栅极 (11), 其如此提供, 以使得一电极 (10) 通过该栅极绝缘膜 (9) 嵌入该沟槽中,  
 设置在该柱形区 (4) 和该主体区 (6) 之间的第一导电型的缓冲区 (12), 该缓冲区 (12)  
 接触该柱形区 (4) 的第一半导体区 (2) 和该主体区 (6) ; 其中  
 该第三半导体区 (21) 和该第五半导体区 (22) 为第一导体型半导体区,  
 该沟槽栅极 (11) 设置成到达该缓冲区 (12),  
 该第二半导体区 (3) 包括一个组成外形的表面, 该表面包括成对的 (111)- 硅表面,  
 该源极区 (7) 设置在该沟槽栅极 (11) 的周围, 并设置在该主体区 (6) 的表面上,  
 该主体接触区 (8) 设置在该主体区 (6) 的表面上,  
 该半导体衬底 (1) 和该第一半导体区 (2) 电连接,  
 设置在该柱形区 (4) 上的该源极区 (7)、该主体区 (6)、该主体接触区 (8) 和该沟槽栅  
 极 (11) 提供一有源区 (13),  
 该主体接触区 (8) 具有作为该有源区 (13) 的终端的终端 (17),  
 该第二半导体区 (3) 具有作为该柱形区 (4) 的终端的终端部分 (16),  
 从该主体接触区 (8) 的终端 (17) 到该第二半导体区 (3) 的终端部分 (16) 的距离被定  
 义为终端区长度 L, 该第一半导体区 (2) 的宽度被定义为  $W_1$ , 该柱形区的深度被定义为 d, 以  
 及

该终端区长度 L、该第一半导体区宽度  $W_1$  和该柱形区深度 d 满足以下关系 :

$$L \geq (d - W_1/2) / \sin 35.27^\circ .$$

4. 一种具有垂直型半导体元件的半导体装置, 该装置包括 :

半导体衬底 (1), 其具有 (110)- 硅表面并且呈第一导电型 ;

柱形区 (4), 其包括多个彼此邻接的第一导电型的第一半导体区 (2) 和第二导电型的  
 第二半导体区 (3), 其中该第一和第二半导体区 (2, 3) 分别沿该半导体衬底 (1) 的衬底深度  
 方向具有预定深度, 其中从衬底表面侧看, 该第二半导体区 (3) 呈多边形的形状, 其中该第  
 一半导体区 (2) 中的每一个以预定距离彼此分离, 并且该第二半导体区 (3) 中的每一个以  
 预定距离彼此分离, 其中该第一和第二半导体区 (2, 3) 在该半导体衬底 (1) 上交替排列, 从  
 而提供该柱形区 (4) ;

第二导电型的主体区 (6), 其设置在该柱形区 (4) 的衬底表面侧 ;

第一导电型的源极区 (7) ;

第二导电型的主体接触区 (8) ;

沟槽, 其中该源极区 (7)、该主体接触区 (8) 和该沟槽设置在该主体区 (6) 中 ;

栅极绝缘膜 (9), 其设置在该沟槽的侧壁和底部处 ;

沟槽栅极 (11), 其如此提供, 以使得一电极 (10) 通过该栅极绝缘膜 (9) 嵌入该沟槽中,

其中

该第二半导体区 (3) 包括一个组成外形的表面, 该表面包括成对的 (111)- 硅表面,

该源极区 (7) 设置在该沟槽栅极 (11) 的周围, 并设置在该主体区 (6) 的表面上,  
该主体接触区 (8) 设置在该主体区 (6) 的表面上,  
该沟槽栅极 (11) 设置成到达该第一半导体区 (2),  
该半导体衬底 (1) 和该第一半导体区 (2) 电连接,  
设置在该柱形区 (4) 上的该源极区 (7)、该主体区 (6)、该主体接触区 (8) 和该沟槽栅极 (11) 提供一有源区 (13),

该主体接触区 (8) 具有作为该有源区 (13) 的终端的终端 (17),

该第二半导体区 (3) 具有作为该柱形区 (4) 的终端的终端部分 (16),

从该主体接触区 (8) 的终端 (17) 到该第二半导体区 (3) 的终端部分 (16) 的距离被定义为终端区长度  $L$ , 该第一半导体区 (2) 的宽度被定义为  $w_1$ , 该柱形区的深度被定义为  $d$ , 该主体区 (6) 的深度被定义为  $d_b$ , 以及

该终端区长度  $L$ 、该第一半导体区宽度  $w_1$ 、该柱形区深度  $d$  和该主体区深度  $d_b$  满足以下关系:

$$L \geq \left\{ (d-w_1/2) / \sin 35.27^\circ \right\} + (d_b / \tan 35.27^\circ) .$$

## 垂直型半导体装置

### 技术领域

[0001] 本发明涉及例如适用于 MOS 的具有高击穿电压的垂直型半导体装置。

### 背景技术

[0002] 图 11 中示出了常规垂直型 MOS 场效应晶体管（即，垂直型 MOSFET）或类似物的结构（参见日本专利申请公开 No. 2002-184985）。在这种结构中，N 型（即 N 导电型）半导体区 2 和 P 型（即 P 导电型）半导体区 3 设置在沿衬底深度方向具有预定深度的沟槽中。这些区 2、3 交替排列在半导体衬底（或半导体基片）1 上。这是公知的所谓“超连接结构”的柱形结构。具有柱形结构的柱形区 4 形成于半导体衬底 1 上。有源区（active region）13 形成于柱形区 4 上，从而提供具有高击穿电压和低通态电阻的装置结构。有源区 13 由源极区 7、栅极区 11 和主体区 6 组成。

[0003] 在柱形区的外周部分 141 中，提高 N 型半导体区（即，N 型柱形区 2）和 P 型半导体区（即，P 型柱形区 3）之间的连接的击穿电压很重要。因此，常规垂直型 MOSFET（金属氧化物半导体场效应晶体管）具有这样的横截面，其中 N 型柱形区 2 和 P 型柱形区 3 在半导体衬底 1 上交替排列。从有源区 13 的最外边缘到柱形区 4 的终端部分 16 的距离等于或大于柱形区 4 的深度。

[0004] 图 2 是表示柱形区 4 的布局图，其这样构成，以使得 N 型柱形区 2 和 P 型柱形区 3 交替排列在半导体衬底上。

[0005] 如图 2 所示，P 型柱形区 3 这样构成，以使得多个区域以矩形条形的方式排列，并且每个区域为多边形。这里，该多边形具有彼此面对的一对宽边。另外，该多边形具有设置在宽边两端的另一对窄边。因此，例如，在四边形的情况下，该多边形通过伸展具有两对面对边的四边形的一对面对边获得。伸展的边提供宽边，并且另一对边提供窄边。在该多边形为六边形的情况下，一对面对边伸展，从而一对伸展边提供一对宽边，并且另两对面对边提供两对窄边。这里，在图 2 中，有源区 13 以虚线示出，从而清楚地限定出有源区 13 的位置关系。

[0006] 通常，具有沿图 2 中的线 A-A' 剖开的剖面的结构是公知的。A-A' 剖面对应于结构中面对 P 型柱形区的宽边的区域，其中 N 型柱形区 2 和 P 型柱形区 3 以矩形条形在半导体衬底上交替排列。

[0007] 但是，到目前为止基本上没有研究过对应于图 2 所示的 B-B' 剖面结构的有效结构。B-B' 剖面对应于面对 P 型柱形区 3 的窄边的区域。在衬底表面上，很明显，随着从有源区 13 的最外边缘到柱形区 4 的终端的距离变长，击穿电压变大。通常，要求半导体装置最小化。因此，需要产生用于满足具有高击穿电压和低通态电阻的小尺寸装置的条件。

[0008] 考虑到上述问题，本发明的目的是提供一种结构，其可在高击穿电压的半导体装置中提供具有足够击穿电压和足够通态电阻的小尺寸装置，其中在该半导体装置中，N 型柱形区和 P 型柱形区交替排列在半导体衬底上。

## 发明内容

[0009] 为了达到上述目的,发明人研究了有源区 13 的终端和柱形区 4 中 P 型柱形区 3 的终端部分 16 之间的距离。有源区 13 的终端被确定为主体接触区的终端 17。该距离被定义为终端区长度 L。发明人获得了这样的认识,即当柱形区完全耗尽时,要求终端区长度 L 等于沿柱形区的衬底深度方向伸展的耗尽层的深度。

[0010] 这种认识的要点将参照附图进行解释。图 3 是表示柱形区 4 的结构局部剖面图,其中 N 型柱形区 2 和 P 型柱形区 3 交替排列。如在该图中所示,包括 N 型柱形区 2 和 P 型柱形区 3 的区域被设计成用于完全耗尽柱形区 4。特别是,该区这样设计,以沿衬底表面水平方向的每个柱形区的宽度(即,  $W_N$  或  $W_P$ )的一半分别被耗尽,且沿衬底表面垂直方向的每个柱形区的整个深度(即, d)分别被耗尽。为了基于柱形结构确定半导体装置的击穿电压,要求沿衬底表面水平方向伸展的耗尽层的宽度等于沿衬底垂直方向伸展的耗尽层的深度。因此,从定义为主体接触区 8 的终端 17 的有源区 13 的终端到柱形区 4 的终端部分 16 的距离需要按下列方式设计。

[0011] 参照图 4 解释该距离的设计,其中图 4 是表示具有柱形结构的半导体装置的透视剖面图。当该装置被施加击穿电压时,耗尽层的终端、即从沿衬底水平方向的有源区 13 的终端伸展的耗尽层的最外边缘以 N 型柱形区的宽度(即,  $W_N$ )的一半的长度隔开地位于柱形区的终端部分 16 的外面。因此,柱形区的终端部分 16 设置在这样的位置处,其与有源区的终端分离的距离以从对应于柱形区深度(即, d)的距离中减去 N 型柱形区的宽度的一半的方式获得。在这种情况下,沿面对 P 型柱形区 3 的窄边的区域伸展的耗尽层伸展到与沿衬底表面的垂直方向伸展的耗尽层相等。因此,电场不会集中在耗尽层的特定部位。

[0012] 因此,从面对有源区的窄边的有源区终端到设置在面对柱形区的窄边的柱形区终端部分 16 的 P-N 结的距离被定义为终端区长度 L。当长度 L 满足数学公式 No. 1 时,不存在具有低于设计值的低击穿电压的部分。因此,可以设计和制造具有最小尺寸、足够击穿电压和足够通态电阻的垂直型半导体装置。

[0013] (数学公式 No. 1)  $L + W_N/2 \geq d$

[0014] L : 终端区长度

[0015]  $W_N$  : N 型柱形区的宽度

[0016] d : 柱形结构的深度

[0017] 在本发明中,终端区长度 L 被定义为作为有源区的终端的主体接触区(8)的终端(17)与柱形区的终端部分(16)之间的距离。第一半导体区(2)的宽度被定义为  $W_1$ ,柱形区的深度被定义为 d。本发明的特征在于,该装置被设计成满足以下公式:  $L \geq d - W_1/2$ 。

[0018] 因此,可以使从柱形区(4)的内部朝着柱形区的终端部分(16)伸展的耗尽层的宽度伸展至等于从柱形区的内部沿衬底深度方向伸展的耗尽层的宽度。因此,防止了电场集中在面对柱形结构的窄边的区域中的特定部位处。由此提高了垂直型半导体装置(即,垂直型 MOSFET)的击穿电压。

[0019] 在本发明的另一实施例中,垂直型半导体装置形成于第一导电型的(110)-硅表面衬底上,并且该装置包括第二导电型的半导体区(3),并具有由包括成对硅晶体的(111)-硅表面的表面组成的轮廓(即,外形)。从提供有源区的终端的主体接触区(8)的终端(17)到设置在柱形区(4)中的作为该柱形区的终端的第二半导体区(3)的终端部分

(16) 的距离被定义为终端区长度  $L$ 。第一半导体区宽度被定义为  $W_1$ ，柱形结构深度被定义为  $d$ 。该另一实施例的特征在于，该装置被设计成满足以下关系式： $L \geq (d - W_1/2) / \sin 35.27^\circ$ 。

[0020] 另外，在本发明的又一实施例中，垂直型半导体装置形成于第一导电型的 (110)-硅表面衬底上，并且该装置包括第二导电型的半导体区 (3)，其具有由包括成对硅晶体的 (111)-硅表面的表面组成的轮廓（即，外形）。从提供有源区的终端的主体接触区 (8) 的终端 (17) 到设置在柱形区 (4) 中的作为该柱形区的终端的第二半导体区 (3) 的终端部分 (16) 的距离被定义为终端区长度  $L$ 。第一半导体区宽度被定义为  $W_1$ ，柱形结构深度被定义为  $d$ ，主体区的深度被定义为  $d_b$ 。该又一实施例的特征在于，该装置被设计成满足以下关系式： $L \geq \{(d - W_1/2) / \sin 35.27^\circ\} + (d_b / \tan 35.27^\circ)$ 。

[0021] 在本发明的其它实施例中描述的上述结构能够使朝着柱形区的终端部分 (16) 伸展的耗尽层伸展至等同于从柱形区 (4) 的内部沿衬底深度方向伸展的耗尽层。由于防止了电场集中在面对柱形结构的窄边的区域中的特定部位处，从而提高了垂直型半导体装置（即，垂直型 MOSFET）的击穿电压。

[0022] 这里，上述每个装置的括号中的附图标记对应于后面描述的实施例中描述的具体装置。

## 附图说明

[0023] [图 1] 表示根据本发明的第一实施例的垂直型 MOSFET 的剖面图。

[0024] [图 2a] 表示根据本发明的第一实施例的垂直型 MOSFET 的布局图。

[0025] [图 2b] 表示根据第一实施例的另一实例的垂直型 MOSFET 的布局图。

[0026] [图 2c] 表示根据第一实施例的又一实例的垂直型 MOSFET 的布局图。

[0027] [图 2d] 表示根据第一实施例的再一实例的垂直型 MOSFET 的布局图。

[0028] [图 3] 解释根据本发明在柱形区中的耗尽层的伸展状态的视图。

[0029] [图 4] 解释根据本发明的柱形区的终端位置的视图。

[0030] [图 5] 表示根据本发明的第一实施例终端区长度  $L$  与垂直型 MOSFET 的击穿电压的相关性的曲线图。

[0031] [图 6] 表示根据本发明的第二实施例的垂直型 MOSFET 的剖面图。

[0032] [图 7] 表示根据本发明的第三实施例的垂直型 MOSFET 的剖面图。

[0033] [图 8] 表示根据本发明的第三实施例的垂直型 MOSFET 的布局图。

[0034] [图 9] 表示根据本发明的第四实施例的垂直型 MOSFET 的剖面图。

[0035] [图 10] 表示根据本发明的第五实施例的垂直型 MOSFET 的剖面图。

[0036] [图 11] 表示常规结构的视图。

## 具体实施方式

[0037] （第一实施例）

[0038] 图 1(a) 和 (b) 是表示根据本发明的第一实施例的垂直型 MOSFET 的剖面图。图 1(a) 表示对应于面对图 2 所示的 P 型柱形区 3 的窄边的 B-B' 剖面图的结构。为了易于理解该实施例，图 1(b) 示出了对应于面对图 2 所示的 P 型柱形区 3 的宽边的 A-A' 剖面图的结构。该结构是常规已知的。



[0039] 下面解释上述附图所示的垂直型 MOSFET。垂直型 MOSFET 形成于 N<sup>+</sup> 型半导体衬底上。MOSFET 包括 N<sup>+</sup> 型漏极区 1、柱形区 4、N<sup>+</sup> 型源极区 7、P 型主体区 6、P<sup>+</sup> 型主体接触区 8 和沟槽栅极 11。

[0040] N<sup>+</sup> 型漏极区 1 由 N<sup>+</sup> 型半导体衬底形成。例如，由铝制成的电极安装在半导体衬底的背面。

[0041] 柱形区 4 设置在 N<sup>+</sup> 型漏极区 1 上。如图 1(b) 所示，包括柱形区 4 的柱形结构由交替排列的 P 型柱形区 3 和 N 型柱形区 2 组成。P 型柱形区 3 由 P 型半导体单晶制成。N 型柱形区 2 由 N 型半导体单晶制成。在图 1(a) 中，仅示出了柱形区 4 中的 P 型柱形区 3 的剖面。但是，实际上，N 型柱形区 2 存在于柱形区 4 中。N 型柱形区 2 由 N 型单晶硅制成，并且沿附图的深度方向邻近柱形区 3 设置。N 型柱形区 2 可以假定为垂直型 MOSFET 的漂移区，从而漏极电流流过 N 型柱形区 2。

[0042] N 型半导体区 21 设置在柱形区 4 的外面。图 1(a) 中的 N 型半导体区 21 和 P 型柱形区 3 之间的边界提供了柱形区终端部分 16。P<sup>-</sup> 型半导体单晶区 5 设置在柱形区 4 上或设置在柱形区 4 和位于柱形区 4 的外面的 N 型半导体单晶区 21 上。

[0043] P 型主体区 6 形成于 P<sup>-</sup> 型半导体单晶区 5 的衬底表面部分上，如图 1(b) 所示。N<sup>+</sup> 型源极区 7、P<sup>+</sup> 型主体接触区 8 和沟槽形成于 P 型主体区 6 中。栅极绝缘膜 9 形成于沟槽的侧壁和底部。栅极绝缘膜 9 例如由氧化硅膜制成。由多晶硅等制成的电极嵌入沟槽中，从而形成沟槽栅极 11。N<sup>+</sup> 型源极区 7 设置在 P 型主体区 6 的上面和沟槽栅极 11 的周围。在这种结构中，当电压施加到沟槽栅极 11 上时，沟道形成于沿沟槽栅极 11 的侧壁设置的区域，其夹在源极区 7 和缓冲区 12 之间。

[0044] P<sup>+</sup> 型主体接触区 8 设置在 P 型主体区 6 的表面上。P<sup>+</sup> 型主体接触区 8 至少形成于设置在沟槽栅极 11 之间的 P 型主体区 6 中是足够的。P<sup>+</sup> 型主体接触区 8 还形成于设置在有源区 13 的最外边缘的 P 型主体区 6 上。因此，设置在有源区 13 的最外边缘的 P 型主体区 6 的电势可以固定，从而不会出现寄生操作。

[0045] N 型缓冲区 12 设置成接触作为漂移区的 N 型柱形区 2、沟槽栅极 11 和 P 型主体区 6。沟槽栅极 11 形成为到达 N 型缓冲区 12。该缓冲区 12 不仅可以形成于沟槽栅极 11 的下面，还可以形成于整个有源区 13 的下面。但是，优选的是，缓冲区 12 仅形成于沟槽栅极 11 的下面。这是因为设置在沟槽栅极 11 之间的 P 型主体区 6 与 P 型柱形区 3 电分离，从而使得 P 型主体区 6 处于浮动状态。

[0046] 在具有上述结构的垂直型 MOSFET 中，终端区长度 L 被定义为从有源区终端到 P/N 结的距离。有源区终端由 P<sup>+</sup> 型主体接触区 8 的最外边缘确定。P/N 结设置在柱形区终端部分 16 上。有源区 13 和 N 型单晶硅区 21 被形成，以使它们之间通过终端区长度分离，从而该终端区长度 L 满足数学公式 No. 2。这里，这样获得数学公式 No. 2，以将数学公式 No. 1 的右侧项  $W_N/2$  转换成左侧项。

[0047] (数学公式 No. 2)  $L \geq d - W_N/2$

[0048] L : 终端区长度

[0049]  $W_N$  : N 型柱形区宽度

[0050] d : 柱形结构深度

[0051] 另外，N 型单晶区 22 从接触单晶区 21 的表面形成。特别是，N 型单晶区 22 设置

在 N 型单晶硅区 21 上,并设置在 P<sup>-</sup> 型半导体单晶区 5 的外面。该单晶区 22 从 P 型柱形区 3 的终端位置的相同位置或从终端位置外朝着有源区 13 的外边缘设置。因此,单晶区 21、22 围绕着装置的最外边缘。

[0052] 上述结构提供了从柱形区 4 的内部朝着柱形区终端部分 16 伸展的耗尽层伸展到等同于从柱形区 4 的内部至衬底深度方向伸展的耗尽层。因此,防止了在面对柱形结构的窄边区域的电场集中,从而提高了垂直型 MOSFET 的击穿电压。

[0053] 图 5 是表示根据本实施例在具有大约为 220V 的设计击穿电压的垂直型 MOSFET 中的终端区长度 L 与击穿电压的相关性的曲线图。曲线图的垂直轴表示击穿电压,水平轴表示终端区长度 L。当终端区长度 L 在  $L < d - W_N/2$  的范围内时,击穿电压不能满足设计值。当终端区长度 L 在  $L > d - W_N/2$  的范围内时,击穿电压在设计值附近饱和。因此, $L = d - W_N/2$  成为边界。因此,如该曲线图所示,确认终端区长度 L 的最小尺寸可以表述成公式  $L \geq d - W_N/2$ 。

[0054] 这里,如上所述,终端区长度 L 仅通过聚焦于柱形区 4 中的 PN 结的重复结构来确定。因此,不考虑在缓冲区 12 和 P<sup>-</sup> 型半导体单晶区 5 之间的 PN 结的重复结构。PN 结沿缓冲区 12 的深度形成。这是因为根据本实施例,垂直型 MOSFET 的击穿电压由柱形区 4 的深度确定,因此击穿电压不是由缓冲区 12 确定。于是,如上所述,终端区长度 L 仅通过聚焦于柱形区 4 中的 PN 结的重复结构来确定。

[0055] 另外,图 2a 所示的条形结构示出了柱形结构的实例。该柱形结构可以用除了条形结构之外的其它结构提供,诸如图 2b 所示的方形点结构、图 2c 所示的六边形点结构和图 2d 所示的圆形点结构。

[0056] 在这些情况下,终端区长度 L、即有源区 13 和柱形区 4 的终端之间的距离的最小尺寸满足上述关系。有源区 13 在图 2b-2d 中以虚线示出,柱形区 4 的终端在图 2b-2d 中以点划线示出。这里,点之间的距离被定义为  $W_N$ 。

[0057] 另外,栅极结构也可以用与柱形结构相似的条形结构和具有点结构的循环结构提供。即使当栅极结构用条形结构提供时,条形结构可以不仅具有平行于柱形结构的位置关系,而且可具有垂直于或倾斜于柱形结构的位置关系。

[0058] (第二实施例)

[0059] 图 6(a) 是表示根据本发明的第二实施例的垂直型 MOSFET 的剖面图。该实施例不同于第一实施例,其不同之处在于,在衬底表面上没有设置图 1(a)、(b) 的剖面图中的 P<sup>-</sup> 型半导体单晶区 5 和 N 型缓冲区 12,从而柱形结构到达衬底表面,其没有包括主体区 6。

[0060] 衬底表面上的布局对应于面对 P 型柱形区 3 的窄边的 A-A' 剖面结构,其与第一实施例相似。这里,描述图 6(b),以易于理解该实施例。图 6(b) 示出了对应于面对图 2 所示的 P 型柱形区 3 的宽边的 A-A' 剖面结构的结构,该结构是常规已知的。

[0061] 在第二实施例中,有源区 13 和由 N 型单晶硅制成的 N 型半导体区 21 被形成,以满足数学公式 No. 2,其是与第一实施例相同的公式。

[0062] 因此,在第二实施例中,从柱形区 4 的内部朝着柱形区终端部分 16 伸展的耗尽层可以伸展到等同于朝着柱形区 4 的衬底深度方向伸展的耗尽层。因此,防止了电场集中在面对柱形结构的窄边的区域处,从而提高了垂直型 MOSFET 的击穿电压。

[0063] (第三实施例)

[0064] 图 7(a) 是表示根据本发明的第三实施例的垂直型 MOSFET 的剖面图。图 7(a) 表示

对应于面对图 8 所示的 P 型柱形区 3 的窄边的 D-D' 剖面结构的结构。这里,描述图 7(b),以易于理解该实施例。图 7(b) 示出了对应于面对图 8 所示的 P 型柱形区 3 的宽边的 C-C' 剖面结构的结构,该结构是常规已知的。

[0065] 在第三实施例中,与第一实施例相似,当形成柱形结构时,使用具有 (110) 表面的硅衬底。该柱形结构通过利用与蚀刻率相关的表面取向的湿蚀刻法形成。因此,柱形的形状不同于上述实施例的形状。其它基本结构与第一实施例相似。

[0066] 在第一和第二实施例中,柱形区终端部分 16 处的 PN 结表面设置成垂直于衬底表面的水平方向。但是,在第三实施例中,如图 7(a) 所示,柱形区终端部分 16 处的 PN 结表面具有与衬底表面的水平方向成 35.27 度的角度。在衬底中伸展的耗尽层的范围几乎与上述实施例相同,从而耗尽层在具有这样长度的范围内伸展,该长度通过将 N 型柱形区宽度  $W_N$  的一半加上从有源区终端到柱形区 4 的 P 型柱形区 3 的窄边上的终端部分 16 的距离而获得。衬底表面上的终端区长度 L 可以用三角函数表示。特别是,长度 L 表示如下。

[0067] 首先,从沿衬底深度方向的衬底表面上的柱形区中的有源区的终端引下一垂线。该垂线与 P<sup>-</sup> 型半导体单晶区 5 和 P 型柱形区 3 之间的边界的交点被定义为起始点 18。划出具有半半径的圆弧,该半径用柱形深度减去 N 型柱形区宽度  $W_N$  得到。圆弧接触 (111)-硅表面,接触点在圆弧和柱形区终端部分 16 之间。然后,从该接触点引出柱形区 4 的终端的法线。从该法线、终端区长度 L 和  $\sin 35.27^\circ$  的值之间的关系看,终端区长度 L 可以表示为该距离与  $1/\sin 35.27^\circ$  的乘积,该距离用柱形深度 d 减去 N 型柱形区宽度  $W_N$  的一半获得。因此,终端区长度 L 设定为满足数学公式 No. 3。

[0068] (数学公式 No. 3)  $L \geq (d - W_N/2) / \sin 35.27^\circ$

[0069] L:终端区长度

[0070]  $W_N$ :N 型柱形区宽度

[0071] d:柱形结构深度

[0072] 因此,终端区长度被定义为从有源区的终端到衬底表面上的柱形区终端部分 16 处的 PN 结的距离。终端 17 由 P<sup>+</sup> 型主体接触区 8 的最外边缘确定。由有源区 13 和 N 型单晶硅组成的 N 型半导体区 21 被形成,以通过满足数学公式 No. 3 的终端区长度 L 分开。

[0073] 在上述结构中,从柱形区 4 的内部朝着柱形区终端部分 16 伸展的耗尽层伸展到等同于从柱形区 4 朝着衬底深度方向伸展的耗尽层。因此,防止了电场集中在面对柱形结构的窄边的区域处,从而提高了垂直型 MOSFET 的击穿电压。

[0074] (第四实施例)

[0075] 图 9(a) 是表示根据本发明的第四实施例的垂直型 MOSFET 的剖面图。与第三实施例的不同之处在于,不存在第三实施例的图 7(a)、(b) 的剖面图所示的衬底表面上的 P<sup>-</sup> 型半导体区 5 和 N 型缓冲区 12;替代的是,P 型主体区 6 设置在柱形区 4 中。

[0076] 衬底表面上的布局与第三实施例相似,其具有对应于面对图 8 所示的第二导电型的第二半导体区 3 的窄边的 D-D' 剖面结构的结构。这里,描述图 9(b),以易于理解该实施例。图 9(b) 示出了对应于面对图 2 所示的第二导电型的第二半导体区 3 的宽边的 C-C' 剖面结构的结构,该结构是常规已知的。

[0077] 在第四实施例中,不存在第三实施例中描述的 P<sup>-</sup> 型半导体区 5 和 N 型缓冲区 12。因此,与第三实施例相比,存在于衬底表面上的终端 14 处的 PN 结表面设置在外边缘上。特

别是,这样形成有源区 13 和 N 型单晶硅区 21,以满足数学公式 No. 4。该数学公式 No. 4 通过在数学公式 No. 3 中加入项 (即,  $d_b/\tan 35.27^\circ$ ) 而获得。该项具有图 9(a) 所示的 P 型主体区的深度参数 (即,  $d_b$ )。

[0078] (数学公式 No. 4)  $L \geq \{(d - W_N/2)/\sin 35.27^\circ\} + (d_b/\tan 35.27^\circ)$

[0079] L:终端区长度

[0080]  $W_N$ :N 型柱形区宽度

[0081] d:柱形结构深度

[0082]  $d_b$ :P 型主体区深度

[0083] 因此,第四实施例与第三实施例相似,从柱形区 4 的内部朝着柱形区终端部分 16 伸展的耗尽层伸展到等同于从柱形区 4 朝着衬底深度方向伸展的耗尽层。因此,防止了电场集中在面对柱形结构的窄边的区域处,从而提高了垂直型 MOSFET 的击穿电压。

[0084] (第五实施例)

[0085] 在第五实施例中,关于在第四实施例中描述的柱形区的角部,防止了电场集中在面对柱形结构的窄边的区域处,从而提高了垂直型 MOSFET 的击穿电压。特别是,如图 10 所示,柱形的窄边设置在终端区长度 L 的范围外,从衬底上方看,该范围如以终端区长度 L 与有源区终端隔离的圆形部分所示。

[0086] 在上述实施例中描述的终端区长度 L 的关系可类似地应用于柱形区 4 的角部。特别是,在终端区长度 L 满足数学公式 No. 2 至 No. 4 之一的情况下,当击穿电压施加到装置上时,从衬底上方看,耗尽层的角部沿圆形从有源区角部的起始点朝着外周边伸展。此时,P 型柱形区终端 161 被设计成位于终端区长度 L 的范围外,从而每个实施例的柱形区 4 的角部处的终端区长度 L 满足在上述实施例中描述的数学公式 No. 2、No. 3 或 No. 4。因此,在该实施例中描述的结构提供防止了在整个半导体装置中局部形成具有低击穿电压的部分。

[0087] (其它实施例)

[0088] 关于柱形区 4、P 型或 N 型柱形区的宽度 (即,  $W_N$  或  $W_p$ ) 和 P 型或 N 型柱形区中的集中或聚集没有专门描述。但是,在整个衬底表面上的 P 型或 N 型柱形区的宽度 (即,  $W_N$  或  $W_p$ ) 和在 P 型或 N 型柱形区中的集中可以不变。

[0089] 另外,尽管本发明被应用于垂直型 MOSFET,但本发明也可以应用于其它垂直型半导体装置。而且,尽管该垂直型 MOSFET 为 N 型,该垂直型 MOSFET 显然也可以为 P 型。





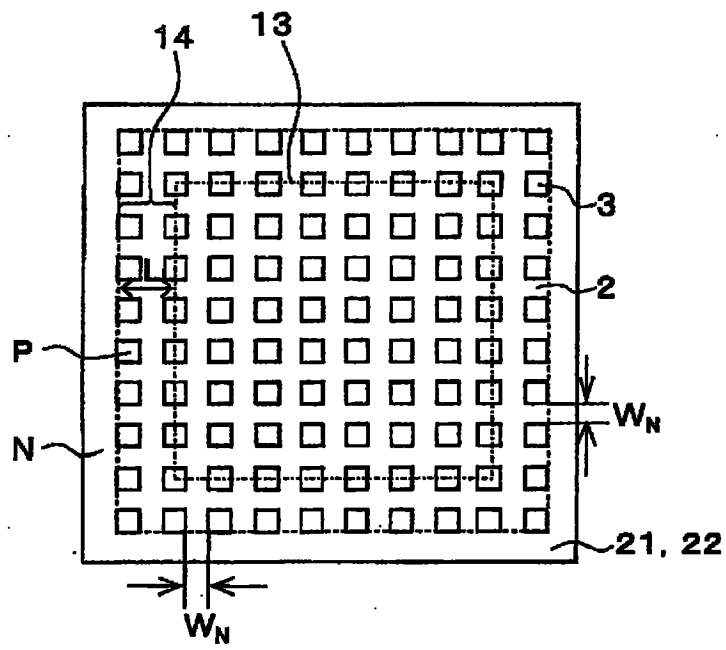


图 2b

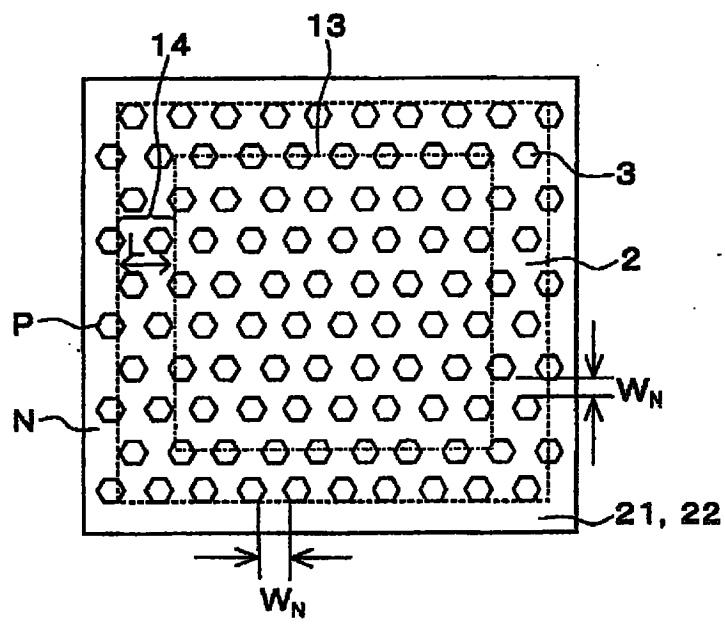


图 2c

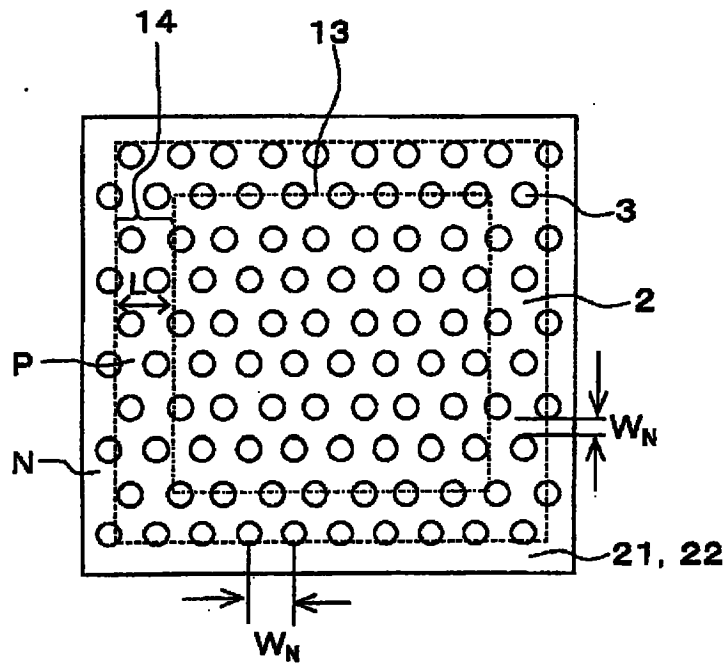


图 2d

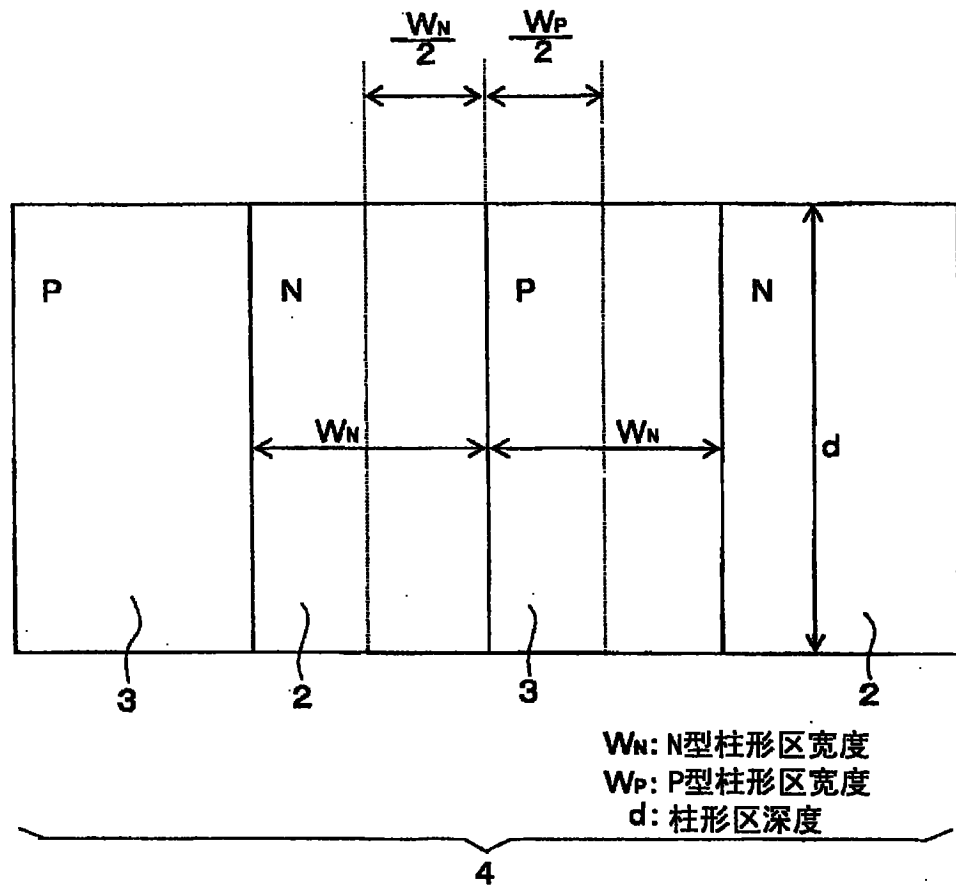


图 3



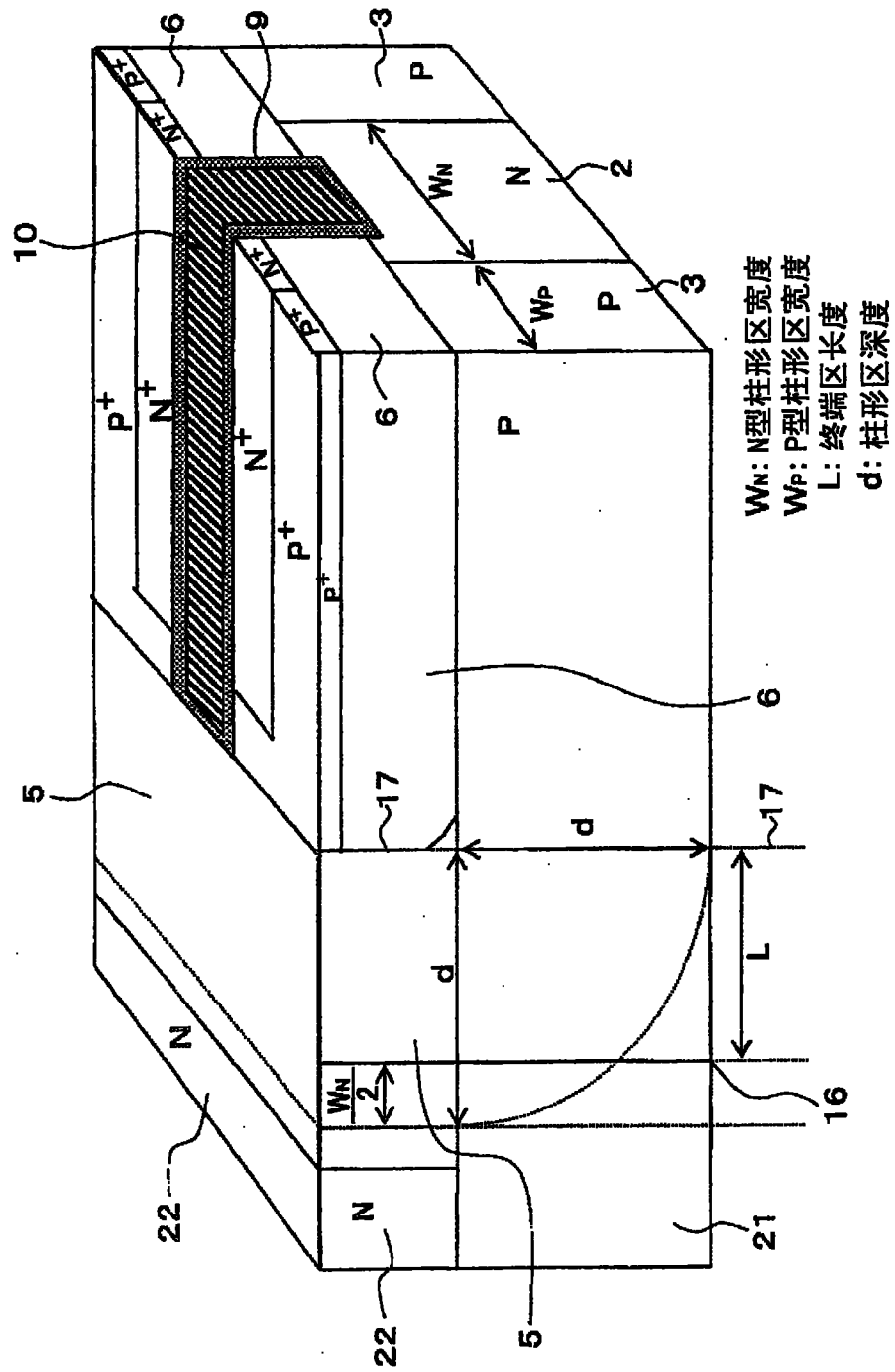


图 4

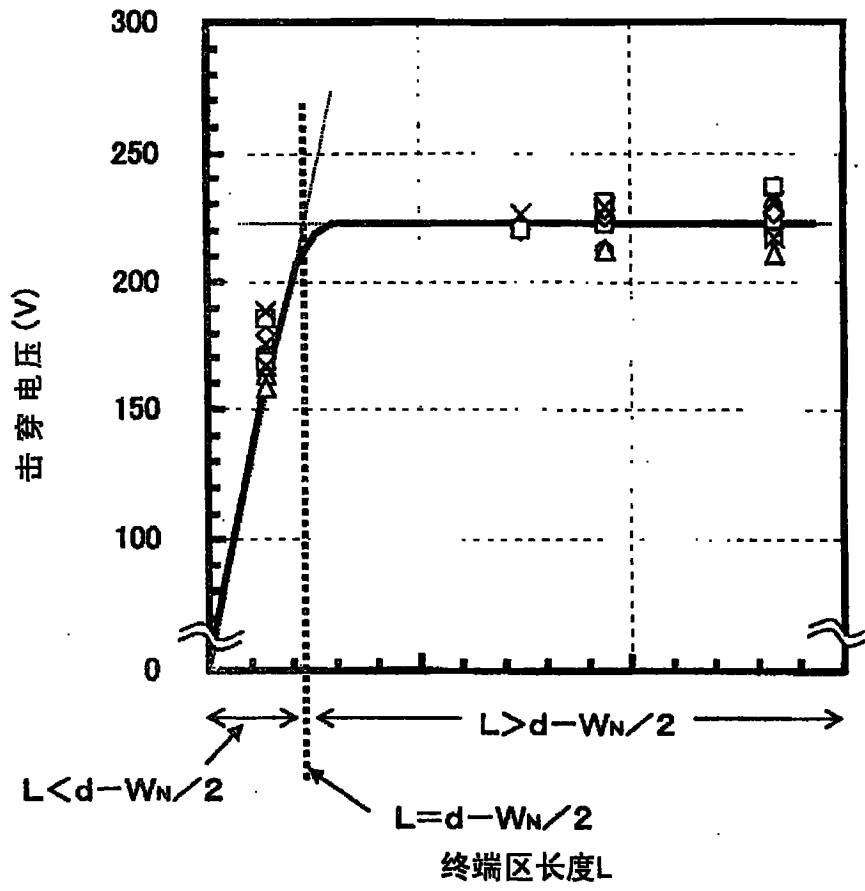


图 5





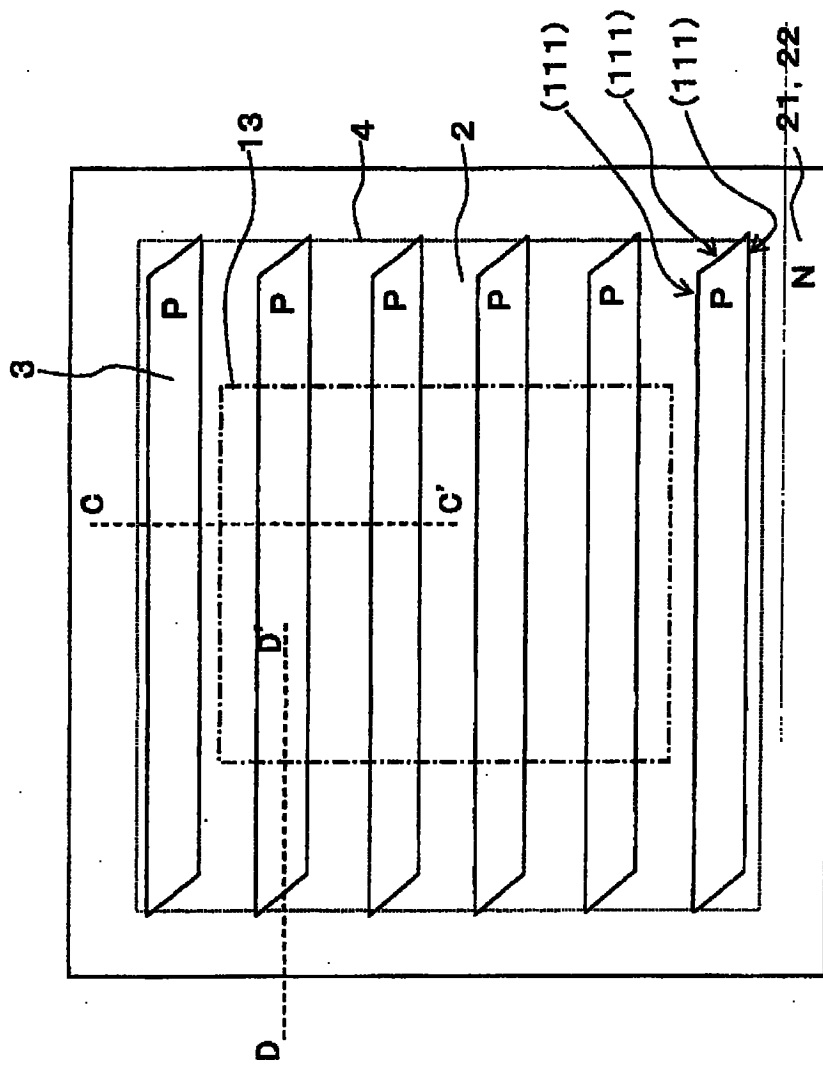


图 8

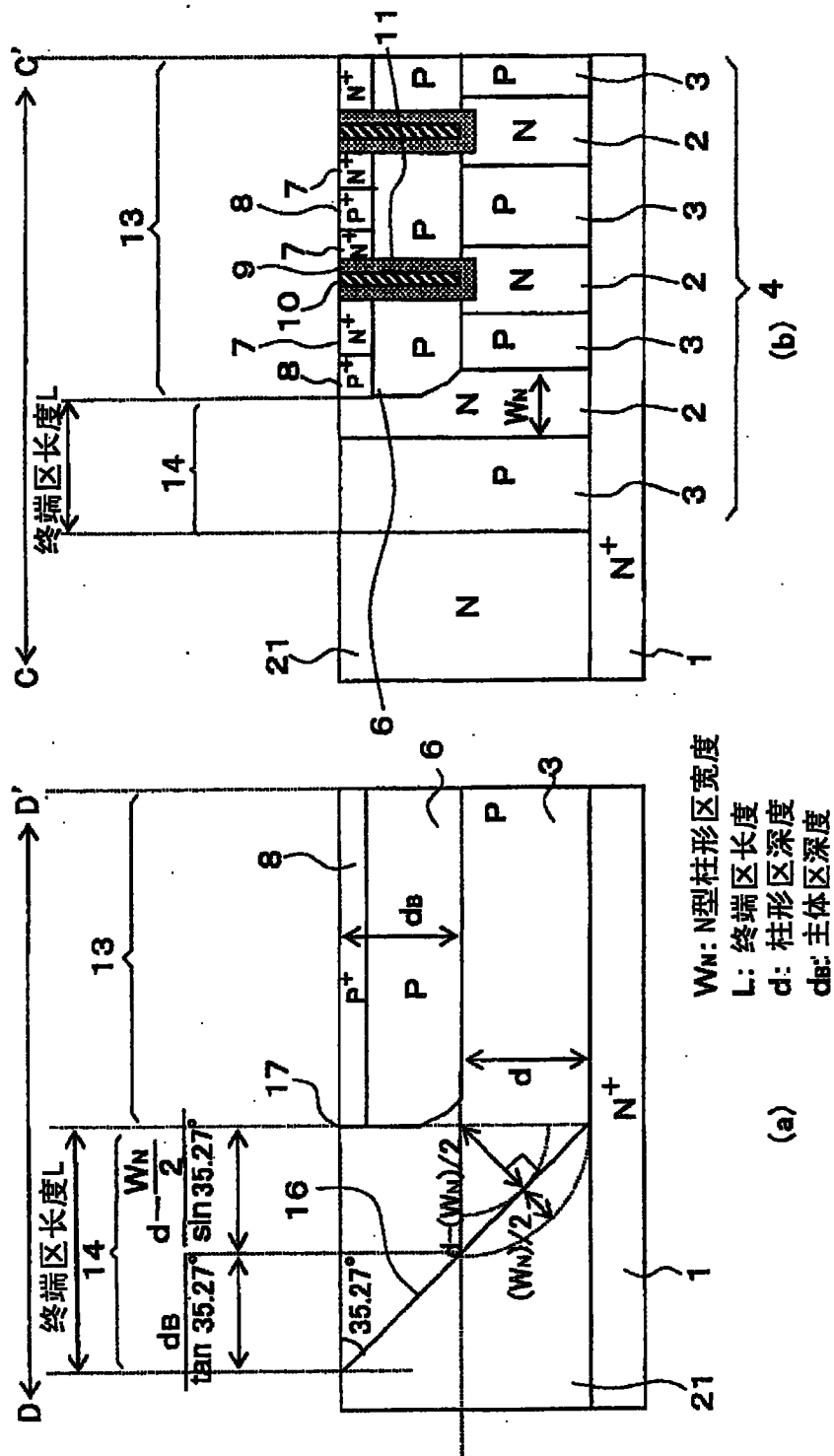


图 9



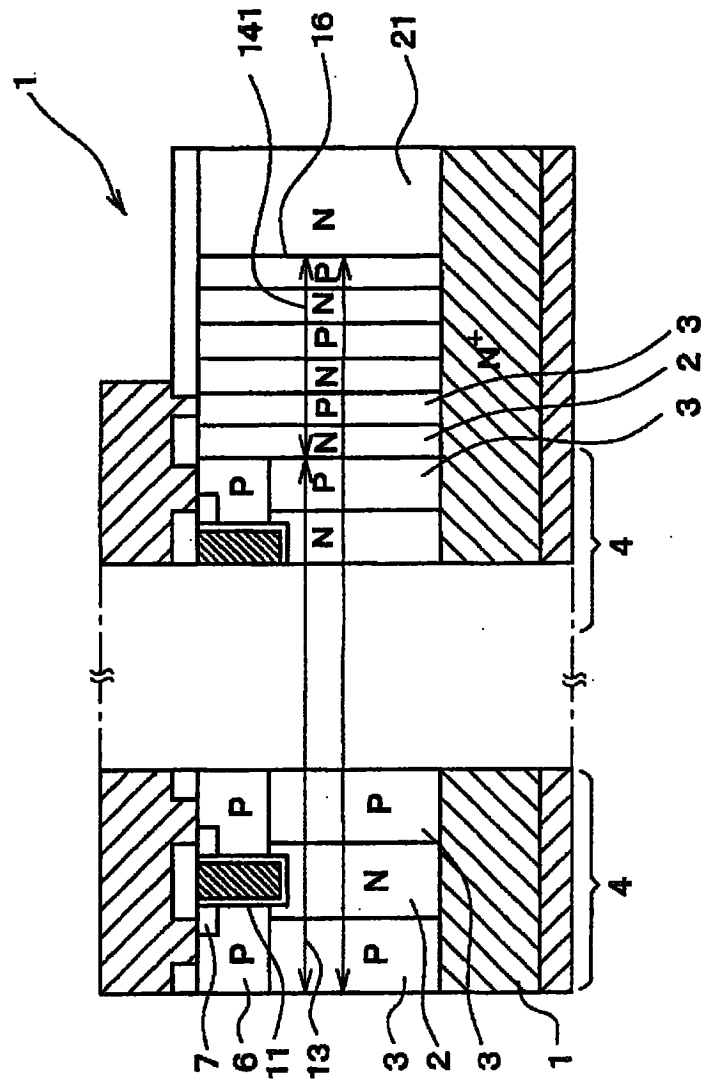


图 11