



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

---

(57) 要約: [課題] 逐次比較型アナログ-デジタル変換器を含むカラム信号処理系について、より高速・低消費電力での動作が可能な撮像装置を提供する。 [解決手段] 本開示の撮像装置は、それぞれが光電変換素子を含む複数の画素を有する画素アレイ部と、前記画素アレイ部の各画素から信号線を通して入力されるリセット成分と信号成分との差分をとり、その差分を画素信号として出力するカラムアンプ部と、前記カラムアンプ部から入力される画素信号を保持する容量部と、前記容量部から入力されるアナログの前記画素信号をデジタル信号に変換する逐次比較型アナログ-デジタル変換部と、を備え、前記容量部は、前記カラムアンプ部から入力される単相の前記画素信号を、前記画素信号のゼロ電圧を規定する基準電圧を用いて差動化する。

## 明 細 書

発明の名称：撮像装置及び電子機器

### 技術分野

[0001] 本開示は、撮像装置及び電子機器に関する。

### 背景技術

[0002] 撮像装置には、画素から出力されるアナログ信号（画素信号）をデジタル信号に変換するアナログーデジタル変換器が搭載されており、当該アナログーデジタル変換器として、逐次比較（SAR：Successive Approximation Resistor）型アナログーデジタル変換器が用いられている（例えば、特許文献1参照）。

### 先行技術文献

### 特許文献

[0003] 特許文献1：特開2019-092143号公報

### 発明の概要

### 発明が解決しようとする課題

[0004] 逐次比較型アナログーデジタル変換器は、所謂、シングルスロープ型アナログーデジタル変換器と比較して、高速・低消費電力での動作が可能である点で優れている。この逐次比較型アナログーデジタル変換器を含むカラム信号処理系には、より高速・低消費電力での動作が望まれている。

[0005] そこで、本開示は、逐次比較型アナログーデジタル変換器を含むカラム信号処理系について、より高速・低消費電力での動作が可能な撮像装置、及び、当該撮像装置を有する電子機器を提供することを目的とする。

### 課題を解決するための手段

[0006] 本開示によれば、それぞれが光電変換素子を含む複数の画素を有する画素アレイ部と、

前記画素アレイ部の各画素から信号線を通して入力されるリセット成分と信号成分との差分をとり、その差分を画素信号として出力するカラムアンプ

部と、

前記カラムアンプ部から入力される画素信号を保持する容量部と、

前記容量部から入力されるアナログの前記画素信号をデジタル信号に変換する逐次比較型アナログーデジタル変換部と、

を備え、

前記容量部は、前記カラムアンプ部から入力される単相の前記画素信号を、前記画素信号のゼロ電圧を規定する基準電圧を用いて差動化する、撮像装置が提供される。

[0007] 前記カラムアンプ部は、

非反転入力端子に信号線の電位が入力される増幅器と、

一端が前記増幅器の出力端子に接続され、他端が前記増幅器の反転入力端子に接続された第1スイッチと、

一端が前記増幅器の出力端子に接続された第2スイッチと、

一端が前記第2スイッチの他端に接続され、他端が前記第1スイッチの他端及び増幅器の反転入力端子に接続された第1容量素子と、

前記第1容量素子の他端及び前記増幅器の反転入力端子と基準電位ノードとの間に接続された第2容量素子と、

一端が前記第2スイッチの他端及び前記第1容量素子の一端に接続され、他端に前記基準電圧が印加される第3スイッチと、  
を有してもよい。

[0008] 前記カラムアンプ部は、

前記リセット成分の入力時には、前記第1スイッチを閉状態として前記リセット成分を前記第1容量素子及び前記第2容量素子にチャージするとともに、前記第3スイッチを閉状態として前記基準電圧を前記第2スイッチの他端及び前記第1容量素子の一端に印加し、

次に、前記第1スイッチ及び前記第3スイッチを開状態、前記第2スイッチを閉状態として、前記第1容量素子及び前記第2容量素子と前記増幅器とによって非反転増幅回路を構成し、

前記信号成分の入力時には、前記第1容量素子と前記第2容量素子との共通接続ノードの電圧が、前記信号成分と同じ電圧になるようにフィードバックをかけてもよい。

[0009] 前記容量部は、

前記カラムアンプ部から入力される画素信号をチャージする正側容量素子、及び、前記基準電圧をチャージする負側容量素子を含む差動回路の構成となっており、

前記正側容量素子及び前記負側容量素子の各入力端を選択的に短絡する第4スイッチを有してもよい。

[0010] 前記第4スイッチは、前記正側容量素子にチャージされた画素信号、及び、前記負側容量素子にチャージされた前記基準電圧を前記逐次比較型アナログーデジタル変換部に伝送するとき、前記正側容量素子及び前記負側容量素子の各入力端を短絡してもよい。

[0011] 前記容量部は、前記カラムアンプ部から入力される画素信号を、前記スイッチトキャパシタによるサンプリングによって保持してもよい。

[0012] 前記逐次比較型アナログーデジタル変換部の1つの逐次比較型アナログーデジタル変換器につき、複数本の信号線の各電位を、複数本の信号線に対応した複数の前記カラムアンプ及び前記容量部を通して多重化して処理してもよい。

[0013] 前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第1ノードと、前記基準電圧が供給される第2ノードと、

前記第1ノード及び前記第2ノードの間に直列に接続される正側容量素子及び負側容量素子と、

前記第1ノード及び前記第2ノードを選択的に短絡する第4スイッチと、

前記正側容量素子及び前記負側容量素子の共通接続ノードに、前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する第5スイッチと、

前記第2ノードと、前記逐次比較型アナログーデジタル変換部の第1入力端とを選択的に接続する第6スイッチと、

前記第1ノードと、前記逐次比較型アナログーデジタル変換部の第2入力端とを選択的に接続する第7スイッチと、を備えてもよい。

[0014] 前記第4スイッチは、前記容量部が前記画素信号の保持を開始する直前に一時的に閉状態となって、前記正側容量素子及び前記負側容量素子の各入力端を短絡し、

前記第5スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間とに一時的に閉状態となって、前記正側容量素子及び前記負側容量素子の共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加してもよい。

[0015] 前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第1ノードと、前記基準電圧が供給される第2ノードと、

前記第1ノード及び前記第2ノードの間に直列に接続可能な正側容量素子及び負側容量素子と、

前記第1ノード及び前記第2ノードの間に直列に接続される第4aスイッチ及び第4bスイッチと、

前記第1ノード及び前記第2ノードの間に直列に接続される、第5aスイッチ、正側容量素子、負側容量素子、及び第5bスイッチと、

前記正側容量素子及び前記負側容量素子の共通接続ノードに、前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する第5cスイッチと、

前記第2ノードと、前記逐次比較型アナログーデジタル変換部の第1入力端とを選択的に接続する第6スイッチと、

前記第1ノードと、前記逐次比較型アナログーデジタル変換部の第2入力端とを選択的に接続する第7スイッチと、を備えてもよい。

[0016] 前記第4 a スイッチ及び前記第4 b スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する直前とに一時的に閉状態となって、前記第1 ノード及び前記第2 ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加し、

前記第5 a スイッチ及び前記第5 b スイッチは、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する直前に一時的に開状態となって、前記第1 ノードと前記正側容量素子との接続を遮断するとともに、前記第2 ノードと前記負側容量素子との接続を遮断し、

前記第5 c スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間とに一時的に閉状態となって、前記正側容量素子及び前記負側容量素子の共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加してもよい。

[0017] 前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第1 ノードと、  
前記基準電圧が供給される第2 ノードと、

前記第1 ノード及び前記第2 ノードの間に直列に接続される第4 a スイッチ及び第4 b スイッチと、

前記第1 ノード及び前記第2 ノードの間に直列に接続される、正側容量素子、第5 a スイッチ、第5 b スイッチ、及び負側容量素子と、

前記第5 a スイッチ及び前記第5 b スイッチの共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する第5 c スイッチと、

前記第2 ノードと、前記逐次比較型アナログーデジタル変換部の第1 入力端とを選択的に接続する第6 スイッチと、

前記第1 ノードと、前記逐次比較型アナログーデジタル変換部の第2 入力端とを選択的に接続する第7 スイッチと、を備えてもよい。

[0018] 前記第4 a スイッチ及び前記第4 b スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する直前とに一時的に閉状態となって、前記第1 ノード及び前記第2 ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加し、

前記第5 c スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間とに一時的に閉状態となって、前記正側容量素子及び前記負側容量素子の共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加し、

前記第5 a スイッチ及び前記第5 b スイッチは、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する直前に一時的に開状態となって、前記正側容量素子及び前記負側容量素子の接続を遮断してもよい。

[0019] 前記容量部は、  
前記カラムアンプ部から入力される画素信号が供給される第1 ノードと、  
前記基準電圧が供給される第2 ノードと、  
前記第1 ノードに一端が接続される正側容量素子と、  
前記正側容量素子の他端が接続される第3 ノードと、  
前記第2 ノードに一端が接続される負側容量素子と、  
前記負側容量素子の他端が接続される第4 ノードと、  
前記第1 ノード及び前記第2 ノードの間に直列に接続される第4 a スイッチ及び第4 b スイッチと、  
前記第1 ノード及び前記第2 ノードの間に接続される第4 c スイッチと、  
前記第3 ノード及び前記第4 ノードの間に接続される第5 a スイッチと、  
前記第3 ノード及び前記第4 ノードの間に直列に接続される、第5 b スイッチ及び第5 c スイッチと、  
前記第3 ノードと、前記逐次比較型アナログーデジタル変換部の第1 入力



端とを選択的に接続する第6スイッチと、

前記第4ノードと、前記逐次比較型アナログーデジタル変換部の第2入力端とを選択的に接続する第7スイッチと、を備えてもよい。

[0020] 前記第4 a スイッチ及び前記第4 b スイッチは、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間に一時的に閉状態となって、前記第1ノード及び前記第2ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加し、

前記第4 c スイッチは、前記容量部が前記画素信号の保持を開始する直前に閉状態となって、前記第1ノード及び前記第2ノードを短絡し、

前記第5 a スイッチは、前記容量部が前記画素信号を保持する期間に前記第3ノード及び前記第4ノードを短絡し、

前記第5 b スイッチ及び前記第5 c スイッチは、前記容量部が前記画素信号の保持を開始する直前に閉状態となって、前記第3ノード及び前記第4ノードに前記基準電圧を印加してもよい。

[0021] 前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第1ノードと、前記基準電圧が供給される第2ノードと、

前記第1ノードに一端が接続される正側容量素子と、

前記正側容量素子の他端が接続される第3ノードと、

前記第2ノードに一端が接続される負側容量素子と、

前記負側容量素子の他端が接続される第4ノードと、

前記第1ノード及び前記第2ノードの間に接続される第4スイッチと、

前記第3ノード及び前記第4ノードの間に直列に接続される第5 a スイッチ及び第5 b スイッチと、

前記第5 a スイッチ及び前記第5 b スイッチの共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する第5 c スイッチと、

前記第3ノードと、前記逐次比較型アナログーデジタル変換部の第1入力

端とを選択的に接続する第6スイッチと、

前記第4ノードと、前記逐次比較型アナログーデジタル変換部の第2入力端とを選択的に接続する第7スイッチと、を備えてもよい。

[0022] 前記第4スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間とに閉状態となって、前記第1ノード及び前記第2ノードを短絡し、

前記第5aスイッチ及び前記第5bスイッチは、前記容量部が前記画素信号を保持する期間の直前から保持期間が終了するまで閉状態となって、前記第3ノード及び前記第4ノードを短絡し、

前記第5cスイッチは、前記容量部が前記画素信号の保持を開始する直前に閉状態となって、前記第5aスイッチ及び前記第5bスイッチの共通接続ノードに前記逐次比較型アナログーデジタル変換部の共通モード参照電圧を選択的に印加してもよい。

[0023] 前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第1ノードと、前記基準電圧が供給される第2ノードと、

前記第1ノードに一端が接続される正側容量素子と、

前記正側容量素子の他端が接続される第3ノードと、

前記第2ノードに一端が接続される負側容量素子と、

前記負側容量素子の他端が接続される第4ノードと、

前記第1ノード及び前記第2ノードの間に直列に接続される第4aスイッチ及び第4bスイッチと、

前記第4aスイッチ及び前記第4bスイッチの共通接続ノードに前記基準電圧を選択的に印加する第4cスイッチと、

前記第3ノード及び前記第4ノードの間に直列に接続される第5aスイッチ及び第5bスイッチと、

前記第5aスイッチ及び前記第5bスイッチの共通接続ノードに前記逐次

比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する第5 c スイッチと、

前記第3 ノードと、前記逐次比較型アナログーデジタル変換部の第1 入力端とを選択的に接続する第6 スイッチと、

前記第4 ノードと、前記逐次比較型アナログーデジタル変換部の第2 入力端とを選択的に接続する第7 スイッチと、を備えてもよい。

[0024] 前記第4 a スイッチ及び前記第4 b スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間の直前と、前記転送する期間とに一時的に閉状態となって、前記第1 ノード及び前記第2 ノードを短絡し、

前記第4 c スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間の直前とに一時的に閉状態となって、前記第4 a スイッチ及び前記第4 b スイッチの共通接続ノードに前記基準電圧を印加し、

前記第5 a スイッチ及び前記第5 b スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部が前記画素信号を保持している期間とに一時的に閉状態となって、前記第3 ノード及び前記第4 ノードを短絡し、

前記第5 c スイッチは、前記容量部が前記画素信号の保持を開始する直前に一時的に閉状態となって、前記第5 a スイッチ及び前記第5 b スイッチの共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加してもよい。

[0025] 本開示によれば、光電変換されたデジタル信号を出力する撮像装置と、前記デジタル信号に基づいて信号処理を行う信号処理部と、を備え、前記撮像装置は、それぞれが光電変換素子を含む複数の画素を有する画素アレイ部と、

前記画素アレイ部の各画素から信号線を通して入力されるリセット成分と信号成分との差分をとり、その差分を画素信号として出力するカラムアンプ部と、

前記カラムアンプ部から入力される画素信号を保持する容量部と、

前記容量部から入力されるアナログ信号をデジタル信号に変換する逐次比較型アナログーデジタル変換部と、

を備え、

前記容量部は、前記カラムアンプ部から入力される単相の前記画素信号を、前記画素信号のゼロ電圧を規定する基準電圧を用いて差動化する、電子機器が提供される。

### 図面の簡単な説明

[0026] [図1]図1は、本開示に係る技術が適用される撮像装置の一例であるCMOSイメージセンサの基本的な構成の概略を示すブロック図である。

[図2]図2は、画素の回路構成の一例を示す回路図である。

[図3]図3は、CMOSイメージセンサの平置型の半導体チップ構造の概略を模式的に示す平面図である。

[図4]図4は、CMOSイメージセンサの積層型の半導体チップ構造の概略を模式的に示す分解斜視図である。

[図5]図5は、本開示の第1実施形態に係る撮像装置の一例であるCMOSイメージセンサの構成の概略を示すブロック図である。

[図6]図6は、第1の実施形態に係るカラム信号処理系の構成の概略を示す回路図である。

[図7]図7は、第1の実施形態に係るカラム信号処理系の回路動作の説明に供するタイミングチャートである。

[図8]図8は、実施例2に係るカラム信号処理系の構成の概略を示す回路図である。

[図9]図9は、レベルダイヤグラムの説明に供する図である。

[図10]図10は、電流リユースカラムアンプの構成の一例を示す回路図であ

る。

[図11]図 1 1 は、逐次比較型アナログーデジタル変換器の詳細回路図である。

[図12]第 2 の実施形態による容量部の内部構成を示す回路図である。

[図13]図 1 2 の容量部のタイミング図である。

[図14]図 1 2 の容量部から逐次比較型アナログーデジタル変換器に転送される差動信号の入力信号依存性を示す図。

[図15]図 1 2 の第 1 変形例による容量部の内部構成を示す回路図。

[図16]図 1 5 の容量部のタイミング図である。

[図17]図 1 5 の容量部から逐次比較型アナログーデジタル変換器に転送される差動信号の入力信号依存性を示す図。

[図18]図 1 2 の第 2 変形例による容量部の内部構成を示す回路図。

[図19]図 1 8 の容量部のタイミング図である。

[図20]図 1 8 の容量部から逐次比較型アナログーデジタル変換器に転送される差動信号の入力信号依存性を示す図。

[図21]図 1 2 の第 3 変形例による容量部の内部構成を示す回路図。

[図22]図 2 1 の容量部のタイミング図である。

[図23]図 2 1 の容量部から逐次比較型アナログーデジタル変換器に転送される差動信号の入力信号依存性を示す図。

[図24]図 1 2 の第 4 変形例による容量部の内部構成を示す回路図。

[図25]図 2 4 の容量部のタイミング図である。

[図26]図 2 4 の容量部から逐次比較型アナログーデジタル変換器に転送される差動信号の入力信号依存性を示す図。

[図27]図 1 2 の第 5 変形例による容量部の内部構成を示す回路図。

[図28]図 2 7 の容量部のタイミング図である。

[図29]図 2 7 の容量部から逐次比較型アナログーデジタル変換器に転送される差動信号の入力信号依存性を示す図。

[図30]図 3 0 は、本開示の第 2 実施形態に係る間接 T O F 方式距離画像セン

サのシステム構成の一例を示すブロック図である。

[図31]図31は、第2実施形態に係る間接TOF方式距離画像センサにおける画素の回路構成の一例を示す回路図である。

[図32]図32は、本開示に係る技術の適用例を示す図である。

[図33]図33は、本開示の電子機器の一例である撮像システムの構成例の概略を示すブロック図である。

[図34]図34は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[図35]図35は、移動体制御システムにおける撮像部の設置位置の例を示す図である。

### 発明を実施するための形態

[0027] 以下、本開示に係る技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。本開示に係る技術は実施形態に限定されるものではなく、実施形態における種々の数値などは例示である。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は以下の順序で行う。

1. 本開示の撮像装置及び電子機器、全般に関する説明
2. 本開示に係る技術が適用される撮像装置
  - 2-1. CMOSイメージセンサの構成例
  - 2-2. 画素の回路構成例
  - 2-3. 半導体チップ構造
    - 2-3-1. 平置型の半導体チップ構造
    - 2-3-2. 積層型の半導体チップ構造
  - 2-4. シングルスロープ型アナログ-デジタル変換器について
3. 本開示の第1実施形態（CMOSイメージセンサの例）
  - 3-1. 第1の実施形態（容量部以降の回路構成を差動回路の構成とする例）

- 3-1-1. カラムアンプの構成例
- 3-1-2. 容量マルチプレクサの構成例
- 3-1-3. 逐次比較型アナログ-デジタル変換器の構成例
- 3-1-4. カラム信号処理系の回路動作
- 3-2. 実施例2 (カラム信号処理系の実装例)
  - 3-2-1. 電源電圧と使用トランジスタについて
  - 3-2-2. レベルダイヤグラムについて
  - 3-2-3. タイミングについて
  - 3-2-4. カラムアンプの構成例
  - 3-2-5. 逐次比較型アナログ-デジタル変換器の構成例
- 4. 本開示の第2実施形態 (間接TOF方式距離画像センサの例)
  - 4-1. システム構成例
  - 4-2. 画素の回路構成例
- 5. 変形例
- 6. 応用例
- 7. 本開示に係る技術の適用例
  - 7-1. 本開示の電子機器 (撮像装置の例)
  - 7-2. 移動体への応用例
- 8. 本開示がとることができる構成

[0028] \*\*\* クレーム-02

<本開示の撮像装置及び電子機器、全般に関する説明>

本開示の撮像装置及び電子機器にあっては、カラムアンプ部について、非反転入力端子に信号線の電位が入力される増幅器、一端が増幅器の出力端子に接続され、他端が増幅器の反転入力端子に接続された第1スイッチ、一端が増幅器の出力端子に接続された第2スイッチ、一端が第2スイッチの他端に接続され、他端が第1スイッチの他端及び増幅器の反転入力端子に接続された第1容量素子、第1容量素子の他端及び増幅器の反転入力端子と基準電位ノードとの間に接続された第2容量素子、及び、一端が第2スイッチの他

端及び第1容量素子の一端に接続され、他端に基準電圧が印加される第3スイッチを有する構成とすることができる。

[0029] \*\*\* クレーム-03

上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつては、カラムアンプ部において、リセット成分の入力時は、第1スイッチを閉状態としてリセット成分を第1容量素子及び第2容量素子にチャージするとともに、第3スイッチを閉状態として基準電圧を取り込み、次に、第1スイッチ及び第3スイッチを開状態、第2スイッチを閉状態として、第1容量素子及び第2容量素子と増幅器とによって非反転増幅回路を構成し、信号成分の入力時、第1容量素子と第2容量素子との共通接続ノードの電圧が、信号成分と同じ電圧になるようにフィードバックをかける構成とすることができる。

[0030] \*\*\* クレーム-04

また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつては、容量部について、カラムアンプ部から入力される画素信号をチャージする正側容量素子、及び、基準電圧をチャージする負側容量素子を含む差動回路の構成となっており、正側容量素子及び負側容量素子の各入力端を選択的に短絡する差動間短絡用スイッチ（第4スイッチ）を有する構成とすることができる。

[0031] \*\*\* クレーム-05、クレーム-06

また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつては、差動間短絡用スイッチ（第4スイッチ）について、正側容量素子にチャージされた画素信号、及び、負側容量素子にチャージされた基準電圧を逐次比較型アナログ-デジタル変換部に伝送するとき、正側容量素子及び負側容量素子の各入力端を短絡する構成とすることができる。また、容量部について、カラムアンプ部から入力される画素信号を、スイッチトキャパシタによるサンプリングによって保持する構成とすることができる。

[0032] \*\*\* クレーム-07

また、上述した好ましい構成を含む本開示の撮像装置及び電子機器にあつ



ては、逐次比較型アナログーデジタル変換部の1つの逐次比較型アナログーデジタル変換器につき、複数本の信号線の各電位を、複数本の信号線に対応した複数のカラムアンプ及び容量部を通して多重化して処理する構成とすることができる。

[0033] <本開示に係る技術が適用される撮像装置>

先ず、本開示に係る技術が適用される撮像装置の基本的な構成について説明する。ここでは、撮像装置として、X-Yアドレス方式の撮像装置の一種であるCMOS (Complementary Metal Oxide Semiconductor) イメージセンサを例に挙げて説明する。CMOSイメージセンサは、CMOSプロセスを応用して、又は、部分的に使用して作製されたイメージセンサである。

[0034] [CMOSイメージセンサの構成例]

図1は、本開示に係る技術が適用される撮像装置の一例であるCMOSイメージセンサの基本的な構成の概略を示すブロック図である。

[0035] 本例に係るCMOSイメージセンサ10は、画素アレイ部11及び当該画素アレイ部11の周辺回路部を有する構成となっている。画素アレイ部11は、光電変換素子を含む画素(画素回路)20が行方向及び列方向に、即ち、行列状に2次元配置されて成る。ここで、行方向とは、画素行の画素20の配列方向を言い、列方向とは、画素列の画素20の配列方向を言う。画素20は、光電変換を行うことにより、受光した光量に応じた光電荷を生成し、蓄積する。

[0036] 画素アレイ部11の周辺回路部は、例えば、行選択部12、定電流源部13、カラムアンプ部14、アナログーデジタル変換部15、水平転送走査部16、信号処理部17、及び、タイミング制御部18等によって構成されている。

[0037] 画素アレイ部11において、行列状の画素配列に対し、画素行毎に画素制御線31(31<sub>1</sub>~31<sub>n</sub>)が行方向に沿って配線されている。また、画素列毎に信号線32(32<sub>1</sub>~32<sub>n</sub>)が列方向に沿って配線されている。画素制御線31は、画素20から信号を読み出す際の駆動を行うための駆動信号を伝送

する。図1では、画素制御線31について1本の配線として図示しているが、1本に限られるものではない。画素制御線31の一端は、行選択部12の各行に対応した出力端に接続されている。

[0038] 以下に、画素アレイ部11の周辺回路部の各構成要素、即ち、行選択部12、定電流源部13、カラムアンプ部14、アナログーデジタル変換部15、水平転送走査部16、信号処理部17、及び、タイミング制御部18について説明する。

[0039] 行選択部12は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部11の各画素20の選択に際して、画素行の走査や画素行のアドレスを制御する。この行選択部12は、その具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の2つの走査系を有する構成となっている。

[0040] 読出し走査系は、画素20から画素信号を読み出すために、画素アレイ部11の画素20を行単位で順に選択走査する。画素20から読み出される画素信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査を行う。

[0041] この掃出し走査系による掃出し走査により、読出し行の画素20の光電変換素子から不要な電荷が掃き出されることによって当該光電変換素子がリセットされる。そして、この掃出し走査系による不要電荷の掃き出す（リセットする）ことにより、所謂、電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。

[0042] 定電流源部13は、画素列毎に信号線32<sub>1</sub>~32<sub>n</sub>の各々に接続された、例えばMOSトランジスタから成る複数の負荷電流源1（図2参照）を備えており、行選択部12によって選択走査された画素行の各画素20に対し、信号線32<sub>1</sub>~32<sub>n</sub>の各々を通してバイアス電流を供給する。

[0043] カラムアンプ部14は、画素列毎に信号線32<sub>1</sub>~32<sub>n</sub>の各々に対応して設

けられたカラムアンプの集合から成る。そして、カラムアンプ部 14 の各カラムアンプは、画素アレイ部 11 の各画素 20 から読み出され、信号線 32<sub>1</sub> ~ 32<sub>n</sub> を通して供給される画素信号を増幅してアナログーデジタル変換部 15 に供給する。

[0044] アナログーデジタル変換部 15 は、画素アレイ部 11 の画素列に対応して設けられた（例えば、画素列毎に設けられた）複数のアナログーデジタル変換器の集合から成る、列並列型のアナログーデジタル変換部である。アナログーデジタル変換部 15 は、画素列毎に信号線 32<sub>1</sub> ~ 32<sub>n</sub> の各々を通して出力され、カラムアンプ部 14 で増幅されたアナログの画素信号をデジタルの画素信号に変換する。

[0045] 水平転送走査部 16 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 11 の各画素 20 の信号の読出しに際して、画素列の走査や画素列のアドレスを制御する。この水平転送走査部 16 による制御の下に、アナログーデジタル変換部 15 でデジタル信号に変換された画素信号が画素列単位で水平転送線 L に読み出される。

[0046] 信号処理部 17 は、水平転送線 L を通して供給されるデジタルの画素信号に対して、所定の信号処理を行い、2次元の画像データを生成する。例えば、信号処理部 17 は、縦線欠陥や点欠陥の補正、パラレルーシリアル変換、圧縮、符号化、加算、平均、及び、間欠動作などのデジタル信号処理を行う。信号処理部 17 は、生成した画像データを、本 CMOS イメージセンサ 10 の出力信号として後段の装置に出力する。

[0047] タイミング制御部 18 は、各種のタイミング信号、クロック信号、及び、制御信号等を生成し、これら生成した信号を基に、行選択部 12、定電流源部 13、カラムアンプ部 14、アナログーデジタル変換部 15、水平転送走査部 16、及び、信号処理部 17 等の駆動制御を行う。

[0048] [画素の回路構成例]

図 2 は、画素（画素回路）20 の構成の一例を示す回路図である。画素 20 は、光電変換素子として、例えば、フォトダイオード 21 を有している。

画素20は、フォトダイオード21の他に、転送トランジスタ22、リセットトランジスタ23、増幅トランジスタ24、及び、選択トランジスタ25を有する構成となっている。

[0049] 転送トランジスタ22、リセットトランジスタ23、増幅トランジスタ24、及び、選択トランジスタ25の4つのトランジスタとしては、例えば、NチャネルのMOS型電界効果トランジスタ(Field Effect Transistor; FET)を用いている。但し、ここで例示した4つのトランジスタ22~25の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

[0050] この画素20に対して、先述した画素制御線31として、複数の画素制御線が同一画素行の各画素20に対して共通に配線されている。これら複数の画素制御線は、行選択部12の各画素行に対応した出力端に画素行単位で接続されている。行選択部12は、複数の画素制御線に対して転送信号TRG、リセット信号RST、及び、選択信号SELを適宜出力する。

[0051] フォトダイオード21は、アノード電極が低電位側電源(例えば、グランド)に接続されており、受光した光をその光量に応じた電荷量の光電荷(ここでは、光電子)に光電変換してその光電荷を蓄積する。フォトダイオード21のカソード電極は、転送トランジスタ22を介して増幅トランジスタ24のゲートと電氣的に接続されている。ここで、増幅トランジスタ24のゲートが電氣的に繋がった領域は、フローティングディフュージョン(浮遊拡散領域/不純物拡散領域)FDである。フローティングディフュージョンFDは、電荷を電圧に変換する電荷電圧変換部である。

[0052] 転送トランジスタ22のゲートには、高レベル(例えば、 $V_{DD}$ レベル)がアクティブとなる転送信号TRGが行選択部12から与えられる。転送トランジスタ22は、転送信号TRGに応答して導通状態となることで、フォトダイオード21で光電変換され、当該フォトダイオード21に蓄積された光電荷をフローティングディフュージョンFDに転送する。

[0053] リセットトランジスタ23は、高電位側電源電圧 $V_{DD}$ のノードとフローティ

ングディフュージョンFDとの間に接続されている。リセットトランジスタ23のゲートには、高レベルがアクティブとなるリセット信号RSTが行選択部12から与えられる。リセットトランジスタ23は、リセット信号RSTに応答して導通状態となり、フローティングディフュージョンFDの電荷を電圧 $V_{DD}$ のノードに捨てることによってフローティングディフュージョンFDをリセットする。

[0054] 増幅トランジスタ24は、ゲートがフローティングディフュージョンFDに、ドレインが高電位側電源電圧 $V_{DD}$ のノードにそれぞれ接続されている。増幅トランジスタ24は、フォトダイオード21での光電変換によって得られる信号を読み出すソースフォロワの入力部となる。すなわち、増幅トランジスタ24は、ソースが選択トランジスタ25を介して信号線32に接続される。そして、増幅トランジスタ24と、信号線32の一端に接続される負荷電流源Iとは、フローティングディフュージョンFDの電圧を信号線32の電位に変換するソースフォロワを構成している。

[0055] 選択トランジスタ25は、ドレインが増幅トランジスタ24のソースに接続され、ソースが信号線32に接続されている。選択トランジスタ25のゲートには、高レベルがアクティブとなる選択信号SELが行選択部12から与えられる。選択トランジスタ25は、選択信号SELに応答して導通状態となることで、画素20を選択状態として増幅トランジスタ24から出力される信号を信号線32に伝達する。

[0056] 尚、上記の回路例では、画素20の回路構成として、転送トランジスタ22、リセットトランジスタ23、増幅トランジスタ24、及び、選択トランジスタ25から成る、即ち4つのトランジスタ( $T_r$ )から成る4 $T_r$ 構成を例に挙げたが、これに限られるものではない。例えば、選択トランジスタ25を省略し、増幅トランジスタ24に選択トランジスタ25の機能を持たせる3 $T_r$ 構成とすることもできるし、必要に応じて、トランジスタの数を増やした5 $T_r$ 以上の回路構成とすることもできる。

[0057] [半導体チップ構造]

上記の構成のCMOSイメージセンサ10の半導体チップ構造としては、平置型の半導体チップ構造及び積層型の半導体チップ構造を例示することができる。平置型の半導体チップ構造及び積層型の半導体チップ構造のいずれのCMOSイメージセンサ10においても、画素20について、配線層が配される側の基板面を表面（正面）とするとき、その反対側の裏面側から照射される光を取り込む裏面照射型の画素構造とすることができるし、表面側から照射される光を取り込む表面照射型の画素構造とすることができる。以下に、平置型の半導体チップ構造及び積層型の半導体チップ構造について説明する。

[0058] （平置型の半導体チップ構造）

図3は、CMOSイメージセンサ10の平置型の半導体チップ構造の概略を模式的に示す平面図である。図3に示すように、平置型の半導体チップ構造は、画素20が行列状に配置されて成る画素アレイ部11と同じ半導体チップ（半導体基板）41上に、画素アレイ部11の周辺の回路部分を形成した構造となっている。具体的には、画素アレイ部11と同じ半導体チップ41上に、行選択部12、定電流源部13、カラムアンプ部14、アナログーデジタル変換部15、水平転送走査部16、信号処理部17、及び、タイミング制御部18等が形成されている。

[0059] （積層型の半導体チップ構造）

図4は、CMOSイメージセンサ10の積層型のチップ構造の概略を模式的に示す分解斜視図である。図4に示すように、積層型の半導体チップ構造は、1層目の半導体チップ42及び2層目の半導体チップ43の少なくとも2つの半導体チップ（半導体基板）が積層された構造となっている。この積層構造において、画素アレイ部11は、1層目の半導体チップ42に形成される。また、行選択部12、定電流源部13、カラムアンプ部14、アナログーデジタル変換部15、水平転送走査部16、信号処理部17、及び、タイミング制御部18等の回路部分は、2層目の半導体チップ43に形成される。そして、1層目の半導体チップ42と2層目の半導体チップ43とは、

Cu-Cu接続などの接続部（V1A）44A，44Bを通して電氣的に接続される。

[0060] この積層構造のCMOSイメージセンサ10によれば、1層目の半導体チップ42として画素アレイ部11を形成できるだけの大きさ（面積）のもので済むため、1層目の半導体チップ42のサイズ（面積）、ひいては、チップ全体のサイズを小さくできる。更に、1層目の半導体チップ42には画素20の作製に適したプロセスを適用でき、2層目の半導体チップ43には回路部分の作製に適したプロセスを適用できるため、CMOSイメージセンサ10の製造に当たって、プロセスの最適化を図ることができるメリットもある。特に、回路部分の作製に当たっては、先端プロセスの適用が可能になる。

[0061] 尚、ここでは、1層目の半導体チップ42及び2層目の半導体チップ43が積層されて成る2層構造の積層構造を例示したが、積層構造としては、2層構造に限られるものではなく、3層以上の構造とすることもできる。そして、3層以上の積層構造の場合、行選択部12、定電流源部13、カラムアンプ部14、アナログーデジタル変換部15、水平転送走査部16、信号処理部17、及び、タイミング制御部18等の回路部分については、2層目以降の半導体チップに分散して形成することができる。

[0062] [シングルスロープ型アナログーデジタル変換器について]

上記の構成のCMOSイメージセンサ10において、アナログーデジタル変換部15におけるアナログーデジタル変換器としては、例えば、シングルスロープ型アナログーデジタル変換器が一般的に使われてきた。ここで、シングルスロープ型アナログーデジタル変換器について説明する。

[0063] シングルスロープ型アナログーデジタル変換器では、ある傾斜を持って線形に変化する傾斜状波形（ランプ波）の信号が基準信号として用いられる。シングルスロープ型アナログーデジタル変換器は、画素20から読み出されるアナログの画素信号とランプ波の基準信号とを比較し、その差を増幅・クリップすることによって位相信号へ変調した後にサンプリングしてデジタル

信号への変換を行う。このシングルスロープ型アナログーデジタル変換器には、次のような問題点がある。

[0064] ・問題点 1

位相信号へ変調する際の遅延によってオフセットが生じる。よって、画素 20 の固定パターンノイズを除去するためのデジタル CDS (Correlated Double Sampling; 相関二重サンプリング) が不可欠となり、2 回のアナログーデジタル変換とオートゼロのための追加の時間が必要となる。

・問題点 2

画素信号とランプ波の基準信号とがクロスするときに、貫通電流やキックバックが生じる。また、クロスする時間は画素信号レベルに依存し、他の画素列のアナログーデジタル変換器への干渉を生じる。

・問題点 3

アナログーデジタル変換時の電圧の保持に、画素 20 の増幅トランジスタ 24 を利用するため、変換時間が画素信号の読み出し速度を制限する。

[0065] 問題点 1 について、シングルスロープ型アナログーデジタル変換器では、オフセットを防ぐために入力アンプのオートゼロ (入出力ショートによるオフセットキャンセル) を行う。これにより、DC 的なオフセットについては除去することができる。しかし、ランプ波の基準信号は時間的に変化するため、遅延による AC 的なオフセットについては除去することができない。遅延については帯域を広げることで減らすことができる反面、出力位相雑音が増えてしまう。

[0066] 問題点 2 については、明るい部分から暗い部分への干渉現象 (ストリーキング) のメカニズムとして知られている。シングルスロープ型アナログーデジタル変換器では、複数の画素列が同じ明るさのとき、一斉にスイッチングが起こってしまうため干渉の影響が大きくなってしまう。

[0067] 問題点 3 については、信号線 32 の電位のサンプリングを行わないことで生じる問題である。画素 20 の増幅トランジスタ 24 では、負荷容量の大きい信号線 32 を駆動するために比較的大きな電力が消費されている。従って



、アナログーデジタル変換時に、電圧を保持するためだけに増幅トランジスタ 24 を使用するのとは得策ではない。

[0068] \*\*\* クレームー 01

<本開示の第 1 実施形態>

本開示の第 1 実施形態に係る撮像装置（一例である CMOS イメージセンサ）では、アナログーデジタル変換部 15 の各アナログーデジタル変換器として、逐次比較（SAR）型アナログーデジタル変換器を用いている。逐次比較型アナログーデジタル変換器は、上記の種々の問題点を有するシングルスロープ型アナログーデジタル変換器に比べて、高速・低消費電力での動作が可能である。本実施形態では、逐次比較型アナログーデジタル変換器を含むカラム信号処理系について、より高速・低消費電力での動作を可能とする。

[0069] 図 5 は、本開示の第 1 実施形態に係る撮像装置の一例である CMOS イメージセンサの構成の概略を示すブロック図である。

[0070] 本実施形態に係る CMOS イメージセンサ 10 において、カラムアンプ部 14 は、オートゼロ電圧を規定する基準電圧を用いて、画素アレイ部 11 の各画素 20 から信号線 32 を通して入力される信号成分（所謂、D 相電圧）と、輝度成分であるリセット成分（所謂、P 相電圧）との差分をとる処理（CDS 処理）を行い、その差分を画素信号として出力する。カラムアンプ部 14 の後段には、容量部 19 が設けられている。

[0071] \*\*\* クレームー 01、クレームー 06

容量部 19 は、カラムアンプ部 14 から出力される単相信号を、カラムアンプ部 14 の出力のゼロ電圧を規定する基準電圧を用いて差動化する。そして、容量部 19 は、カラムアンプ部 14 から入力される画素信号を、例えば、スイッチトキャパシタによるサンプリングによって保持する。容量部 19 の後段には、逐次比較型アナログーデジタル変換部 15 A が設けられている。逐次比較型アナログーデジタル変換部 15 A は、シングルスロープ型アナログーデジタル変換器に比べて、高速・低消費電力での動作が可能な複数の

逐次比較（SAR）型アナログーデジタル変換器から成り、容量部19から入力されるアナログの画素信号をデジタルの画素信号に変換する。

[0072] \*\*\* クレームー01

本実施形態に係るCMOSイメージセンサ10によれば、逐次比較型アナログーデジタル変換部15Aの各逐次比較型アナログーデジタル変換器は、二分探索を行うため、単体でみると原理的にはスイープを行うシングルスロープ型アナログーデジタル変換器よりも効率的である。また、従来、アナログーデジタル変換器において2回のアナログーデジタル変換で行われていたCDS処理を、アナログ回路系のカラムアンプ部14で行うようにすることで、アナログーデジタル変換回数を半減できる。更に、スイッチトキャパシタによるサンプリングを導入することにより、信号線の電位VSLはアナログーデジタル変換を待つ必要がなくなり、サンプリングが信号線32の電位VSLによらず常に一斉に行われるために、スイッチングによる干渉の影響も小さい。

[0073] また、容量部19において、カラムアンプ部14から出力される単相信号を差動化することにより、容量部19以降の回路構成を差動回路の構成とすることができる。これにより、本実施形態に係るCMOSイメージセンサ10にあっては、回路の対称性に優れたカラム信号処理系を構築することができる。

[0074] 以下に、第1実施形態に係るCMOSイメージセンサ10におけるカラム信号処理系、具体的には、カラムアンプ部14、容量部19、及び、アナログーデジタル変換部15を含むカラム信号処理系の具体的な実施例について説明する。

[0075] \*\*\* クレームー01

[第1の実施形態]

第1の実施形態は、容量部以降の回路構成を差動回路の構成とする例である。図6は、第1の実施形態に係るカラム信号処理系の構成の概略を示す回路図である。カラムアンプ部14は、画素列数と同じ数だけ設けられた画素

列数分のカラムアンプ140から成り、容量部19も画素列数分の容量マルチプレクサ190から成る。尚、容量部19及びカラムアンプ140が、一つのアナログーデジタル変換器に対して複数配置されることで、マルチプレクサとして動作することになる。

[0076] \*\*\* クレームー02

(カラムアンプの構成例)

カラムアンプ140は、増幅器141、第1スイッチ142、第2スイッチ143、第3スイッチ144、第1容量素子145、及び、第2容量素子146を有する構成となっている。第1容量素子145（以下、単に、「容量素子145」と記述する）は、容量値 $C_F$ を有しており、第2容量素子146（以下、単に、「容量素子146」と記述する）は、容量値 $C_S$ を有している。

[0077] \*\*\* クレームー02

増幅器141は、信号線32の電位 $V_{SL}$  ( $V_{SL_0} \sim V_{SL_7}$ ) を非反転(+)入力端子の入力とする。第1スイッチ142（以下、単に、「スイッチ142」と記述する）は、一端が増幅器141の出力端子に接続され、他端が増幅器141の反転(-)入力端子に接続されており、スイッチ制御信号 $S_p$ の極性（高レベル/低レベル）に応じて、オン（閉）/オフ（開）動作を行う。

[0078] \*\*\* クレームー02

第2スイッチ143（以下、単に、「スイッチ143」と記述する）は、一端が増幅器141の出力端子に接続されている。容量素子145は、一端がスイッチ143の他端に接続され、他端がスイッチ142の他端及び増幅器141の反転入力端子に接続されている。容量素子146は、容量素子145の他端及び増幅器141の出力端子と基準電位（例えば、グラウンド）のノードとの間に接続されている。スイッチ143は、スイッチ制御信号 $S_p$ の極性に応じて、オン/オフ動作を行う。

[0079] \*\*\* クレームー02

すなわち、スイッチ143、容量素子145、及び、容量素子146は、増幅器141の出力端子と基準電位（例えば、グランド）のノードとの間に、その順に直列に接続されている。また、容量素子145と容量素子146との共通接続ノード $N_1$ とスイッチ142の他端とは、電氣的に接続されている。

[0080] \*\*\* クレーム-02

第3スイッチ144（以下、単に、「スイッチ144」と記述する）は、一端がスイッチ143と容量素子145との共通接続ノード $N_2$ に接続されており、スイッチ制御信号 $S_{VR}$ の極性に依じて、オン／オフ動作を行う。スイッチ144の他端には、カラムアンプ140の出力のゼロ電圧を規定する基準電圧 $V_R$ が印加される。すなわち、スイッチ144は、スイッチ143と容量素子145との共通接続ノード $N_2$ に、基準電圧 $V_R$ を選択的に与える。

[0081] \*\*\* クレーム-04

（容量マルチプレクサの構成例）

容量部19を構成する容量マルチプレクサ190は、差動回路の構成となっている。差動回路の正側は、スイッチ191<sub>P</sub>、容量素子195<sub>P</sub>、スイッチ193<sub>P</sub>、及び、スイッチ194<sub>P</sub>によって構成されている。差動回路の負側は、スイッチ191<sub>M</sub>、容量素子195<sub>M</sub>、スイッチ193<sub>M</sub>、及び、スイッチ194<sub>M</sub>によって構成されている。

[0082] 正側のスイッチ191<sub>P</sub>は、スイッチ制御信号 $S_{IN}$ の極性（高レベル／低レベル）に依じてオン（閉）／オフ（開）動作を行い、オン状態になることで、一端に印加されるカラムアンプ140の出力電圧 $C A_{out}$ をサンプリングする。負側のスイッチ191<sub>M</sub>は、スイッチ制御信号 $S_{IN}$ の極性に依じてオン／オフ動作を行い、オン状態になることで、一端に印加される基準電圧 $V_R$ をサンプリングする。

[0083] ここで、負側のスイッチ191<sub>M</sub>によってサンプリングされた基準電圧 $V_R$ は、差動回路の負側の電圧として用いられる。このように、容量マルチプレクサ190では、負側のスイッチ191<sub>M</sub>によってサンプリングした基準電圧

VRを基準として用いることで、カラムアンプ140から入力される単相信号を差動化することができる。その結果、容量部19以降の回路構成を差動回路の構成とすることができる。

[0084] 差動回路の正側において、スイッチ191<sub>P</sub>の他端には、容量素子195<sub>P</sub>の一端が接続され、容量素子195<sub>P</sub>の他端には、スイッチ193<sub>P</sub>及びスイッチ194<sub>P</sub>の各一端が接続されている。スイッチ191<sub>P</sub>によってサンプリングされたカラムアンプ140の出力電圧CA<sub>out</sub>は、容量素子195<sub>P</sub>にチャージされる。スイッチ193<sub>P</sub>の他端には、後述する逐次比較型アナログーデジタル変換器150におけるプリアンプ151の出力コモンモード参照電圧V<sub>CM</sub>が印加される。スイッチ194<sub>P</sub>の他端は、容量マルチプレクサ190の正側の出力端となる。

[0085] 差動回路の負側において、スイッチ191<sub>M</sub>の他端には、容量素子195<sub>M</sub>の一端が接続され、容量素子195<sub>M</sub>の他端には、スイッチ193<sub>M</sub>及びスイッチ194<sub>M</sub>の各一端が接続されている。スイッチ191<sub>M</sub>によってサンプリングされた基準電圧VRは、容量素子195<sub>M</sub>にチャージされる。スイッチ193<sub>M</sub>の他端には、出力コモンモード参照電圧V<sub>CM</sub>が印加される。スイッチ194<sub>M</sub>の他端は、容量マルチプレクサ190の負側の出力端となる。

[0086] \*\*\* クレーム-04、クレーム-05

正側の容量素子195<sub>P</sub>及び負側の容量素子195<sub>M</sub>の各一端間には、差動間短絡用スイッチ（第4スイッチ）192が接続されている。差動間短絡用スイッチ192は、スイッチ制御信号S<sub>VMT</sub>の極性に応じてオン／オフ動作を行う。具体的には、容量素子195<sub>P</sub>に保持したカラムアンプ140の出力電圧CA<sub>out</sub>、及び、容量素子195<sub>M</sub>に保持した基準電圧VRを、スイッチ194<sub>P</sub>及びスイッチ194<sub>M</sub>を通して後段の逐次比較型アナログーデジタル変換器150に転送する際に、差動間短絡用スイッチ192は、オン状態となって容量素子195<sub>P</sub>の一端（入力端）と容量素子195<sub>M</sub>の一端（入力端）とを短絡する。

[0087] \*\*\* クレーム-04

このように、差動間短絡用スイッチ192によって、容量素子195<sub>p</sub>及び容量素子195<sub>m</sub>の入力端間（差動間）を短絡することにより、カラムアンプ140側の電圧（同相成分）の影響が、容量素子195<sub>p</sub>及び容量素子195<sub>m</sub>以降の回路に及ばないようにすることができる。因みに、カラムアンプ140側では相対的に高い電圧が用いられる。一方、容量マルチプレクサ190の後段の逐次比較型アナログーデジタル変換器150には、低電圧で、高速動作が要求される。従って、逐次比較型アナログーデジタル変換器150に要求される低電圧で、高速動作を保証するためには、差動間短絡用スイッチ192の作用により、カラムアンプ140側の相対的に高い電圧の影響が、容量素子195<sub>p</sub>及び容量素子195<sub>m</sub>以降の回路に及ばないようにすることが重要である。

[0088] 図6に示すカラム信号処理系において、差動間短絡用スイッチ192の作用により、カラムアンプ140及び容量マルチプレクサ190を含む回路部分Xの各スイッチについては、相対的に膜厚が厚い厚膜の高電圧トランジスタを用いて構成することができ、容量マルチプレクサ190の各スイッチについては、相対的に膜厚が薄い薄膜の低電圧トランジスタを用いて構成することができる。但し、差動間短絡用スイッチ192の作用により、カラムアンプ140側の相対的に高い電圧の影響が、容量素子195<sub>p</sub>及び容量素子195<sub>m</sub>以降の回路に及ばない訳であることから、原理的には、容量マルチプレクサ190の容量素子195<sub>p</sub>及び容量素子195<sub>m</sub>以降の各スイッチについても、相対的に膜厚が薄い薄膜の低電圧トランジスタを用いて構成することができる。

[0089] また、差動間短絡用スイッチ192の作用により、カラムアンプ140側の電圧（同相成分）を低電圧へシフトすることにより、逐次比較型アナログーデジタル変換器150において、耐圧の低いコンパレータを使うことができる。更に、アナログーデジタル変換時に、差動容量（容量アレイ部C<sub>DAC</sub>）がカラムアンプ140や他の基準電圧から切り離されることで、アナログーデジタル変換の高速動作が可能になる。

[0090] (逐次比較型アナログーデジタル変換器の構成例)

逐次比較型アナログーデジタル変換器150は、プリアンプ151、コンパレータ152、SARロジック部153、デジタルーアナログ変換器(DAC)154、及び、容量アレイ部C<sub>DAC</sub>を有する構成となっている。

[0091] プリアンプ151は、増幅器1511及びスイッチ1512<sub>P</sub>、1512<sub>M</sub>から成る。増幅器1511は、容量マルチプレクサ190から供給されるアナログ電圧PAIN+ (カラムアンプ140の出力電圧CA<sub>out</sub>)を反転(-)入力端子の入力とし、アナログ電圧PAIN- (基準電圧VR)を非反転(+)入力端子の入力とする。

[0092] スイッチ1512<sub>P</sub>、1512<sub>M</sub>は、オートゼロ(入出力ショートによるオフセットキャンセル)のスイッチであり、スイッチ制御信号S<sub>AZ</sub>の極性に応じて、オン/オフ動作を行う。スイッチ1512<sub>P</sub>は、プリアンプ151の反転入力端子と出力端子との間に接続されている。スイッチ1512<sub>M</sub>は、プリアンプ151の非反転入力端子と出力端子との間に接続されている。

[0093] コンパレータ152は、コンパレータクロックCK1に同期して、プリアンプ151を通して供給されるアナログ電圧と比較基準電圧との大小を比較し、その比較結果をSARロジック部153に供給する。

[0094] SARロジック部153は、例えば、Nビットの逐次比較レジスタから成り、クロックCKに同期して、各ビット毎にコンパレータ152の比較結果を格納し、アナログーデジタル変換後のNビットのデジタル値D<sub>OUT</sub>として出力する。

[0095] デジタルーアナログ変換器154及び容量アレイ部155は、Nビットの容量性デジタルーアナログ変換器を構成している。そして、この容量性デジタルーアナログ変換器において、SARロジック部153から出力されるNビットのデジタル値D<sub>OUT</sub>をアナログ電圧に変換し、増幅器1511の反転(-)入力端子にその入力として与える。

[0096] (カラム信号処理系の回路動作)

続いて、上記の構成のカラムアンプ140、容量マルチプレクサ190、

及び、逐次比較型アナログーデジタル変換器150から成る第1の実施形態に係るカラム信号処理系の回路動作について、図7のタイミングチャートを用いて説明する。

[0097] 図7のタイミングチャートには、スイッチ制御信号 $S_P$ 、 $S_{VR}$ 、スイッチ制御信号 $S_D$ 、 $S_{IN}$ 、 $S_{VMA}$ 、及び、スイッチ制御信号 $S_{VMI}$ 、 $S_{SUM}$ のタイミング関係を示している。図7のタイミングチャートには、更に、信号線32の電位 $V_{SL}$ 、基準電圧 $V_R$ 、及び、カラムアンプ140の出力電圧 $C A_{out}$ の波形図を図示している。

[0098] \*\*\* クレームー03

期間 $T_1$ では、信号線32の電位 $V_{SL}$ がリセット成分（P相電圧）の状態、スイッチ制御信号 $S_P$ 及びスイッチ制御信号 $S_{VR}$ が高レベルになることで、スイッチ142及びスイッチ144がオン（閉）状態となる。これにより、リセット成分（P相電圧）が容量素子145及び容量素子146にチャージされる。このとき、スイッチ143と容量素子145との共通接続ノード $N_2$ の電圧は、基準電圧 $V_R$ と同じ電圧となる。リセット成分（P相電圧）は、画素20によって大きくばらつく（精度が低い）が、基準電圧 $V_R$ は、カラムアンプ140側で生成されるために、ばらつきが小さい（精度が高い）。

[0099] \*\*\* クレームー03

次に、期間 $T_2$ では、スイッチ制御信号 $S_P$ 及びスイッチ制御信号 $S_{VR}$ が低レベルになることで、スイッチ142及びスイッチ144がオフ（開）状態となり、同時に、スイッチ制御信号 $S_D$ が高レベルになることで、スイッチ143がオン（閉）状態となる。このとき、容量素子145及び容量素子146と増幅器141とによって非反転増幅回路が構成され、カラムアンプ140の出力電圧 $V_{out}$ は、基準電圧 $V_R$ とほぼ同じ電圧となる。

[0100] \*\*\* クレームー03

信号線32の電位 $V_{SL}$ が、輝度成分である信号成分（D相電圧）に降下すると、容量素子145と容量素子146との共通接続ノード $N_1$ の電圧が、信号成分（D相電圧）と同じ電圧になるようにフィードバックがかかる。



[0101] この一連の動作により、リセット成分（P相電圧）と信号成分（D相電圧）との差分をとるCDS処理が行われ、カラムアンプ140の出力電圧 $V_{out}$ は、信号線32の電位 $V_{SL}$ の $(C_F + C_S) / C_F$ 倍に増幅された電圧だけ降下する。基準電圧 $V_R$ のばらつきが小さいため、カラムアンプ140のゲインを大きくとることができる。

[0102] \*\*\* クレーム-03

期間 $T_2$ では、スイッチ制御信号 $S_D$ と同時に、スイッチ制御信号 $S_{IN}$ 及びスイッチ制御信号 $S_{VMA}$ が高レベルになる。これにより、スイッチ $191_P$ 、 $191_M$ がオン状態となり、カラムアンプ140の出力電圧 $V_{out}$ 及び基準電圧 $V_R$ を差動電圧としてサンプリングし、容量素子 $195_P$ 、 $195_M$ にチャージする。

[0103] このとき同時に、スイッチ $193_P$ 、 $193_M$ がオン状態となり、容量素子 $195_P$ 、 $195_M$ の出力側（逐次比較型アナログ-デジタル変換器150側）に出力コモンモード参照電圧 $V_{CM}$ を与える。出力コモンモード参照電圧 $V_{CM}$ は、逐次比較型アナログ-デジタル変換器150におけるプリアンプ151の同相電圧と同じ電圧に設定される。

[0104] その後、期間 $T_3$ では、スイッチ制御信号 $S_{VMI}$ 及びスイッチ制御信号 $S_{SUM}$ が高レベルになることで、スイッチ $192$ 及びスイッチ $194_P$ 、 $194_M$ がオン状態となり、容量素子 $195_P$ 、 $195_M$ にチャージされた差動電圧が、逐次比較型アナログ-デジタル変換器150に転送される。

[0105] スイッチ $192$ がオン状態となることで、容量素子 $195_P$ 、 $195_M$ の入力側は差動ショートとなるが、同相成分としては開放状態になる。そのため、入力の同相成分は、逐次比較型アナログ-デジタル変換器150へは伝わらない。これにより、逐次比較型アナログ-デジタル変換器150におけるプリアンプ151を高速な薄膜の低電圧トランジスタで構成することができる。

[0106] \*\*\* クレーム-03

逐次比較型アナログ-デジタル変換器150に容量素子 $195_P$ 、 $195_M$

にチャージされた差動電圧が伝送されたら、コンパレータ152にコンパレータクロックCK1を入力して比較を開始する。コンパレータ152の比較結果は、SARロジック部153を介してデジタル-アナログ変換器154にフィードバックされ、プリアンプ151の入力が0Vになるように二分探索される。最終的に、容量マルチプレクサ190の容量素子195<sub>P</sub>、195<sub>M</sub>に蓄積された電荷がほぼ全て容量アレイ部C<sub>DAC</sub>へ転送され、そのときのデジタル-アナログ変換器154の入力が出力コードとして得られる。

[0107] [実施例2]

実施例2は、カラム信号処理系の実装例であり、容量部19（容量マルチプレクサ190）以降が差動回路の構成の例である。図8は、実施例2に係るカラム信号処理系の構成の概略を示す回路図である。

[0108] \*\*\* クレーム-07

実施例2に係るカラム信号処理系では、逐次比較型アナログ-デジタル変換部15Aの1つの逐次比較型アナログ-デジタル変換器150につき、複数本の信号線32、例えば8本の信号線32の各電位VSL<sub>0</sub>~VSL<sub>7</sub>を、8本の信号線32に対応した8つ並列に設けられたカラムアンプ140、及び、4つ並列に設けられた容量マルチプレクサ190を通して多重化して処理する構成を例に挙げて説明する。

[0109] また、実施例2に係るカラム信号処理系では、8本の信号線32の各電位VSL<sub>0</sub>~VSL<sub>7</sub>を、前半の4つの信号線32の電位VSL<sub>0</sub>~VSL<sub>3</sub>、及び、後半の4つの信号線32の電位VSL<sub>4</sub>~VSL<sub>7</sub>に分けて扱う。

[0110] 図8には、カラムアンプ140、容量マルチプレクサ190、及び、逐次比較型アナログ-デジタル変換器150で用いる基準電圧を生成する基準電圧生成部160を図示している。基準電圧生成部160は、第1アンプ部161、第2アンプ部162、及び、第3アンプ部163から成る。カラムアンプ140は、D相で信号を出力する。よって、3つの容量素子（195<sub>A</sub>、195<sub>B</sub>、195<sub>C</sub>）でのサンプリングはD相のみで行われる。一方、コンパレータ152での比較はP相とD相の両方で連続的に行われる。信号線32

の電位 $VSL_0 \sim VSL_3$ は、直後のP相でアナログーデジタル変換され、信号線32の電位 $VSL_4 \sim VSL_7$ は、2回目のD相でアナログーデジタル変換される。2回目のD相では、容量素子195<sub>B</sub>がアナログーデジタル変換に使われているため、利用可能な容量素子195<sub>C</sub>及び容量素子195<sub>A</sub>に、そのときのカラムアンプ140の出力をサンプリングする。このとき、容量素子195<sub>A</sub>には、前回と異なる信号線32の電位 $VSL_4 \sim VSL_7$ がサンプリングされる。この動作を繰り返すことで、特定の信号線32の電位 $VSL$ に対して同じ容量素子が使用されなくなる。

- [0111] 第1アンプ部161は、カラムアンプ140の出力のゼロ電圧を規定する基準電圧 $V_R$ を生成する。基準電圧 $V_R$ は、電圧線 $L_1$ を通してカラムアンプ140に供給される。第2アンプ部162は、プリアンプ151の出力コモンモード参照電圧 $V_{CM}$ を、電圧線 $L_2$ を通して容量マルチプレクサ190に供給する。出力コモンモード参照電圧 $V_{CM}$ は、電圧線 $L_3$ を通して逐次比較型アナログーデジタル変換器150にも供給される。第3アンプ部163は、容量アレイ部( $C_{DAC}$ )155で使用する高電圧 $V_H$ 、中電圧 $V_M$ 、低電圧 $V_L$ を生成する。高電圧 $V_H$ 、中電圧 $V_M$ 、低電圧 $V_L$ は、電圧線 $L_4$ 、 $L_5$ 、 $L_6$ を通して容量アレイ部( $C_{DAC}$ )155に供給される。
- [0112] P相時は、カラムアンプ140の容量素子145をチャージし、D相では、容量素子145にチャージされた電荷は、容量マルチプレクサ(CMUX)190の負側の信号入力として使用される。容量マルチプレクサ190は差動で構成されている。入力側のスイッチ192<sub>A</sub>、スイッチ192<sub>B</sub>、及び、スイッチ192<sub>C</sub>は、コンパレータ152の比較時に差動間をショートし、共通ノードには接続されない。こうすることで、コンパレータ152の比較時に容量マルチプレクサ190の入力側が完全に分離されるため、逐次比較型アナログーデジタル変換器150内の容量アレイ部( $C_{DAC}$ )155のセトリングを早くすることができる。
- [0113] 容量マルチプレクサ190の出力側のスイッチ193<sub>AP</sub>、193<sub>AM</sub>、スイッチ193<sub>BP</sub>、193<sub>BM</sub>、及び、スイッチ193<sub>CP</sub>、193<sub>CM</sub>は、出力コモンモ

ード参照電圧 $V_{CM}$ を伝送する電圧線 $L_2$ に接続されており、サンプリング時にオン状態となる。出力コモンモード参照電圧 $V_{CM}$ は、プリアンプ151の入力動作電位と同じ電圧になる。

[0114] 第3アンプ部163で生成される高電圧 $V_H$ 、中電圧 $V_M$ 、及び、低電圧 $V_L$ は、容量アレイ部( $C_{DAC}$ )155の基準電圧である。容量アレイ部( $C_{DAC}$ )155は、コンパレータ152の比較時に高速動作するため、高電圧 $V_H$ と低電圧 $V_L$ は高速に応答可能、且つ、低インピーダンスであることが求められる。

[0115] (電源電圧と使用トランジスタについて)

ここでは、電源電圧の仕様については、例えば、2.8V( $V_{DD\_H}$ )及び0.8V( $V_{DD\_L}$ )を想定している。2.8Vは、画素20で使われる電圧と同じであり、高耐圧トランジスタの回路に使用する。0.8Vは、ロジック回路で使われる電圧を想定している。信号線32の電位 $V_{SL}$ は最大2V以上になるため、低耐圧トランジスタでは扱うことができない。そのため、カラムアンプ140については、高耐圧トランジスタで構成する必要がある。逐次比較型アナログーデジタル変換器150については、高速な比較動作が必要なため、低耐圧トランジスタで構成されることが望ましい。但し、低耐圧トランジスタの大きなリーク電流には注意が必要である。

[0116] 逐次比較型アナログーデジタル変換器150のプリアンプ151において、オートゼロ(入出力ショートによるオフセットキャンセル)のスイッチ1512のチャネルリークは線形性に影響を及ぼすため、チャネル長 $L$ を長くするなどの対策が必要である。コンパレータ152の入力差動対のゲートリークも特性に影響を及ぼす可能性があるため、場合によっては、高耐圧トランジスタを使用してリークを抑える必要がある。

[0117] また、逐次比較型アナログーデジタル変換器150のループの間に複数の電源がからむと異電源間のばらつきを吸収するための動作マージンが必要となるため、単一電源で構成することが重要である。高電圧 $V_H$ /低電圧 $V_L$ については、容量アレイ部( $C_{DAC}$ )155を構成するスイッチに十分ゲート電

圧をかけたいため、それぞれ0.8 V ( $V_{DD\_L}$ ) 及びグランドと同じ電圧としている。カラムアンプ140の出力は電圧が高いため、容量マルチプレクサ190を構成するスイッチについては全て高耐圧トランジスタで構成している。

[0118] (レベルダイヤグラムについて)

図9にレベルダイヤグラムを示す。信号線32の電位VSLの電圧範囲はセンサ仕様によって異なるが、ここでは、2 Vを基準として明度に応じて電圧が下がり、最大で450 mV電圧降下するとしている。この信号線32の電位VSLをカラムアンプ140で増幅する訳であるが、ゲインが高いほど後段の逐次比較型アナログーデジタル変換器150のノイズが抑制され、カラムアンプ140自体のノイズも減るため、なるべく大きなゲインをとることが望ましい。但し、電源電圧は2.8 Vであるため、それに回路の動作範囲とマージンを加えた範囲内にカラムアンプ140の出力を抑える必要がある。

[0119] ここでは、ゲインを4倍とし、2.8 Vに対して1.8 Vをレンジとしている。逐次比較型アナログーデジタル変換器150の入力は、差動電圧で負側入力が参照電圧固定となる。画素20が明度ゼロのときは、差動0 Vが逐次比較型アナログーデジタル変換器150の入力となり、明るくなる（即ち、信号線32の電位VSLが下がる）につれてマイナスの差動電圧が加わる。逐次比較型アナログーデジタル変換器150の出力コードとの関係は、差動1.8 Vが3/4フルスケールに相当するようにし、0 V入力ときに7/8フルスケールが出力されるようにしている。

[0120] 小さい入力信号に対しては、ゲインを上げることで入力換算ノイズを減らすことができる。図9のように、ゲインを8倍( $\times 8$ )にすると入力レンジは半分になる。更に、ゲインを上げることもできるが、入力換算ノイズは、カラムアンプ140の寄与分が支配的であるために、8倍よりも大きいゲインにするもののメリットは小さい。

[0121] (タイミングについて)

カラム信号処理系を駆動する動的な信号は全て差動信号として実装する必要がある。カラムアンプ140側がスイッチの場合は差動信号を使ってインジェクションをキャンセルするダミーを用意する。このことが守られていないと、制御信号のリターンが共通電源などを經由してしまい、予期せぬ干渉を生じかねない。また、スイッチのゲート信号（スイッチ制御信号）に関しては、違う位相のスイッチが同時にオンしない（ノンオーバーラップ）ようにする必要がある。

[0122] 更に、カラムアンプ140のスイッチ143のスイッチ制御信号 $S_D$ 、並びに、容量マルチプレクサ190のスイッチ191 $_{OX}$ （ $X=A, B, C$ ）のスイッチ制御信号 $S_{INOX}$ 、スイッチ191 $_{IX}$ のスイッチ制御信号 $S_{INIX}$ 、及び、スイッチ1931 $_X$ のスイッチ制御信号 $S_{VMIX}$ に関しては他のスイッチ制御信号より、ノンオーバーラップを保った上で遅延させることが望ましい。

[0123] 以下に、カラムアンプ140及び逐次比較型アナログーデジタル変換器150の具体的な構成例について説明する。

[0124] （カラムアンプの構成例）

ここでは、カラムアンプ140の具体的な構成の一例として、電流リユースカラムアンプ（Current Reuse Column Amp: C R C A）を例示する。電流リユースカラムアンプは、信号線32のバイアス電流を利用して電圧増幅を行うため、低消費電力な非反転カラムアンプを実現できる。電流リユースカラムアンプの構成の一例の回路図を図10に示す。

[0125] 電流リユースカラムアンプ1400は、電流増幅トランジスタ1401、電流源トランジスタ1402、1403、カスコードトランジスタ1404、1405、スイッチ1406、1407、1408、基準側容量素子1409、及び、帰還容量素子1410を有する構成となっている。

[0126] ここでは、電流増幅トランジスタ1401、電流源トランジスタ1403、及び、カスコードトランジスタ1404として、例えば、PチャネルのMOS型電界効果トランジスタを用いている。また、電流源トランジスタ1402及びカスコードトランジスタ1405として、例えば、NチャネルのM

OS型電界効果トランジスタを用いている。

- [0127] 電流増幅トランジスタ1401と電流源トランジスタ1402とは、信号線32と基準電位（例えば、グランド）のノードとの間にその順に直列に接続されている。すなわち、電流増幅トランジスタ1401は、ソース電極が信号線32に接続されている。電流源トランジスタ1402のゲート電極には、所定のバイアス電圧  $n b i a s$  が印加される。これにより、電流源トランジスタ1402は、所定のバイアス電圧  $n b i a s$  に応じた一定のバイアス電流を信号線32に流す。
- [0128] 電流源トランジスタ1403、カスコードトランジスタ1404、及び、カスコードトランジスタ1405は、電源電圧  $V_{DD}$  のノードと電流源トランジスタ1402のドレイン電極との間に、その順に直列に接続されている。電流源トランジスタ1403のゲート電極には、所定のバイアス電圧  $p b i a s$  が印加され、カスコードトランジスタ1404のゲート電極には、所定のバイアス電圧  $p c a s$  が印加され、カスコードトランジスタ1405のゲート電極には、所定のバイアス電圧  $n c a s$  が印加される。
- [0129] スイッチ1406は、電流増幅トランジスタ1401のゲート電極と、カスコードトランジスタ1404のドレイン電極（カスコードトランジスタ1405のドレイン電極）との間に接続されており、スイッチ制御信号  $S_p$  の極性に応じて、オン（閉）／オフ（開）動作を行う。
- [0130] 基準側容量素子1409は、電流増幅トランジスタ1401のゲート電極と基準電位（例えば、グランド）のノードとの間に接続されている。帰還容量素子1410は、一端が電流増幅トランジスタ1401のゲート電極に接続されている。
- [0131] スイッチ1047は、帰還容量素子1410の他端と、カスコードトランジスタ1404のドレイン電極（カスコードトランジスタ1405のドレイン電極）との間に接続されており、スイッチ制御信号  $S_D$  の極性に応じて、オン／オフ動作を行う。
- [0132] スイッチ1408は、一端が帰還容量素子1410とスイッチ1047と

の共通接続ノード $N_{11}$ に接続されており、スイッチ制御信号 $S_{VR}$ の極性に依りて、オン／オフ動作を行う。スイッチ1408の他端には、基準電圧 $V_R$ に印加される。これにより、スイッチ1408は、スイッチ制御信号 $S_{VR}$ による制御の下に、共通接続ノード $N_{11}$ に対して選択的に基準電圧 $V_R$ を与える。

[0133] 上記の構成によって、電流増幅トランジスタ1401のソース電極が(+)入力端となり、ゲート電極が(-)入力端となり、カスコードトランジスタ1404とカスコードトランジスタ1405との共通接続ノード $N_{12}$ が出力端となる電流リユースカラムアンプ1400が構成されている。電流増幅トランジスタ1401は、信号線32のバイアス電流を利用するため、効率よく電圧増幅を行うことができる。

[0134] 上記の構成の電流リユースカラムアンプ1400において、図6に示すカラムアンプ140との対応関係では、スイッチ1406が図6のスイッチ142に対応し、スイッチ1407が図6のスイッチ143に対応し、スイッチ1408が図6のスイッチ144に対応している。また、基準側容量素子1409が容量値 $C_S$ の容量素子146に対応し、帰還容量素子1410が容量値 $C_F$ の容量素子145に対応している。

[0135] (逐次比較型アナログーデジタル変換器の構成例)

逐次比較型アナログーデジタル変換器150は、電力効率に優れている。逐次比較型アナログーデジタル変換器150の詳細回路図を図11に示す。

[0136] 逐次比較型アナログーデジタル変換器150の回路は、完全な差動で構成されている。一般的な逐次比較型アナログーデジタル変換器は、入力電圧をサンプリングする入力容量とDAC容量( $C_{DAC}$ )とが一体化していることが多いが、ここでは多重化のためにそれらを分離している。

[0137] 図11には、容量マルチプレクサ190の役割を兼ねる入力容量部(以下、便宜上、「容量マルチプレクサ190」と記述する)についても図示している。ここでは、入力容量部(190)について、簡単のために、複数あるうちの1個だけ図示している。

[0138] 容量マルチプレクサ190において、サンプリング時は、スイッチ191<sub>P</sub>



、191<sub>M</sub>及びスイッチ193<sub>P</sub>、193<sub>M</sub>がオン（閉）状態となって容量素子195<sub>P</sub>、195<sub>M</sub>に電荷をチャージする。アナログーデジタル変換時は、スイッチ192及びスイッチ194<sub>P</sub>、194<sub>M</sub>がオン（閉）状態となることで、容量マルチプレクサ190が逐次比較型アナログーデジタル変換器150と接続される。

[0139] スイッチ192は、特定の参照電位に接続されずに、差動間をショートするだけになっている。これは入力の同相電位によってプリアンプ151側の同相電位が変動することを防ぐためである。プリアンプ151の出力同相電位と出力コモンモード参照電圧 $V_{CM}$ とを合わせておけば、プリアンプ151の入力同相電位が常に出力コモンモード参照電圧 $V_{CM}$ と同じになる。

[0140] カラムアンプ140の出力はシングルエンドであるため、入力の同相電位は信号依存で変動するが、プリアンプ151の入力同相電位は変わらないため線形性が良くなる。入力側は、カラムアンプ140の出力（2.4V～0.6V）と基準電圧 $V_R$ （2.4V）であるが、出力コモンモード参照電圧 $V_{CM}$ は0.5V程度で固定となるため、低電圧（ $V_{DD\_L}$ ）のプリアンプ151を使うことができる。

[0141] 入力電圧は1.8Vと高いが、電荷転送時はDAC容量（ $C_{DAC}$ ）と直列に接続されるため、プリアンプ151の入力電圧は十分減衰される。このように、同相・差動電圧を管理することで、容量マルチプレクサ190以外は、相対的に膜厚が薄い薄膜の低電圧トランジスタで構成することができる。因みに、容量マルチプレクサ190のスイッチは全て、相対的に膜厚が厚い膜厚の高電圧トランジスタで構成される。

[0142] 逐次比較型アナログーデジタル変換器150の比較ループ内のプリアンプ151、コンパレータ152、SARロジック部153、及び、DAC容量（ $C_{DAC}$ ）のスイッチが全て同電源電圧、且つ、同じ膜厚のトランジスタを使用することにより、高速動作が可能となる。

[0143] また、SARロジック部153の動作時にカラムアンプ140や、高電圧 $V_H$ ／低電圧 $V_L$ 以外のリファレンスノードから完全に分離されていること

も重要である。これらのノードはそれほど高速・低インピーダンスではないため、DAC容量 ( $C_{DAC}$ ) のセトリングに影響を与えないようにする必要がある。

[0144] 図11に示すように、DAC容量 ( $C_{DAC}$ ) の容量アレイは、6-4-4でグループ分けされた14個の容量で構成されている。最初の6bitのグループをMSBとし、真ん中の4bitのグループをLSB1とし、最後の4bitのグループをLSB0とする。各グループはブリッジ容量素子によって分離され、1容量素子当たりの重みが変わる。MSBの重みを1とすると、LSB1は $1/8$ 、LSB0は $1/32$ となっている。

[0145] LSB1の中の最上位ビットとMSBの最下位ビットの重みは同じ値となっており、冗長を持たせている。LSB0も同様に最上位ビットを重複させる。冗長は計2ビットであるため、最終的に、逐次比較型アナログ-デジタル変換器150のビット精度は12BITとなる。冗長は上位ビットのセトリング不足を補うためと、ブリッジ容量素子のばらつきによる非線形性を補正するためにある。

[0146] 冗長の範囲を広げるにはなるべく上位で冗長ビットを挿入すべきであるが、容量素子が増えるトレードオフがあるし、ノイズも増える。また、ブリッジ容量素子のばらつきを補正するには、冗長ビットは各グループ内に挿入される必要がある。

[0147] ブリッジ容量素子の容量値 $C_B$ は、下位グループとの重みの比を $\alpha$  ( $< 1$ )、下位グループの総容量値（更に下位の実質容量値を含む）を $C_{TL}$ とすると、次式で表すことができる。

$$C_B = C_{TL} / \{(1 / \alpha) - 1\}$$

[0148] ブリッジ容量素子は、下位ビット全体の重みを決めているため、単位容量素子との比がずれると非線形性をもたらす。従って、なるべくずれないように実装する必要があるが、整数倍でない上にレイアウトの連続性もないため、ブリッジ容量素子と単位容量素子との比を合わせることは難しい。そこで、グループ毎に、非整数の補正係数を乗算するデジタル補正を行うことが必

要であると思われる。

[0149] <本開示の第2実施形態>

図6の容量部190内の2つの容量素子195<sub>P</sub>、195<sub>M</sub>は、それぞれ異なる電荷を保持しており、信号線VSLからカラムアンプ140の後段側を見ると、これら容量素子195<sub>P</sub>、195<sub>M</sub>はカラムアンプ140のゲイン倍の負荷として作用し、VSLのセトリング時間が長くなる。そこで、以下に説明する第2実施形態による容量部190は、セトリング時間を短縮する対策を施したものである。

[0150] 図12は第2の実施形態による容量部19の内部構成を示す回路図である。図12では、容量部19の前段側に接続されるカラムアンプ140と、容量部19の後段側に接続される逐次比較型アナログーデジタル変換器150を省略しているが、図12の容量部19には、図6と同様のカラムアンプ140と逐次比較型アナログーデジタル変換器150が接続可能である。

[0151] 図12の容量部19は、第1ノードn1と、第2ノードn2と、正側容量素子195<sub>P</sub>と、負側容量素子195<sub>M</sub>と、第4スイッチ192と、第5スイッチ196と、第6スイッチ194<sub>P</sub>と、第7スイッチ194<sub>M</sub>と、スイッチ191<sub>P</sub>と、スイッチ191<sub>M</sub>とを有する。

[0152] 第1ノードn1には、カラムアンプ140からの画素信号が供給される。第2ノードn2には、基準電圧VRが供給される。より詳細には、カラムアンプ140から入力される画素信号は、スイッチ191<sub>P</sub>を介して第1ノードn1に供給される。また、基準電圧VRは、スイッチ191<sub>M</sub>を介して第2ノードn2に供給される。

[0153] 正側容量素子195<sub>P</sub>及び負側容量素子195<sub>M</sub>は、第1ノードn1と第2ノードn2の間に直列に接続されている。このように、第1ノードn1と第2ノードn2の間に正側容量素子195<sub>P</sub>及び負側容量素子195<sub>M</sub>を直列に接続することで、信号線VSLからカラムアンプ140の後段側を見たときの実効容量を下げるができる。

[0154] 第4スイッチ192は、第1ノードn1及び第2ノードn2を選択的に短

絡する。第4スイッチ192は、スイッチ制御信号SREFHの極性に依りて、オン/オフ動作を行う。第4スイッチ192が閉状態になると、第1ノードn1及び第2ノードn2は短絡する。

第5スイッチ196は、正側容量素子195<sub>P</sub>及び負側容量素子195<sub>M</sub>の共通接続ノードn5に、逐次比較型アナログーデジタル変換器150の共通モード参照電圧VMを選択的に印加する。第5スイッチ196が閉状態になると、共通接続ノードn5に共通モード参照電圧VMが印加される。

[0155] 第6スイッチ194<sub>P</sub>は、第2ノードn2と逐次比較型アナログーデジタル変換器150の第1入力端n11とを選択的に接続する。第7スイッチ194<sub>M</sub>は、第1ノードn1と逐次比較型アナログーデジタル変換器150の第2入力端n12とを選択的に接続する。

[0156] 図13は図12の容量部19のタイミング図である。図13は、カラムアンプ140内のスイッチ142、144のスイッチ制御信号S<sub>P</sub>、S<sub>VR</sub>、スイッチ143のスイッチ制御信号S<sub>D</sub>、スイッチ191<sub>P</sub>、191<sub>M</sub>のスイッチ制御信号S<sub>INH</sub>、第5スイッチ196のスイッチ制御信号S<sub>VMH</sub>、第4スイッチ192のスイッチ制御信号S<sub>REFH</sub>、スイッチ194<sub>P</sub>、194<sub>M</sub>のスイッチ制御信号S<sub>SUMH</sub>、逐次比較型アナログーデジタル変換器150内のスイッチ1512<sub>P</sub>、1512<sub>M</sub>のスイッチ制御信号S<sub>RAZ</sub>のタイミングを示している。

[0157] 図13の時刻t1～t2は、容量部19が信号線VSLの電圧をサンプリングする期間の直前である。時刻t2～t3は、容量部19が信号線VSLの電圧をサンプリングする期間である。時刻t3～t4は、容量部19が保持している画素信号を逐次比較型アナログーデジタル変換器150に転送する期間の直前であり、プリアンプ151のオートゼロ（入出力ショートによるオフセットキャンセル）期間である。時刻t4～t5は、容量部19が保持している画素信号を逐次比較型アナログーデジタル変換器150に転送する期間である。時刻t5～t6は逐次比較型アナログーデジタル変換器150がAD変換を行う期間である。時刻t1～t6の一連の処理は、時刻t6

以降に繰り返される。

[0158] スイッチ 191<sub>p</sub>、191<sub>m</sub>は、時刻 t1～t3の期間に閉状態になる。これにより、容量部 19が信号線 VSLの電圧をサンプリングする直前から、サンプリング期間が終了するまでの間、カラムアンプ 140から出力された画素信号と基準電圧 VRは容量部 19に供給される。

[0159] 第5スイッチ 196は、時刻 t1～t2の期間と時刻 t4～t5の期間に閉状態になる。これにより、容量部 19が信号線 VSLの電圧をサンプリングする期間の直前と、容量部 19が保持している画素信号を逐次比較型アナログーデジタル変換器 150に転送する期間とに、正側容量素子 195<sub>p</sub>と負側容量素子 195<sub>m</sub>の共通接続ノード n5にコモンモード参照電圧 VMが印加される。

[0160] 第4スイッチ 192は、時刻 t1～t2の期間に閉状態になる。これにより、容量部 19が信号線 VSLの電圧をサンプリングする期間の直前に、第1ノード n1と第2ノード n2は一時的に短絡される。

[0161] スイッチ 194<sub>p</sub>、194<sub>m</sub>は、時刻 t4～t5の期間に閉状態となり、容量部 19が保持している画素信号は逐次比較型アナログーデジタル変換器 150に転送される。

図 12に破線で示すように、共通接続ノード n5には寄生容量 Cp3が存在する。容量部 19が信号線 VSLの電圧をサンプリングする直前の時刻 t1～t2に第5スイッチ 196がオンして共通接続ノード n5にコモンモード参照電圧 VMを印加するため、共通接続ノード n5の寄生容量 Cp3の影響を受けることなく、共通接続ノード n5の電位を決定できる。

[0162] しかしながら、図 12に破線で示すように、第1ノード n1と第2ノード n2にも寄生容量 Cp1、Cp2が存在する。これらの寄生容量 Cp1、Cp2により、逐次比較型アナログーデジタル変換器 150に転送される差動信号のコモン電圧が入力信号依存性を持ってしまう。

[0163] 図 14は、図 12の容量部 19から逐次比較型アナログーデジタル変換器 150に転送される差動信号の入力信号依存性を示す図である。図 14の横

軸は信号線VSLの電圧レベル、縦軸は差動信号の電圧レベルである。図14には、ノードn11、n12の差動信号compinp、compinnと、差動信号のコモン電圧commonの入力信号依存性を示すグラフgp1、gp2、gp3が図示されている。図示のように、信号線VSLの電圧レベルが大きいほど、差動信号compinp、compinnと、差動信号のコモン電圧commonの変動量が大きくなる。

[0164] このように、図12の容量部19は、カラムアンプ140からの画素信号が入力される第1ノードn1と、基準電圧VRが供給される第2ノードn2との間に正側容量素子195<sub>p</sub>と負側容量素子195<sub>m</sub>を直列に接続するため、信号線VSLからカラムアンプ140の後段側を見たときの実効容量を小さくできる。ただし、第1ノードn1と第2ノードn2に寄生容量Cp1、Cp2が存在するため、その影響で、容量部19から逐次比較型アナログーデジタル変換器150に転送された差動信号のコモン電圧が変動するおそれがあり、その対策について以下に説明する。

[0165] (容量部19の第1変形例)

図15は図12の第1変形例による容量部19の内部構成を示す回路図である。図15の容量部19は、正側容量素子195<sub>p</sub>と、負側容量素子195<sub>m</sub>と、第4aスイッチ192aと、第4bスイッチ192bと、第5aスイッチ196aと、第5bスイッチ196bと、第5cスイッチ196cと、第6スイッチ194<sub>p</sub>と、第7スイッチ194<sub>m</sub>と、スイッチ191<sub>p</sub>と、スイッチ191<sub>m</sub>とを有する。以下では、図12の容量部19との相違点を中心に説明する。

[0166] 第4aスイッチ192a及び第4bスイッチ192bは、第1ノードn1と第2ノードn2の間に直列に接続されている。第4aスイッチ192a及び第4bスイッチ192bが閉状態になると、第1ノードn1と第2ノードn2は短絡される。第4aスイッチ192aと第4bスイッチ192bの共通接続ノードn10には、逐次比較型アナログーデジタル変換器150のコモンモード参照電圧VMが印加されている。

- [0167] 第5 aスイッチ196 a、正側容量素子195<sub>P</sub>、負側容量素子195<sub>M</sub>、及び第5 bスイッチ196 bは、この順で、第1ノードn1及び第2ノードn2の間に直列に接続されている。第5 aスイッチ196 aと第5 bスイッチ196 bが閉状態になると、第1ノードn1と第2ノードn2の間に、正側容量素子195<sub>P</sub>と負側容量素子195<sub>M</sub>が直列に接続される。
- [0168] 第5 cスイッチ196 cは、正側容量素子195<sub>P</sub>及び負側容量素子195<sub>M</sub>の共通接続ノードn5に、コモンモード参照電圧VMを選択的に印加する。第5 cスイッチ196 cが閉状態になると、共通接続ノードn5にコモンモード参照電圧VMが印加される。
- [0169] 図16は図15の容量部19のタイミング図である。図16は、図13のスイッチ制御信号SVMHの代わりに、スイッチ制御信号RST、SSHTを有する。スイッチ制御信号RSTは、第4 aスイッチ192 aと第4 bスイッチ192 bのオン/オフを制御する。スイッチ制御信号SSHTは、第5 aスイッチ196 aと第5 bスイッチ196 bのオン/オフを制御する。スイッチ制御信号SREFHは、第5 cスイッチ196 cのオン/オフを制御する。
- [0170] 第4 aスイッチ192 aと第4 bスイッチ192 bは、時刻t1~t2の期間と時刻t3~t4の期間に閉状態になる。これにより、容量部19が信号線VSLの電圧をサンプリングする期間の直前と、容量部19が保持している画素信号を逐次比較型アナログーデジタル変換器150に転送する期間の直前に、第1ノードn1と第2ノードn2は短絡され、かつこれらノードにはコモンモード参照電圧VMが印加される。
- [0171] 第5 aスイッチ196 aと第5 bスイッチ196 bは、時刻t3~t4の期間に開状態になる。これにより、容量部19が保持している画素信号を逐次比較型アナログーデジタル変換器150に転送する期間の直前に、第1ノードn1と正側容量素子195<sub>P</sub>との接続が一時的に遮断され、かつ第2ノードn2と負側容量素子195<sub>M</sub>との接続が一時的に遮断される。このとき、第4 aスイッチ192 aと第4 bスイッチ192 bが閉状態になるため、第1

ノード  $n_1$  と第2ノード  $n_2$  の寄生容量  $C_{p1}$ 、 $C_{p2}$  は、コモンモード参照電圧  $V_M$  によりリセットされる。

[0172] 第5cスイッチ196cは、時刻  $t_1 \sim t_2$  の期間と時刻  $t_4 \sim t_5$  の期間に閉状態になる。これにより、容量部19が信号線  $V_{SL}$  の電圧をサンプリングする期間の直前と、容量部19が保持している画素信号を逐次比較型アナログーデジタル変換器150に転送する期間に、正側容量素子195<sub>p</sub>と負側容量素子195<sub>m</sub>の共通接続ノード  $n_5$  にコモンモード参照電圧  $V_M$  が印加される。

[0173] 図15の容量部19は、第4aスイッチ192aと第4bスイッチ192bを有するため、容量部19が信号線  $V_{SL}$  の電圧をサンプリングする期間の直前と、容量部19が保持している画素信号を逐次比較型アナログーデジタル変換器150に転送する期間の直前に、第1ノード  $n_1$  及び第2ノード  $n_2$  の寄生容量  $C_{p1}$ 、 $C_{p2}$  をリセットして、第1ノード  $n_1$  及び第2ノード  $n_2$  をコモンモード参照電圧  $V_M$  に設定することができる。これにより、第1ノード  $n_1$  及び第2ノード  $n_2$  の寄生容量  $C_{p1}$ 、 $C_{p2}$  の影響による差動信号のコモン電圧の変動を抑制できる。

[0174] また、図15の容量部19は、第4aスイッチ192aと第4bスイッチ192bを閉状態にして、第1ノード  $n_1$  及び第2ノード  $n_2$  の寄生容量をリセットしている期間は、第5aスイッチ196aと第5bスイッチ196bを開状態にして、正側容量素子195<sub>p</sub>と負側容量素子195<sub>m</sub>の電荷が第1ノード  $n_1$  と第2ノード  $n_2$  の寄生容量  $C_{p1}$ 、 $C_{p2}$  の影響を受けないようにしている。

[0175] しかしながら、正側容量素子195<sub>p</sub>と第5aスイッチ196aとの共通接続ノード  $n_5$  の寄生容量  $C_{p3}$  と、負側容量素子195<sub>m</sub>と第5bスイッチ196bとの共通接続ノード  $n_5$  の寄生容量  $C_{p4}$  の影響により、容量部19から逐次比較型アナログーデジタル変換器150に転送された差動信号のコモン電圧が入力信号依存性を持ってしまう。

[0176] 図17は図15の容量部19から逐次比較型アナログーデジタル変換器1



50に転送される差動信号の入力信号依存性を示す図である。図17には、ノードn11、n12の差動信号compinp、compinnと、差動信号のコモン電圧commonの入力信号依存性を示すグラフgp1、gp2、gp3が図示されている。図示のように、図15の容量部19は、図12の容量部19と同様に、差動信号のコモン電圧が入力信号依存性を持っている。なお、容量部19を構成する各回路素子や配線パターン等を工夫することで、寄生容量の大きさを調整することができる。よって、図15の回路構成の容量部19であっても、寄生容量Cp3、Cp4を低減することが可能である。

[0177] このように、図15の容量部19は、第4aスイッチ192a、第4bスイッチ192b、第5aスイッチ196a、及び第5bスイッチ196bを設けることで、第1ノードn1及び第2ノードn2の寄生容量Cp1、Cp2をリセットし、かつ正側容量素子195<sub>p</sub>と負側容量素子195<sub>m</sub>内の電荷が寄生容量Cp1、Cp2の影響を受けないようにすることができる。ただし、正側容量素子195<sub>p</sub>と第5aスイッチ196aとの共通接続ノードn5の寄生容量Cp3と、負側容量素子195<sub>m</sub>と第5bスイッチ196bとの共通接続ノードn5の寄生容量Cp4により、容量部19から逐次比較型アナログーデジタル変換器150に転送された差動信号のコモン電圧が変動するおそれがあり、その対策について以下に説明する。

[0178] (容量部19の第2変形例)

図18は図12の第2変形例による容量部19の内部構成を示す回路図である。図18の容量部19は、正側容量素子195<sub>p</sub>と、負側容量素子195<sub>m</sub>と、第4aスイッチ192aと、第4bスイッチ192bと、第5aスイッチ196aと、第5bスイッチ196bと、第5cスイッチ196cと、第6スイッチ194<sub>p</sub>と、第7スイッチ194<sub>m</sub>と、スイッチ191<sub>p</sub>と、スイッチ191<sub>m</sub>とを有する。以下では、図15の容量部19との相違点を中心に説明する。

[0179] 正側容量素子195<sub>p</sub>、第5aスイッチ196a、第5bスイッチ196b、及び負側容量素子195<sub>m</sub>は、この順で、第1ノードn1と第2ノードn2

の間に直列に接続されている。このように、図18の容量部19は、図15の容量部19と比べて、正側容量素子195<sub>P</sub>と第5aスイッチ196aとの接続順序が逆であり、かつ負側容量素子195<sub>M</sub>と第5bスイッチ196bとの接続順序が逆である。

[0180] 図19は図18の容量部19のタイミング図である。図19を図16と比較すればわかるように、図18の容量部19は図15の容量部19と同じタイミングで動作するが、正側容量素子195<sub>P</sub>と第5aスイッチ196aとの接続順序を逆にし、かつ負側容量素子195<sub>M</sub>と第5bスイッチ196bとの接続順序を逆にすることで、異なる回路動作を行う。

[0181] 第4aスイッチ192aと第4bスイッチ192bが閉状態となって、第1ノードn1と第2ノードn2の寄生容量Cp1、Cp2をリセットしている期間（時刻t3～t4）に、第5aスイッチ196aと第5bスイッチ196bは開状態になる。これにより、正側容量素子195<sub>P</sub>と負側容量素子195<sub>M</sub>に保持される画素信号は、第1ノードn1と第2ノードn2の寄生容量Cp1、Cp2の影響を受けなくなる。

[0182] また、時刻t1～t2の期間には、第5aスイッチ196a、第5bスイッチ196b、及び第5cスイッチ196cは閉状態になるため、正側容量素子195<sub>P</sub>と第5aスイッチ196aとの共通接続ノードn3、負側容量素子195<sub>M</sub>と第5bスイッチ196bとの共通接続ノードn4、及び第5aスイッチ196aと第5bスイッチ196bとの共通接続ノードn5の寄生容量Cp3、Cp4、Cp7をリセットでき、これらノードn3～n5をコモンモード参照電圧VMに設定できる。

[0183] 図20は図18の容量部19から逐次比較型アナログデジタル変換器150に転送される差動信号の入力信号依存性を示す図である。図20には、ノードn11、n12の差動信号compinp、compinnと、差動信号のコモン電圧commonの入力信号依存性を示すグラフgp1、gp2、gp3が図示されている。

[0184] 図18の容量部19は、第5aスイッチ196a、第5bスイッチ196

b、及び第5cスイッチ196cを閉状態にすることで、寄生容量 $C_{p3}$ 、 $C_{p4}$ 、 $C_{p7}$ をリセットするため、差動信号のコモン電圧commonの入力信号依存性を図15の容量部19よりも小さくできる。

[0185] (容量部19の第3変形例)

上述した図15、及び図18の容量部19は、正側容量素子195Pと負側容量素子195Mのリセットと寄生容量のリセットを別々のタイミングで行っていたが、これらの動作を一括で行うことも可能である。

[0186] 図21は図12の第3変形例による容量部19の内部構成を示す回路図である。図21の容量部19は、正側容量素子195<sub>P</sub>と、負側容量素子195<sub>M</sub>と、第4aスイッチ192aと、第4bスイッチ192bと、第4cスイッチ192cと、第5aスイッチ196aと、第5bスイッチ196bと、第5cスイッチ196cと、第6スイッチ194<sub>P</sub>と、第7スイッチ194<sub>M</sub>と、スイッチ191<sub>P</sub>と、スイッチ191<sub>M</sub>とを有する。以下では、図18の容量部19との相違点を中心に説明する。

[0187] 図21の正側容量素子195<sub>P</sub>は、第1ノードn1と第3ノードn3の間に接続されている。負側容量素子195<sub>M</sub>は、第2ノードn2と第4ノードn4の間に接続されている。第1ノードn1には、カラムアンプ140からの画素信号が供給される。第2ノードn2には、基準電圧VRが供給される。

[0188] 第4aスイッチ192a及び第4bスイッチ192bは、第1ノードn1及び第2ノードn2の間に直列に接続されている。第4aスイッチ192aと第4bスイッチ192bが閉状態になると、第1ノードn1と第2ノードn2は短絡され、これらノードにはコモンモード参照電圧VMが印加される。

[0189] 第4cスイッチ192cは、第1ノードn1及び第2ノードn2の間に接続されている。第4cスイッチ192cが閉状態になると、第1ノードn1と第2ノードn2は短絡される。

[0190] 第5aスイッチ196aは、第3ノードn3及び第4ノードn4の間に接続される。第5aスイッチ196aが閉状態になると、第3ノードn3と第

4 ノード  $n_4$  は短絡される。

[0191] 第5 b スイッチ 196 b 及び第5 c スイッチ 196 c は、第3 ノード  $n_3$  及び第4 ノード  $n_4$  の間に直列に接続されている。第5 b スイッチ 196 b と第5 c スイッチ 196 c が閉状態になると、第5 b スイッチ 196 b と第5 c スイッチ 196 c は短絡され、これらノードにはコモンモード参照電圧  $V_M$  が印加される。

[0192] 図 22 は図 21 の容量部 19 のタイミング図である。スイッチ制御信号  $RST$  は、第4 c スイッチ 192 c と、第5 b スイッチ 196 b と、第5 c スイッチ 196 c のオン／オフを制御する。スイッチ制御信号  $SVMH$  は、第5 a スイッチ 196 a のオン／オフを制御する。スイッチ制御信号  $SREFH$  は、第4 a スイッチ 192 a と第4 b スイッチ 192 b のオン／オフを制御する。

[0193] 第4 c スイッチ 192 c、第5 b スイッチ 196 b、及び第5 c スイッチ 196 c は、時刻  $t_1 \sim t_2$  の期間に閉状態になる。第4 c スイッチ 192 c が閉状態になると、第1 ノード  $n_1$  と第2 ノード  $n_2$  は短絡される。第5 b スイッチ 196 b と第5 c スイッチ 196 c が閉状態になると、第3 ノード  $n_3$  と第4 ノード  $n_4$  は短絡されて、コモンモード参照電圧  $V_M$  が印加される。これにより、第3 ノード  $n_3$  の寄生容量  $C_{p3}$  と第4 ノード  $n_4$  の寄生容量  $C_{p4}$  がリセットされる。

[0194] 第5 a スイッチ 196 a は、時刻  $t_2 \sim t_3$  の期間に閉状態になり、第5 a スイッチ 196 a が閉状態になると、第3 ノード  $n_3$  と第4 ノード  $n_4$  が短絡される。

[0195] 第4 a スイッチ 192 a と第4 b スイッチ 192 b は、時刻  $t_4 \sim t_5$  の期間に閉状態になり、第4 a スイッチ 192 a と第4 b スイッチ 192 b が閉状態になると、第1 ノード  $n_1$  と第2 ノード  $n_2$  が短絡されて、コモンモード参照電圧  $V_M$  が印加される。

[0196] 図 21 の容量部 19 は、正側容量素子  $195_p$  の入出力を第1 ノード  $n_1$  と第3 ノード  $n_3$  とし、負側容量素子  $195_m$  の入出力を第2 ノード  $n_2$  と第4

ノード  $n_4$  としており、正側容量素子  $195_p$  と負側容量素子  $195_m$  は、入出力ノードを別個に設けている。容量部 19 が信号線  $V_{SL}$  の電圧をサンプリングする期間の直前に、第 1 ノード  $n_1$  と第 2 ノード  $n_2$  には基準電圧  $V_R$  が供給されることから、第 1 ノード  $n_1$  と第 2 ノード  $n_2$  の寄生容量  $C_{p1}$ 、 $C_{p2}$  は自動的にリセットされる。よって、寄生容量  $C_{p1}$ 、 $C_{p2}$  をリセットする動作は不要となる。

[0197] 図 23 は図 21 の容量部 19 から逐次比較型アナログーデジタル変換器 150 に転送される差動信号の入力信号依存性を示す図である。図 23 には、ノード  $n_{11}$ 、 $n_{12}$  の差動信号  $comp_{inp}$ 、 $comp_{inn}$  と、差動信号のコモン電圧  $common$  の入力信号依存性を示すグラフ  $g_{p1}$ 、 $g_{p2}$ 、 $g_{p3}$  が図示されている。

[0198] 図 21 の容量部 19 は、正側容量素子  $195_p$  と負側容量素子  $195_m$  の入出力を別々のノードにするため、容量部 19 が信号線  $V_{SL}$  の電圧をサンプリングする期間の直前に、第 1 ノード  $n_1$  と第 2 ノード  $n_2$  の寄生容量  $C_{p1}$ 、 $C_{p2}$  をリセットすることができ、容量部 19 が保持している画素信号を逐次比較型アナログーデジタル変換器 150 に転送する期間の直前に第 3 ノード  $n_3$  と第 4 ノード  $n_4$  の寄生容量  $C_{p3}$ 、 $C_{p4}$  をリセットしなくてもよくなる。また、差動信号のコモン電圧の入力信号依存性も小さくできる。

[0199] (容量部 19 の第 4 変形例)

上述した各容量部 19 は、容量部 19 から逐次比較型アナログーデジタル変換器 150 に画素信号を転送する際にコモンモード参照電圧  $V_M$  を使用している。コモンモード参照電圧  $V_M$  は、すべてのカラムで共通に使用されるため、他のカラムでの AD 変換時にコモンモード参照電圧  $V_M$  が変動すると、その影響を受けてしまう。そこで、画素信号の転送時にコモンモード参照電圧  $V_M$  を使用しないようにすることも考えられる。

[0200] 図 24 は図 12 の第 4 変形例による容量部 19 の内部構成を示す回路図である。図 24 の容量部 19 は、正側容量素子  $195_p$  と、負側容量素子  $195_m$  と、第 4 スイッチ 192 と、第 5 a スイッチ 196 a と、第 5 b スイッチ 1

96bと、第5cスイッチ196cと、第6スイッチ194<sub>p</sub>と、第7スイッチ194<sub>m</sub>と、スイッチ191<sub>p</sub>と、スイッチ191<sub>m</sub>とを有する。以下では、図21の容量部19との相違点を中心に説明する。

- [0201] 第4スイッチ192は、第1ノードn1及び第2ノードn2の間に接続されている。第4スイッチ192が閉状態になると、第1ノードn1と第2ノードn2が短絡される。
- [0202] 第5aスイッチ196a及び第5bスイッチ196bは、第3ノードn3及び第4ノードn4の間に直列に接続されている。第5aスイッチ196aと第5bスイッチ196bが閉状態になると、第3ノードn3と第4ノードn4が短絡される。
- [0203] 第5cスイッチ196cは、第5aスイッチ196a及び第5bスイッチ196bの共通接続ノードn5に逐次比較型アナログーデジタル変換器150のコモンモード参照電圧VMを選択的に印加する。第5cスイッチ196cが閉状態になると、共通接続ノードn5にコモンモード参照電圧VMが印加される。
- [0204] 図25は図24の容量部19のタイミング図である。スイッチ制御信号SVMHは、第5aスイッチ196aと第5bスイッチ196bのオン/オフを制御する。スイッチ制御信号SREFHは、第4スイッチ192のオン/オフを制御する。
- [0205] 第4スイッチ192は、時刻t1～t2の期間に閉状態になる。よって、容量部19が信号線VSLの電圧をサンプリングする期間の直前に、第1ノードn1と第2ノードn2は短絡される。
- [0206] また、第5aスイッチ196aと第5bスイッチ196bは、時刻t1～t3の期間に閉状態になり、第5cスイッチ196cは、時刻t1～t2の期間に閉状態になる。よって、容量部19が信号線VSLの電圧をサンプリングする期間の直前に、第3ノードn3と第4ノードn4は短絡されて、コモンモード参照電圧VMが印加される。これにより、第3ノードn3、第4ノードn4、及び共通接続ノードn5の寄生容量Cp3、Cp4、Cp7がリセツ

トされる。

[0207] 一方、容量部19が保持している画素信号を逐次比較型アナログーデジタル変換器150に転送する期間の直前 ( $t_3 \sim t_4$ ) には、第3ノード  $n_3$  と第4ノード  $n_4$  にはコモンモード参照電圧  $V_M$  が印加されない。よって、他のカラムのAD変換によりコモンモード参照電圧  $V_M$  が変動しても、その影響を受けなくなる。ただし、第1ノード  $n_1$  と第2ノード  $n_2$  の寄生容量  $C_{p1}$ 、 $C_{p2}$  の影響で、逐次比較型アナログーデジタル変換器に転送された差動信号のコモン電圧が変動するおそれがある。

[0208] 図26は図24の容量部19から逐次比較型アナログーデジタル変換器150に転送される差動信号の入力信号依存性を示す図である。図26には、ノード  $n_{11}$ 、 $n_{12}$  の差動信号  $comp_{inp}$ 、 $comp_{inn}$  と、差動信号のコモン電圧  $common$  の入力信号依存性を示すグラフ  $g_{p1}$ 、 $g_{p2}$ 、 $g_{p3}$  が図示されている。

[0209] 図24の容量部19は、逐次比較型アナログーデジタル変換器150に画素信号を転送する際に、第1ノード  $n_1$  と第2ノード  $n_2$  の寄生容量  $C_{p1}$ 、 $C_{p2}$  の影響により、逐次比較型アナログーデジタル変換器150に転送された差動信号のコモン電圧が変動するおそれがある。その対策について以下に説明する。

[0210] (容量部19の第5変形例)

図27は図12の第5変形例による容量部19の内部構成を示す回路図である。図27の容量部19は、正側容量素子  $195_p$  と、負側容量素子  $195_m$  と、第4aスイッチ  $192_a$  と、第4bスイッチ  $192_b$  と、第4cスイッチ  $192_c$  と、第5aスイッチ  $196_a$  と、第5bスイッチ  $196_b$  と、第5cスイッチ  $196_c$  と、第6スイッチ  $194_p$  と、第7スイッチ  $194_m$  と、スイッチ  $191_p$  と、スイッチ  $191_m$  とを有する。

[0211] 第4aスイッチ  $192_a$  及び第4bスイッチ  $192_b$  は、第1ノード  $n_1$  及び第2ノード  $n_2$  の間に直列に接続される。第4aスイッチ  $192_a$  及び第4bスイッチ  $192_b$  が閉状態になると、第1ノード  $n_1$  及び第2ノード

- n 2は短絡される。
- [0212] 第4 cスイッチ192 cは、第4 aスイッチ192 a及び第4 bスイッチ192 bの共通接続ノードn 10に基準電圧VRを選択的に印加する。第4 cスイッチ192 cが閉状態になると、共通接続ノードn 10に基準電圧VRが印加される。
- [0213] 第5 aスイッチ196 a及び第5 bスイッチ196 bは、第3ノードn 3及び第4ノードn 4の間に直列に接続される。第5 aスイッチ196 a及び第5 bスイッチ196 bが閉状態になると、第3ノードn 3及び第4ノードn 4は短絡される。
- [0214] 第5 cスイッチ196 cは、第5 aスイッチ196 a及び第5 bスイッチ196 bの共通接続ノードn 5に逐次比較型アナログーデジタル変換器150のコモンモード参照電圧VMを選択的に印加する。第5 cスイッチ196 cが閉状態になると、共通接続ノードn 5にコモンモード参照電圧VMが印加される。
- [0215] 図28は図27の容量部19のタイミング図である。スイッチ制御信号RST1は、第5 cスイッチ196 cのオン／オフを制御する。スイッチ制御信号RST2は、第4 cスイッチ192 cのオン／オフを制御する。スイッチ制御信号SVHMは、第5 aスイッチ196 aと第5 bスイッチ196 bのオン／オフを制御する。スイッチ制御信号SREFHは、第4 aスイッチ192 aと第4 bスイッチ192 bのオン／オフを制御する。
- [0216] 第4 aスイッチ192 a、第4 bスイッチ192 b、及び第4 cスイッチ192 cは、時刻t1～t2の期間に閉状態になる。よって、容量部19が信号線VSLの電圧をサンプリングする期間の直前に、第1ノードn1と第2ノードn2は短絡されて、これらノードに基準電圧VRが印加される。
- [0217] また、第5 aスイッチ196 a、第5 bスイッチ196 b、及び第5 cスイッチ196 cは、時刻t1～t2の期間に閉状態になる。よって、容量部19が信号線VSLの電圧をサンプリングする期間の直前に、第3ノードn3と第4ノードn4は短絡されて、これらノードにコモンモード参照電圧V



Mが印加される。

[0218] これにより、容量部19が信号線VSLの電圧をサンプリングする期間の直前に、第1ノードn1の寄生容量Cp1と、第2ノードn2の寄生容量Cp2と、第4aスイッチ192a及び第4bスイッチ192bの共通接続ノードn10の寄生容量Cp8と、第3ノードn3の寄生容量Cp3と、第4ノードn4の寄生容量Cp4と、第5aスイッチ196a及び第5bスイッチ196bの共通接続ノードn5の寄生容量Cp7は、リセットされる。

[0219] また、第4aスイッチ192a、第4bスイッチ192b、及び第4cスイッチ192cは、時刻t3～t4の間にも閉状態になる。よって、容量部19が保持している画素信号を逐次比較型アナログーデジタル変換器150に転送する期間の直前に、第1ノードn1と第2ノードn2は短絡されて、これらノードに基準電圧VRが印加され、上述した寄生容量Cp1、Cp2、Cp8がリセットされる。

[0220] 一方、時刻t3～t4の間には、第5cスイッチ196cは開状態であり、第3ノードn3と第4ノードn4には、コモンモード参照電圧VMは印加されないが、第5aスイッチ196aと第5bスイッチは閉状態になるため、第3ノードn3と第4ノードn4は短絡され、寄生容量Cp3、Cp4がリセットされる。よって、容量部19が保持している画素信号を逐次比較型アナログーデジタル変換器150に転送する期間内のコモン電圧の変動を抑制できる。

[0221] 図29は図27の容量部19から逐次比較型アナログーデジタル変換器150に転送される差動信号の入力信号依存性を示す図である。図26には、ノードn11、n12の差動信号compinp、compinnと、差動信号のコモン電圧commonの入力信号依存性を示すグラフgp1、gp2、gp3が図示されている。

[0222] 図27の容量部19は、逐次比較型アナログーデジタル変換器150に画素信号を転送する際にコモンモード参照電圧VMを使用しないため、他のカラムのAD変換の影響を受けることがなく、また、逐次比較型アナログーデ

デジタル変換器150に画素信号を転送する前に第1ノード $n_1$ と第2ノード $n_2$ の寄生容量 $C_{p1}$ 、 $C_{p2}$ をリセットするため、差動信号のコモン電圧の入力信号依存性を小さくできる。

[0223] <本開示の第2実施形態>

本開示の第2実施形態は、本開示に係る技術を間接TOF (Indirect-Time of Flight)方式距離画像センサに対して適用する例である。間接TOF方式距離画像センサは、光源から発せられた光が測定対象物（被写体）で反射し、その反射光の到達位相差の検出に基づいて光飛行時間を計測することによって、測定対象物までの距離を測定するセンサである。

[0224] [システム構成例]

図30は、本開示の第2実施形態に係る間接TOF方式距離画像センサのシステム構成の一例を示すブロック図である。

[0225] 間接TOF方式距離画像センサ50は、光源60から発せられた光が測定対象物（被写体）で反射し、その反射光が入射する。間接TOF方式距離画像センサ50は、センサチップ51、及び、当該センサチップ51に対して積層された回路チップ52を含む積層構造を有している。この積層構造において、センサチップ51と回路チップ52とは、ビア(VIA)やCu-Cu接続などの接続部(図示せず)を通して電氣的に接続される。尚、図30では、センサチップ51の配線と回路チップ52の配線とが、上記の接続部を介して電氣的に接続された状態を図示している。

[0226] センサチップ51上には、画素アレイ部53が形成されている。画素アレイ部53は、センサチップ51上に2次元のグリッドパターンで行列状(アレイ状)に配置された複数の画素54を含んでいる。画素アレイ部53において、複数の画素54はそれぞれ、入射光(例えば、近赤外光)を受光し、光電変換を行ってアナログ画素信号を出力する。画素アレイ部53には、画素列毎に、2本の信号線 $VSL_1$ 、 $VSL_2$ が配線されている。画素アレイ部53の画素列の数を $M$ ( $M$ は、整数)とすると、合計で $(2 \times M)$ 本の信号線 $VSL$ が画素アレイ部53に配線されている。

[0227] 複数の画素54はそれぞれ、第1、第2のタップA、B（その詳細については後述する）を有している。2本の信号線 $VSL_1$ 、 $VSL_2$ のうち、信号線 $VSL_1$ には、対応する画素列の画素54の第1のタップAの電荷に基づくアナログの画素信号 $A|N_{p1}$ が出力される。また、信号線 $VSL_2$ には、対応する画素列の画素54の第2のタップBの電荷に基づくアナログの画素信号 $A|N_{p2}$ が出力される。アナログの画素信号 $A|N_{p1}$ 、 $A|N_{p2}$ については後述する。

[0228] 回路チップ52上には、行選択部55、カラム信号処理部56、出力回路部57、及び、タイミング制御部58が配置されている。行選択部55は、画素アレイ部53の各画素54を画素行の単位で駆動し、画素信号 $A|N_{p1}$ 、 $A|N_{p2}$ を出力させる。行選択部55による駆動の下に、選択行の画素54から出力されたアナログの画素信号 $A|N_{p1}$ 、 $A|N_{p2}$ は、2本の信号線 $VSL_1$ 、 $VSL_2$ を通してカラム信号処理部56に供給される。

[0229] カラム信号処理部56は、画素アレイ部53の画素列に対応して（例えば、画素列毎に）設けられた複数のアナログーデジタル変換器（ADC）59を有する構成となっている。アナログーデジタル変換器59は、信号線 $VSL_1$ 、 $VSL_2$ を通して供給されるアナログの画素信号 $A|N_{p1}$ 、 $A|N_{p2}$ に対して、アナログーデジタル変換処理を施し、出力回路部57に出力する。出力回路部57は、カラム信号処理部56から出力されるデジタル化された画素信号 $A|N_{p1}$ 、 $A|N_{p2}$ に対して所定の信号処理を施し、回路チップ52外へ出力する。

[0230] タイミング制御部58は、各種のタイミング信号、クロック信号、及び、制御信号等を生成し、これらの信号を基に、行選択部55、カラム信号処理部56、及び、出力回路部57等の駆動制御を行う。

[0231] [画素の回路構成例]

図31は、第2実施形態に係る間接TOF方式距離画像センサ50における画素54の回路構成の一例を示す回路図である。

[0232] 本例に係る画素54は、光電変換素子として、例えば、フォトダイオード

541を有している。画素54は、フォトダイオード541の他、オーバーフロートランジスタ542、2つの転送トランジスタ543、544、2つのリセットトランジスタ545、546、2つの浮遊拡散層547、548、2つの増幅トランジスタ549、550、及び、2つの選択トランジスタ551、552を有する構成となっている。2つの浮遊拡散層547、548は、図30に示す第1、第2のタップA、B（以下、単に、「タップA、B」と記述する場合がある）に相当する。

[0233] フォトダイオード541は、受光した光を光電変換して電荷を生成する。フォトダイオード541については、例えば、裏面照射型の画素構造とすることができる。但し、裏面照射型の構造に限られるものではなく、基板表面側から照射される光を取り込む表面照射型の構造とすることもできる。

[0234] オーバーフロートランジスタ542は、フォトダイオード541のカソード電極と電源電圧 $V_{DD}$ の電源ラインとの間に接続されており、フォトダイオード541をリセットする機能を持つ。具体的には、オーバーフロートランジスタ542は、行選択部55から供給されるオーバーフローゲート信号TRGに応答して導通状態になることで、フォトダイオード541で生成された電荷を、浮遊拡散層547、548にそれぞれシーケンシャルに転送する。

[0235] 第1、第2のタップA、Bに相当する浮遊拡散層547、548は、フォトダイオード541から転送された電荷を蓄積し、その電荷量に応じた電圧値の電圧信号に変換し、画素信号 $A|N_{P1}$ 、 $A|N_{P2}$ を生成する。

[0236] 2つのリセットトランジスタ545、546は、2つの浮遊拡散層547、548のそれぞれと電源電圧 $V_{DD}$ の電源ラインとの間に接続されている。そして、リセットトランジスタ545、546は、行選択部55から供給されるリセット信号RSTに応答して導通状態になることで、浮遊拡散層347、348のそれぞれから電荷を引き抜いて、電荷量を初期化する。

[0237] 2つの増幅トランジスタ549、550は、電源電圧 $V_{DD}$ の電源ラインと2つの選択トランジスタ551、552のそれぞれとの間に接続されており、浮遊拡散層547、548のそれぞれで電荷から電圧に変換された電圧信号

をそれぞれ増幅する。

[0238] 2つの選択トランジスタ551, 552は、2つの増幅トランジスタ549, 550のそれぞれと信号線 $VSL_1$ ,  $VSL_2$ のそれぞれとの間に接続されている。そして、選択トランジスタ551, 552は、行選択部55から供給される選択信号SELに応答して導通状態になることで、増幅トランジスタ549, 550のそれぞれで増幅された電圧信号を、アナログの画素信号 $A|N_{P1}$ ,  $A|N_{P2}$ として2本の信号線 $VSL_1$ ,  $VSL_2$ に出力する。

[0239] 2本の信号線 $VSL_1$ ,  $VSL_2$ は、画素列毎に、カラム信号処理部56内の1つのアナログーデジタル変換器59の入力端に接続されており、画素列毎に画素54から出力されるアナログの画素信号 $A|N_{P1}$ ,  $A|N_{P2}$ をアナログーデジタル変換器59に伝送する。

[0240] 尚、画素54の回路構成については、光電変換によってアナログの画素信号 $A|N_{P1}$ ,  $A|N_{P2}$ を生成することができる回路構成であれば、図31に例示した回路構成に限定されるものではない。

[0241] 上記の構成の間接TOF方式距離画像センサ50において、アナログーデジタル変換器59を含むカラム信号処理部56に対して、本開示に係る技術を適用することができる。より具体的には、アナログーデジタル変換器59を含むカラム信号処理部56として、第1実施形態の場合と同様に、カラムアンプ部14、容量部19、及び、逐次比較型アナログーデジタル変換部15Aを含む、第1の実施形態又は実施例4に係るカラム信号処理系を用いることができる。

[0242] <変形例>

以上、本開示に係る技術について、好ましい実施形態に基づき説明したが、本開示に係る技術は当該実施形態に限定されるものではない。上記の実施形態において説明したCMOSイメージセンサや間接TOF方式距離画像センサの構成、構造は例示であり、適宜、変更することができる。

[0243] <応用例>

第1実施形態に係る撮像装置（CMOSイメージセンサ）は、例えば図3

2に示すように、可視光、赤外光、紫外光、X線等の光をセンシングする様々な装置に使用することができる。様々な装置の具体例について以下に列挙する。

[0244] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供され装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0245] <本開示に係る技術の適用例>

本開示に係る技術は、様々な製品に適用することができる。以下に、より具体的な適用例について説明する。

[0246] \*\*\* クレームー08

[本開示の電子機器]

ここでは、デジタルスチルカメラやビデオカメラ等の撮像システムや、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に撮像装置を用いる複写機などの電子機器に適用する場合について説明する。

[0247] (撮像システムの例)

図33は、本開示の電子機器の一例である撮像システムの構成例を示すブロック図である。

[0248] 図33に示すように、本例に係る撮像システム100は、レンズ群等を含む撮像光学系101、撮像部102、DSP(Digital Signal Processor)回路103、フレームメモリ104、表示装置105、記録装置106、操作系107、及び、電源系108等を有している。そして、DSP回路103、フレームメモリ104、表示装置105、記録装置106、操作系107、及び、電源系108がバスライン109を介して相互に接続された構成となっている。

[0249] 撮像光学系101は、被写体からの入射光(像光)を取り込んで撮像部102の撮像面上に結像する。撮像部102は、光学系101によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。DSP回路103は、一般的なカメラ信号処理、例えば、ホワイトバランス処理、デモザイク処理、ガンマ補正処理などを行う。

[0250] フレームメモリ104は、DSP回路103での信号処理の過程で適宜データの格納に用いられる。表示装置105は、液晶表示装置や有機EL(electro luminescence)表示装置等のパネル型表示装置から成り、撮像部102で撮像された動画または静止画を表示する。記録装置106は、撮像部102で撮像された動画または静止画を、可搬型の半導体メモリや、光ディスク、HDD(Hard Disk Drive)等の記録媒体に記録する。

[0251] 操作系107は、ユーザによる操作の下に、本撮像システム100が持つ様々な機能について操作指令を発する。電源系108は、DSP回路103、フレームメモリ104、表示装置105、記録装置106、及び、操作系107の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0252] 上記の構成の撮像システム100において、撮像部102として、先述した第1実施形態に係る撮像装置を用いることができる。第1実施形態に係る

撮像装置において、特に、逐次比較型アナログーデジタル変換器150は電力効率に優れているため、当該撮像装置を撮像部102として用いることで、撮像システム100の低消費電力化に寄与することができる。

[0253] [移動体への応用例]

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット、建設機械、農業機械（トラクター）などのいずれかの種類の移動体に搭載される撮像装置として実現されてもよい。

[0254] 図34は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0255] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図34に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（interface）12053が図示されている。

[0256] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0257] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィ



ンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0258] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0259] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0260] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0261] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆

動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0262] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0263] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0264] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図34の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0265] 図35は、撮像部12031の設置位置の例を示す図である。

[0266] 図35では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0267] 撮像部12101, 12102, 12103, 12104, 12105は

、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0268] 尚、図35には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0269] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像装置からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像装置であってもよい。

[0270] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができ

る。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0271] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0272] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示

部 1 2 0 6 2 を制御してもよい。

[0273] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 7 9 1 0, 7 9 1 2, 7 9 1 4, 7 9 1 6, 7 9 1 8 や車外情報検出部 7 9 2 0, 7 9 2 2, 7 9 2 4, 7 9 2 6, 7 9 2 8, 7 9 3 0 に適用され得る。そして、特に、逐次比較型アナログーデジタル変換器 1 5 0 は電力効率に優れているため、本開示に係る技術を適用することにより、車両制御システムの低消費電力化に寄与することができる。

[0274] <本開示がとることができる構成>

尚、本開示は、以下のような構成をとることもできる。

[0275] ≪A. 撮像装置≫

[A-01] それぞれが光電変換素子を含む複数の画素を有する画素アレイ部と、

前記画素アレイ部の各画素から信号線を通して入力されるリセット成分と信号成分との差分をとり、その差分を画素信号として出力するカラムアンプ部と、

前記カラムアンプ部から入力される画素信号を保持する容量部と、

前記容量部から入力されるアナログの前記画素信号をデジタル信号に変換する逐次比較型アナログーデジタル変換部と、  
を備え、

前記容量部は、前記カラムアンプ部から入力される単相の前記画素信号を、前記画素信号のゼロ電圧を規定する基準電圧を用いて差動化する、  
撮像装置。

[A-02] 前記カラムアンプ部は、

非反転入力端子に信号線の電位が入力される増幅器と、

一端が前記増幅器の出力端子に接続され、他端が前記増幅器の反転入力端子に接続された第 1 スイッチと、

一端が前記増幅器の出力端子に接続された第 2 スイッチと、

一端が前記第2スイッチの他端に接続され、他端が前記第1スイッチの他端及び増幅器の反転入力端子に接続された第1容量素子と、

前記第1容量素子の他端及び前記増幅器の反転入力端子と基準電位ノードとの間に接続された第2容量素子と、

一端が前記第2スイッチの他端及び前記第1容量素子の一端に接続され、他端に前記基準電圧が印加される第3スイッチと、

を有する、

上記[A-01]に記載の撮像装置。

[A-03] 前記カラムアンプ部は、

前記リセット成分の入力時には、前記第1スイッチを閉状態として前記リセット成分を前記第1容量素子及び前記第2容量素子にチャージするとともに、前記第3スイッチを閉状態として前記基準電圧を前記第2スイッチの他端及び前記第1容量素子の一端に印加し、

次に、前記第1スイッチ及び前記第3スイッチを開状態、前記第2スイッチを閉状態として、前記第1容量素子及び前記第2容量素子と前記増幅器とによって非反転増幅回路を構成し、

前記信号成分の入力時には、前記第1容量素子と前記第2容量素子との共通接続ノードの電圧が、前記信号成分と同じ電圧になるようにフィードバックをかける、

上記[A-02]に記載の撮像装置。

[A-04] 前記容量部は、

前記カラムアンプ部から入力される画素信号をチャージする正側容量素子、及び、前記基準電圧をチャージする負側容量素子を含む差動回路の構成となっており、

前記正側容量素子及び前記負側容量素子の各入力端を選択的に短絡する第4スイッチを有する、

上記[A-02]又は上記[A-03]に記載の撮像装置。

[A-05] 前記第4スイッチは、前記正側容量素子にチャージされた画

素信号、及び、前記負側容量素子にチャージされた前記基準電圧を前記逐次比較型アナログーデジタル変換部に伝送するとき、前記正側容量素子及び前記負側容量素子の各入力端を短絡する、上記〔A-04〕に記載の撮像装置。

〔A-06〕前記容量部は、前記カラムアンプ部から入力される画素信号を、前記スイッチトキャパシタによるサンプリングによって保持する、上記〔A-05〕に記載の撮像装置。

〔A-07〕前記逐次比較型アナログーデジタル変換部の1つの逐次比較型アナログーデジタル変換器につき、複数本の信号線の各電位を、複数本の信号線に対応した複数の前記カラムアンプ及び前記容量部を通して多重化して処理する、上記〔A-01〕乃至上記〔A-06〕のいずれかに記載の撮像装置。

〔A-08〕前記容量部は、前記カラムアンプ部から入力される画素信号が供給される第1ノードと、前記基準電圧が供給される第2ノードと、前記第1ノード及び前記第2ノードの間に直列に接続される正側容量素子及び負側容量素子と、前記第1ノード及び前記第2ノードを選択的に短絡する第4スイッチと、前記正側容量素子及び前記負側容量素子の共通接続ノードに、前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する第5スイッチと、前記第2ノードと、前記逐次比較型アナログーデジタル変換部の第1入力端とを選択的に接続する第6スイッチと、前記第1ノードと、前記逐次比較型アナログーデジタル変換部の第2入力端とを選択的に接続する第7スイッチと、を備える、上記〔A-02〕に記載の撮像装置。

〔A-09〕前記第4スイッチは、前記容量部が前記画素信号の保持を開始する直前に一時的に閉状態となって、前記正側容量素子及び前記負側容量

素子の各入力端を短絡し、

前記第5スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間とに一時的に閉状態となって、前記正側容量素子及び前記負側容量素子の共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加する、  
上記 [A-08] に記載の撮像装置。

[A-10] 前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第1ノードと、  
前記基準電圧が供給される第2ノードと、

前記第1ノード及び前記第2ノードの間に直列に接続可能な正側容量素子及び負側容量素子と、

前記第1ノード及び前記第2ノードの間に直列に接続される第4aスイッチ及び第4bスイッチと、

前記第1ノード及び前記第2ノードの間に直列に接続される、第5aスイッチ、正側容量素子、負側容量素子、及び第5bスイッチと、

前記正側容量素子及び前記負側容量素子の共通接続ノードに、前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する第5cスイッチと、

前記第2ノードと、前記逐次比較型アナログーデジタル変換部の第1入力端とを選択的に接続する第6スイッチと、

前記第1ノードと、前記逐次比較型アナログーデジタル変換部の第2入力端とを選択的に接続する第7スイッチと、を備える、

上記 [A-02] に記載の撮像装置。

[A-11] 前記第4aスイッチ及び前記第4bスイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する直前とに一時的に閉状態となって、前記第1ノード及び前記第2ノードに前記逐次比較型ア



ナログーデジタル変換部のコモンモード参照電圧を印加し、

前記第5 a スイッチ及び前記第5 b スイッチは、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する直前に一時的に開状態となって、前記第1 ノードと前記正側容量素子との接続を遮断するとともに、前記第2 ノードと前記負側容量素子との接続を遮断し、

前記第5 c スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間とに一時的に閉状態となって、前記正側容量素子及び前記負側容量素子の共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加する、

上記 [A-10] に記載の撮像装置。

[A-12] 前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第1 ノードと、  
前記基準電圧が供給される第2 ノードと、

前記第1 ノード及び前記第2 ノードの間に直列に接続される第4 a スイッチ及び第4 b スイッチと、

前記第1 ノード及び前記第2 ノードの間に直列に接続される、正側容量素子、第5 a スイッチ、第5 b スイッチ、及び負側容量素子と、

前記第5 a スイッチ及び前記第5 b スイッチの共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する第5 c スイッチと、

前記第2 ノードと、前記逐次比較型アナログーデジタル変換部の第1 入力端とを選択的に接続する第6 スイッチと、

前記第1 ノードと、前記逐次比較型アナログーデジタル変換部の第2 入力端とを選択的に接続する第7 スイッチと、を備える、

上記 [A-02] に記載の撮像装置。

[A-13] 前記第4 a スイッチ及び前記第4 b スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素

信号を前記逐次比較型アナログーデジタル変換部に転送する直前とに一時的に閉状態となって、前記第1ノード及び前記第2ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加し、

前記第5cスイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間とに一時的に閉状態となって、前記正側容量素子及び前記負側容量素子の共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加し、

前記第5aスイッチ及び前記第5bスイッチは、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する直前に一時的に開状態となって、前記正側容量素子及び前記負側容量素子の接続を遮断する、

上記[A-12]に記載の撮像装置。

[A-14] 前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第1ノードと、  
前記基準電圧が供給される第2ノードと、

前記第1ノードに一端が接続される正側容量素子と、

前記正側容量素子の他端が接続される第3ノードと、

前記第2ノードに一端が接続される負側容量素子と、

前記負側容量素子の他端が接続される第4ノードと、

前記第1ノード及び前記第2ノードの間に直列に接続される第4aスイッチ及び第4bスイッチと、

前記第1ノード及び前記第2ノードの間に接続される第4cスイッチと、

前記第3ノード及び前記第4ノードの間に接続される第5aスイッチと、

前記第3ノード及び前記第4ノードの間に直列に接続される、第5bスイッチ及び第5cスイッチと、

前記第3ノードと、前記逐次比較型アナログーデジタル変換部の第1入力端とを選択的に接続する第6スイッチと、

前記第4ノードと、前記逐次比較型アナログーデジタル変換部の第2入力端とを選択的に接続する第7スイッチと、を備える、  
上記[A-02]に記載の撮像装置。

[A-15] 前記第4aスイッチ及び前記第4bスイッチは、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間に一時的に閉状態となって、前記第1ノード及び前記第2ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加し、

前記第4cスイッチは、前記容量部が前記画素信号の保持を開始する直前に閉状態となって、前記第1ノード及び前記第2ノードを短絡し、

前記第5aスイッチは、前記容量部が前記画素信号を保持する期間に前記第3ノード及び前記第4ノードを短絡し、

前記第5bスイッチ及び前記第5cスイッチは、前記容量部が前記画素信号の保持を開始する直前に閉状態となって、前記第3ノード及び前記第4ノードに前記基準電圧を印加する、

上記[A-14]に記載の撮像装置。

[A-16] 前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第1ノードと、

前記基準電圧が供給される第2ノードと、

前記第1ノードに一端が接続される正側容量素子と、

前記正側容量素子の他端が接続される第3ノードと、

前記第2ノードに一端が接続される負側容量素子と、

前記負側容量素子の他端が接続される第4ノードと、

前記第1ノード及び前記第2ノードの間に接続される第4スイッチと、

前記第3ノード及び前記第4ノードの間に直列に接続される第5aスイッチ及び第5bスイッチと、

前記第5aスイッチ及び前記第5bスイッチの共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加す

る第5 cスイッチと、

前記第3ノードと、前記逐次比較型アナログーデジタル変換部の第1入力端とを選択的に接続する第6スイッチと、

前記第4ノードと、前記逐次比較型アナログーデジタル変換部の第2入力端とを選択的に接続する第7スイッチと、を備える、

上記[A-02]に記載の撮像装置。

[A-17] 前記第4スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間とに閉状態となって、前記第1ノード及び前記第2ノードを短絡し、

前記第5 aスイッチ及び前記第5 bスイッチは、前記容量部が前記画素信号を保持する期間の直前から保持期間が終了するまで閉状態となって、前記第3ノード及び前記第4ノードを短絡し、

前記第5 cスイッチは、前記容量部が前記画素信号の保持を開始する直前に閉状態となって、前記第5 aスイッチ及び前記第5 bスイッチの共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する、

上記[A-16]に記載の撮像装置。

[A-18] 前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第1ノードと、

前記基準電圧が供給される第2ノードと、

前記第1ノードに一端が接続される正側容量素子と、

前記正側容量素子の他端が接続される第3ノードと、

前記第2ノードに一端が接続される負側容量素子と、

前記負側容量素子の他端が接続される第4ノードと、

前記第1ノード及び前記第2ノードの間に直列に接続される第4 aスイッチ及び第4 bスイッチと、

前記第4 aスイッチ及び前記第4 bスイッチの共通接続ノードに前記基準

電圧を選択的に印加する第4 cスイッチと、

前記第3ノード及び前記第4ノードの間に直列に接続される第5 aスイッチ及び第5 bスイッチと、

前記第5 aスイッチ及び前記第5 bスイッチの共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する第5 cスイッチと、

前記第3ノードと、前記逐次比較型アナログーデジタル変換部の第1入力端とを選択的に接続する第6スイッチと、

前記第4ノードと、前記逐次比較型アナログーデジタル変換部の第2入力端とを選択的に接続する第7スイッチと、を備える、

上記[A-02]に記載の撮像装置。

[A-19] 前記第4 aスイッチ及び前記第4 bスイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間の直前と、前記転送する期間とに一時的に閉状態となって、前記第1ノード及び前記第2ノードを短絡し、

前記第4 cスイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間の直前とに一時的に閉状態となって、前記第4 aスイッチ及び前記第4 bスイッチの共通接続ノードに前記基準電圧を印加し、

前記第5 aスイッチ及び前記第5 bスイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部が前記画素信号を保持している期間とに一時的に閉状態となって、前記第3ノード及び前記第4ノードを短絡し、

前記第5 cスイッチは、前記容量部が前記画素信号の保持を開始する直前に一時的に閉状態となって、前記第5 aスイッチ及び前記第5 bスイッチの共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード

参照電圧を印加する、  
上記 [A-18] に記載の撮像装置。

[0276] ≪B. 電子機器≫

[B-01] 光電変換されたデジタル信号を出力する撮像装置と、  
前記デジタル信号に基づいて信号処理を行う信号処理部と、を備え、  
前記撮像装置は、  
それぞれが光電変換素子を含む複数の画素を有する画素アレイ部と、  
前記画素アレイ部の各画素から信号線を通して入力されるリセット成分と  
信号成分との差分をとり、その差分を画素信号として出力するカラムアンプ  
部と、  
前記カラムアンプ部から入力される画素信号を保持する容量部と、  
前記容量部から入力されるアナログ信号をデジタル信号に変換する逐次比  
較型アナログーデジタル変換部と、  
を備え、  
前記容量部は、前記カラムアンプ部から入力される単相の前記画素信号を  
、前記画素信号のゼロ電圧を規定する基準電圧を用いて差動化する、  
電子機器。

[B-02] 前記カラムアンプ部は、  
非反転入力端子に信号線の電位が入力される増幅器と、  
一端が前記増幅器の出力端子に接続され、他端が前記増幅器の反転入力端  
子に接続された第1スイッチと、  
一端が前記増幅器の出力端子に接続された第2スイッチと、  
一端が前記第2スイッチの他端に接続され、他端が前記第1スイッチの他  
端及び増幅器の反転入力端子に接続された第1容量素子と、  
前記第1容量素子の他端及び前記増幅器の反転入力端子と基準電位ノード  
との間に接続された第2容量素子と、  
一端が前記第2スイッチの他端及び前記第1容量素子の一端に接続され、  
他端に前記基準電圧が印加される第3スイッチと、

を有する、

上記 [B-01] に記載の電子機器。

[B-03] 前記カラムアンプ部は、

前記リセット成分の入力時には、前記第1スイッチを閉状態として前記リセット成分を前記第1容量素子及び前記第2容量素子にチャージするとともに、前記第3スイッチを閉状態として前記基準電圧を前記第2スイッチの他端及び前記第1容量素子の一端に印加し、

次に、前記第1スイッチ及び前記第3スイッチを開状態、前記第2スイッチを閉状態として、前記第1容量素子及び前記第2容量素子と前記増幅器とによって非反転増幅回路を構成し、

前記信号成分の入力時には、前記第1容量素子と前記第2容量素子との共通接続ノードの電圧が、前記信号成分と同じ電圧になるようにフィードバックをかける、

上記 [B-02] に記載の電子機器。

[B-04] 前記容量部は、

前記カラムアンプ部から入力される画素信号をチャージする正側容量素子、及び、前記基準電圧をチャージする負側容量素子を含む差動回路の構成となっており、

前記正側容量素子及び前記負側容量素子の各入力端を選択的に短絡する第4スイッチを有する、

上記 [B-02] 又は上記 [B-03] に記載の電子機器。

[B-05] 前記第4スイッチは、前記正側容量素子にチャージされた画素信号、及び、前記負側容量素子にチャージされた前記基準電圧を前記逐次比較型アナログーデジタル変換部に伝送するとき、前記正側容量素子及び前記負側容量素子の各入力端を短絡する、

上記 [B-04] に記載の電子機器。

[B-06] 前記容量部は、前記カラムアンプ部から入力される画素信号を、前記スイッチトキャパシタによるサンプリングによって保持する、

上記 [B-05] に記載の電子機器。

[B-07] 前記逐次比較型アナログーデジタル変換部の1つの逐次比較型アナログーデジタル変換器につき、複数本の信号線の各電位を、複数本の信号線に対応した複数の前記カラムアンプ及び前記容量部を通して多重化して処理する、

上記 [B-01] 乃至上記 [B-06] のいずれかに記載の電子機器。

### 符号の説明

[0277] 10・・・CMOSイメージセンサ、11・・・画素アレイ部、12・・・行選択部、13・・・定電流源部、14・・・カラムアンプ部、15・・・アナログーデジタル変換部、15A・・・逐次比較型アナログーデジタル変換部、16・・・水平転送走査部、17・・・信号処理部、18・・・タイミング制御部、19・・・容量部、20・・・画素（画素回路）、21・・・フォトダイオード（光電変換素子）、22・・・転送トランジスタ、23・・・リセットトランジスタ、24・・・増幅トランジスタ、25・・・選択トランジスタ、31（ $31_1 \sim 31_m$ ）・・・画素制御線、32（ $32_1 \sim 32_n$ ）・・・信号線、50・・・間接TOF方式距離画像センサ、60・・・光源、100・・・撮像システム、140・・・カラムアンプ、150・・・逐次比較型アナログーデジタル変換器、160・・・基準電圧生成部、190・・・容量マルチプレクサ、1400・・・電流リユースカラムアンプ（CRCA）、VR・・・基準電圧、 $V_{CM}$ ・・・出力コモンモード参照電圧



## 請求の範囲

- [請求項1]           それぞれが光電変換素子を含む複数の画素を有する画素アレイ部と、  
、  
          前記画素アレイ部の各画素から信号線を通して入力されるリセット成分と信号成分との差分をとり、その差分を画素信号として出力するカラムアンプ部と、  
          前記カラムアンプ部から入力される画素信号を保持する容量部と、  
          前記容量部から入力されるアナログの前記画素信号をデジタル信号に変換する逐次比較型アナログーデジタル変換部と、  
          を備え、  
          前記容量部は、前記カラムアンプ部から入力される単相の前記画素信号を、前記画素信号のゼロ電圧を規定する基準電圧を用いて差動化する、  
撮像装置。
- [請求項2]           前記カラムアンプ部は、  
          非反転入力端子に信号線の電位が入力される増幅器と、  
          一端が前記増幅器の出力端子に接続され、他端が前記増幅器の反転入力端子に接続された第1スイッチと、  
          一端が前記増幅器の出力端子に接続された第2スイッチと、  
          一端が前記第2スイッチの他端に接続され、他端が前記第1スイッチの他端及び増幅器の反転入力端子に接続された第1容量素子と、  
          前記第1容量素子の他端及び前記増幅器の反転入力端子と基準電位ノードとの間に接続された第2容量素子と、  
          一端が前記第2スイッチの他端及び前記第1容量素子の一端に接続され、他端に前記基準電圧が印加される第3スイッチと、  
          を有する、  
          請求項1に記載の撮像装置。
- [請求項3]           前記カラムアンプ部は、

前記リセット成分の入力時には、前記第1スイッチを閉状態として前記リセット成分を前記第1容量素子及び前記第2容量素子にチャージするとともに、前記第3スイッチを閉状態として前記基準電圧を前記第2スイッチの他端及び前記第1容量素子の一端に印加し、

次に、前記第1スイッチ及び前記第3スイッチを開状態、前記第2スイッチを閉状態として、前記第1容量素子及び前記第2容量素子と前記増幅器とによって非反転増幅回路を構成し、

前記信号成分の入力時には、前記第1容量素子と前記第2容量素子との共通接続ノードの電圧が、前記信号成分と同じ電圧になるようにフィードバックをかける、

請求項2に記載の撮像装置。

[請求項4]

前記容量部は、

前記カラムアンプ部から入力される画素信号をチャージする正側容量素子、及び、前記基準電圧をチャージする負側容量素子を含む差動回路の構成となっており、

前記正側容量素子及び前記負側容量素子の各入力端を選択的に短絡する第4スイッチを有する、

請求項2に記載の撮像装置。

[請求項5]

前記第4スイッチは、前記正側容量素子にチャージされた画素信号、及び、前記負側容量素子にチャージされた前記基準電圧を前記逐次比較型アナログーデジタル変換部に伝送するとき、前記正側容量素子及び前記負側容量素子の各入力端を短絡する、

請求項4に記載の撮像装置。

[請求項6]

前記容量部は、前記カラムアンプ部から入力される画素信号を、スイッチトキャパシタによるサンプリングによって保持する、

請求項5に記載の撮像装置。

[請求項7]

前記逐次比較型アナログーデジタル変換部の1つの逐次比較型アナログーデジタル変換器につき、複数本の信号線の各電位を、複数本の

信号線に対応した複数の前記コラムアンプ部及び前記容量部を通して多重化して処理する、

請求項 1 に記載の撮像装置。

[請求項8]

前記容量部は、

前記コラムアンプ部から入力される画素信号が供給される第 1 ノードと、

前記基準電圧が供給される第 2 ノードと、

前記第 1 ノード及び前記第 2 ノードの間に直列に接続される正側容量素子及び負側容量素子と、

前記第 1 ノード及び前記第 2 ノードを選択的に短絡する第 4 スイッチと、

前記正側容量素子及び前記負側容量素子の共通接続ノードに、前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する第 5 スイッチと、

前記第 2 ノードと、前記逐次比較型アナログーデジタル変換部の第 1 入力端とを選択的に接続する第 6 スイッチと、

前記第 1 ノードと、前記逐次比較型アナログーデジタル変換部の第 2 入力端とを選択的に接続する第 7 スイッチと、を備える、

請求項 2 に記載の撮像装置。

[請求項9]

前記第 4 スイッチは、前記容量部が前記画素信号の保持を開始する直前に一時的に閉状態となって、前記正側容量素子及び前記負側容量素子の各入力端を短絡し、

前記第 5 スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間とに一時的に閉状態となって、前記正側容量素子及び前記負側容量素子の共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加する、

請求項 8 に記載の撮像装置。

[請求項10]

前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第 1 ノードと、

前記基準電圧が供給される第 2 ノードと、

前記第 1 ノード及び前記第 2 ノードの間に直列に接続可能な正側容量素子及び負側容量素子と、

前記第 1 ノード及び前記第 2 ノードの間に直列に接続される第 4 a スイッチ及び第 4 b スイッチと、

前記第 1 ノード及び前記第 2 ノードの間に直列に接続される、第 5 a スイッチ、正側容量素子、負側容量素子、及び第 5 b スイッチと、

前記正側容量素子及び前記負側容量素子の共通接続ノードに、前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する第 5 c スイッチと、

前記第 2 ノードと、前記逐次比較型アナログーデジタル変換部の第 1 入力端とを選択的に接続する第 6 スイッチと、

前記第 1 ノードと、前記逐次比較型アナログーデジタル変換部の第 2 入力端とを選択的に接続する第 7 スイッチと、を備える、

請求項 2 に記載の撮像装置。

[請求項11]

前記第 4 a スイッチ及び前記第 4 b スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する直前とに一時的に閉状態となって、前記第 1 ノード及び前記第 2 ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加し、

前記第 5 a スイッチ及び前記第 5 b スイッチは、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する直前に一時的に開状態となって、前記第 1 ノードと前記正側容

量素子との接続を遮断するとともに、前記第2ノードと前記負側容量素子との接続を遮断し、

前記第5cスイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間とに一時的に閉状態となって、前記正側容量素子及び前記負側容量素子の共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加する、

請求項10に記載の撮像装置。

[請求項12]

前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第1ノードと、

前記基準電圧が供給される第2ノードと、

前記第1ノード及び前記第2ノードの間に直列に接続される第4aスイッチ及び第4bスイッチと、

前記第1ノード及び前記第2ノードの間に直列に接続される、正側容量素子、第5aスイッチ、第5bスイッチ、及び負側容量素子と、

前記第5aスイッチ及び前記第5bスイッチの共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する第5cスイッチと、

前記第2ノードと、前記逐次比較型アナログーデジタル変換部の第1入力端とを選択的に接続する第6スイッチと、

前記第1ノードと、前記逐次比較型アナログーデジタル変換部の第2入力端とを選択的に接続する第7スイッチと、を備える、

請求項2に記載の撮像装置。

[請求項13]

前記第4aスイッチ及び前記第4bスイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する直前とに

一時的に閉状態となって、前記第1ノード及び前記第2ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加し、

前記第5cスイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間とに一時的に閉状態となって、前記正側容量素子及び前記負側容量素子の共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加し、

前記第5aスイッチ及び前記第5bスイッチは、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する直前に一時的に開状態となって、前記正側容量素子及び前記負側容量素子の接続を遮断する、  
請求項12に記載の撮像装置。

[請求項14]

前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第1ノードと、

前記基準電圧が供給される第2ノードと、

前記第1ノードに一端が接続される正側容量素子と、

前記正側容量素子の他端が接続される第3ノードと、

前記第2ノードに一端が接続される負側容量素子と、

前記負側容量素子の他端が接続される第4ノードと、

前記第1ノード及び前記第2ノードの間に直列に接続される第4aスイッチ及び第4bスイッチと、

前記第1ノード及び前記第2ノードの間に接続される第4cスイッチと、

前記第3ノード及び前記第4ノードの間に接続される第5aスイッチと、

前記第3ノード及び前記第4ノードの間に直列に接続される、第5bスイッチ及び第5cスイッチと、

前記第3ノードと、前記逐次比較型アナログーデジタル変換部の第1入力端とを選択的に接続する第6スイッチと、

前記第4ノードと、前記逐次比較型アナログーデジタル変換部の第2入力端とを選択的に接続する第7スイッチと、を備える、  
請求項2に記載の撮像装置。

[請求項15]

前記第4aスイッチ及び前記第4bスイッチは、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間に一時的に閉状態となって、前記第1ノード及び前記第2ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加し、

前記第4cスイッチは、前記容量部が前記画素信号の保持を開始する直前に閉状態となって、前記第1ノード及び前記第2ノードを短絡し、

前記第5aスイッチは、前記容量部が前記画素信号を保持する期間に前記第3ノード及び前記第4ノードを短絡し、

前記第5bスイッチ及び前記第5cスイッチは、前記容量部が前記画素信号の保持を開始する直前に閉状態となって、前記第3ノード及び前記第4ノードに前記基準電圧を印加する、

請求項14に記載の撮像装置。

[請求項16]

前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第1ノードと、

前記基準電圧が供給される第2ノードと、

前記第1ノードに一端が接続される正側容量素子と、

前記正側容量素子の他端が接続される第3ノードと、

前記第2ノードに一端が接続される負側容量素子と、

前記負側容量素子の他端が接続される第4ノードと、  
前記第1ノード及び前記第2ノードの間に接続される第4スイッチと、  
前記第3ノード及び前記第4ノードの間に直列に接続される第5 a スイッチ及び第5 b スイッチと、  
前記第5 a スイッチ及び前記第5 b スイッチの共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する第5 c スイッチと、  
前記第3ノードと、前記逐次比較型アナログーデジタル変換部の第1入力端とを選択的に接続する第6スイッチと、  
前記第4ノードと、前記逐次比較型アナログーデジタル変換部の第2入力端とを選択的に接続する第7スイッチと、を備える、  
請求項2に記載の撮像装置。

[請求項17]

前記第4スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部に保持された前記画素信号を前記逐次比較型アナログーデジタル変換部に転送する期間とに閉状態となって、前記第1ノード及び前記第2ノードを短絡し、

前記第5 a スイッチ及び前記第5 b スイッチは、前記容量部が前記画素信号を保持する期間の直前から保持期間が終了するまで閉状態となって、前記第3ノード及び前記第4ノードを短絡し、

前記第5 c スイッチは、前記容量部が前記画素信号の保持を開始する直前に閉状態となって、前記第5 a スイッチ及び前記第5 b スイッチの共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選択的に印加する、請求項16に記載の撮像装置。

[請求項18]

前記容量部は、

前記カラムアンプ部から入力される画素信号が供給される第1ノードと、



前記基準電圧が供給される第2ノードと、  
前記第1ノードに一端が接続される正側容量素子と、  
前記正側容量素子の他端が接続される第3ノードと、  
前記第2ノードに一端が接続される負側容量素子と、  
前記負側容量素子の他端が接続される第4ノードと、  
前記第1ノード及び前記第2ノードの間に直列に接続される第4 a  
スイッチ及び第4 bスイッチと、  
前記第4 aスイッチ及び前記第4 bスイッチの共通接続ノードに前  
記基準電圧を選択的に印加する第4 cスイッチと、  
前記第3ノード及び前記第4ノードの間に直列に接続される第5 a  
スイッチ及び第5 bスイッチと、  
前記第5 aスイッチ及び前記第5 bスイッチの共通接続ノードに前  
記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を選  
択的に印加する第5 cスイッチと、  
前記第3ノードと、前記逐次比較型アナログーデジタル変換部の第  
1入力端とを選択的に接続する第6スイッチと、  
前記第4ノードと、前記逐次比較型アナログーデジタル変換部の第  
2入力端とを選択的に接続する第7スイッチと、を備える、  
請求項2に記載の撮像装置。

[請求項19]

前記第4 aスイッチ及び前記第4 bスイッチは、前記容量部が前記  
画素信号の保持を開始する直前と、前記容量部に保持された前記画素  
信号を前記逐次比較型アナログーデジタル変換部に転送する期間の直  
前と、前記転送する期間とに一時的に閉状態となって、前記第1ノ  
ード及び前記第2ノードを短絡し、

前記第4 cスイッチは、前記容量部が前記画素信号の保持を開始す  
る直前と、前記容量部に保持された前記画素信号を前記逐次比較型ア  
ナログーデジタル変換部に転送する期間の直前とに一時的に閉状態と  
なって、前記第4 aスイッチ及び前記第4 bスイッチの共通接続ノー

ドに前記基準電圧を印加し、

前記第5 a スイッチ及び前記第5 b スイッチは、前記容量部が前記画素信号の保持を開始する直前と、前記容量部が前記画素信号を保持している期間とに一時的に閉状態となって、前記第3 ノード及び前記第4 ノードを短絡し、

前記第5 c スイッチは、前記容量部が前記画素信号の保持を開始する直前に一時的に閉状態となって、前記第5 a スイッチ及び前記第5 b スイッチの共通接続ノードに前記逐次比較型アナログーデジタル変換部のコモンモード参照電圧を印加する、

請求項18に記載の撮像装置。

[請求項20]

光電変換されたデジタル信号を出力する撮像装置と、

前記デジタル信号に基づいて信号処理を行う信号処理部と、を備え、

、

前記撮像装置は、

それぞれが光電変換素子を含む複数の画素を有する画素アレイ部と

、

前記画素アレイ部の各画素から信号線を通して入力されるリセット成分と信号成分との差分をとり、その差分を画素信号として出力するカラムアンプ部と、

前記カラムアンプ部から入力される画素信号を保持する容量部と、

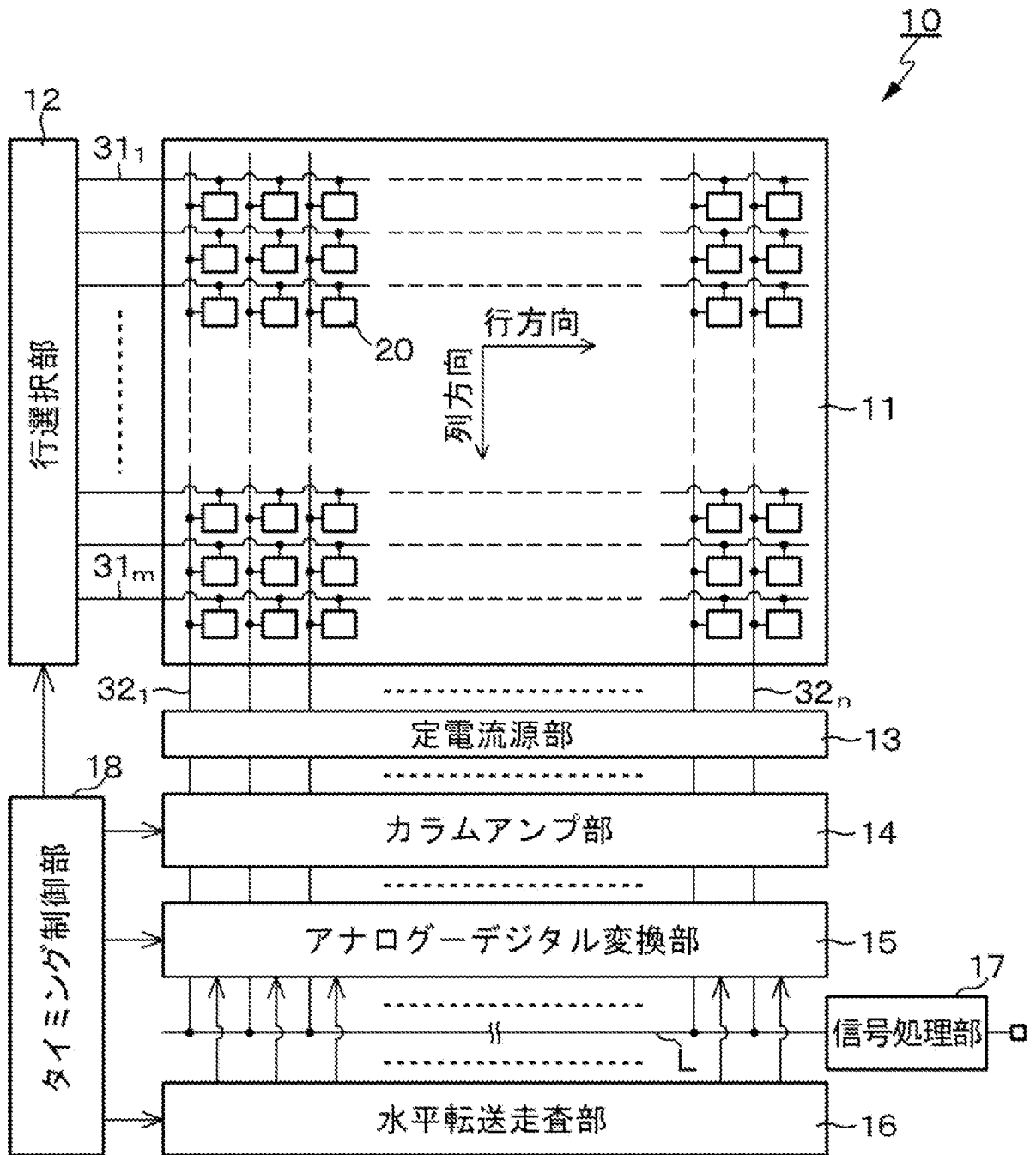
前記容量部から入力されるアナログ信号をデジタル信号に変換する逐次比較型アナログーデジタル変換部と、

を備え、

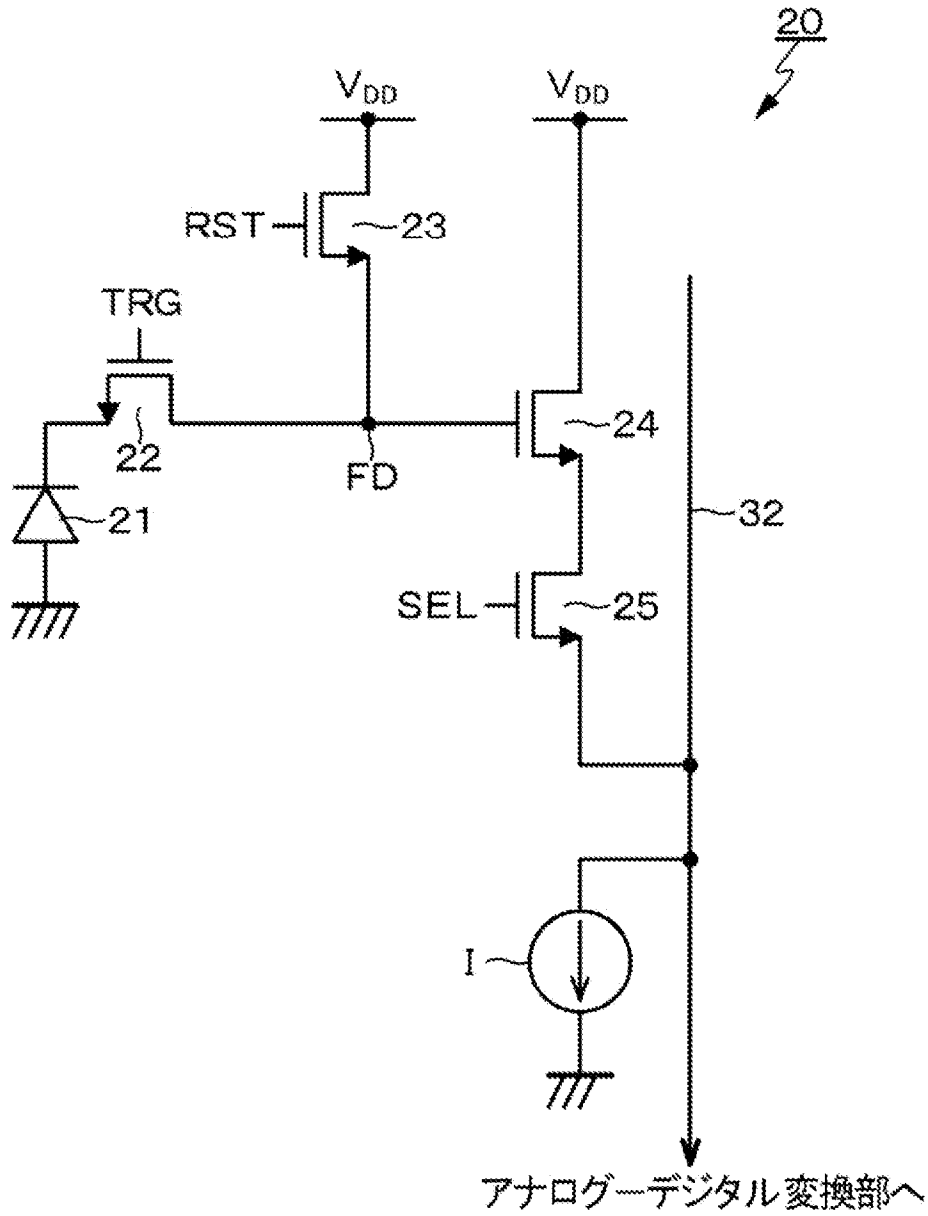
前記容量部は、前記カラムアンプ部から入力される単相の前記画素信号を、前記画素信号のゼロ電圧を規定する基準電圧を用いて差動化する、

電子機器。

[図1]

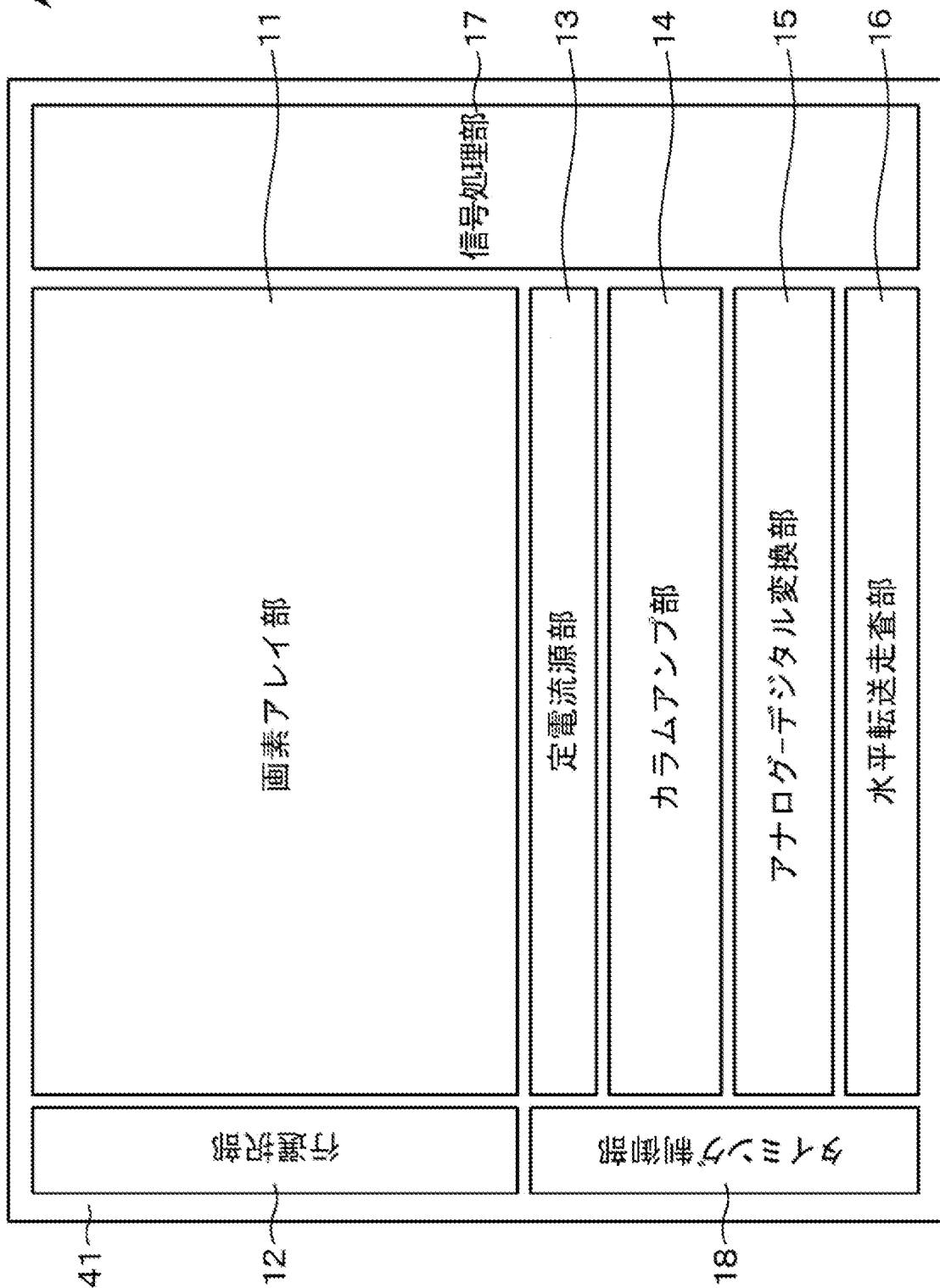


[図2]

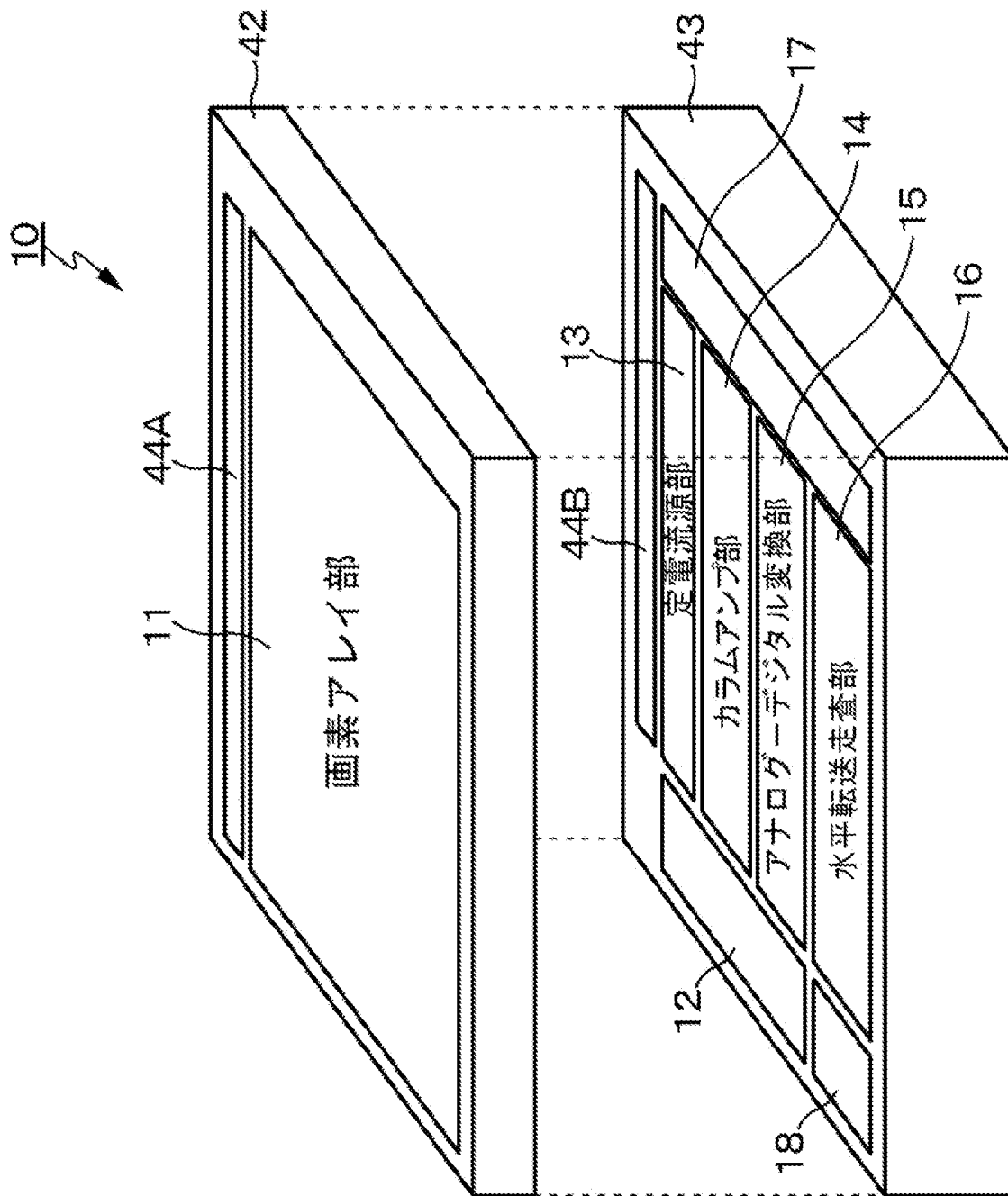


[図3]

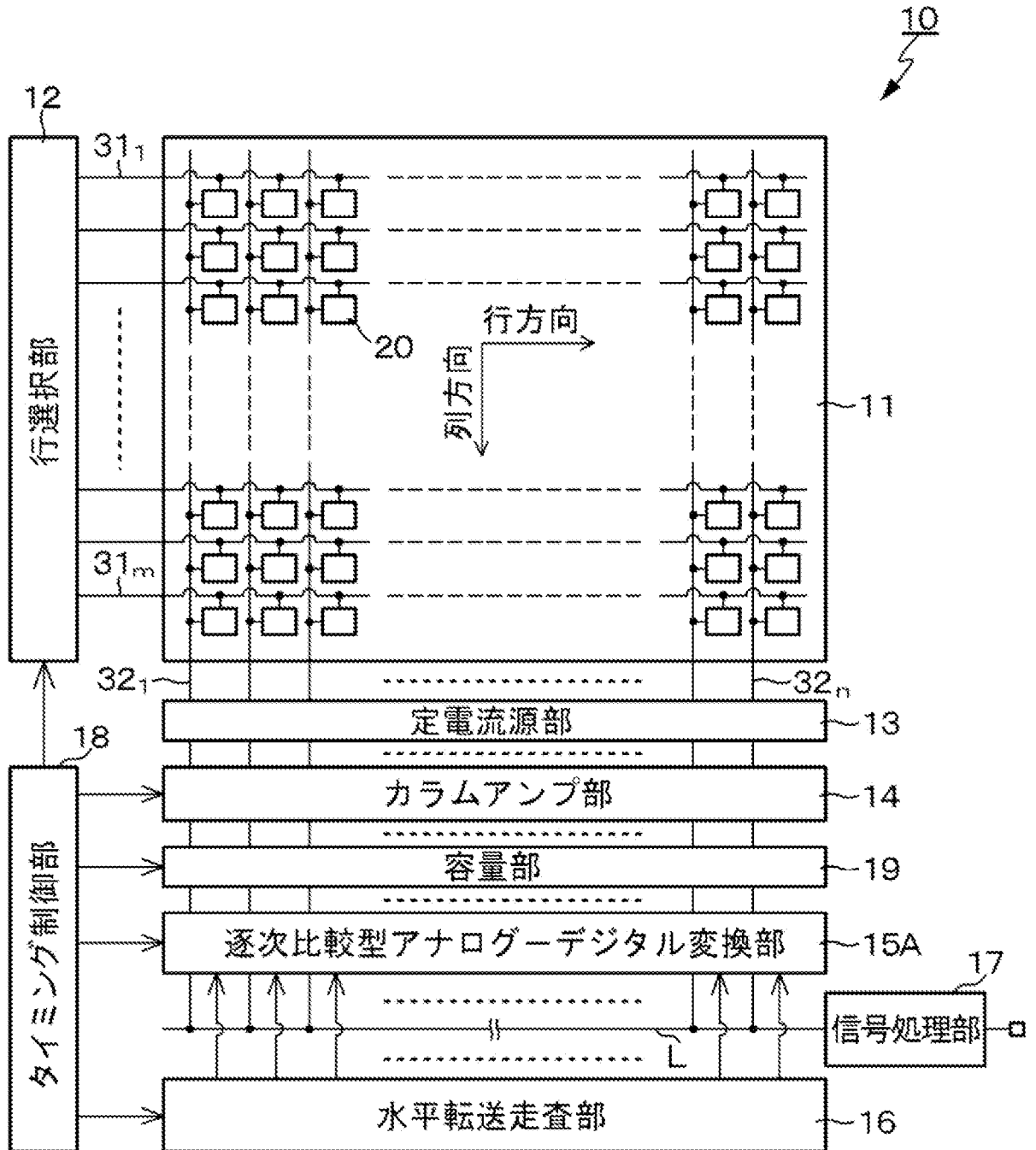
10 ↘



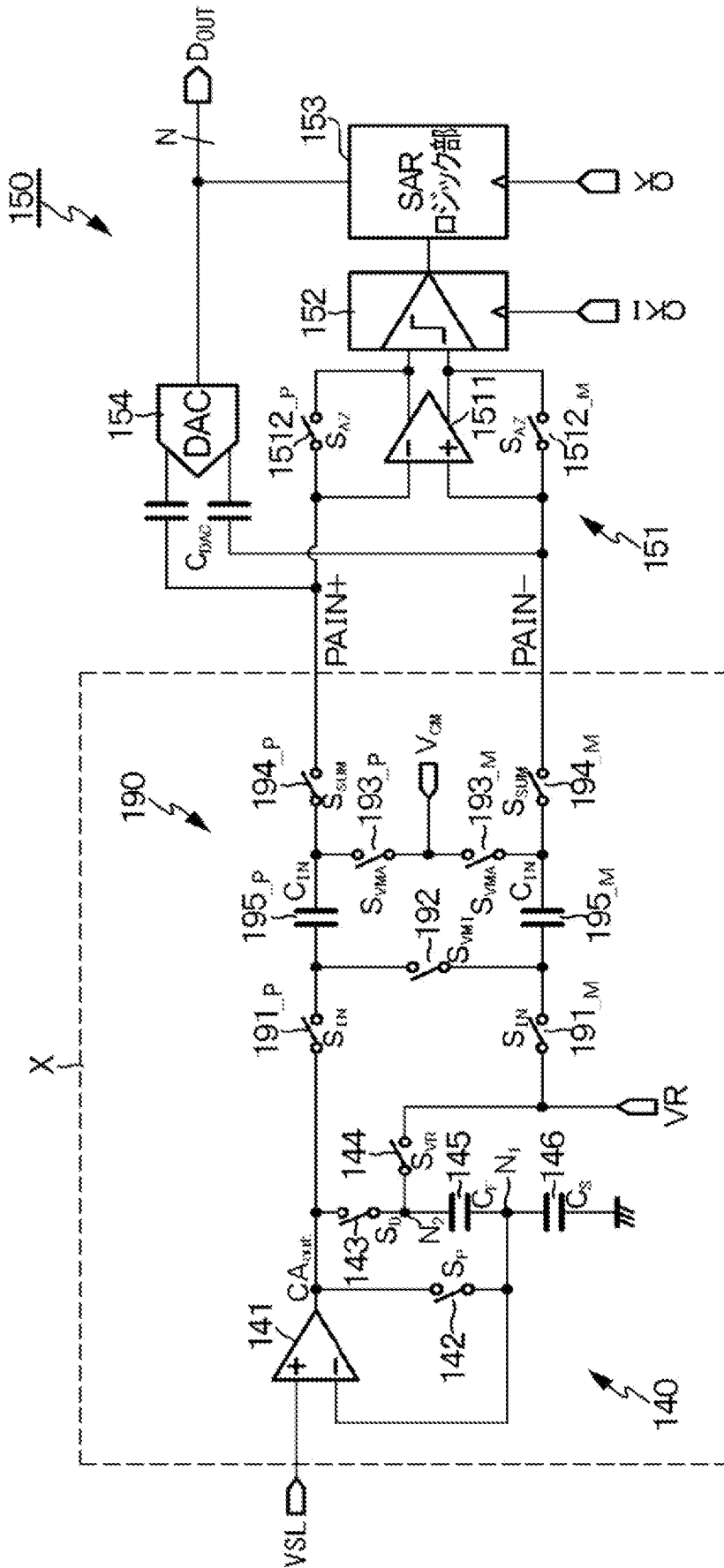
[図4]



[図5]

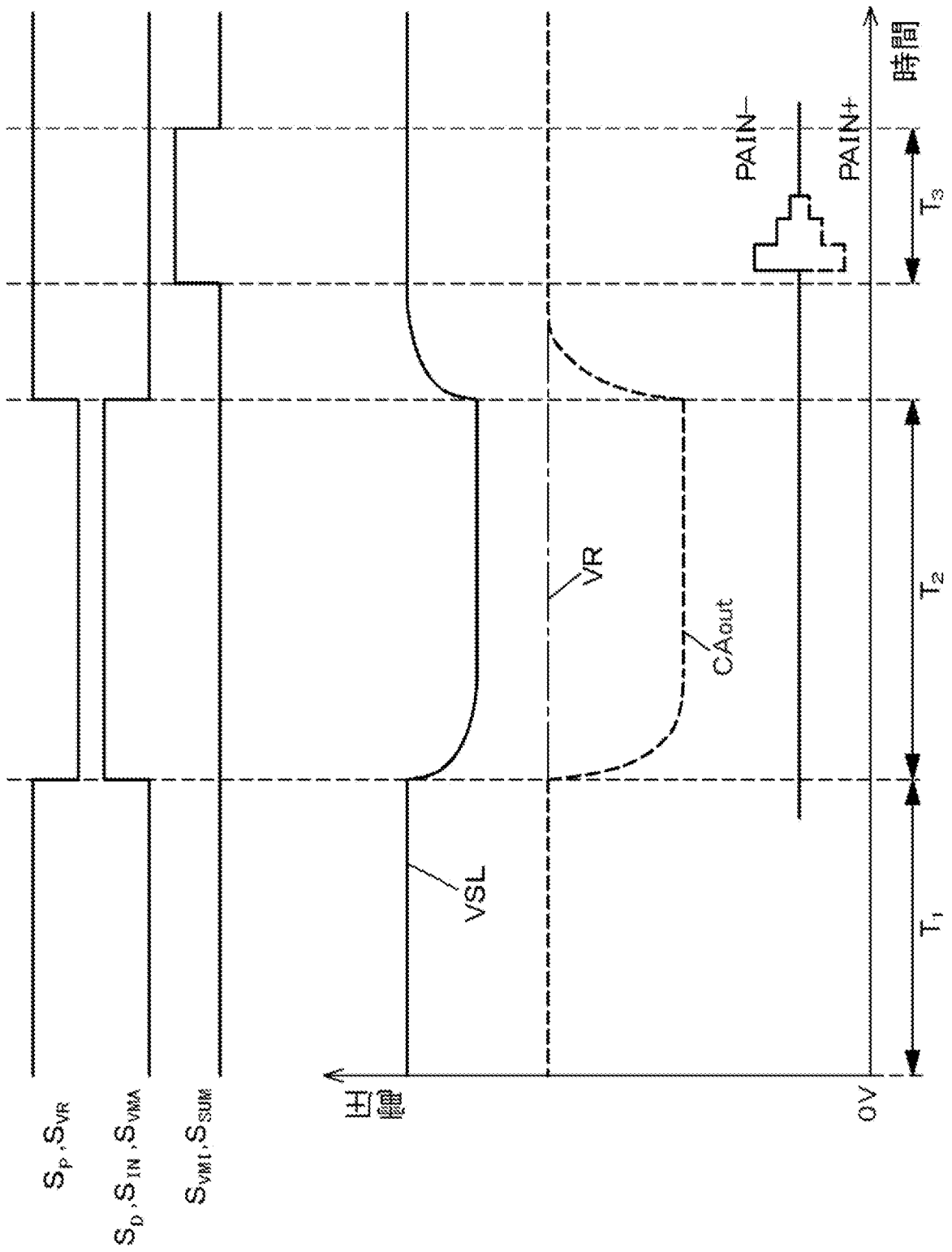


[図6]

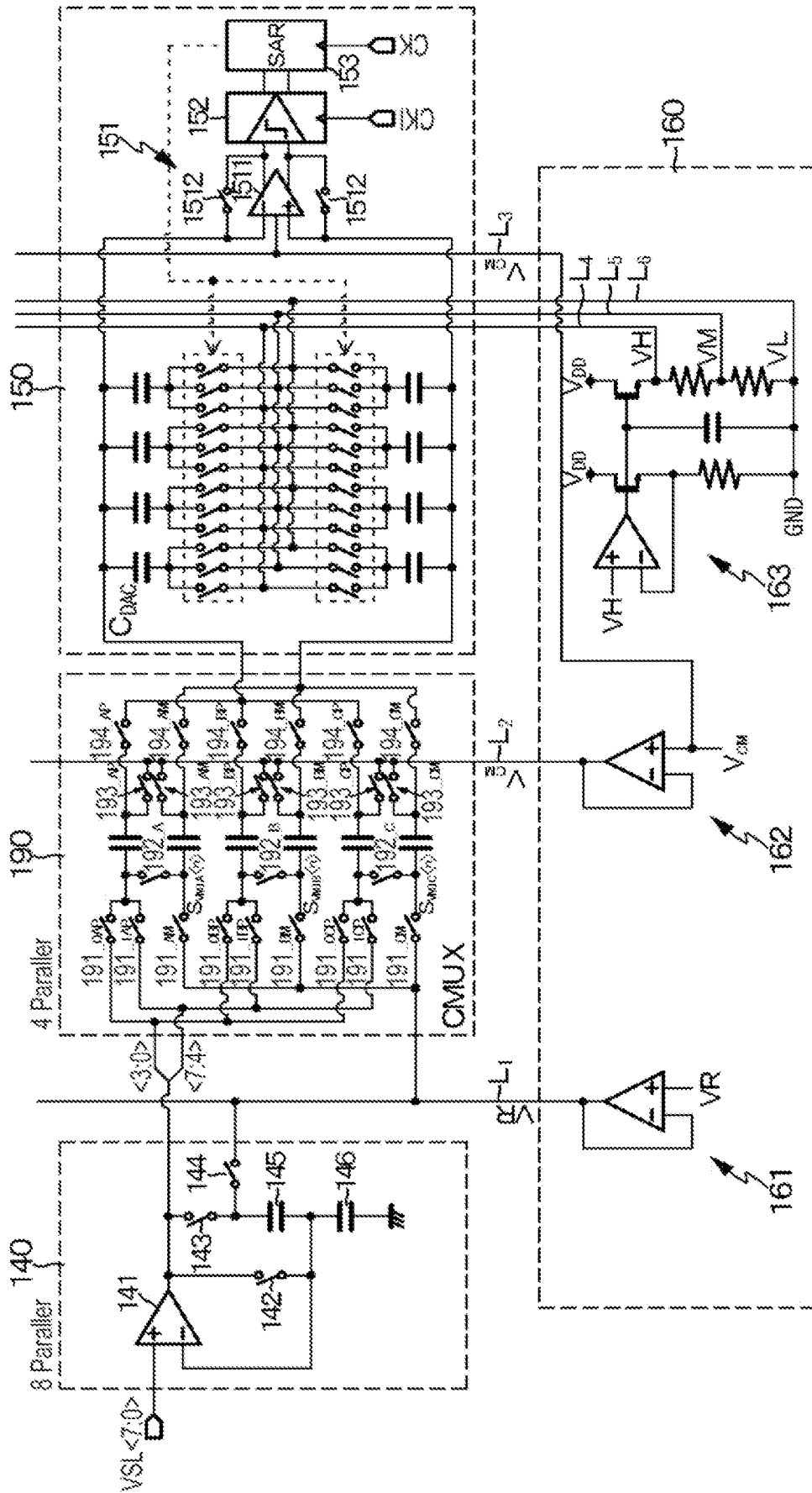




[図7]

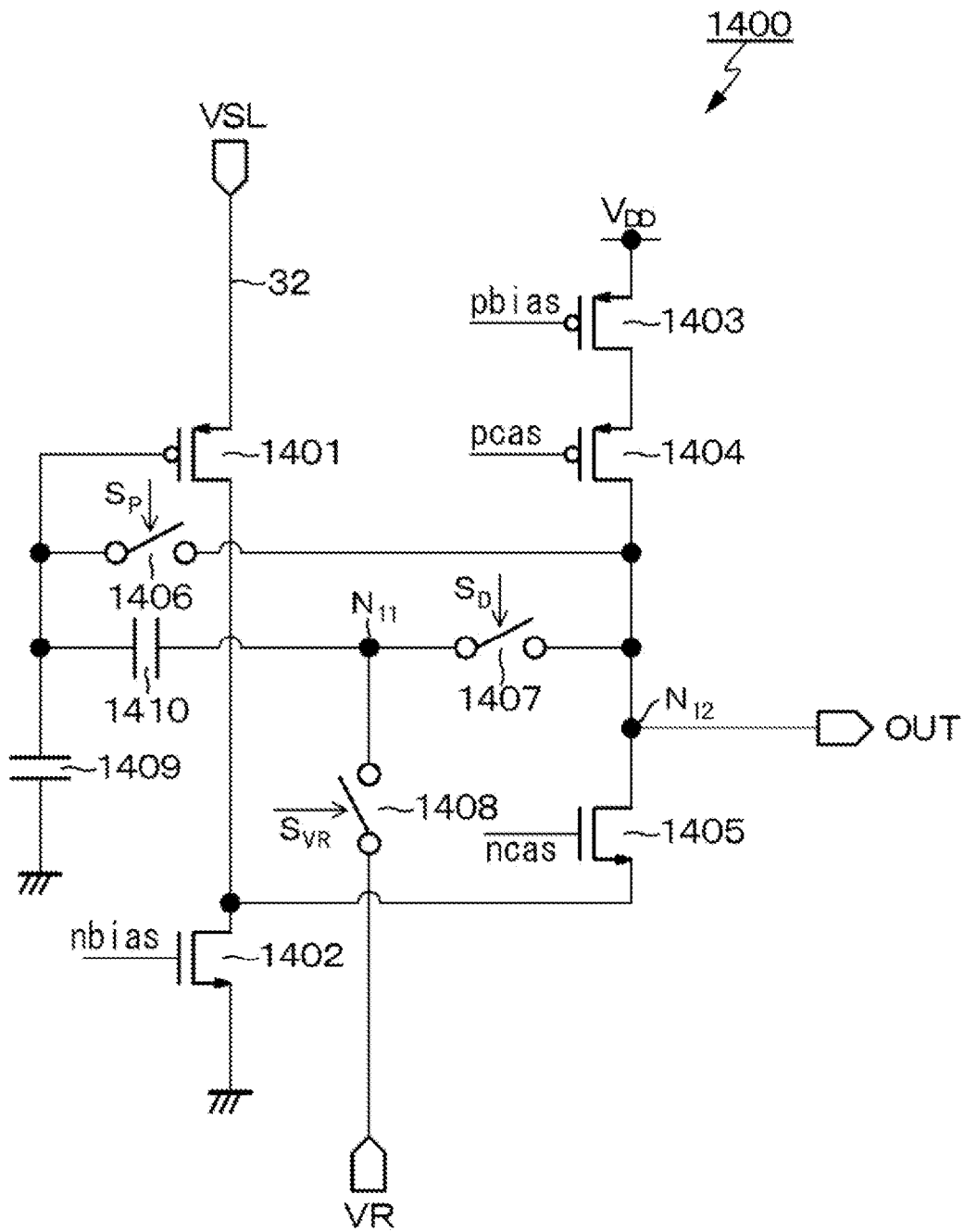


[図8]

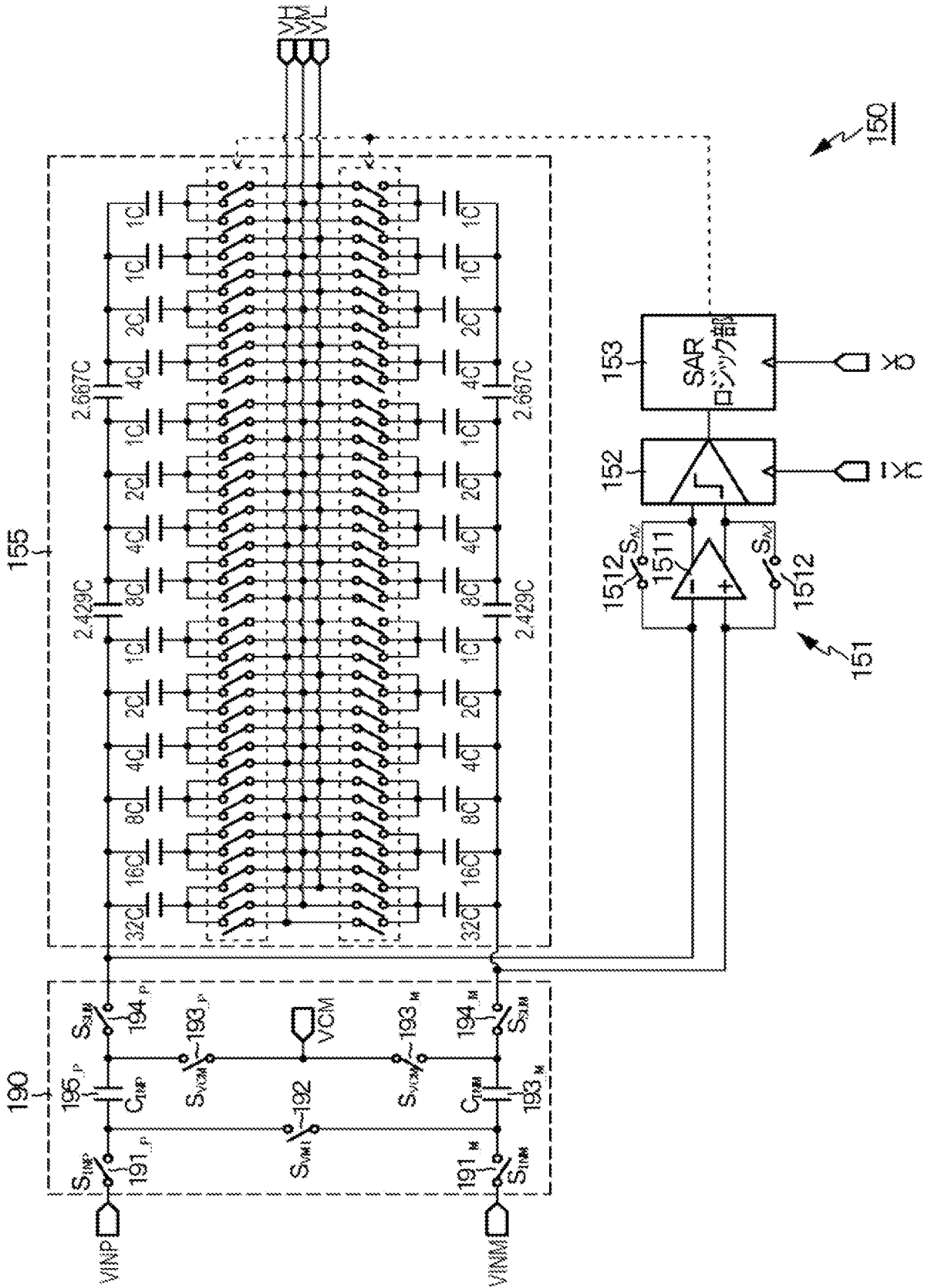




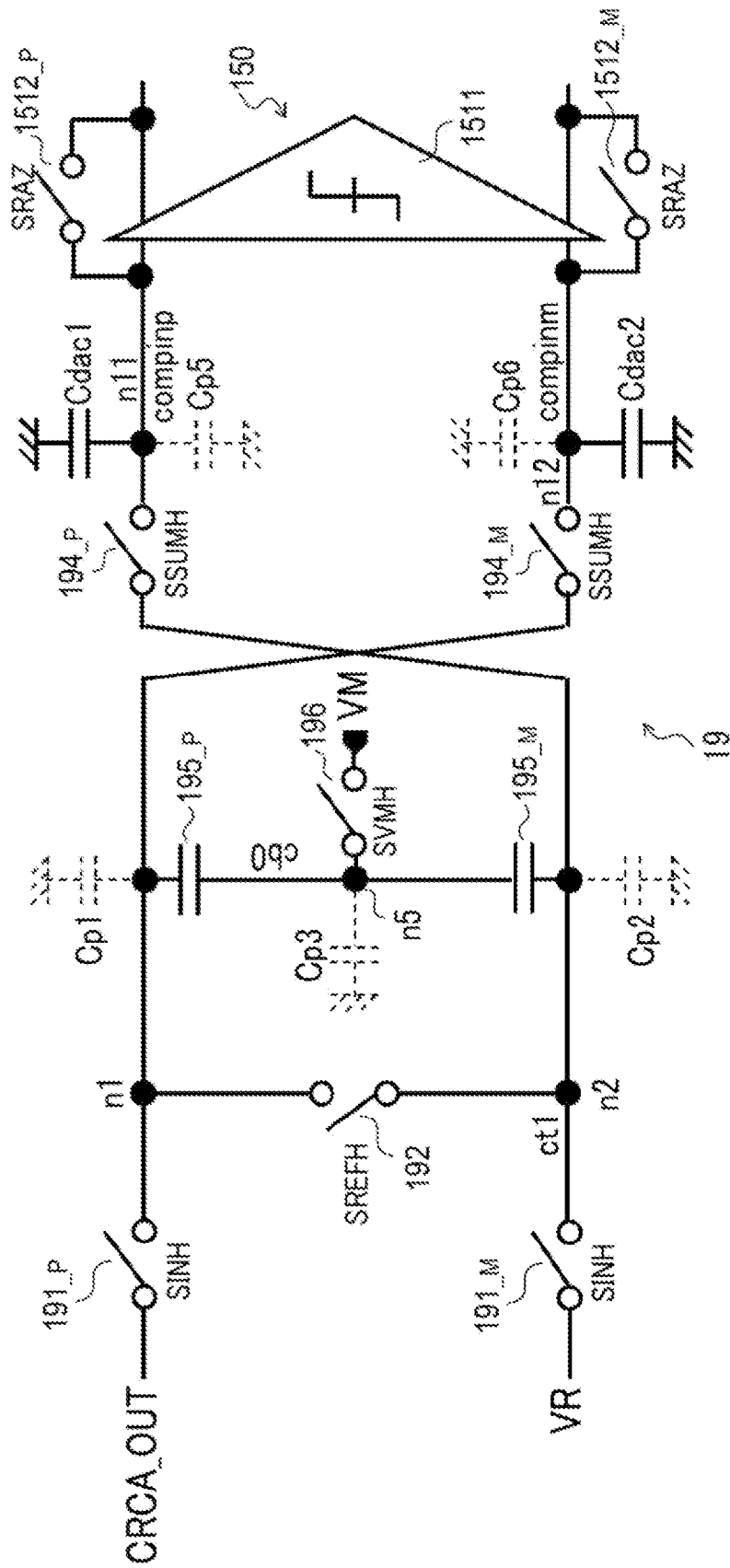
[図10]



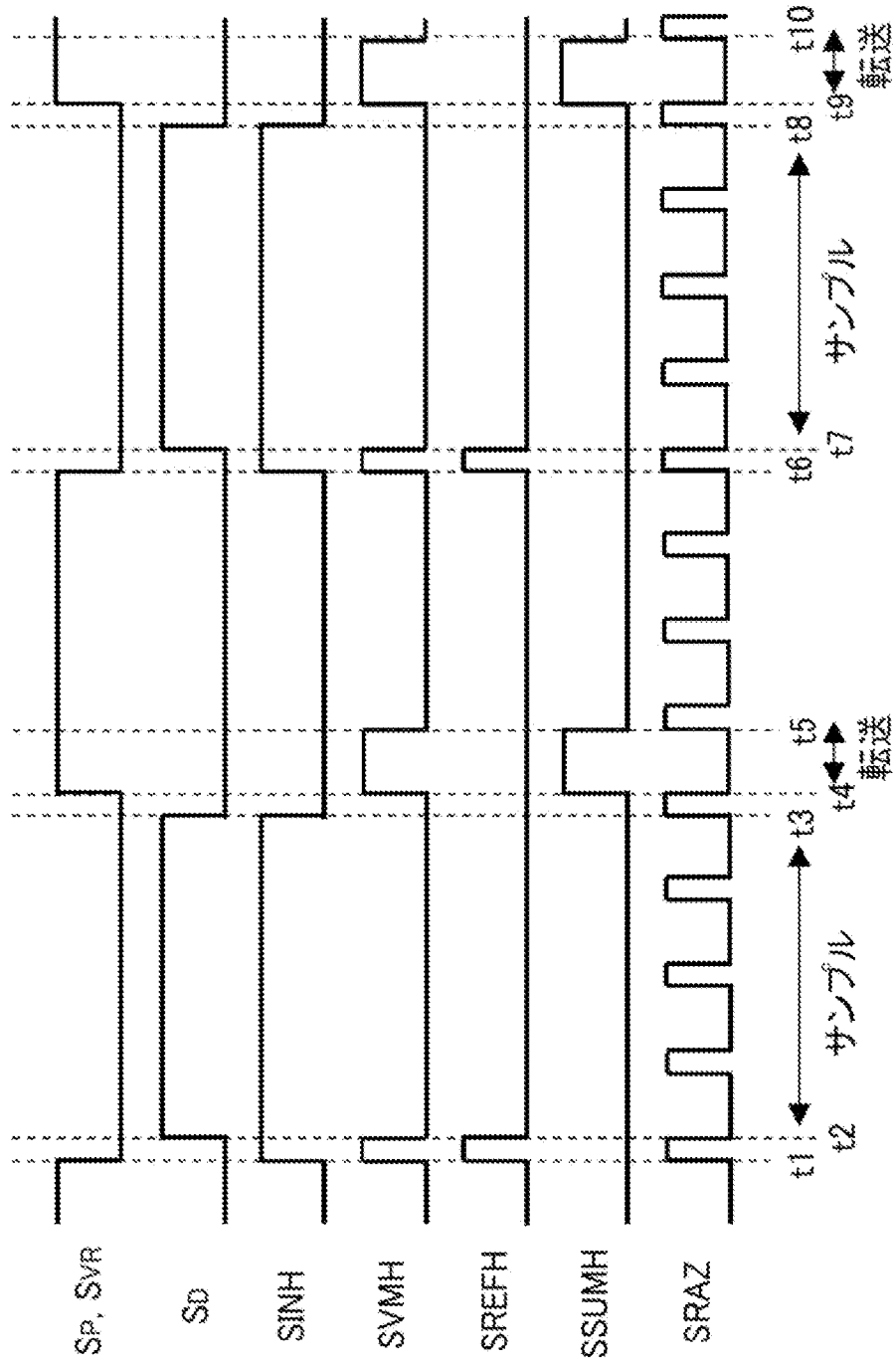
[図11]



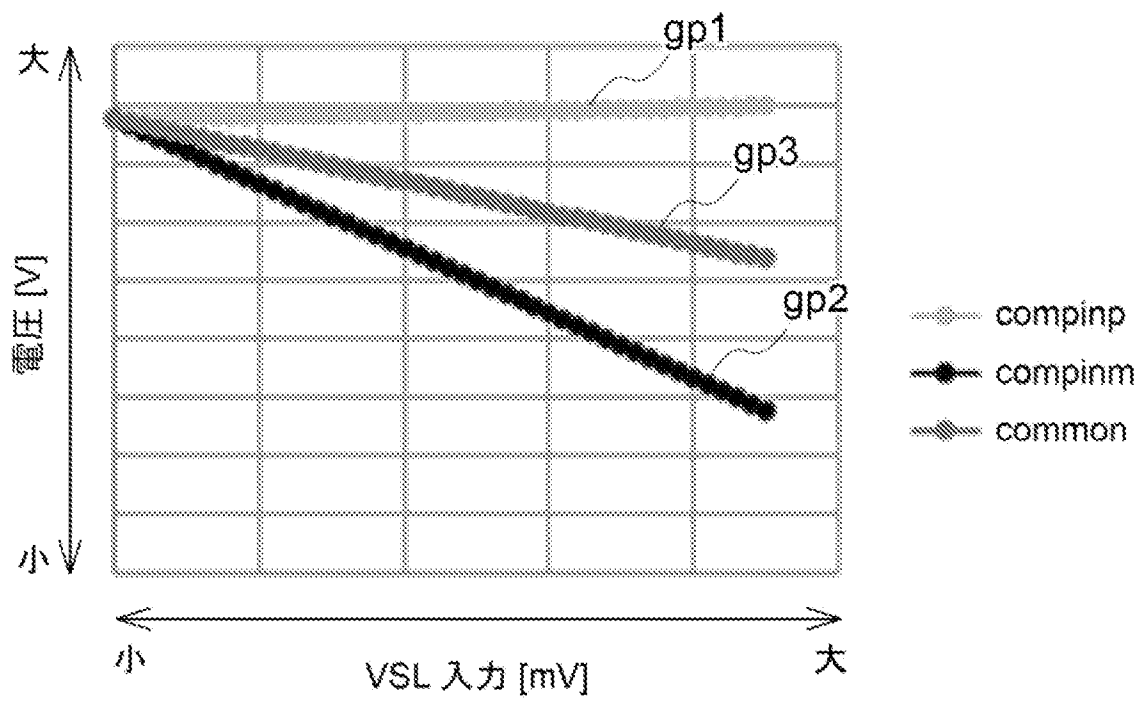
[圖12]



[図13]

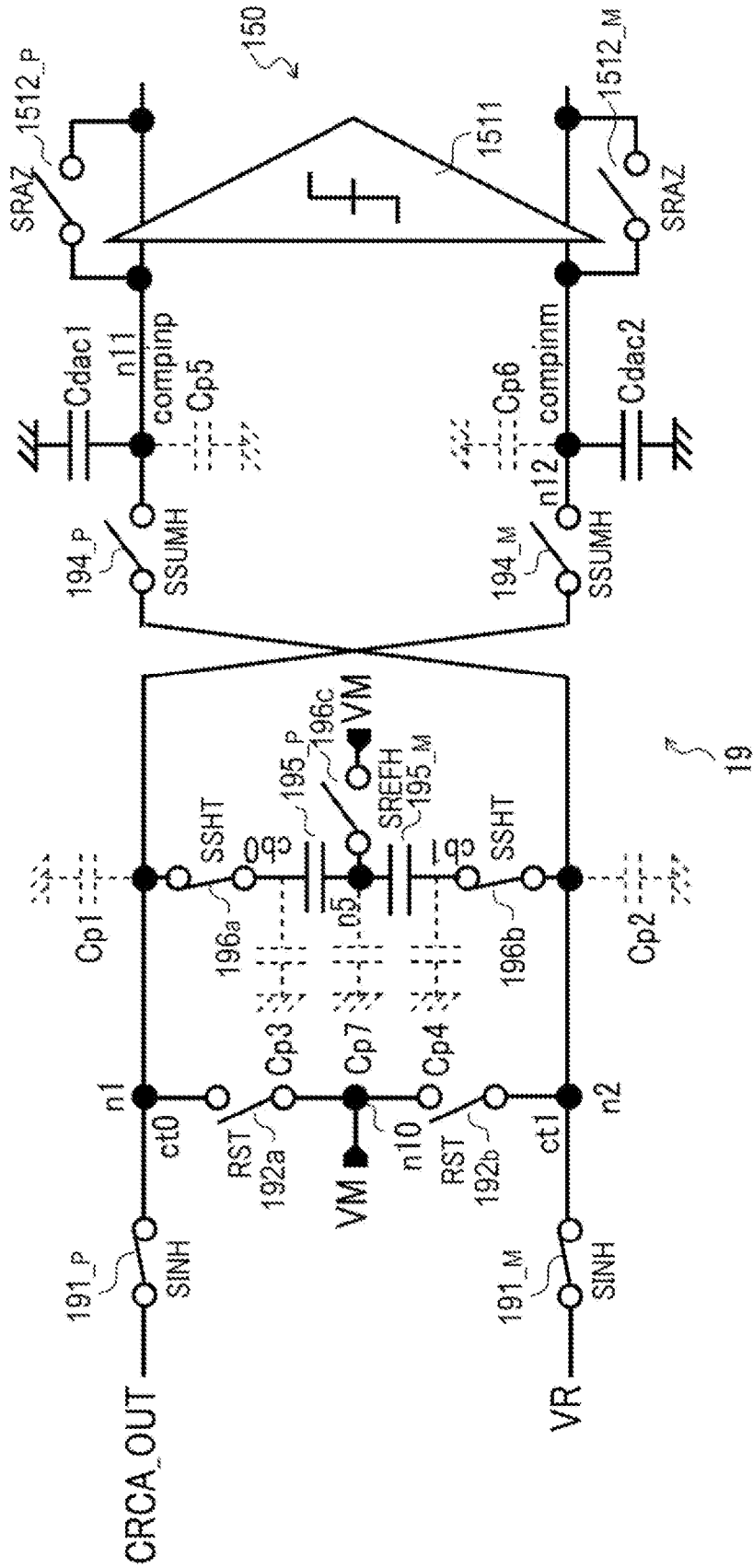


[図14]

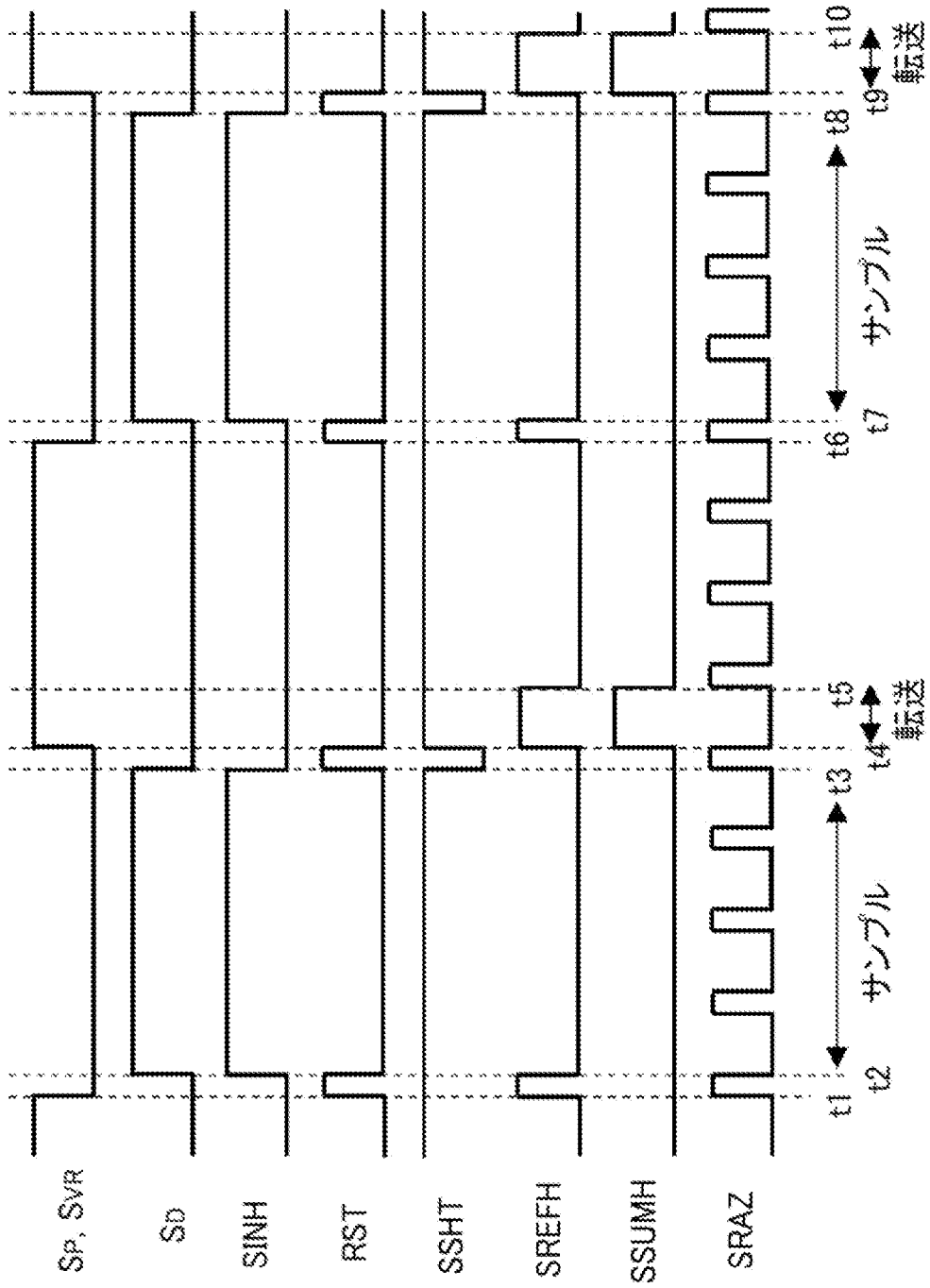




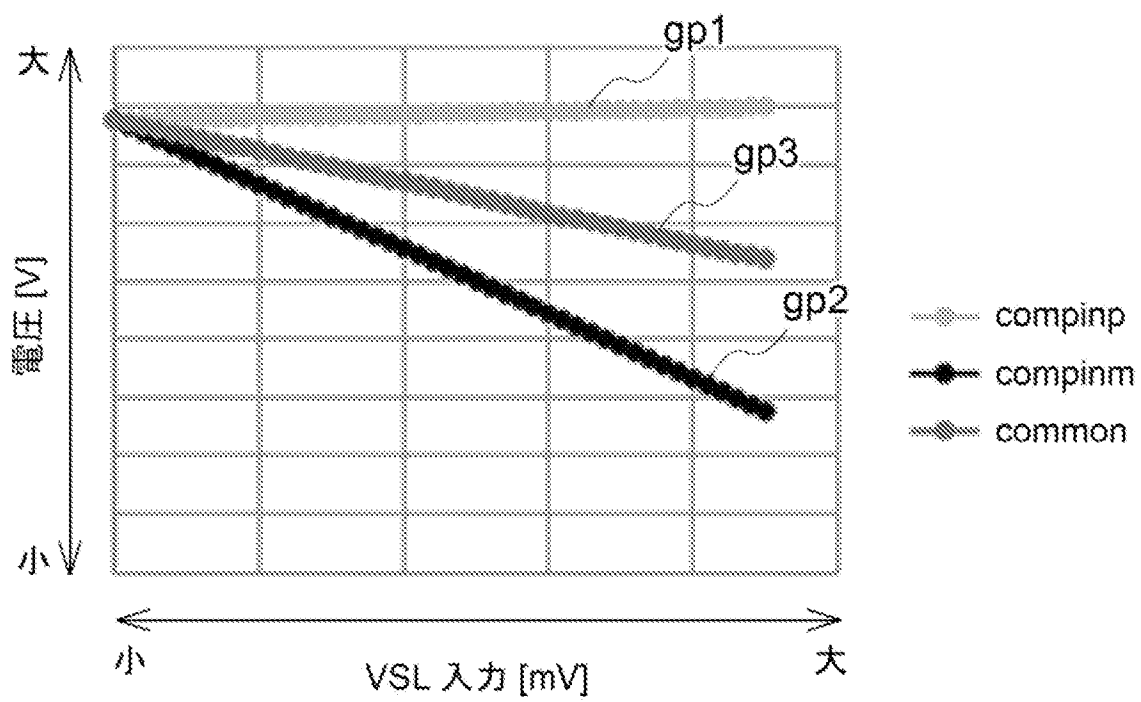
[図15]



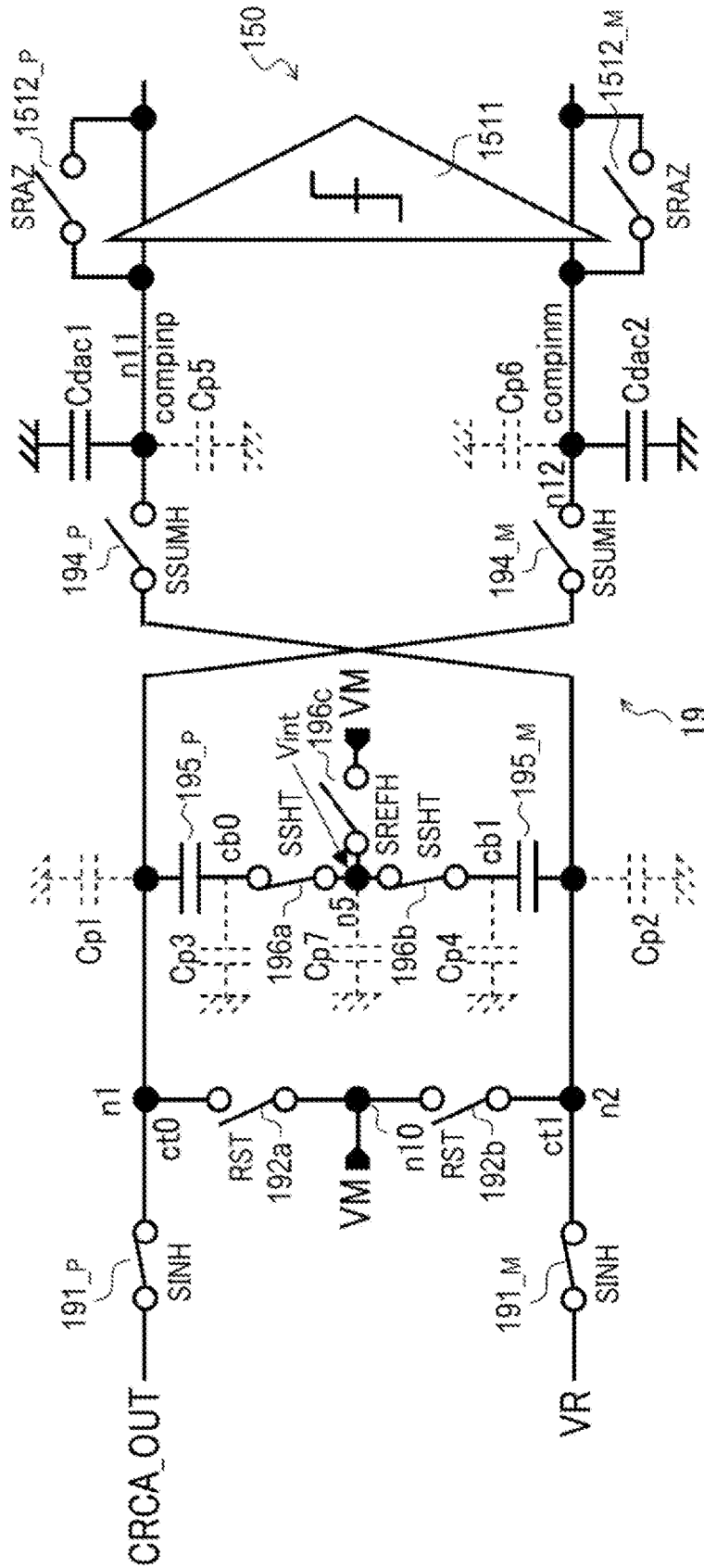
[図16]



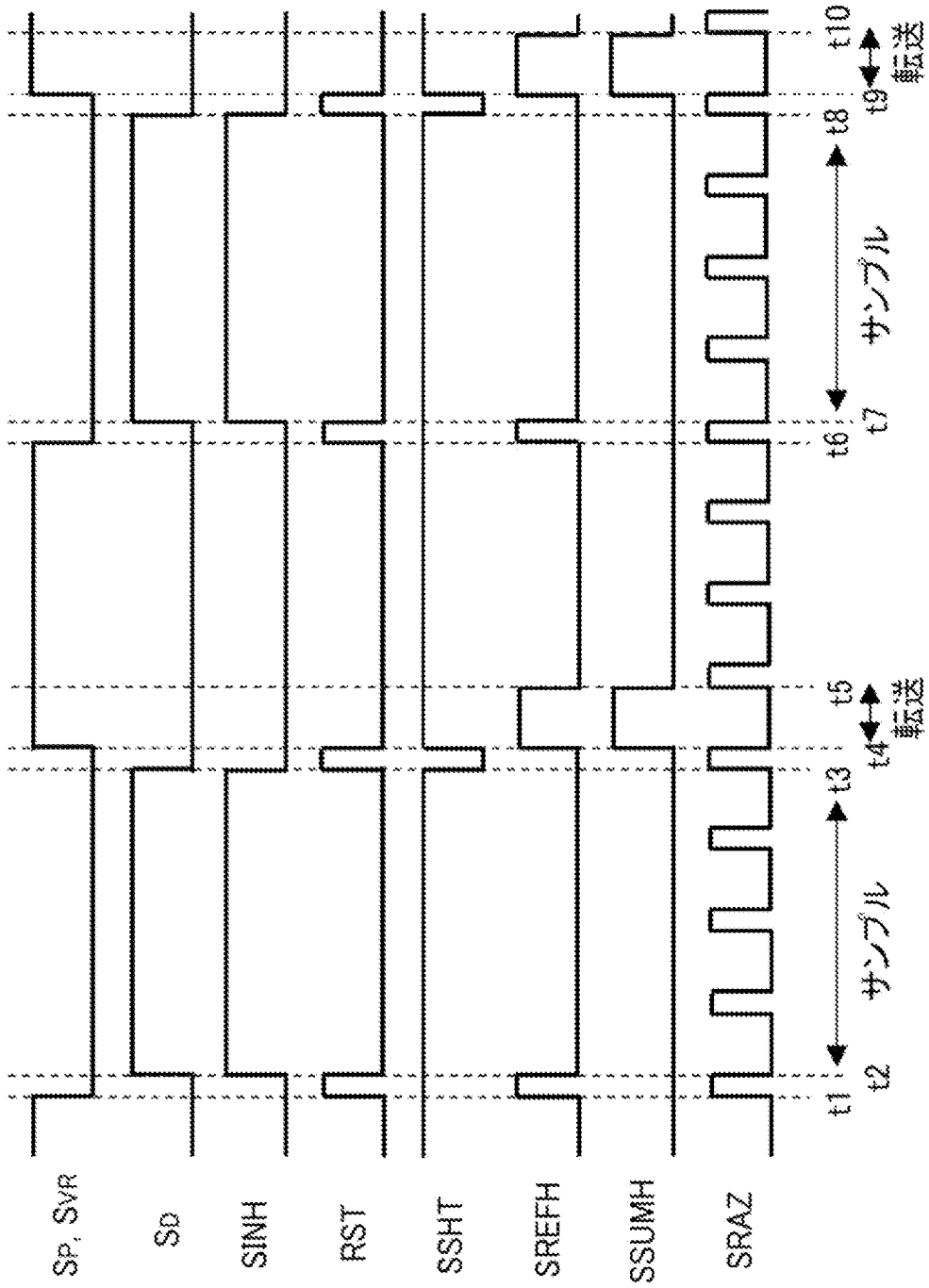
[図17]



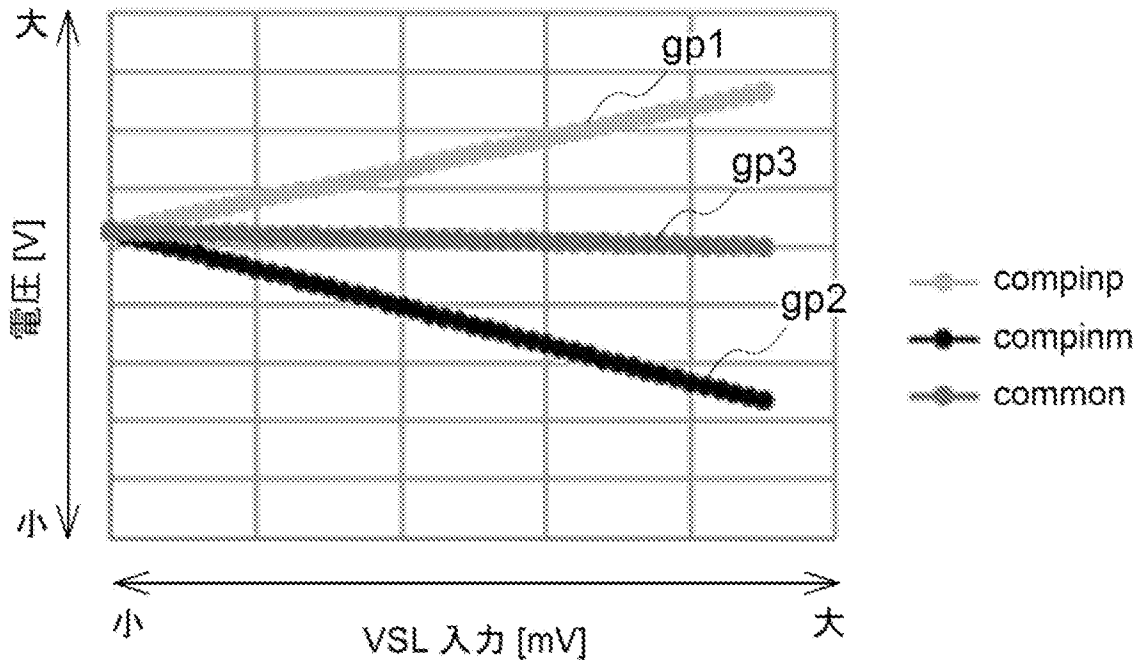
[圖18]



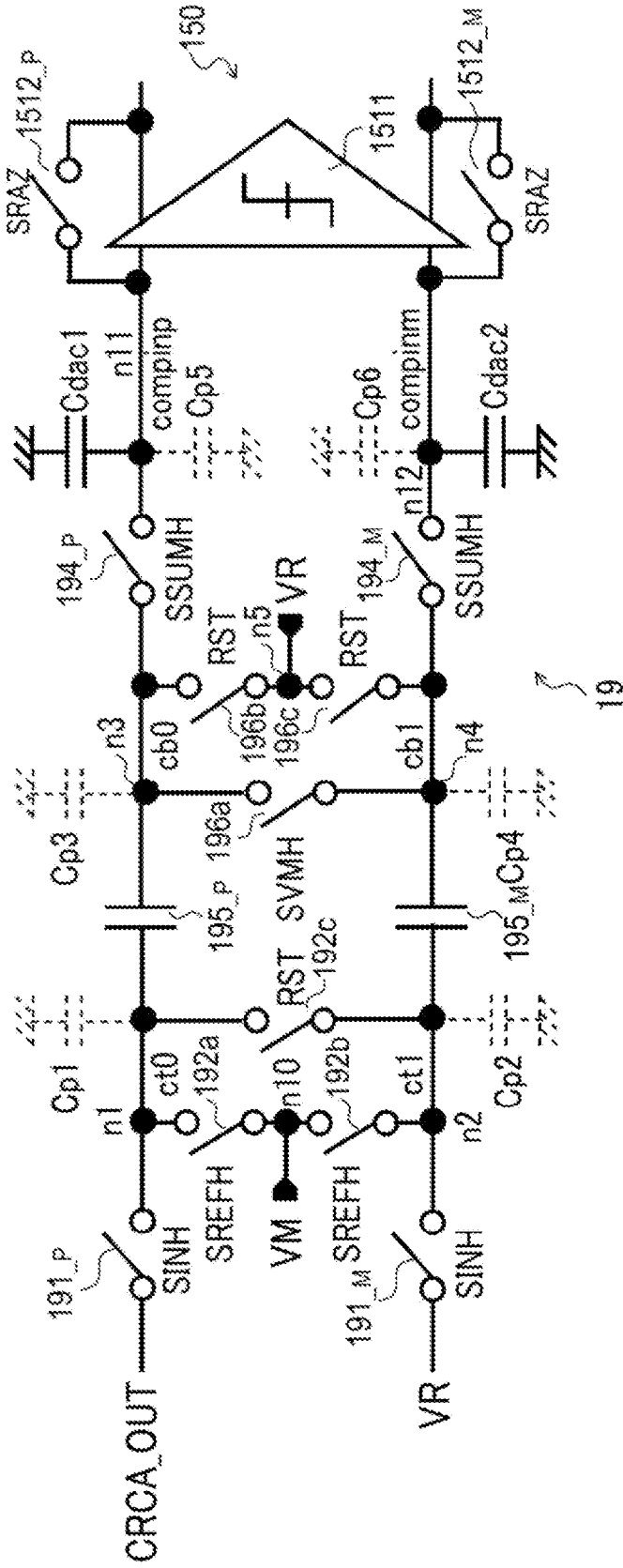
[図19]



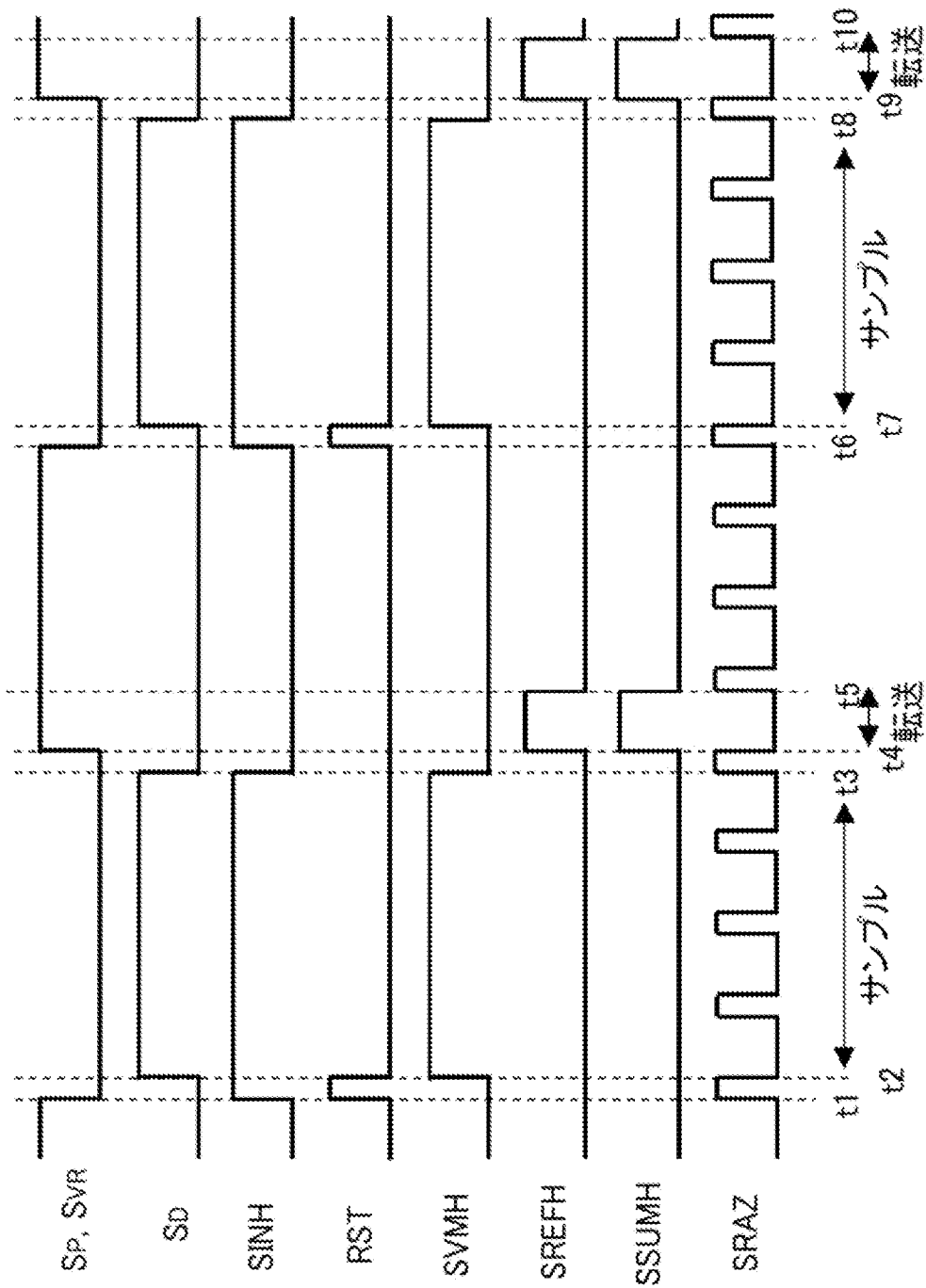
[図20]



[図21]

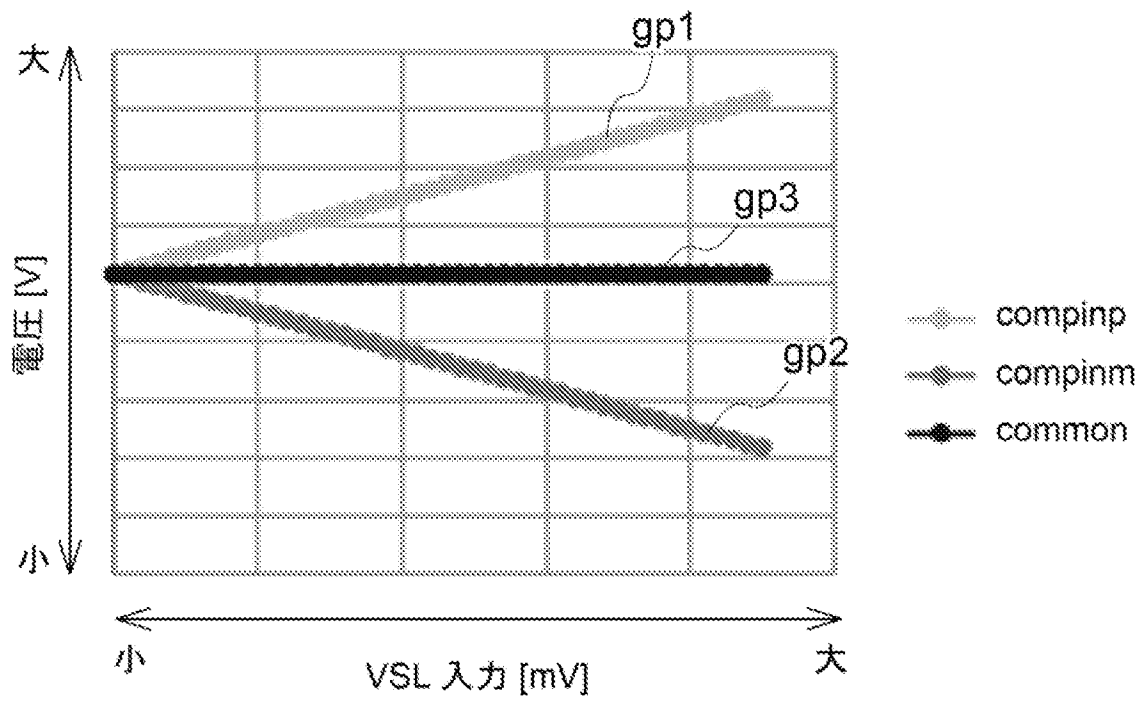


[図22]



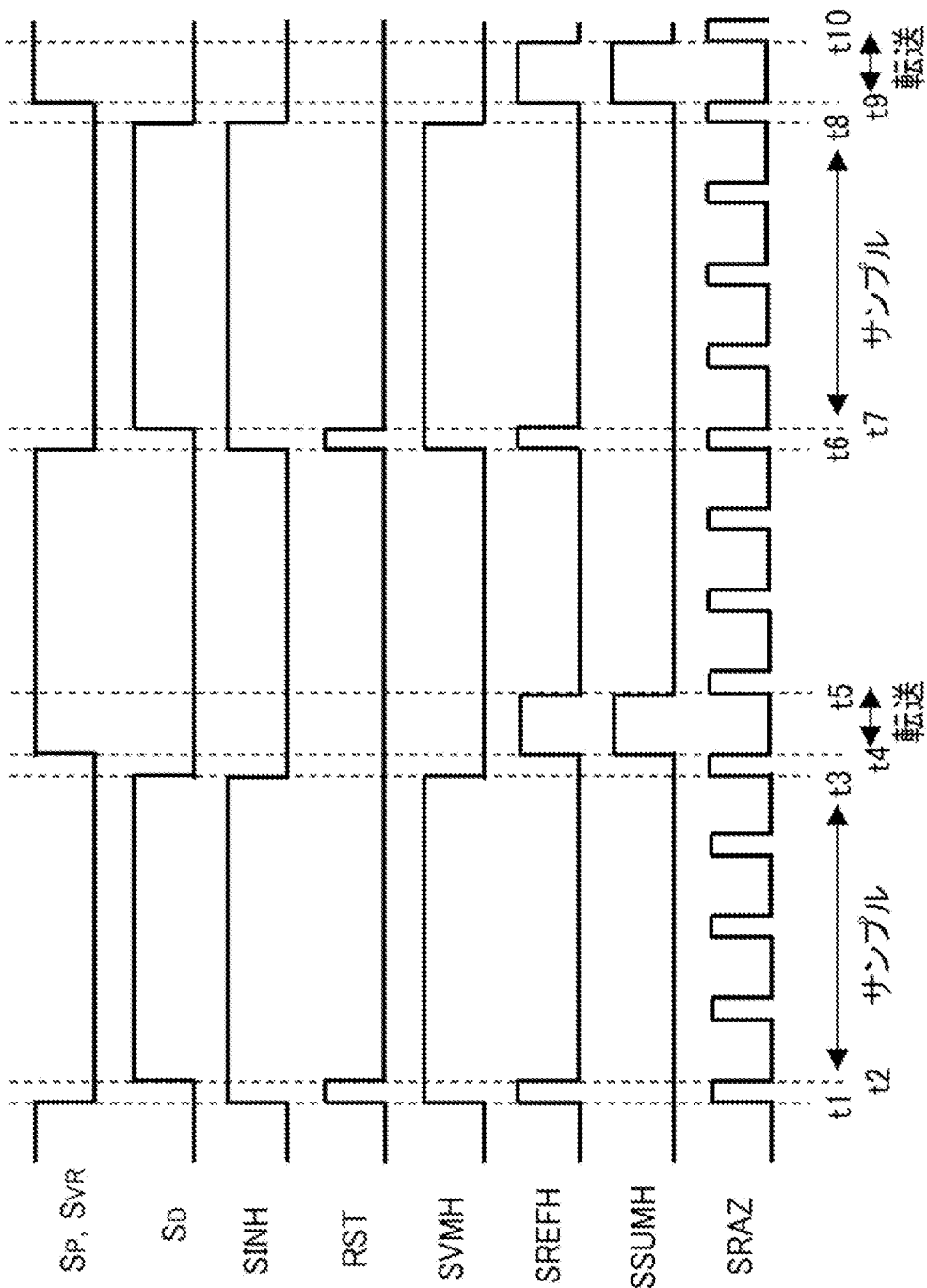


[図23]

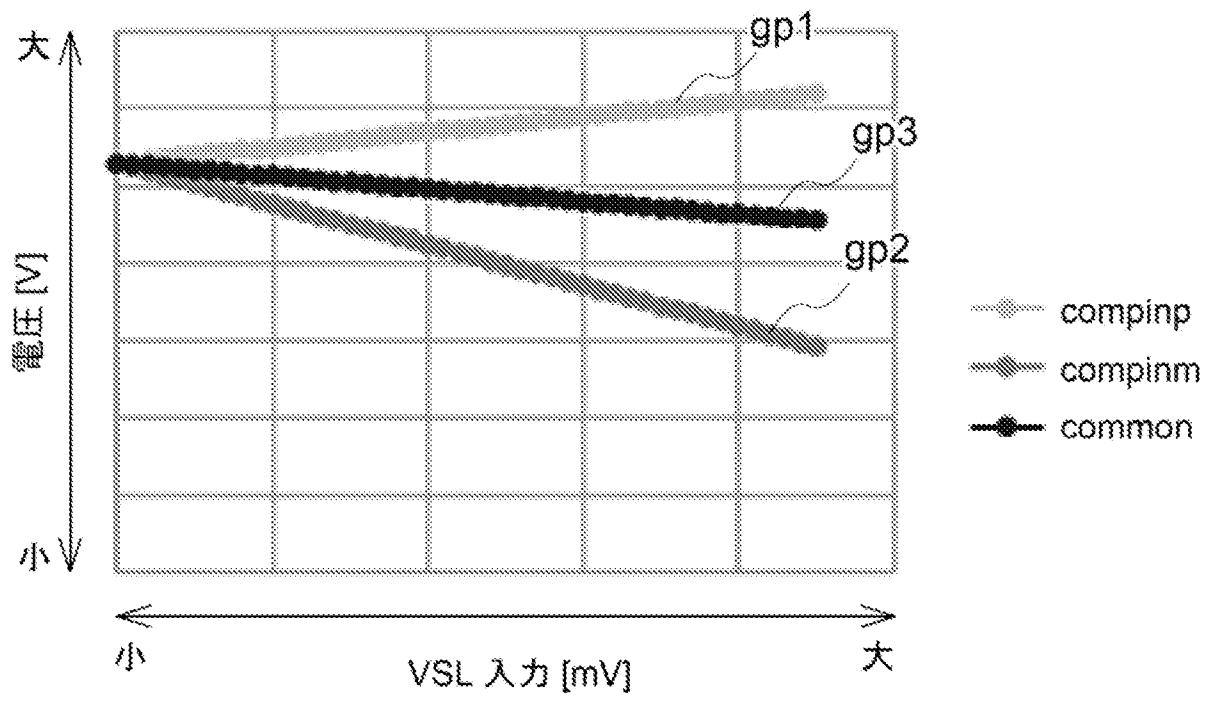




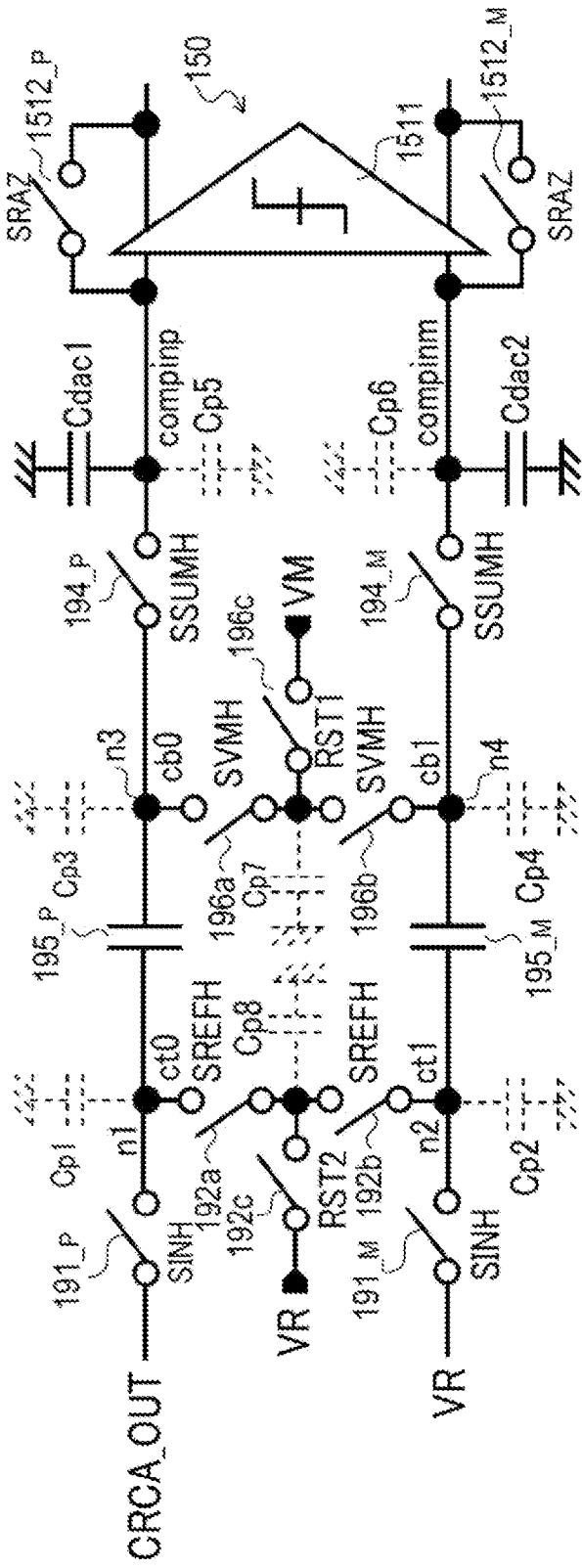
[図25]



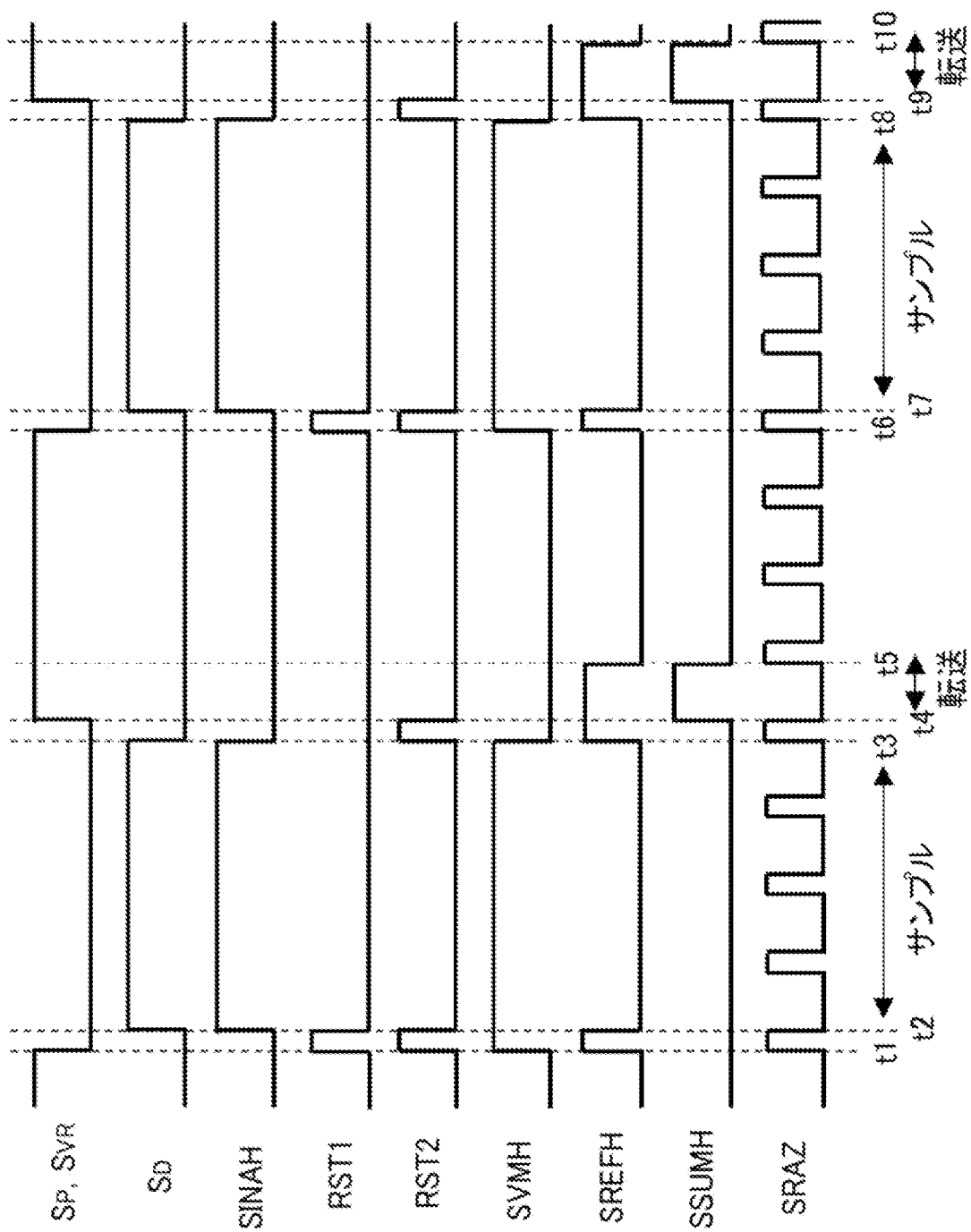
[図26]



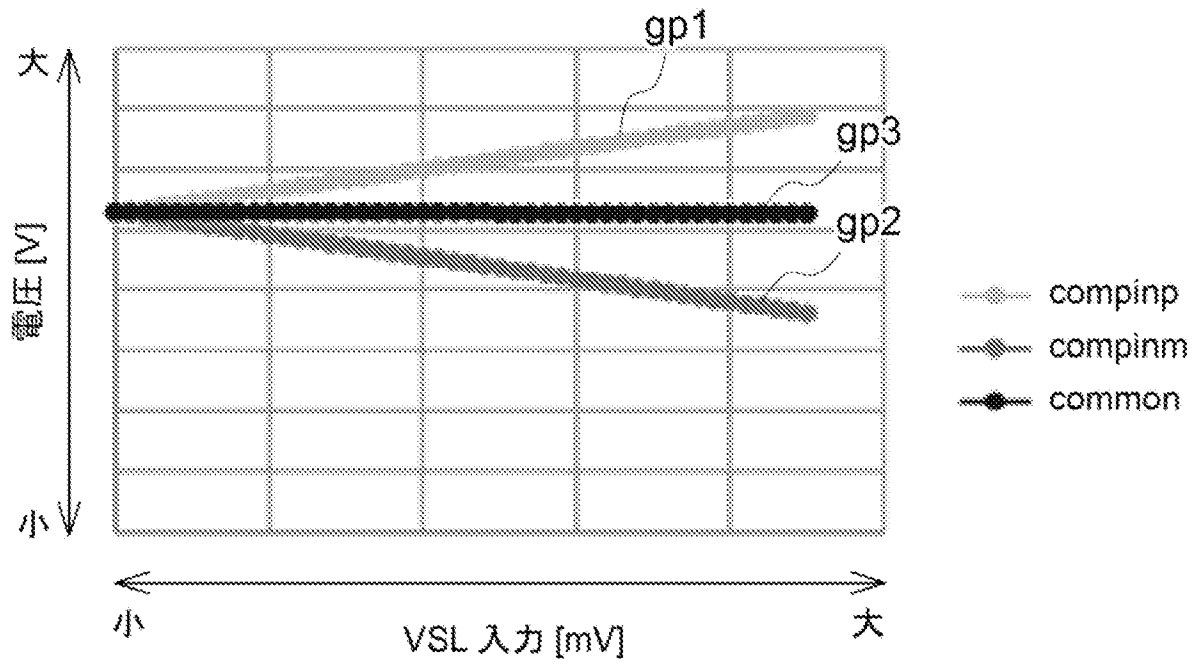
[図27]



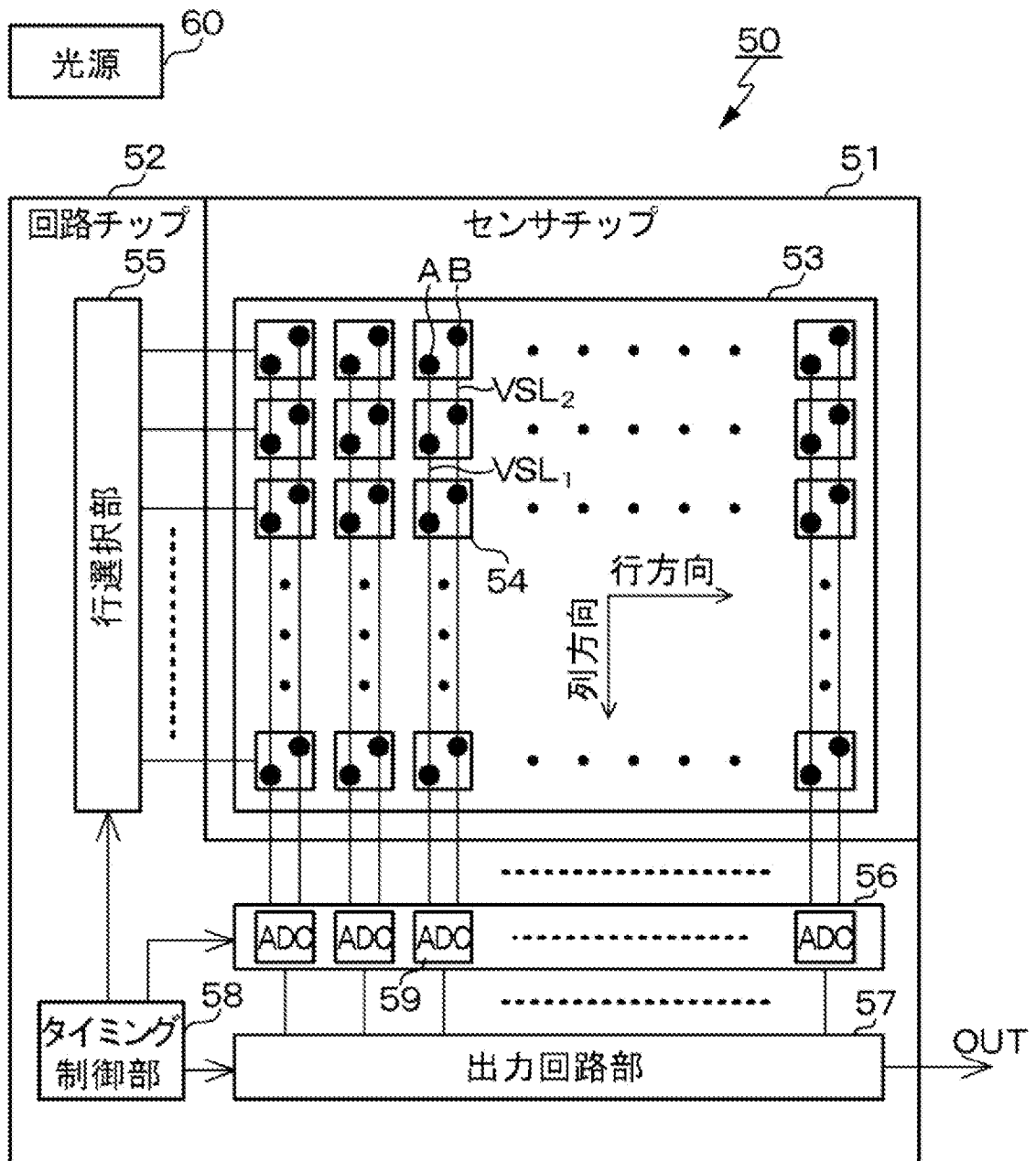
[図28]



[図29]

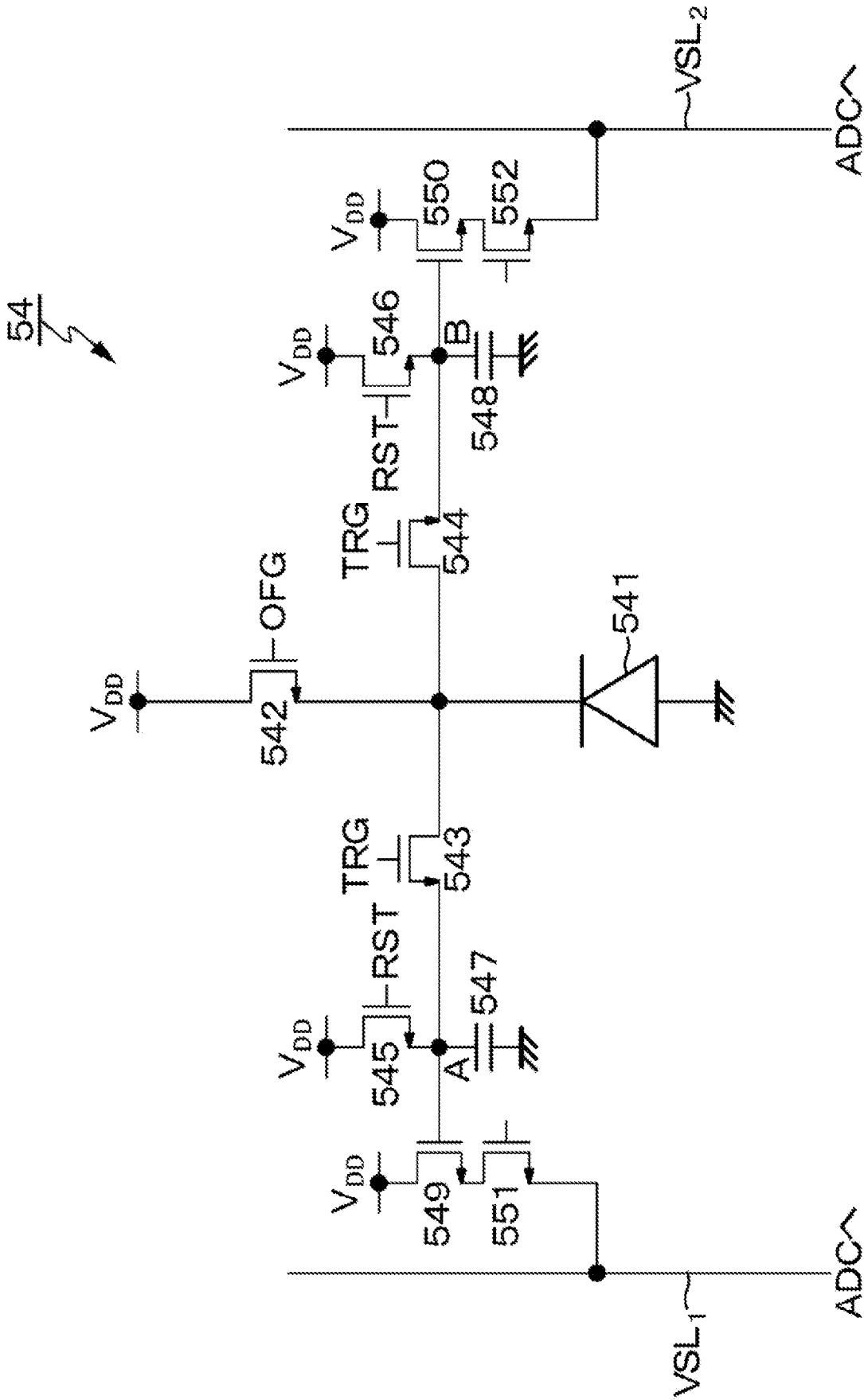


[図30]

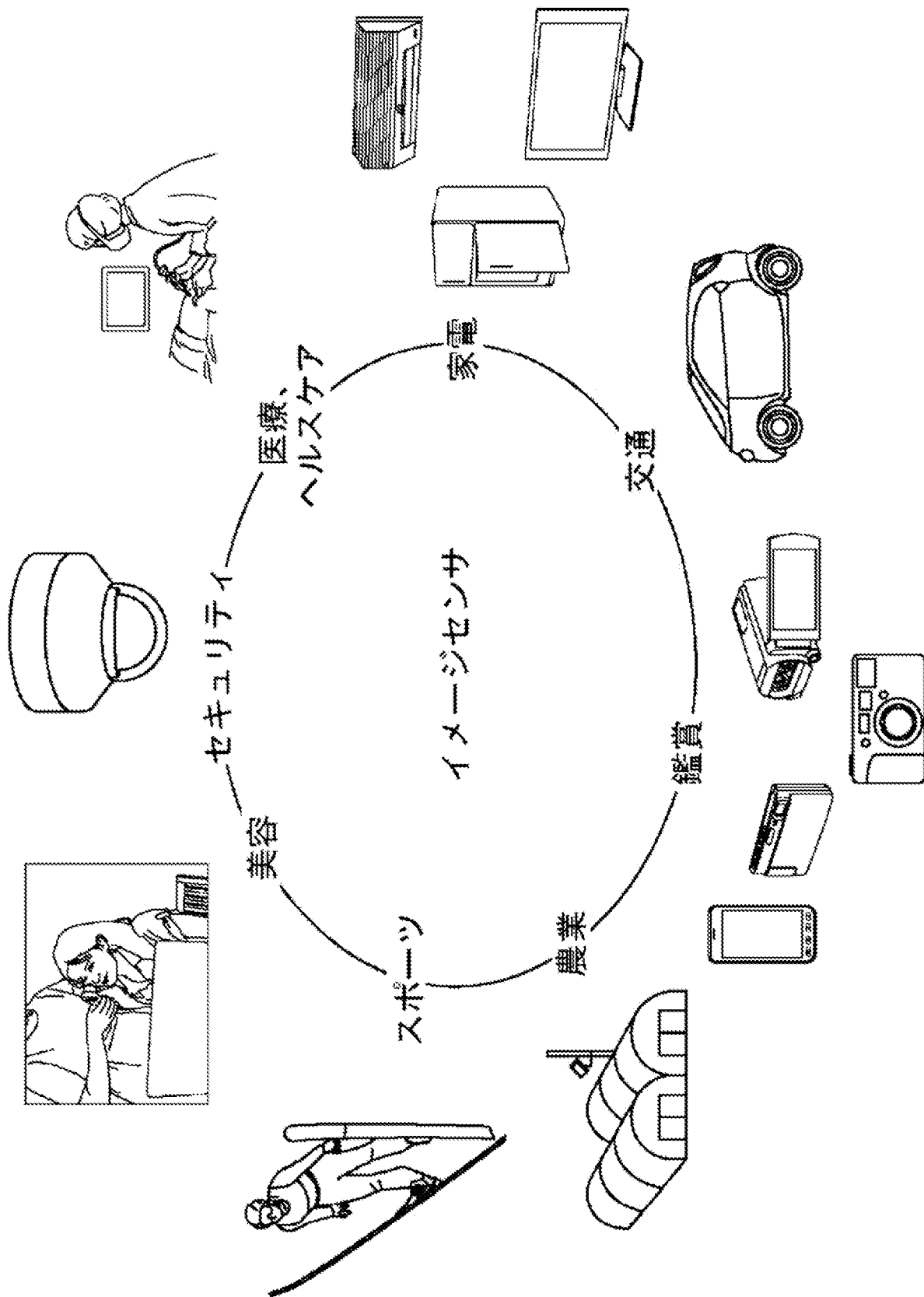




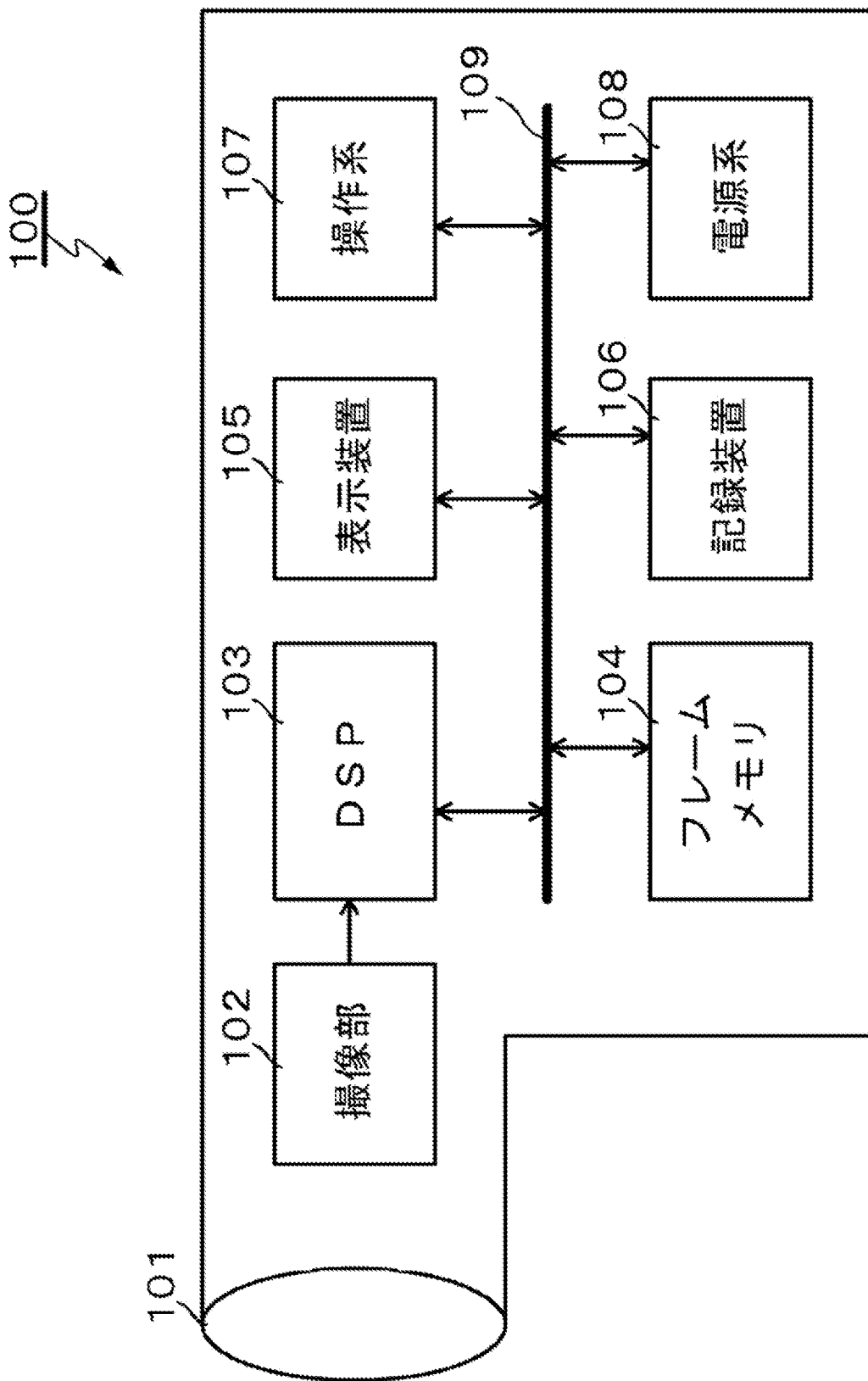
[図31]



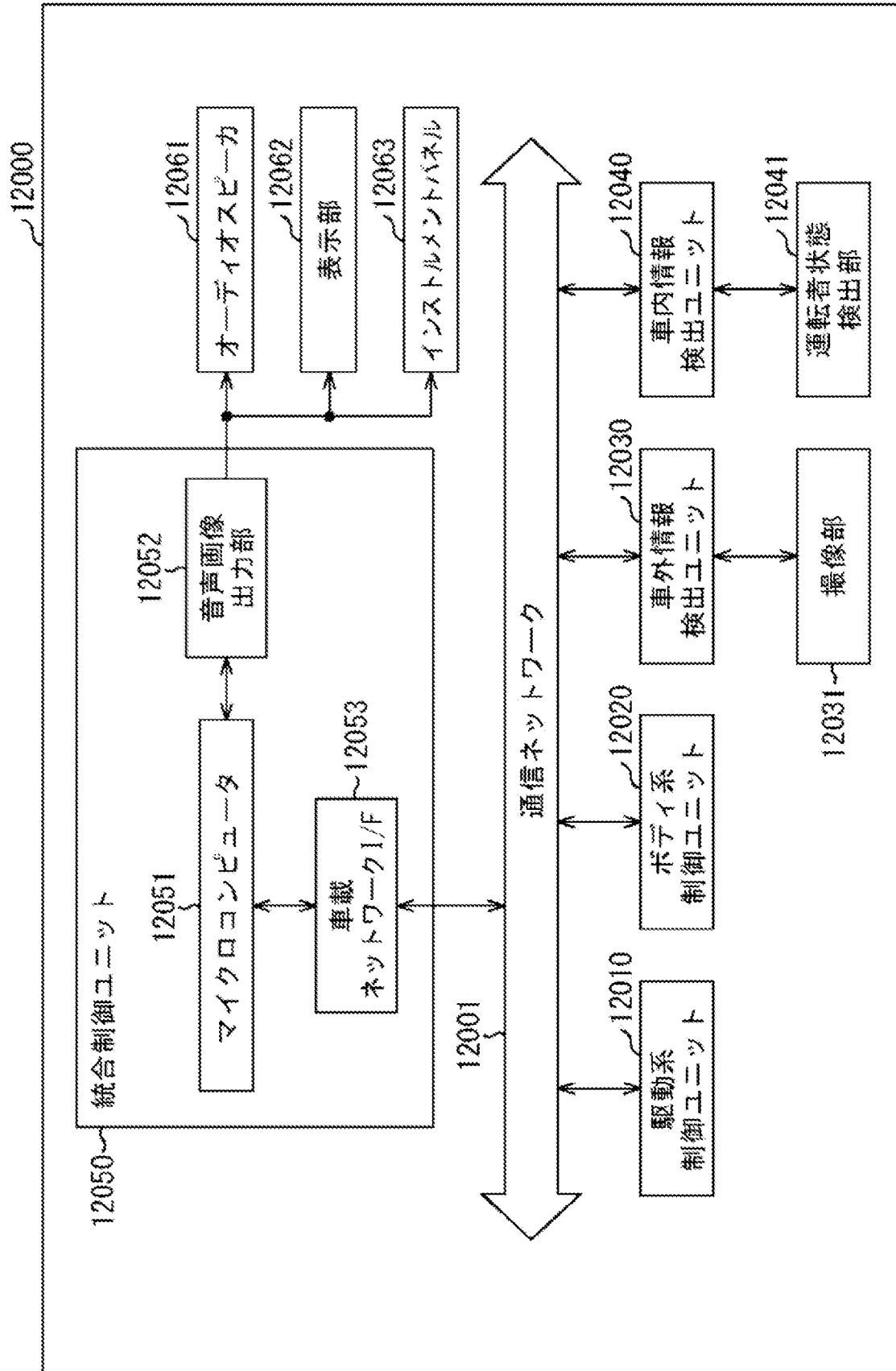
[図32]



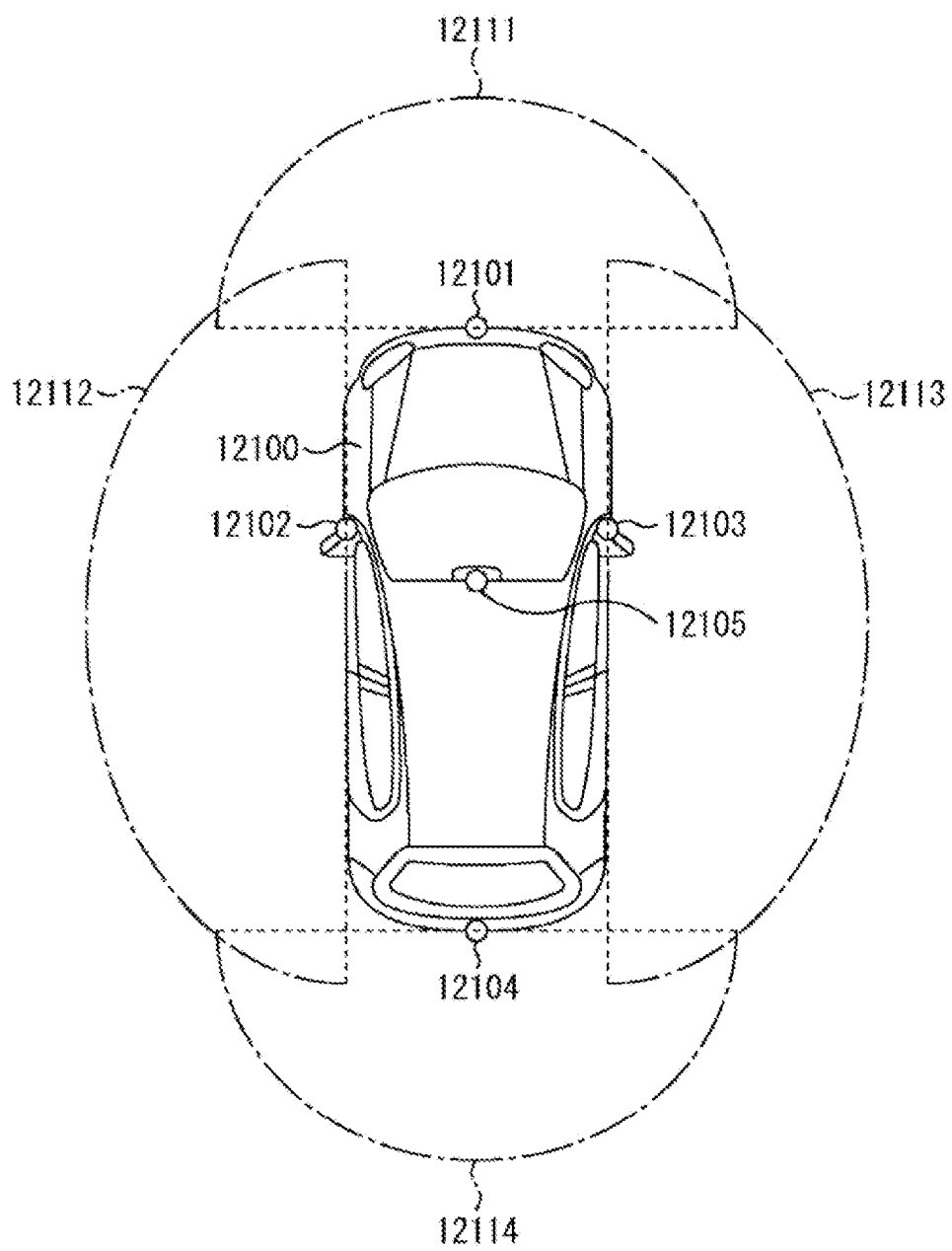
[図33]



[図34]



[図35]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2021/022996

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl. H04N5/378 (2011.01) i, H03M1/38 (2006.01) i, H04N5/363 (2011.01) i, H04N5/369 (2011.01) i

FI: H04N5/378, H04N5/363, H03M1/38, H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/378, H03M1/38, H04N5/363, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-12933 A (RENESAS ELECTRONICS CORP.) 24 January 2019 (2019-01-24), paragraphs [0144]-[0168], fig. 17, 18	1-20
A	JP 2008-206971 A (CANON INC.) 11 September 2008 (2008-09-11), paragraphs [0023]-[0032], fig. 3	1-20
A	JP 2019-92143 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 13 June 2019 (2019-06-13), fig. 25	1-20

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
03 August 2021

Date of mailing of the international search report  
10 August 2021

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer  
  
Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

PCT/JP2021/022996

JP 2019-12933 A	24 January 2019	US 2019/0007637 A1 paragraphs [0178]-[0207], fig. 17, 18
JP 2008-206971 A	11 September 2008	US 2009/0001276 A1 paragraphs [0035]-[0043], fig. 3
JP 2019-92143 A	13 June 2019	WO 2019/092994 A1 fig. 25

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/378(2011.01)i; H03M 1/38(2006.01)i; H04N 5/363(2011.01)i; H04N 5/369(2011.01)i FI: H04N5/378; H04N5/363; H03M1/38; H04N5/369		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N5/378; H03M1/38; H04N5/363; H04N5/369 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2019-12933 A (ルネサスエレクトロニクス株式会社) 24.01.2019 (2019-01-24) 段落[0144]-[0168]、図17-18	1-20
A	JP 2008-206971 A (キヤノン株式会社) 11.09.2008 (2008-09-11) 段落[0023]-[0032]、図3	1-20
A	JP 2019-92143 A (ソニーセミコンダクタソリューションズ株式会社) 13.06.2019 (2019-06-13) 図25	1-20
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日	03.08.2021	国際調査報告の発送日 10.08.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  松永 隆志 5V 4228  電話番号 03-3581-1101 内線 3571	



国際調査報告  
 パテントファミリーに関する情報

国際出願番号  
 PCT/JP2021/022996

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-12933 A	24.01.2019	US 2019/0007637 A1 段落[0178]-[0207]、図17-18	
JP 2008-206971 A	11.09.2008	US 2009/0001276 A1 段落[0035]-[0043]、図3	
JP 2019-92143 A	13.06.2019	WO 2019/092994 A1 図25	