

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5917673号
(P5917673)

(45) 発行日 平成28年5月18日(2016.5.18)

(24) 登録日 平成28年4月15日(2016.4.15)

(51) Int. Cl.	F I		
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 X	
HO 1 L 29/78 (2006.01)	HO 1 L 21/28	3 O 1 S	
HO 1 L 21/28 (2006.01)	HO 1 L 21/28	3 O 1 R	
HO 1 L 29/41 (2006.01)	HO 1 L 29/44	S	
	HO 1 L 29/78	3 O 1 S	

請求項の数 5 (全 23 頁) 最終頁に続く

(21) 出願番号	特願2014-255473 (P2014-255473)	(73) 特許権者	311014428
(22) 出願日	平成26年12月17日(2014.12.17)		ユニサンティス エレクトロニクス シン
(62) 分割の表示	特願2014-521766 (P2014-521766)		ガポール プライベート リミテッド
原出願日	平成25年4月26日(2013.4.26)		Unisantiss Electronics Singapore Pte Ltd.
(65) 公開番号	特開2015-79988 (P2015-79988A)		シンガポール共和国、179098、ノース
(43) 公開日	平成27年4月23日(2015.4.23)		ブリッジロード 111、ペニンシュラ
審査請求日	平成26年12月17日(2014.12.17)		プラザ #16-04
			111, North Bridge Road, #16-04 Peninsula Plaza, Singapore 179098
		(74) 代理人	100092093
			弁理士 辻居 幸一

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に形成されたフィン状半導体層と、
前記フィン状半導体層の周囲に形成された第1の絶縁膜と、
前記フィン状半導体層上に形成された柱状半導体層と、
前記フィン状半導体層の上部と前記柱状半導体層の下部に形成された拡散層と、
前記柱状半導体層の周囲に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の周囲に形成された金属ゲート電極と、
前記金属ゲート電極に接続された金属ゲート配線と、
前記柱状半導体層上部側壁に絶縁膜を介して形成された第3の金属からなるサイドウォールと、を有し、

前記第3の金属からなるサイドウォール上面と前記柱状半導体層上面とは金属により接続されていることを特徴とする半導体装置。

【請求項 2】

前記柱状半導体層の幅は、前記フィン状半導体層の短い方の幅と同じであることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記半導体層は、シリコン層であることを特徴とする請求項1乃至2のいずれか一項に記載の半導体装置。

【請求項 4】

前記拡散層がn型拡散層であって、前記第3の金属の仕事関数は、4.0 eVから4.2 eVの間であることを特徴とする請求項1乃至3のいずれか一項に記載の半導体装置。

【請求項5】

前記拡散層がp型拡散層であって、前記第3の金属の仕事関数は、5.0 eVから5.2 eVの間であることを特徴とする請求項1乃至3のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【背景技術】

【0001】

この発明は半導体装置の製造方法及び半導体装置に関するものである。

半導体集積回路、なかでもMOSトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているMOSトランジスタはナノ領域まで微細化が進んでいる。MOSトランジスタの微細化が進むと、リーク電流の抑制が困難であり、必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、といった問題があった。この様な問題を解決するために、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲートが柱状半導体層を取り囲む構造のSurrounding Gate Transistor (SGT) が提案された(例えば、特許文献1、特許文献2、特許文献3)。

10

【0002】

ゲート電極にポリシリコンではなくメタルを用いることにより、空乏化を抑制できかつ、ゲート電極を低抵抗化できる。しかし、メタルゲートを形成した後工程は常にメタルゲートによるメタル汚染を考慮した製造工程にする必要がある。

20

【0003】

また、従来のMOSトランジスタにおいて、メタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスが実際の製品で用いられている(非特許文献1)。ポリシリコンでゲートを作成し、その後、層間絶縁膜を堆積後、化学機械研磨によりポリシリコンゲートを露出し、ポリシリコンゲートをエッチング後、メタルを堆積している。そのためSGTにおいてもメタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスを用いる必要がある。SGTでは、柱状シリコン層の上部がゲートより高い位置にあるため、メタルゲートラストプロセスを用いるための工夫が必要である。

30

【0004】

メタルゲートラストプロセスでは、ポリシリコンゲートを形成後、イオン注入により拡散層を形成している。SGTでは、柱状シリコン層上部がポリシリコンゲートに覆われるため工夫が必要である。

【0005】

シリコン柱が細くなると、シリコンの密度は 5×10^{22} 個/cm³であるから、シリコン柱内に不純物を存在させることが難しくなってくる。

【0006】

従来のSGTでは、チャネル濃度を 10^{17} cm⁻³以下と低不純物濃度とし、ゲート材料の仕事関数を変えることによってしきい値電圧を決定することが提案されている(例えば、特許文献4を参照)。

40

【0007】

平面型MOSトランジスタにおいて、LDD領域のサイドウォールが低濃度層と同一の導電性を有する多結晶シリコンにより形成され、LDD領域の表面キャリアがその仕事関数差によって誘起され、酸化膜サイドウォールLDD型MOSトランジスタに比してLDD領域のインピーダンスが低減できることが示されている(例えば、特許文献5を参照)。その多結晶シリコンサイドウォールは電氣的にゲート電極と絶縁されていることが示されている。また図中には多結晶シリコンサイドウォールとソース・ドレインとは層間絶縁膜により絶縁していることが示されている。

50

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開平2-71556号公報

【特許文献2】特開平2-188966号公報

【特許文献3】特開平3-145761号公報

【特許文献4】特開2004-356314号公報

【特許文献5】特開平11-297984号公報

【非特許文献】

【0009】

【非特許文献1】IEDM2007 K. Mistry et.al, pp 247-250

【非特許文献2】IEDM2010 CC. Wu, et. al, 27.1.1-27.1.4.

【発明の概要】

【発明が解決しようとする課題】

【0010】

そこで、本発明は、ゲートラストッププロセスであるSGTの製造方法と、柱状半導体層上部を金属と半導体との仕事関数差によってn型半導体層もしくはp型半導体層として機能させる構造を持つSGTとを提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明の半導体装置の製造方法は、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第一の絶縁膜を形成し、前記フィン状半導体層の上部に柱状半導体層を形成する第1工程と、前記第1工程の後、第2の絶縁膜とポリシリコンゲート電極とポリシリコンゲート配線を作成する第3工程と、ここで、前記第2の絶縁膜は前記柱状半導体層の周囲と上部を覆い、ポリシリコンゲート電極は前記第2の絶縁膜を覆うものであり、前記第2工程の後、前記フィン状半導体層上部と前記柱状シリコン層下部に拡散層を形成する第3の工程と、前記第3工程の後、前記フィン状半導体層上部の前記拡散層上部に金属と半導体の化合物を形成する第4工程と、前記第4工程の後、層間絶縁膜を堆積し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線を露出し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線をエッチング後、第1の金属を堆積し、金属ゲート電極と金属ゲート配線とを形成する第5工程と、前記第5工程の後、前記柱状半導体層上部側壁に、第3の金属からなるサイドウォールを形成する第6工程と、を有し、前記第3の金属からなるサイドウォールと前記柱状半導体層上面は接続されていることを特徴とする。

【0012】

また、前記第1工程は、半導体基板上にフィン状半導体層を形成するための第1のレジストを形成し、半導体基板をエッチングし、前記フィン状半導体層を形成し、前記第1のレジストを除去し、前記フィン状半導体層の周囲に第1の絶縁膜を堆積し、前記第1の絶縁膜をエッチバックし、前記フィン状半導体層の上部を露出し、前記フィン状半導体層に直交するように第2のレジストを形成し、前記フィン状半導体層をエッチングし、前記第2のレジストを除去することにより、前記フィン状半導体層と前記第2のレジストとが直交する部分が前記柱状シリコン層となるよう前記柱状半導体層を形成することを特徴とする。

【0013】

また、前記第2工程は、半導体基板上に形成されたフィン状半導体層と、前記フィン状半導体層の周囲に形成された第1の絶縁膜と、前記フィン状半導体層の上部に形成された柱状半導体層と、を有する構造に、第2の絶縁膜を形成し、ポリシリコンを堆積し、前記ポリシリコンを平坦化後のポリシリコンの上面が前記柱状半導体層上部の前記第2の絶縁膜より高い位置になるように平坦化し、第1の窒化膜を堆積し、ポリシリコンゲート電極及びポリシリコンゲート配線を形成するための第3のレジストを形成し、前記第1の窒化

10

20

30

40

50

膜をエッチングし、前記ポリシリコンをエッチングし、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線を形成し、前記第2の絶縁膜をエッチングし、第3のレジストを除去することを特徴とする。

【0014】

また、前記第4工程は、第2の窒化膜を堆積し、前記第2の窒化膜をエッチングし、サイドウォール状に残存し、第2の金属を堆積し、金属と半導体の化合物をフィン状半導体層の上部の拡散層の上部に形成することを特徴とする。

【0015】

また、前記第5工程は、第3の窒化膜を堆積し、層間絶縁膜を堆積し平坦化し、ポリシリコンゲート電極及びポリシリコンゲート配線を露出し、露出した前記第2の窒化膜と前記第3の窒化膜を除去し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線と前記第2の絶縁膜を除去し、ゲート絶縁膜を堆積し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線があった部分に第1の金属を埋めこみ、前記第1の金属をエッチングし、柱状シリコン層上部のゲート絶縁膜を露出し、金属ゲート電極、金属ゲート配線を形成することを特徴とする。

10

【0016】

また、前記第6工程は、前記柱状半導体層の上部を露出し、前記第3の金属を堆積し、前記第3の金属をエッチングし、前記柱状半導体層上部側壁に、第3の金属からなるサイドウォールを形成することを特徴とする。

【0017】

20

また、本発明の半導体装置は、半導体基板上に形成されたフィン状半導体層と、前記フィン状半導体層の周囲に形成された第1の絶縁膜と、前記フィン状半導体層上に形成された柱状半導体層と、前記フィン状半導体層の上部と前記柱状半導体層の下部に形成された拡散層と、前記フィン状半導体層の上部の拡散層の上部に形成された金属と半導体の化合物と、前記柱状半導体層の周囲に形成されたゲート絶縁膜と、前記ゲート絶縁膜の周囲に形成された金属ゲート電極と、前記金属ゲート電極に接続された金属ゲート配線と、前記柱状半導体層上部側壁に形成された第3の金属からなるサイドウォールと、を有し、前記第3の金属からなるサイドウォールと前記柱状半導体層上面は接続されていることを特徴とする。

【0018】

30

また、前記柱状半導体層の幅は、前記フィン状半導体層の短い方の幅と同じであることを特徴とする。

【0019】

また、前記柱状半導体層上部側壁に、絶縁膜を介して前記第3の金属からなるサイドウォールが形成されていることを特徴とする。

【0020】

また、前記半導体層は、シリコン層であることを特徴とする。

【0021】

また、前記拡散層がn型拡散層であって、前記第3の金属の仕事関数は、4.0 eVから4.2 eVの間であることを特徴とする。

40

【0022】

また、前記拡散層がp型拡散層であって、前記第3の金属の仕事関数は、5.0 eVから5.2 eVの間であることを特徴とする。

【0023】

また、前記柱状半導体層上部側壁に、絶縁膜を介して前記第3の金属からなるサイドウォールが形成されていることを特徴とする。

【発明の効果】

【0024】

本発明によれば、ゲートラストプロセスであるSGTの製造方法と、柱状半導体層上部を金属と半導体との仕事関数差によってn型半導体層もしくはp型半導体層として機能さ

50

せる構造を持つSGTとを提供することができる。

【0025】

メタルゲートラストプロセスをSGTに適用しようとする、柱状半導体層上部がポリシリコンゲートに覆われるため、柱状半導体層上部に拡散層を形成することが難しい。従って、ポリシリコンゲート形成前に柱状半導体層上部に拡散層を形成することとなる。一方、本発明では、柱状半導体層上部に拡散層を形成せず、柱状半導体層上部を金属と半導体との仕事関数差によってn型半導体層もしくはp型半導体層として機能させることができる。従って、柱状半導体層上部に拡散層を形成する工程を削減することができる。

【図面の簡単な説明】

【0026】

【図1】(a)は本発明に係る半導体装置の平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図2】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図3】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図4】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図5】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図6】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図7】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図8】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図9】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図10】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図11】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図12】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図13】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図14】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図15】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図16】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図17】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図18】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図19】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

【図20】(a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

10

20

30

40

50

【図 2 1】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 2 2】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 2 3】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 2 4】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 2 5】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

10

【図 2 6】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 2 7】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 2 8】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 2 9】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 3 0】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

20

【図 3 1】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 3 2】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 3 3】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 3 4】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 3 5】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

30

【図 3 6】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 3 7】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 3 8】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 3 9】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

【図 4 0】(a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a) の X - X' 線での断面図である。(c) は(a) の Y - Y' 線での断面図である。

40

【発明を実施するための形態】

【0027】

以下に、本発明の実施形態に係る SGT の構造を形成するための製造工程を、図 2 ~ 図 40 を参照して説明する。

【0028】

まず、半導体基板上にフィン状半導体層を形成するための第 1 のレジストを形成し、半導体基板をエッチングし、前記フィン状半導体層を形成し、前記第 1 のレジストを除去し、前記フィン状半導体層の周囲に第 1 の絶縁膜を堆積し、前記第 1 の絶縁膜をエッチバックし、前記フィン状半導体層の上部を露出し、前記フィン状半導体層に直交するように第 2 のレジストを形成し、前記フィン状半導体層をエッチングし、前記第 2 のレジストを除

50

去することにより、前記フィン状半導体層と前記第2のレジストとが直交する部分が前記柱状シリコン層となるよう前記柱状半導体層を形成する第1工程を示す。本実施例では、半導体基板の材料としてシリコンを用いたが、シリコン以外の半導体材料を使用することもできる。

【0029】

図2に示すように、シリコン基板101上にフィン状シリコン層を形成するための第1のレジスト102を形成する。

【0030】

図3に示すように、シリコン基板101をエッチングし、フィン状シリコン層103を形成する。今回はレジストをマスクとしてフィン状シリコン層を形成したが、マスクとしては、酸化膜や窒化膜といったハードマスクを用いてもよい。

10

【0031】

図4に示すように、第1のレジスト102を除去する。

【0032】

図5に示すように、フィン状シリコン層103の周囲に第1の絶縁膜104を堆積する。第1の絶縁膜としては、高密度プラズマによる酸化膜や低圧化学気相堆積による酸化膜を用いてもよい。

【0033】

図6に示すように、第1の絶縁膜104をエッチバックし、フィン状シリコン層103の上部を露出する。

20

【0034】

図7に示すように、フィン状シリコン層103に直交するように第2のレジスト105を形成する。フィン状シリコン層103とレジスト105とが直交する部分が柱状シリコン層となる部分である。ライン状のレジストを用いることができるため、パターン後にレジストが倒れる可能性が低く、安定したプロセスとなる。

【0035】

図8に示すように、フィン状シリコン層103をエッチングする。フィン状シリコン層103と第2のレジスト105とが直交する部分が柱状シリコン層106となる。従って、柱状シリコン層106の幅は、フィン状シリコン層の幅と同じとなる。フィン状シリコン層103の上部に柱状シリコン層106が形成され、フィン状シリコン層103の周囲には第1の絶縁膜104が形成された構造となる。

30

【0036】

図9に示すように、第2のレジスト105を除去する。

【0037】

以上により、半導体基板上にフィン状半導体層を形成するための第1のレジストを形成し、半導体基板をエッチングし、前記フィン状半導体層を形成し、前記第1のレジストを除去し、前記フィン状半導体層の周囲に第1の絶縁膜を堆積し、前記第1の絶縁膜をエッチバックし、前記フィン状半導体層の上部を露出し、前記フィン状半導体層に直交するように第2のレジストを形成し、前記フィン状半導体層をエッチングし、前記第2のレジストを除去することにより、前記フィン状半導体層と前記第2のレジストとが直交する部分が前記柱状シリコン層となるよう前記柱状半導体層を形成する第1工程が示された。

40

【0038】

次に、第2の絶縁膜を形成し、ポリシリコンを堆積し、前記ポリシリコンを平坦化後のポリシリコンの上面が前記柱状半導体層上部の前記第2の絶縁膜より高い位置になるように平坦化し、第1の窒化膜を堆積し、ポリシリコンゲート電極及びポリシリコンゲート配線を形成するための第3のレジストを形成し、前記第1の窒化膜をエッチングし、前記ポリシリコンをエッチングし、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線を形成し、前記第2の絶縁膜をエッチングし、第3のレジストを除去する第2工程を示す。

【0039】

50

図10に示すように、第2の絶縁膜113を形成し、ポリシリコン114を堆積し、平坦化する。平坦化後のポリシリコンの上面は、柱状シリコン層106上部の第2の絶縁膜113より高い位置とする。これにより、層間絶縁膜を堆積後、化学機械研磨によりポリシリコンゲート電極及びポリシリコンゲート配線を露出したとき、化学機械研磨により柱状シリコン層上部が露出しないようになる。第2の絶縁膜としては、堆積による酸化膜もしくは熱酸化膜が好ましい。また、第1の窒化膜115を堆積する。この第1の窒化膜115は、シリサイドをフィン状シリコン層上部に形成するとき、ポリシリコンゲート電極及びポリシリコンゲート配線上部にシリサイドが形成されることを阻害する膜である。

【0040】

図11に示すように、ポリシリコンゲート電極及びポリシリコンゲート配線を形成するための第3のレジスト116を形成する。フィン状シリコン層103に対してゲート配線となる部分が直交することが望ましい。ゲート配線と基板間の寄生容量が低減するためである。

10

【0041】

図12に示すように、第1の窒化膜115をエッチングする。

【0042】

図13に示すように、ポリシリコン114をエッチングし、ポリシリコンゲート電極114a及びポリシリコンゲート配線114bを形成する。

【0043】

図14に示すように、第2の絶縁膜113をエッチングする。

20

【0044】

図15に示すように、第3のレジスト116を除去する。

【0045】

以上により、第2の絶縁膜を形成し、ポリシリコンを堆積し、前記ポリシリコンを平坦化後のポリシリコンの上面が前記柱状半導体層上部の前記第2の絶縁膜より高い位置になるように平坦化し、第1の窒化膜を堆積し、ポリシリコンゲート電極及びポリシリコンゲート配線を形成するための第3のレジストを形成し、前記第1の窒化膜をエッチングし、前記ポリシリコンをエッチングし、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線を形成し、前記第2の絶縁膜をエッチングし、第3のレジストを除去する第2工程が示された。

30

【0046】

次に、前記フィン状半導体層上部と前記柱状シリコン層下部に拡散層を形成する第3の工程を示す。

【0047】

図16に示すように、nMOSであれば砒素やリン、pMOSであればボロンやBF₂といった不純物を注入し、熱処理を行うことで、フィン状シリコン層103上部と柱状シリコン層106下部に拡散層112を形成する。このとき、柱状シリコン層106上部はポリシリコンゲート電極により覆われているため、拡散層は形成されない。

【0048】

以上により、前記フィン状半導体層上部と前記柱状シリコン層下部に拡散層を形成する第3工程が示された。

40

【0049】

次に、第2の窒化膜を堆積し、前記第2の窒化膜をエッチングし、サイドウォール状に残存し、第2の金属を堆積し、金属と半導体の化合物をフィン状半導体層の上部の拡散層の上部に形成する第4工程を示す。

【0050】

図17に示すように、第2の窒化膜117を堆積する。

【0051】

図18に示すように、第2の窒化膜117をエッチングし、サイドウォール状に残存させる。

50

【 0 0 5 2 】

図 19 に示すように、ニッケル、コバルトといった第 2 の金属を堆積し、金属と半導体の化合物すなわちシリサイド 118 をフィン状シリコン層 103 の上部の拡散層 112 の上部に形成する。このとき、ポリシリコンゲート電極 114 a 及びポリシリコンゲート配線 114 b は、第 2 の窒化膜 117、第 1 の窒化膜 115 に覆われ、柱状シリコン層 106 上部は、第 2 の絶縁膜 113 とポリシリコンゲート電極 114 a 及びポリシリコンゲート配線 114 b に覆われているので、シリサイドが形成されない。

【 0 0 5 3 】

以上により、第 2 の窒化膜を堆積し、前記第 2 の窒化膜をエッチングし、サイドウォール状に残存し、第 2 の金属を堆積し、金属と半導体の化合物をフィン状半導体層の上部の拡散層の上部に形成する第 4 工程が示された。

10

【 0 0 5 4 】

次に、第 3 の窒化膜を堆積し、層間絶縁膜を堆積し平坦化し、ポリシリコンゲート電極及びポリシリコンゲート配線を露出し、露出した前記第 2 の窒化膜と前記第 3 の窒化膜を除去し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線と前記第 2 の絶縁膜を除去し、ゲート絶縁膜を堆積し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線があった部分に第 1 の金属を埋めこみ、前記第 1 の金属をエッチングし、柱状シリコン層上部のゲート絶縁膜を露出し、金属ゲート電極、金属ゲート配線を形成する第 5 工程を示す。

【 0 0 5 5 】

図 20 に示すように、シリサイド 118 を保護するために、第 3 の窒化膜 119 を堆積する。

20

【 0 0 5 6 】

図 21 に示すように、層間絶縁膜 120 を堆積し、化学機械研磨により平坦化する。

【 0 0 5 7 】

図 22 に示すように、層間絶縁膜 120 をエッチバックし、ポリシリコンゲート電極 114 a 及びポリシリコンゲート配線 114 b を覆う第 2 の窒化膜 115 と第 3 の窒化膜 119 を露出する。

【 0 0 5 8 】

図 23 に示すように、露出した第 2 の窒化膜 115 と第 3 の窒化膜 119 を除去し、ポリシリコンゲート電極 114 a 及びポリシリコンゲート配線 114 b を露出する。第 2 の窒化膜 115 と第 3 の窒化膜 119 の除去に使用するエッチングは、等方性エッチングもしくはウエットエッチングが望ましい。

30

【 0 0 5 9 】

図 24 に示すように、露出したポリシリコンゲート電極 114 a 及びポリシリコンゲート配線 114 b を除去する。このときのエッチングも、等方性エッチングもしくはウエットエッチングが望ましい。

【 0 0 6 0 】

図 25 に示すように、第 2 の絶縁膜 113 を除去する。

【 0 0 6 1 】

図 26 に示すように、ゲート絶縁膜 121 と第 1 の金属 122 を堆積する。ポリシリコンゲート電極 114 a 及びポリシリコンゲート配線 114 b があった部分に第 1 の金属 122 を埋めこむ。この埋め込みには、原子層堆積を用いることが好ましい。ゲート絶縁膜 121 としては、酸化膜、酸窒化膜、高誘電体膜といった、半導体工程に一般的に用いられるものを使用することができる。第 1 の金属 122 は、半導体工程に用いられ、トランジスタのしきい値電圧を設定する金属であればよい。このとき、前記第 1 の金属 112 の仕事関数は 4.2 eV から 5.0 eV の間であると、エンハンスメント型として動作することができる。

40

【 0 0 6 2 】

図 27 に示すように、第 1 の金属 122 をエッチングし、柱状シリコン層 106 上部の

50

ゲート絶縁膜 1 2 1 を露出する。これにより、金属ゲート電極 1 2 2 a、金属ゲート配線 1 2 2 b が形成される。

【 0 0 6 3 】

以上により、第 3 の窒化膜を堆積し、層間絶縁膜を堆積し平坦化し、ポリシリコンゲート電極及びポリシリコンゲート配線を露出し、露出した前記第 2 の窒化膜と前記第 3 の窒化膜を除去し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線と前記第 2 の絶縁膜を除去し、ゲート絶縁膜を堆積し、前記ポリシリコンゲート電極及び前記ポリシリコンゲート配線があった部分に第 1 の金属を埋めこみ、前記第 1 の金属をエッチングし、柱状シリコン層上部のゲート絶縁膜を露出し、金属ゲート電極、金属ゲート配線を形成する第 5 工程が示された。

10

【 0 0 6 4 】

次に、前記柱状半導体層の上部を露出し、前記第 3 の金属を堆積し、前記第 3 の金属をエッチングし、前記柱状半導体層上部側壁に、第 3 の金属からなるサイドウォールを形成する第 6 工程を示す。

【 0 0 6 5 】

図 2 8 に示すように、酸化膜 1 2 3 を堆積する。

【 0 0 6 6 】

図 2 9 に示すように、酸化膜 1 2 3 をエッチバックし金属ゲート電極 1 2 2 a 上面に残存させる。このときのエッチングは、等方性エッチングが好ましい。このとき、前記柱状シリコン層 1 0 6 の上部が露出する。

20

【 0 0 6 7 】

図 3 0 に示すように、第 3 の金属 1 2 4 を堆積する。

【 0 0 6 8 】

前記第 3 の金属 1 2 4 の仕事関数が 4 . 0 e V から 4 . 2 e V の間であるとき、n 型シリコンの仕事関数 4 . 0 5 e V の近傍であるため、柱状シリコン層 1 0 6 上部は、n 型シリコンとして機能する。このときの第 3 の金属 1 2 4 としては、例えば、タンタルとチタンの化合物 (T a T i) や窒化タンタル (T a N) が好ましい。

【 0 0 6 9 】

前記第 3 の金属 1 2 4 の仕事関数が 5 . 0 e V から 5 . 2 e V の間であるとき、p 型シリコンの仕事関数 5 . 1 5 e V の近傍であるため、柱状シリコン層 1 0 6 上部は、p 型シリコンとして機能する。このときの第 3 の金属 1 2 4 としては、例えば、ルテニウム (R u) や窒化チタン (T i N) が好ましい。

30

【 0 0 7 0 】

図 3 1 に示すように、第 3 の金属 1 2 4 をエッチングし、柱状シリコン層 1 0 6 上部側壁に、第 3 の金属 1 2 4 からなるサイドウォールを形成する。ゲート絶縁膜 1 2 1 が柱状シリコン層 1 0 6 側壁に残っている場合には、柱状シリコン層 1 0 6 上部側壁に、絶縁膜 1 2 1 を介して第 3 の金属 1 2 4 からなるサイドウォールが形成されることとなる。

【 0 0 7 1 】

以上により、前記柱状半導体層の上部を露出し、前記第 3 の金属を堆積し、前記第 3 の金属をエッチングし、前記柱状半導体層上部側壁に、第 3 の金属からなるサイドウォールを形成する第 6 工程が示された。

40

【 0 0 7 2 】

次に、コンタクト及び金属配線を形成する工程を示す。

【 0 0 7 3 】

図 3 2 に示すように、層間絶縁膜 1 2 5 を堆積し、平坦化し、エッチバックし、柱状シリコン層 1 0 6 上面及び第 3 の金属 1 2 4 からなるサイドウォールの上面を露出する。

【 0 0 7 4 】

図 3 3 に示すように、金属ゲート配線 1 2 2 b 上、フィン状シリコン層 1 0 3 上にコンタクト孔を形成するための第 4 のレジスト 1 2 6 を形成する。

【 0 0 7 5 】

50

図34に示すように、層間絶縁膜120、125と酸化膜123をエッチングし、コンタクト孔127、128を形成する。

【0076】

図35に示すように、第4のレジスト126を除去する。

【0077】

図36に示すように、第3の窒化膜119をエッチングし、シリサイド118を露出する。

【0078】

図37に示すように、金属129を堆積する。これにより、コンタクト130、131が形成される。このとき、第3の金属124からなるサイドウォールと前記柱状シリコン層106上面は接続される。従って、柱状シリコン層106上部と、第3の金属124からなるサイドウォールには同電位が印加される。柱状シリコン層106上部は、第3の金属124とシリコンとの仕事関数差によってキャリアが誘起されることとなる。

10

【0079】

図38に示すように、金属配線を形成するための第5のレジスト132、133、134を形成する。

【0080】

図39に示すように、金属129をエッチングし、金属配線135、136、137を形成する。

【0081】

20

図40に示すように、第5のレジスト132、133、134を除去する。

【0082】

以上により、コンタクト及び金属配線を形成する工程が示された。

【0083】

上記製造方法の結果を図1に示す。

【0084】

シリコン基板101上に形成されたフィン状シリコン層103と、前記フィン状シリコン層103の周囲に形成された第1の絶縁膜104と、前記フィン状シリコン層103上に形成された柱状シリコン層106と、前記フィン状シリコン層103の上部と前記柱状シリコン層106の下部に形成された拡散層112と、前記フィン状シリコン層103の上部の拡散層112の上部に形成された金属と半導体の化合物118と、前記柱状シリコン層106の周囲に形成されたゲート絶縁膜121と、前記ゲート絶縁膜121の周囲に形成された金属ゲート電極122aと、前記金属ゲート電極112aに接続された金属ゲート配線122bと、前記柱状シリコン層106上部側壁に形成された第3の金属124からなるサイドウォールと、を有し、前記第3の金属124からなるサイドウォールと前記柱状シリコン層106上面は接続されていることを特徴とする。

30

【0085】

柱状シリコン層106上部に拡散層を形成せず、柱状シリコン層106上部を金属と半導体との仕事関数差によってn型半導体層もしくはp型半導体層として機能させることができる。従って、柱状シリコン層106上部に拡散層を形成する工程を削減することができる。

40

【0086】

また、柱状シリコン層上部に拡散層を形成しないので、シリコン柱が細くなると、シリコンの密度は 5×10^{22} 個/cm³であるから、シリコン柱内に不純物を存在させることが難しくなってくる問題を回避することができる。

【0087】

以上により、本発明の実施形態に係るSGTの構造を形成するための製造工程及び構造が示された。

【0088】

なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び

50

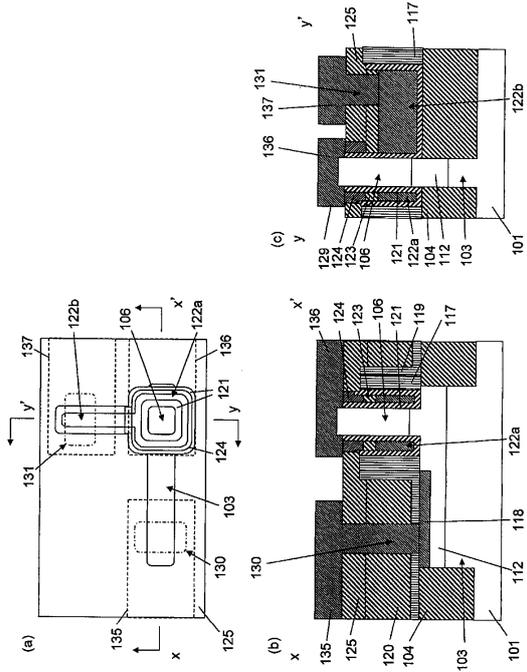
変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

【符号の説明】

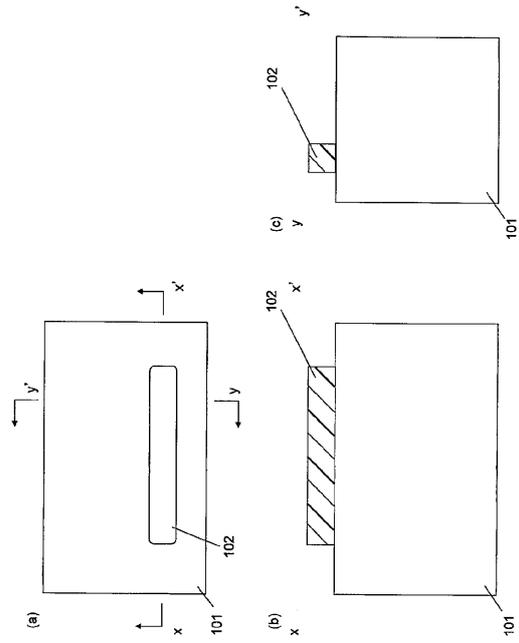
【 0 0 8 9 】

1 0 1 . シリコン基板	
1 0 2 . 第 1 のレジスト	
1 0 3 . フィン状シリコン層	
1 0 4 . 第 1 の絶縁膜	
1 0 5 . 第 2 のレジスト	
1 0 6 . 柱状シリコン層	10
1 1 2 . 拡散層	
1 1 3 . 第 2 の絶縁膜	
1 1 4 . ポリシリコン	
1 1 4 a . ポリシリコンゲート電極	
1 1 4 b . ポリシリコンゲート配線	
1 1 5 . 第 1 の窒化膜	
1 1 6 . 第 3 のレジスト	
1 1 7 . 第 2 の窒化膜	
1 1 8 . シリサイド	
1 1 9 . 第 3 の窒化膜	20
1 2 0 . 層間絶縁膜	
1 2 1 . ゲート絶縁膜	
1 2 2 . 第 1 の金属	
1 2 2 a . 金属ゲート電極	
1 2 2 b . 金属ゲート配線	
1 2 3 . 酸化膜	
1 2 4 . 第 3 の金属	
1 2 5 . 層間絶縁膜	
1 2 6 . 第 4 のレジスト	
1 2 7 . コンタクト孔	30
1 2 8 . コンタクト孔	
1 2 9 . 金属	
1 3 0 . コンタクト	
1 3 1 . コンタクト	
1 3 2 . 第 5 のレジスト	
1 3 3 . 第 5 のレジスト	
1 3 4 . 第 5 のレジスト	
1 3 5 . 金属配線	
1 3 6 . 金属配線	
1 3 7 . 金属配線	40

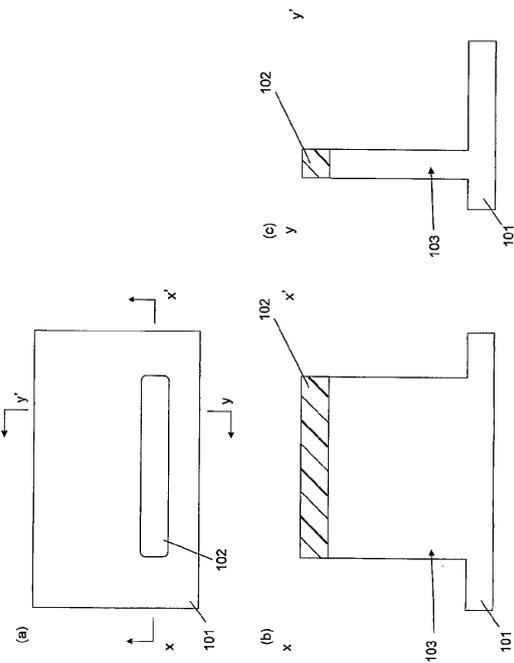
【図 1】



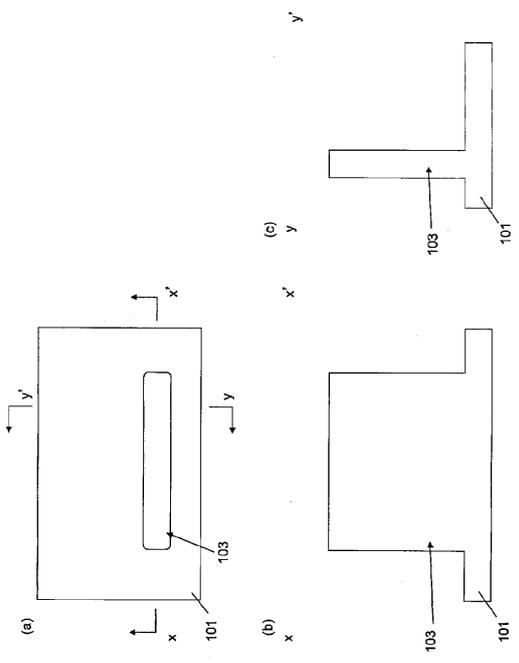
【図 2】



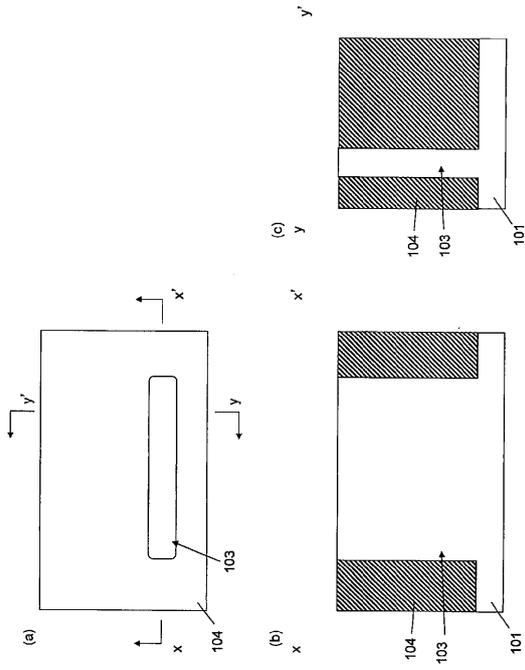
【図 3】



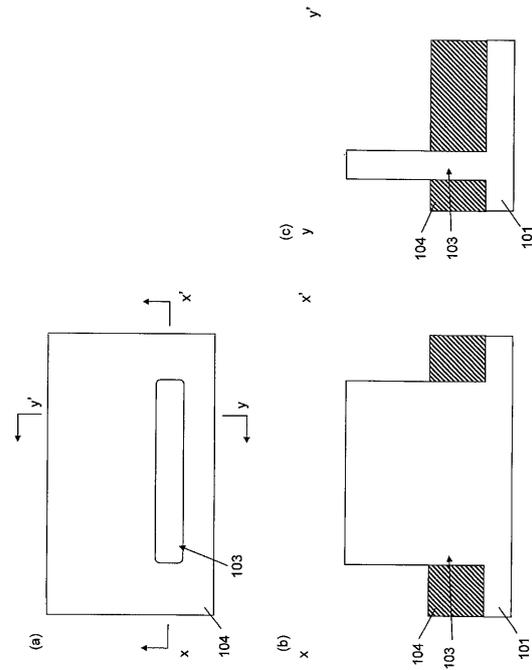
【図 4】



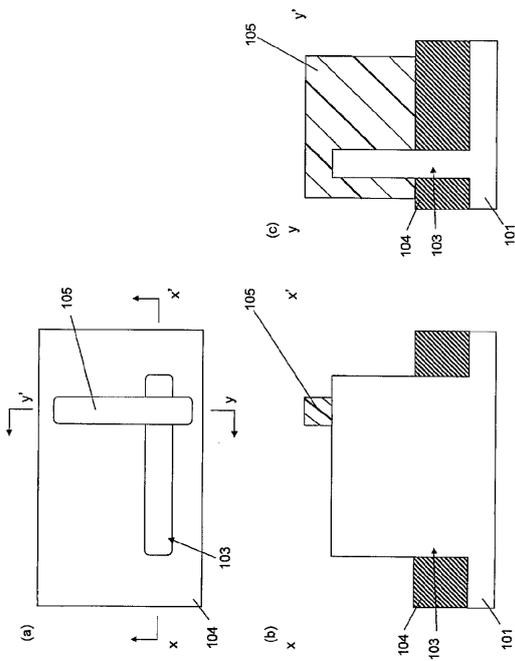
【図 5】



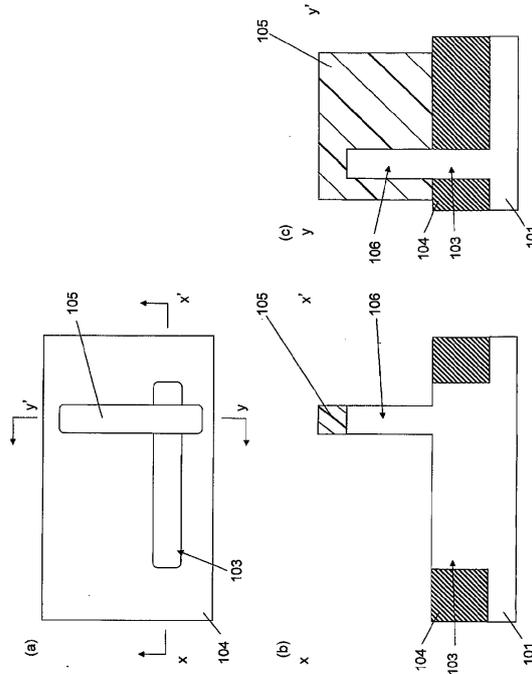
【図 6】



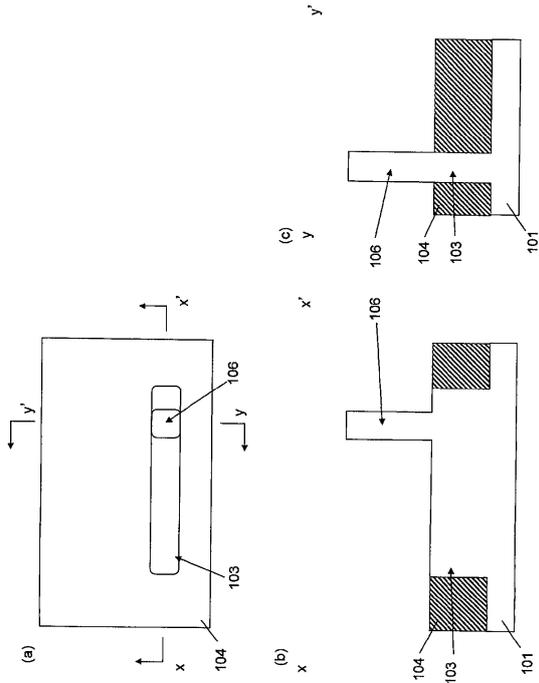
【図 7】



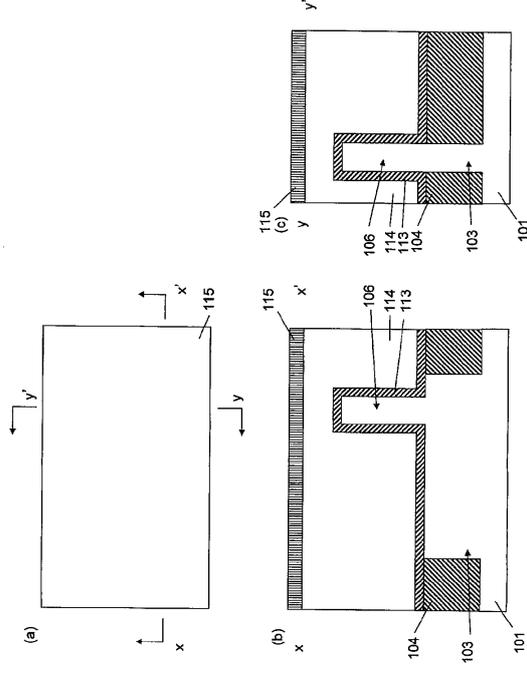
【図 8】



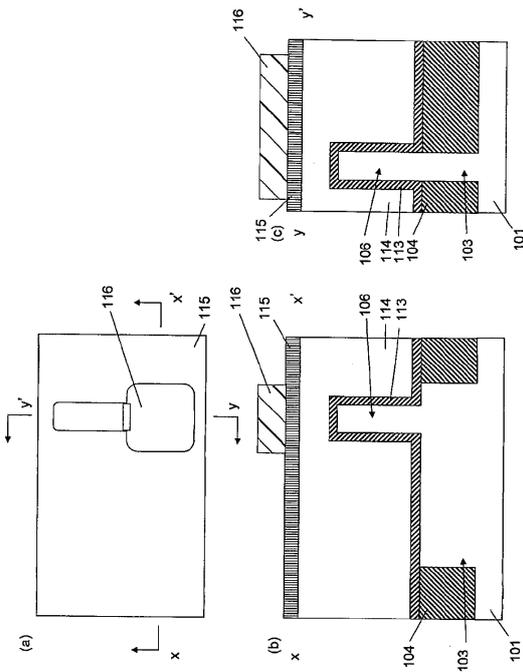
【図 9】



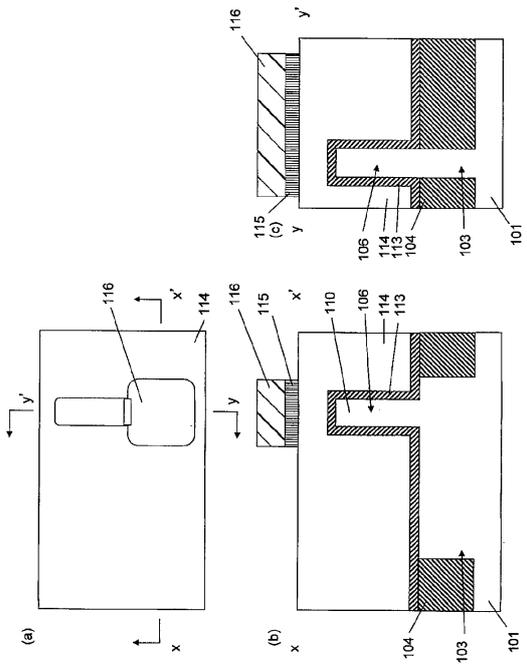
【図 10】



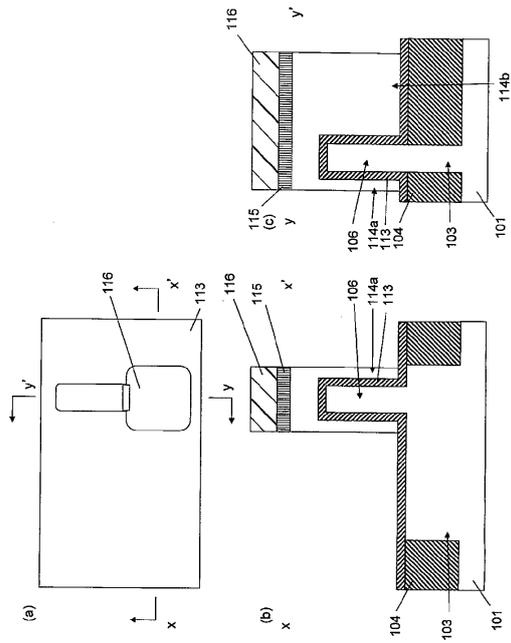
【図 11】



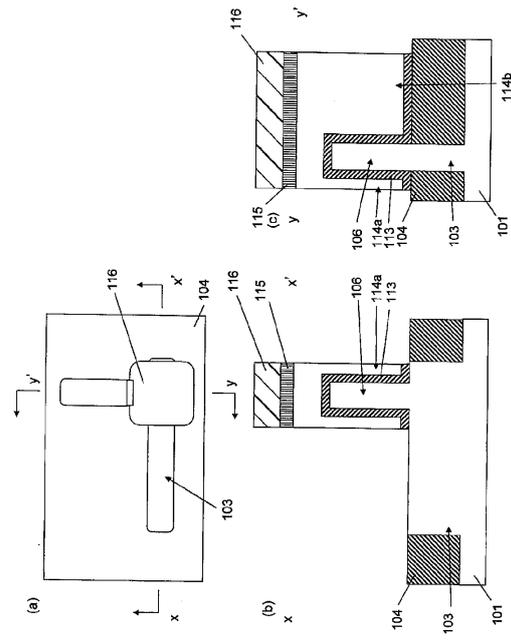
【図 12】



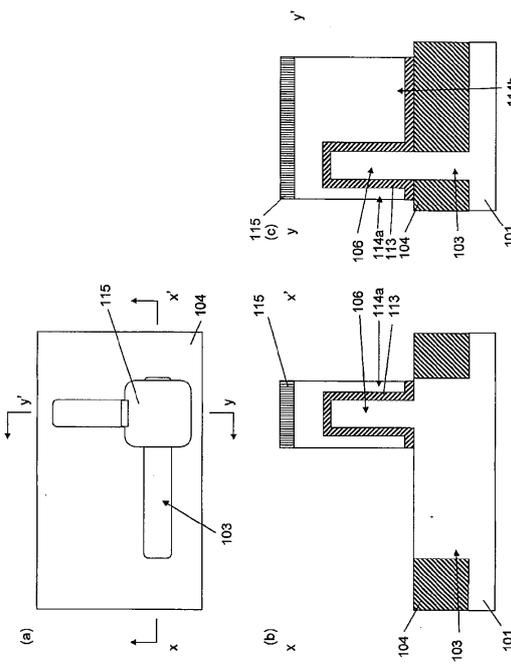
【 13 】



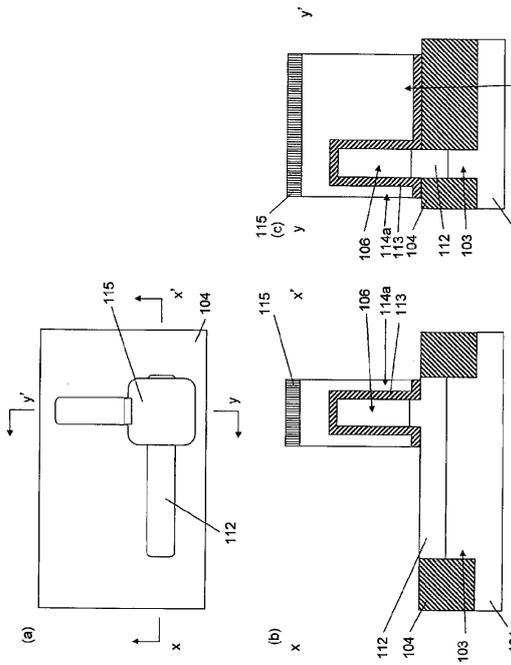
【 14 】



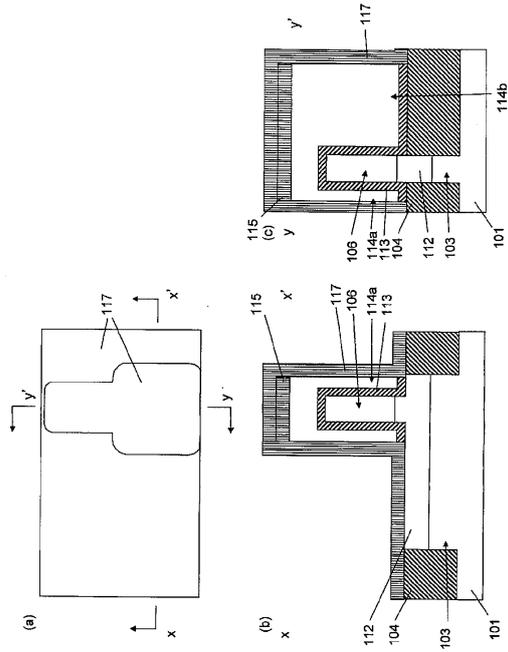
【 15 】



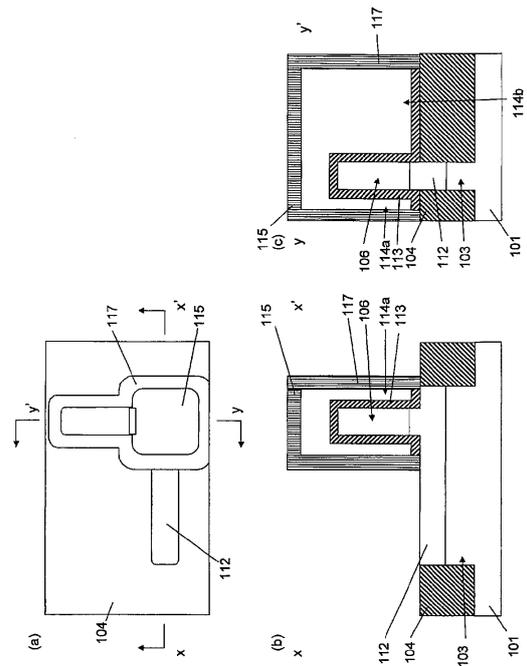
【 16 】



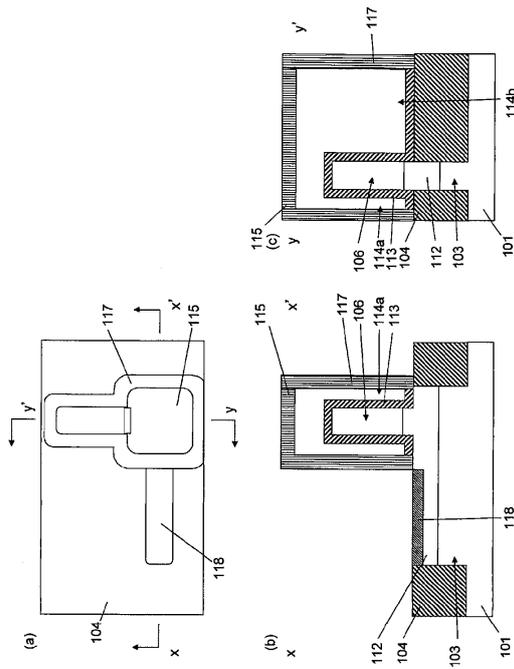
【 図 17 】



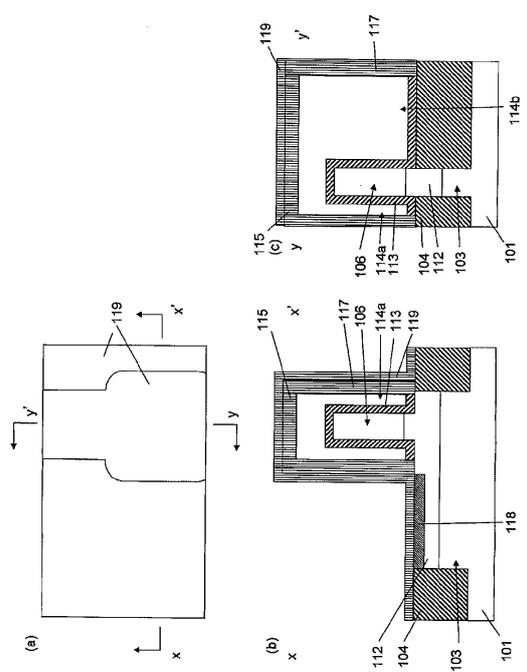
【 図 18 】



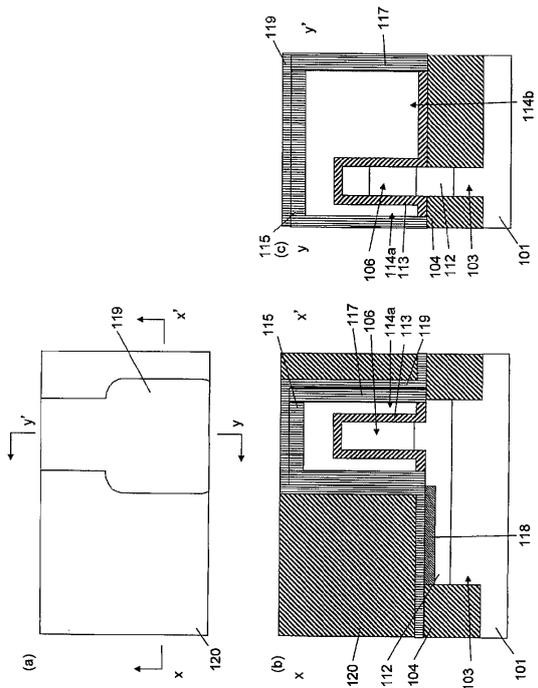
【 図 19 】



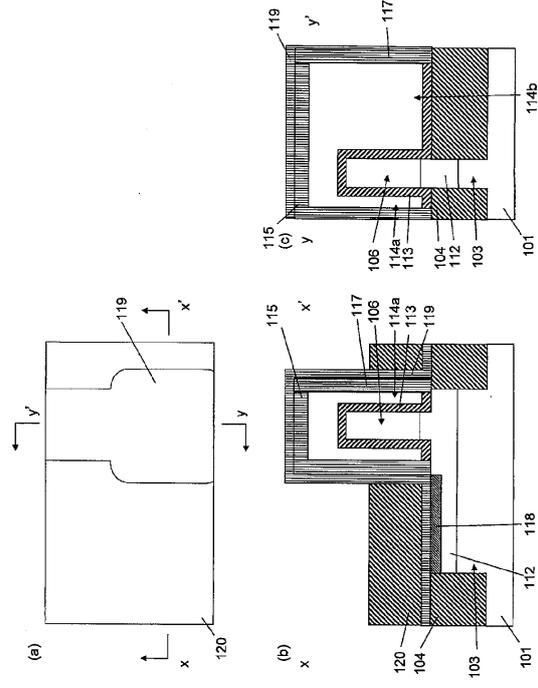
【 図 20 】



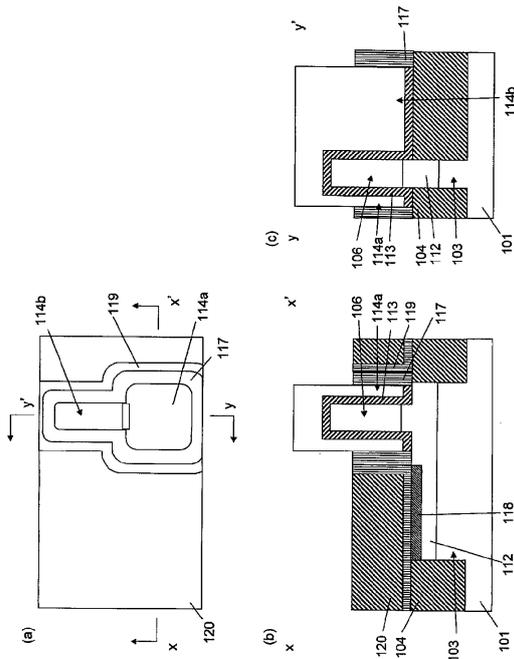
【図 2 1】



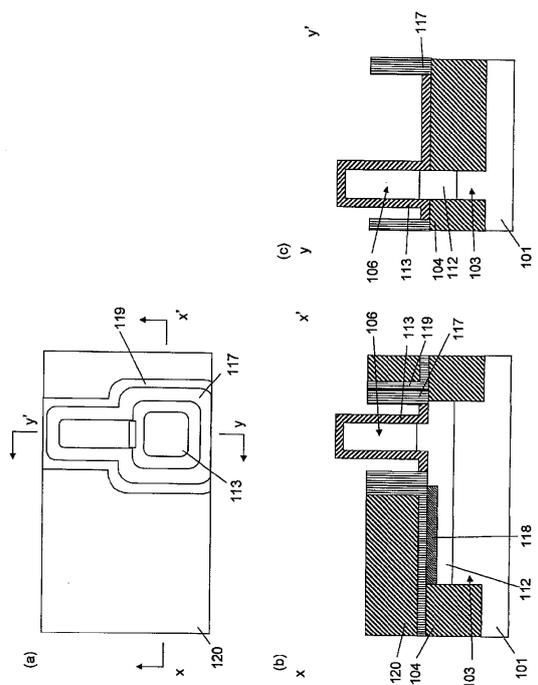
【図 2 2】



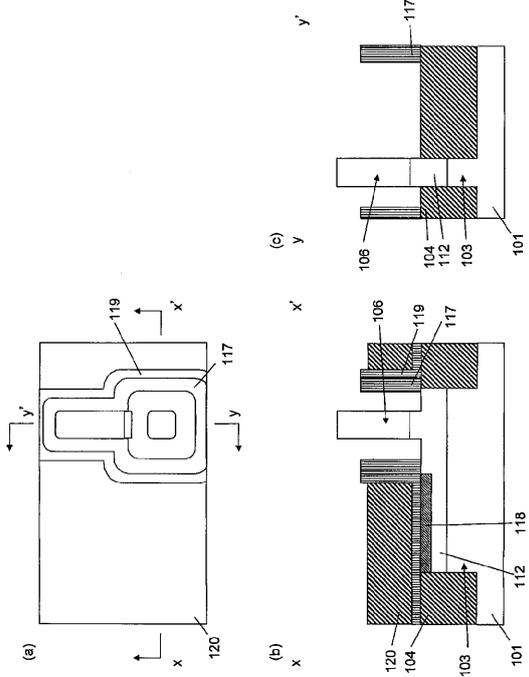
【図 2 3】



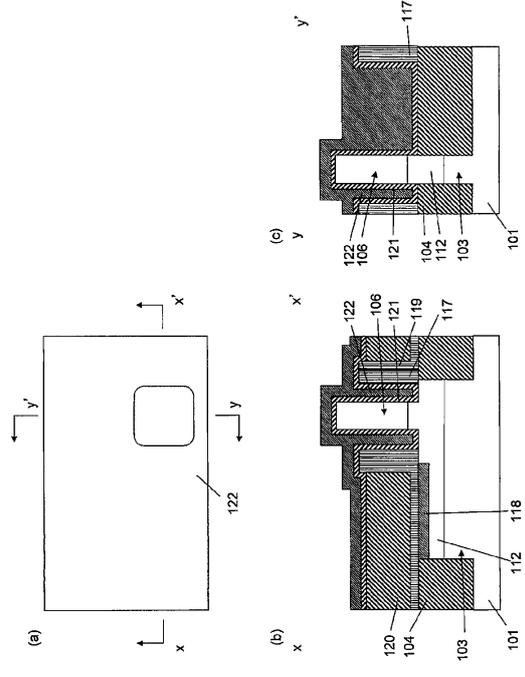
【図 2 4】



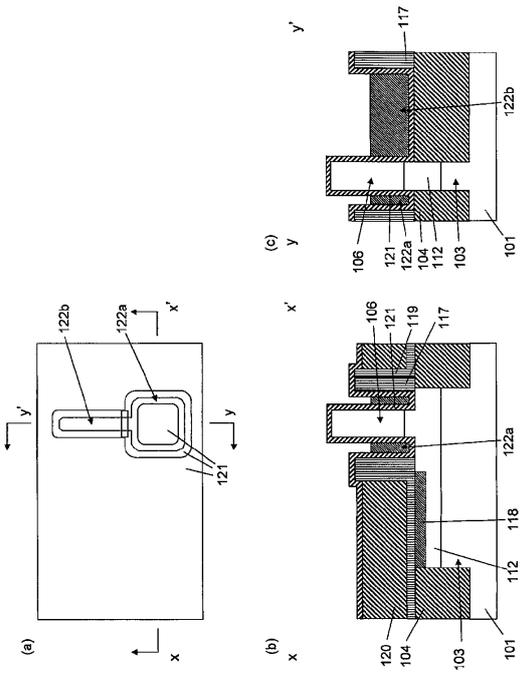
【 25 】



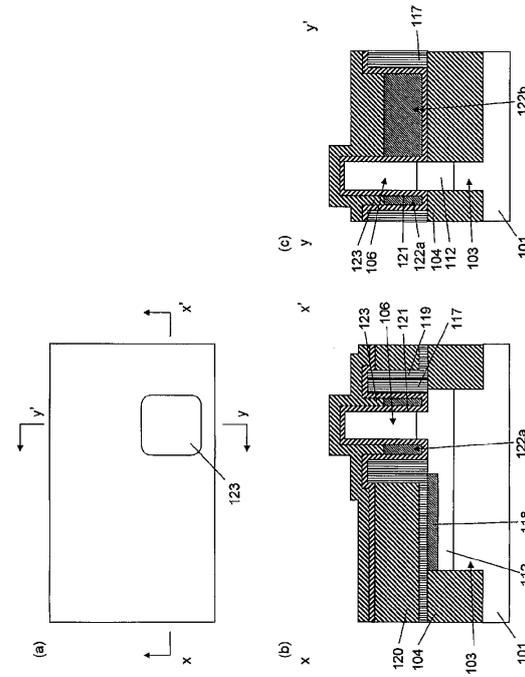
【 26 】



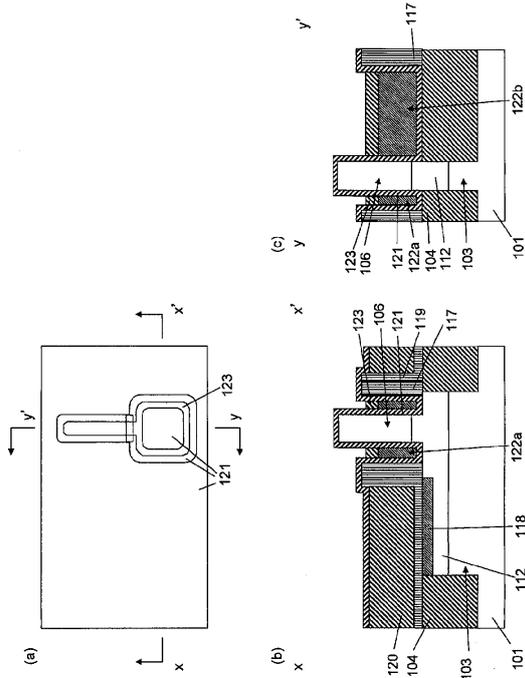
【 27 】



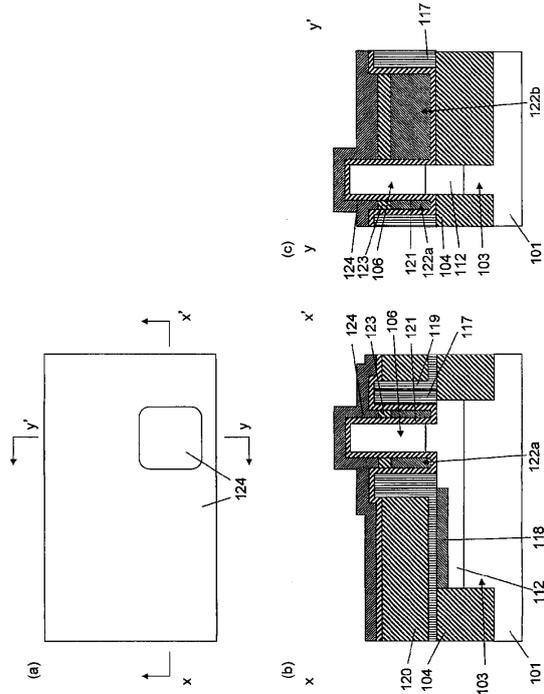
【 28 】



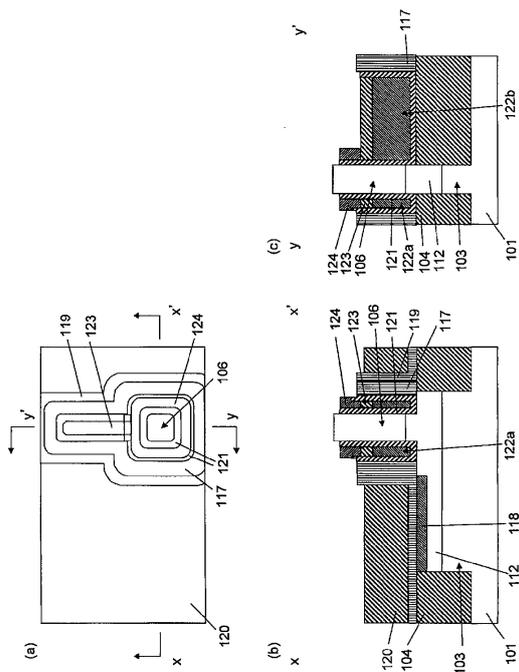
【図 29】



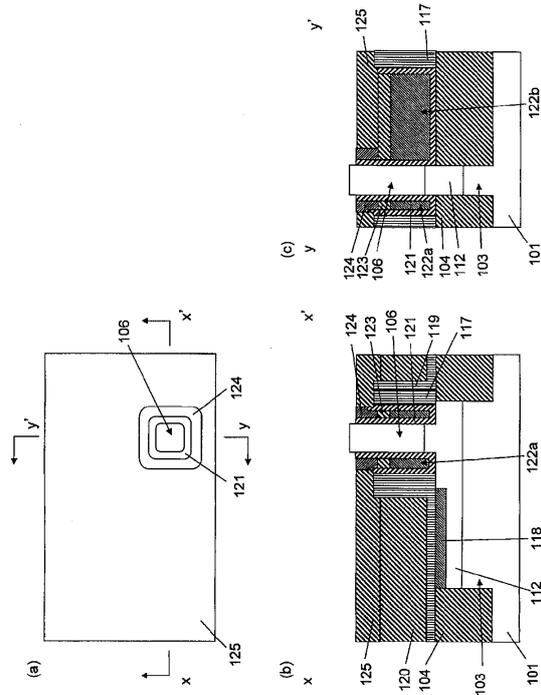
【図 30】



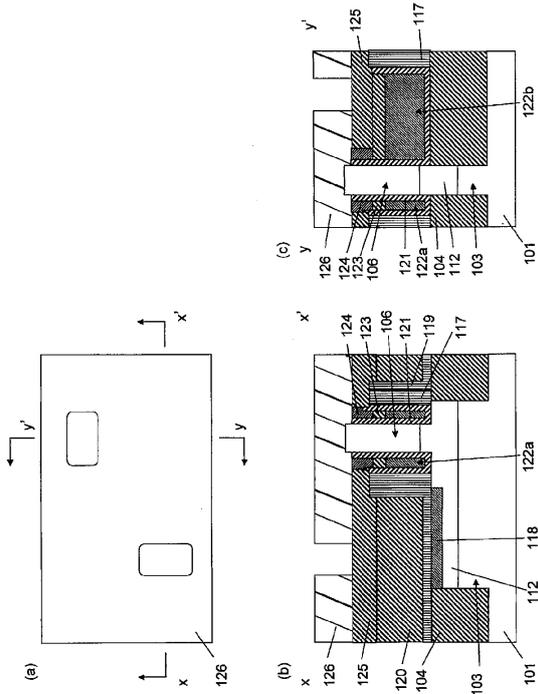
【図 31】



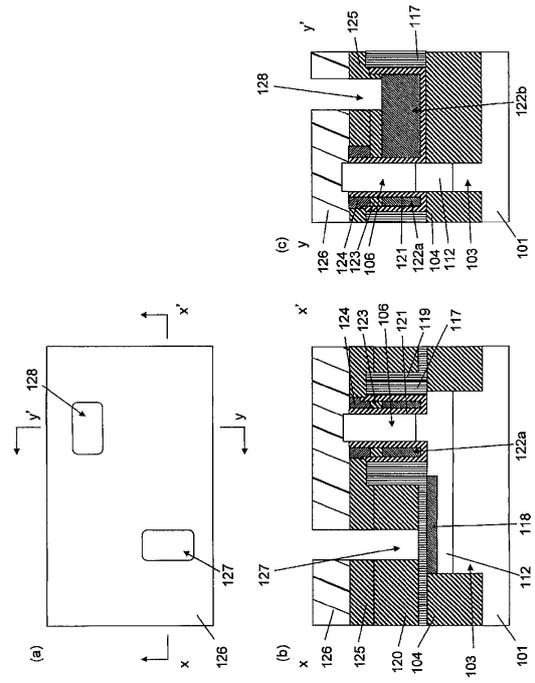
【図 32】



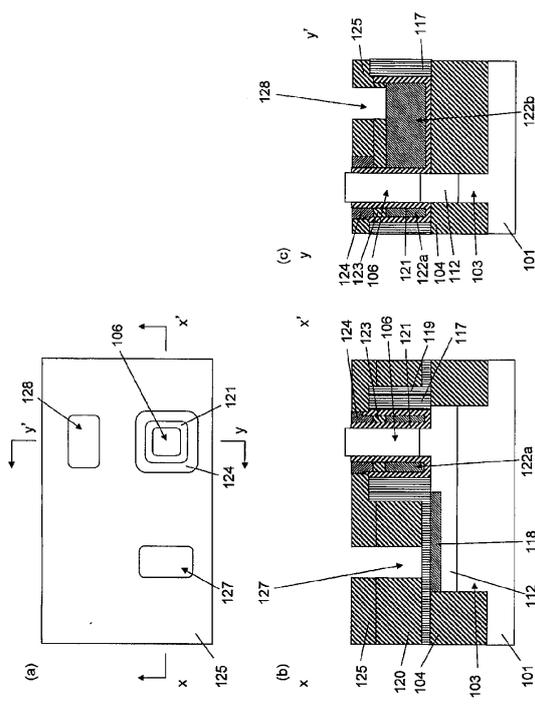
【 3 3 】



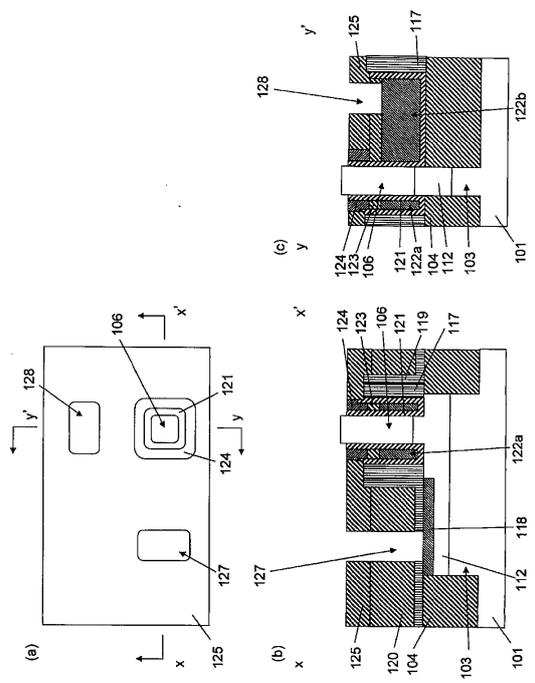
【 3 4 】



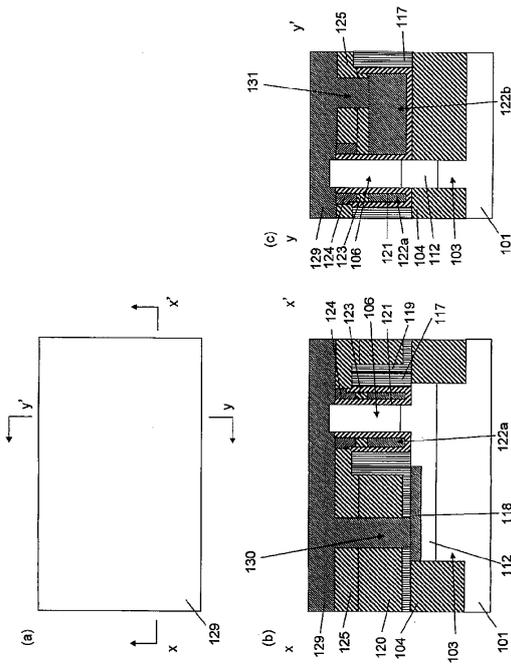
【 3 5 】



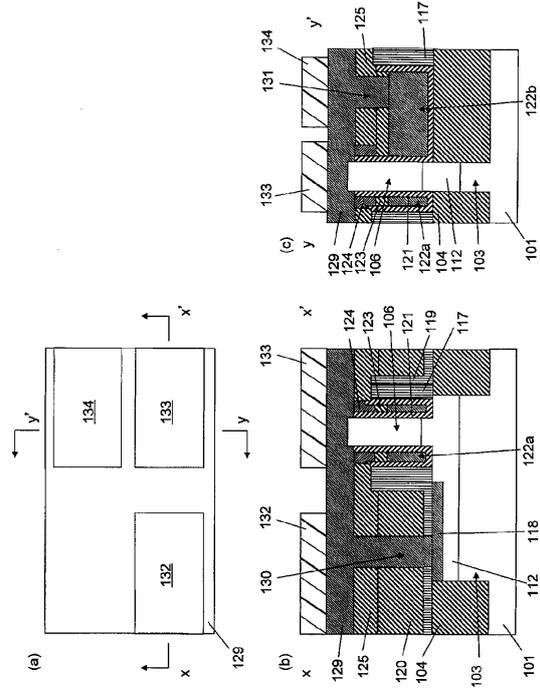
【 3 6 】



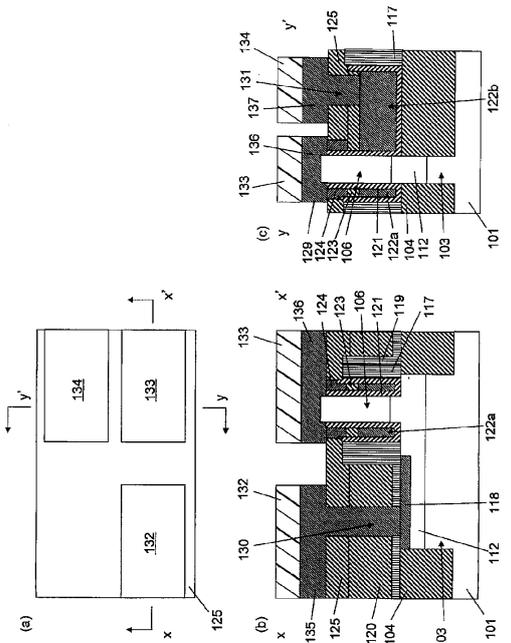
【 図 3 7 】



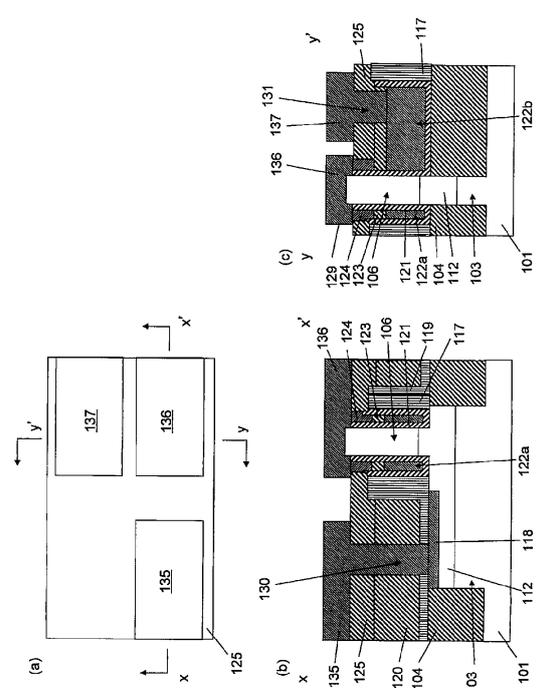
【 図 3 8 】



【 図 3 9 】



【 図 4 0 】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/78 3 0 1 Y

(74)代理人 100082005

弁理士 熊倉 禎男

(74)代理人 100067013

弁理士 大塚 文昭

(74)代理人 100086771

弁理士 西島 孝喜

(74)代理人 100109070

弁理士 須田 洋之

(74)代理人 100109335

弁理士 上杉 浩

(72)発明者 舩岡 富士雄

東京都千代田区飯田橋1-12-13 いずみ九段ビル5F Semicon Consulting 株式会社内

(72)発明者 中村 広記

東京都千代田区飯田橋1-12-13 いずみ九段ビル5F Semicon Consulting 株式会社内

審査官 市川 武宜

(56)参考文献 特開2010-251678(JP,A)

国際公開第2009/102061(WO,A1)

特開2008-172164(JP,A)

特表2012-531751(JP,A)

米国特許出願公開第2008/0251825(US,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 1 / 2 8

H 0 1 L 2 9 / 4 1

H 0 1 L 2 9 / 7 8