(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년04월22일
(11) 등록번호 10-2102737
(24) 등록일자 2020년04월14일

(51) 국제특허분류(Int. Cl.)
H03K 19/003 (2006.01) *H03K 19/0185* (2006.01)
H03K 5/133 (2014.01)
(52) CPC특허분류
H03K 19/00361 (2013.01)
H03K 19/018521 (2013.01)
(21) 출원번호 10-2018-0086029
(22) 출원일자 2018년07월24일
심사청구일자 2018년07월24일
(65) 공개번호 10-2019-0024663
(43) 공개일자 2019년03월08일
(30) 우선권주장
62/551,467 2017년08월29일 미국(US)
15/965,875 2018년04월28일 미국(US)
(56) 선행기술조사문헌
JP2016533662 A*
(뒷면에 계속)
전체 청구항 수 : 총 10 항

(73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크, 리-신 로드 6, 넘버 8
(72) 발명자
유 충-호신
중화민국, 타이완, 신추, 신추 사이언스 파크, 리-신 로드 6, 넘버 8
파이 닉
중화민국, 타이완, 신추, 신추 사이언스 파크, 리-신 로드 6, 넘버 8
첸 보-팅
중화민국, 타이완, 신추, 신추 사이언스 파크, 리-신 로드 6, 넘버 8
(74) 대리인
김태홍, 김진희

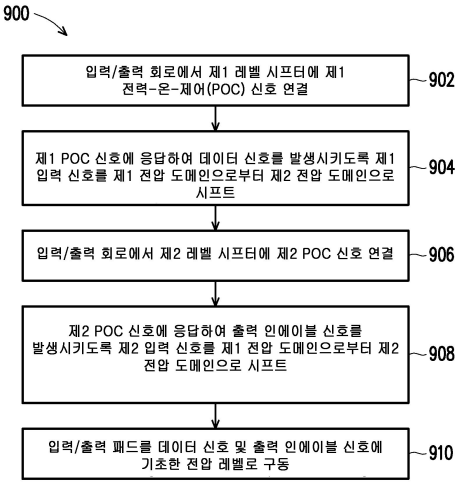
심사관 : 나병윤

(54) 발명의 명칭 **글리치 방지 입력/출력 회로**

(57) 요 약

회로에서 글리치(glitch)를 방지하기 위한 회로 및 방법이 개시된다. 하나의 예에서, 입력/출력 패드에 연결된 회로가 개시된다. 회로는, 제1 레벨 시프터, 제2 레벨 시프터, 및 제어 논리 회로를 포함한다. 제1 레벨 시프터는 데이터 신호를 발생시키도록 구성된다. 제2 레벨 시프터는 출력 인에이블 신호를 발생시키도록 구성된다. 제1 및 제2 레벨 시프터는 각각 제1 및 제2 전력-온-제어(power-on-control) 신호에 의해 제어된다. 제어 논리 회로는 제1 레벨 시프터 및 제2 레벨 시프터에 연결되며, 입력/출력 패드를 데이터 신호 및 출력 인에이블 신호에 기초한 전압 레벨로 구동하도록 구성된다.

대 표 도 - 도9



(52) CPC특허분류
H03K 5/133 (2013.01)

(56) 선행기술조사문헌
JP2006017990 A
KR1020060005515 A
JP2012175437 A
KR100252813 B1
JP2012004786 A
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

입력/출력 패드에 연결된 회로에 있어서,

데이터 신호를 발생시키도록 구성된 제1 레벨 시프터 - 상기 제1 레벨 시프터는 제1 전력-온-제어(power-on-control) 신호에 의해 제어됨 - ;

출력 인에이블 신호를 발생시키도록 구성된 제2 레벨 시프터 - 상기 제2 레벨 시프터는 제2 전력-온-제어 신호에 의해 제어됨 - ;

상기 제1 전력-온-제어 신호 및 상기 제2 전력-온-제어 신호를 발생시키고, 상기 제1 전력-온-제어 신호 및 상기 제2 전력-온-제어 신호의 신호 시퀀스를 제어하도록 구성된 게이팅(gating) 회로; 및

상기 제1 레벨 시프터 및 상기 제2 레벨 시프터에 연결되며, 상기 입력/출력 패드를 상기 데이터 신호 및 상기 출력 인에이블 신호에 기초한 전압 레벨로 구동하도록 구성된 제어 논리 회로

를 포함하는, 입력/출력 패드에 연결된 회로.

청구항 2

청구항 1에 있어서,

상기 제1 레벨 시프터는, 제1 전압 도메인에서 제1 입력 신호를 수신하고, 상기 제1 전력-온-제어 신호에 응답하여 상기 데이터 신호를 발생시키도록 상기 제1 입력 신호를 제2 전압 도메인으로 시프트하도록 구성되고,

상기 제2 레벨 시프터는, 상기 제1 전압 도메인에서 제2 입력 신호를 수신하고, 상기 제2 전력-온-제어 신호에 응답하여 상기 출력 인에이블 신호를 발생시키도록 상기 제2 입력 신호를 상기 제2 전압 도메인으로 시프트하도록 구성되는 것인, 입력/출력 패드에 연결된 회로.

청구항 3

청구항 2에 있어서, 상기 제2 전압 도메인은 상기 제1 전압 도메인보다 더 높은 것인, 입력/출력 패드에 연결된 회로.

청구항 4

청구항 1에 있어서, 상기 제1 전력-온-제어 신호는, 상기 제2 전력-온-제어 신호로 상기 제2 레벨 시프터가 상기 출력 인에이블 신호를 발생시킬 수 있게 하기 전에, 상기 제1 레벨 시프터가 상기 데이터 신호를 발생시킬 수 있게 하는 것인, 입력/출력 패드에 연결된 회로.

청구항 5

청구항 1에 있어서, 상기 게이팅 회로는,

상기 데이터 신호에 의해 게이팅되는 제1 트랜지스터;

상기 제1 전력-온-제어 신호의 논리 반전(logical invert)인 신호에 의해 게이팅되는 제2 트랜지스터; 및

상기 데이터 신호가 안정적인 논리 상태에 도달했는지 여부에 기초하여 상기 제2 전력-온-제어 신호가 발생되도록, 상기 제1 트랜지스터 및 상기 제2 트랜지스터의 출력에 기초하여 상기 제2 전력-온-제어 신호를 발생시키도록 구성된 제1 인버터를 포함하는 것인, 입력/출력 패드에 연결된 회로.

청구항 6

청구항 5에 있어서, 상기 게이팅 회로는,

상기 제2 트랜지스터와 상기 제1 인버터 사이에 연결된 제2 인버터;

상기 제1 트랜지스터에 연결되고 상기 제1 레벨 시프터의 입력 신호에 의해 게이팅되는 제3 트랜지스터;

상기 제1 트랜지스터에 연결되고 상기 제1 레벨 시프터의 입력 신호의 논리 반전인 신호에 의해 게이팅되는 제4 트랜지스터;

상기 제2 트랜지스터에 연결되고 상기 제1 전력-온-제어 신호에 의해 게이팅되는 제5 트랜지스터; 및

상기 제1 트랜지스터에 연결되고 상기 제2 인버터의 출력 신호에 의해 게이팅되는 제6 트랜지스터를 더 포함하는 것인, 입력/출력 패드에 연결된 회로.

청구항 7

청구항 1에 있어서,

상기 게이팅 회로는 직렬로 연결된 짝수 개의 인버터를 갖는 직렬 회로를 포함하고,

상기 직렬 회로는 입력 신호로서 상기 제1 전력-온-제어 신호를 수신하고 출력 신호로서 상기 제2 전력-온-제어 신호를 발생시키고;

상기 짝수는, 상기 제1 전력-온-제어 신호로 상기 제1 레벨 시프터가 상기 데이터 신호를 발생시킬 수 있게 한 후에 상기 제2 전력-온-제어 신호가 발생됨을 보장할만큼 큰 것인, 입력/출력 패드에 연결된 회로.

청구항 8

청구항 1에 있어서, 상기 제어 논리 회로는, 상기 출력 인에이블 신호가 어서트(assert)될 때, 상기 입력/출력 패드를 상기 데이터 신호에 대응하는 전압 레벨로 구동하도록 구성되는 것인, 입력/출력 패드에 연결된 회로.

청구항 9

입력/출력 패드에 연결된 회로에 있어서,

데이터 신호를 발생시키도록 구성된 제1 레벨 시프터;

출력 인에이블 신호를 발생시키도록 구성된 제2 레벨 시프터로서, 상기 제1 레벨 시프터 및 상기 제2 레벨 시프터는 전력-온-제어 신호에 의해 제어되는 것인, 상기 제2 레벨 시프터;

상기 제2 레벨 시프터에 연결되며, 상기 출력 인에이블 신호에 기초하여 지연된 출력 인에이블 신호를 발생시키도록 구성된 지연 회로; 및

상기 제1 레벨 시프터 및 상기 제2 레벨 시프터에 연결되며, 상기 입력/출력 패드를 상기 데이터 신호 및 상기 지연된 출력 인에이블 신호에 기초한 전압 레벨로 구동하도록 구성된 제어 논리 회로를 포함하는, 입력/출력 패드에 연결된 회로.

청구항 10

입력/출력 패드에 연결된 회로에서 글리치를 방지하기 위한 방법에 있어서,

상기 회로에서 제1 레벨 시프터에 제1 전력-온-제어 신호를 연결하는 단계;

상기 제1 전력-온-제어 신호에 응답하여, 데이터 신호를 발생시키도록 제1 입력 신호를 제1 전압 도메인으로부터 제2 전압 도메인으로 시프트하는 단계;

상기 회로에서 제2 레벨 시프터에 제2 전력-온-제어 신호를 연결하는 단계;

상기 제2 전력-온-제어 신호에 응답하여, 상기 회로의 전력 상승(ramp-up) 프로세스 동안 상기 데이터 신호가 안정적인 논리 상태에 도달한 후에 출력 인에이블 신호를 발생시키도록 제2 입력 신호를 상기 제1 전압 도메인으로부터 상기 제2 전압 도메인으로 시프트하는 단계; 및

상기 입력/출력 패드를 상기 데이터 신호 및 상기 출력 인에이블 신호에 기초한 전압 레벨로 구동하는 단계를 포함하는, 입력/출력 패드에 연결된 회로에서 글리치를 방지하기 위한 방법.

발명의 설명

기 술 분 야

[0001] 본 출원은 2017년 8월 29일 출원된 미국 가특허 출원 번호 제62/551,467호의 우선권을 주장하며, 이는 그 전체가 참조에 의해 여기에 포함된다.

배 경 기 술

[0002] 집적 회로((IC; integrated circuit) 칩 또는 반도체 다이는 통상적으로 외부 요소들로부터 반도체 다이 상에 형성된 회로를 보호하도록 패키지에 봉지된다(encapsulated). IC 칩은 그 위에 형성된 본드 패드를 포함한다. 본드 와이어 또는 기타 전기적 접속 수단은, 본드 패드를 집적 회로 패키지의 대응하는 핀 또는 리드에 전기 접속시키는 데에 사용된다. 본드 패드는 전력 공급장치 전압 접속을 위한 전원 패드 및 집적 회로의 입력 및 출력 신호에 접속하기 위한 입력/출력(I/O; input/output) 패드일 수 있다. I/O 회로는, 칩의 I/O 패드에 연결되며 집적 회로 시스템 내의 다른 칩과 입력 및/또는 출력 신호를 통신하도록 구성되는 회로이다.

[0003] 글리치(glitch)는 신호가 그의 의도한 값에 정착하기 전에 일어나는 바람직하지 못한 전환 상태이다. 글리칭(glitching)은, 예컨대 회로의 전력 상승(power ramp-up) 동안, I/O 회로에 대한 결정적인 문제를 제기한다. I/O 회로에서 글리치 문제에 영향을 미치는 핵심 요인은, I/O 회로에서의 데이터 신호 및 출력 인에이블(enable) 신호의 신호 시퀀스이다. 종래의 방법에서는, 신호 시퀀스가 시스템 레벨 신호에 의해 제어되는데, 이는 고속 회로 동작에 적합하지 않다. 또다른 종래의 방법에서는, I/O 회로를 3상태(tristate)에서 제어하고 전력 상승 동안 크로바 전류(crowbar-current)를 피하도록 전력-온-제어(POC; power-on-control) 메커니즘이 외부에 추가되어야 한다. 이 외부 POC 방법의 경우, 집적 회로의 고객이 스스로 POC 거동을 제어하도록 자신의 시스템 설계를 수정하여야 하며, 이는 고객에게 엄청난 수고인 것이다. 그리하여, 기존의 I/O 회로는 글리치 방지에 관련하여 완전히 만족스럽지 못하다.

발명의 내용

[0004] 회로에서 글리치를 방지하기 위한 회로 및 방법이 개시된다. 하나의 예에서, 입력/출력 패드에 연결된 회로가 개시된다. 회로는, 제1 레벨 시프터, 제2 레벨 시프터, 및 제어 논리 회로를 포함한다. 제1 레벨 시프터는 데이터 신호를 발생시키도록 구성된다. 제2 레벨 시프터는 출력 인에이블 신호를 발생시키도록 구성된다. 제1 및 제2 레벨 시프터는 각각 제1 및 제2 전력-온-제어(power-on-control) 신호에 의해 제어된다. 제어 논리 회로는 제1 레벨 시프터 및 제2 레벨 시프터에 연결되며, 입력/출력 패드를 데이터 신호 및 출력 인에이블 신호에 기초한 전압 레벨로 구동하도록 구성된다.

도면의 간단한 설명

[0005] 본 개시의 양상은 다음의 상세한 설명으로부터 첨부 도면과 함께 볼 때 가장 잘 이해된다. 다양한 특징부들이 반드시 축척대로 도시된 것은 아님을 유의하여야 한다. 사실상, 다양한 특징부들의 치수 및 기하학적 크기는 설명을 명확하게 하기 위해 임의로 증가되거나 감소되었을 수 있다. 명세서 및 도면 전반에 걸쳐 유사한 참조 번호는 유사한 특징부를 나타낸다.

도 1은 본 개시의 일부 실시예에 따라 입력/출력 패드에 연결된 회로의 예시적인 블록도를 예시한다.

도 2a는 전력 상승 동안 예시적인 회로 거동을 예시한다.

도 2b는 전력 상승 동안 또다른 예시적인 회로 거동을 예시한다.

도 3은 본 개시의 일부 실시예에 따라 입력/출력 회로에서의 예시적인 게이팅 회로를 예시한다.

도 4는 본 개시의 일부 실시예에 따라 입력/출력 회로에서의 게이팅 회로의 예시적인 레이아웃을 예시한다.

도 5는 본 개시의 일부 실시예에 따라 입력/출력 회로에서의 또다른 예시적인 게이팅 회로를 예시한다.

도 6은 본 개시의 일부 실시예에 따라 입력/출력 회로의 전력 상승 동안 예시적인 회로 거동을 예시한다.

도 7은 본 개시의 일부 실시예에 따라 입력/출력 회로의 전력 상승 동안 상세한 회로 거동의 예를 예시한다.

도 8은 본 개시의 일부 실시예에 따라 입력/출력 패드에 연결된 또다른 회로의 예시적인 블록도를 예시한다.

도 9는 본 개시의 일부 실시예에 따라 입력/출력 패드에 연결된 회로에서의 글리치를 막기 위한 예시적인 방법을 예시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0006] 다음의 개시는 주제의 상이한 특징들을 구현하기 위한 다양한 예시적인 실시예를 기재한다. 컴포넌트 및 구성의 구체적 예가 본 개시를 단순화하도록 아래에 기재된다. 이들은 물론 단지 예일 뿐이며 한정하고자 하는 것이 아니다. 예를 들어, 이어지는 다음 기재에 있어서 제2 특징부 상에 또는 위에 제1 특징부를 형성하는 것은, 제1 및 제2 특징부가 직접 접촉하여 형성되는 실시예를 포함할 수 있고, 제1 및 제2 특징부가 직접 접촉하지 않도록 제1 특징부와 제2 특징부 사이에 추가의 특징부가 형성될 수 있는 실시예도 또한 포함할 수 있다. 또한, 본 개시는 다양한 예에서 참조 번호 및/또는 문자를 반복할 수 있다. 이 반복은 단순하고 명확하게 하기 위한 목적인 것이며, 그 자체가 설명되는 다양한 실시예 및/또는 구성 간의 관계를 지시하는 것은 아니다.

[0007] 또한, "밑에", "아래에", "하부", "위에", "상부" 등과 같은 공간적으로 상대적인 용어는 도면에 예시된 바와 같이 하나의 구성요소 또는 특징부의 또다른 구성요소(들) 또는 특징부(들)에 대한 관계를 기재하고자 설명을 쉽게 하기 위해 여기에서 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시된 배향에 더하여 사용중이거나 동작중인 디바이스의 상이한 배향들을 망라하도록 의도된다. 장치는 달리 배향될 수 있고(90도 회전되거나 또는 다른 배향으로), 여기에서 사용된 공간적으로 상대적인 기술자는 마찬가지로 그에 따라 해석될 수 있다. "부착된다", "고정된다", "접속된다" 및 "상호접속된다"와 같은 용어는, 명시적으로 달리 기재되지 않는 한, 구조물들이 직접 또는 중간 구조물을 통해 간접적으로 서로 고정되거나 부착되는 관계 뿐만 아니라, 이동가능하거나 견고한 부착 또는 관계 전부를 지칭하기도 한다.

[0008] 달리 정의되지 않는 한, 여기에서 사용되는 모든 용어(기술 및 과학적 용어를 포함함)는 본 개시가 속한 기술분야에서의 통상의 지식을 가진 자가 일반적으로 이해하는 바와 동일한 의미를 갖는다. 일반적으로 사용되는 사전에서 정의되는 바와 같은 용어는 관련 분야 및 본 개시에 관련하여 그 의미와 일치하는 의미를 갖는 것으로서 해석되어야 하며 명시적으로 여기에 그리 정의되지 않는 한 이상적이거나 지나치게 형식적인 의미로 해석되지 않을 것임을 더 이해하여야 할 것이다.

[0009] 이제 본 개시의 실시예를 상세하게 참조할 것이며, 이의 예가 첨부 도면에 예시되어 있다. 가능한 곳마다 동일하거나 유사한 부분을 지칭하도록 동일한 참조 번호가 도면 및 명세서에 사용된다.

[0010] 본 개시는 글리치 방지 I/O 회로 및 I/O 회로에서의 글리치를 방지하기 위한 방법의 다양한 실시예를 제공한다. 일부 실시예에서, 특히 I/O 회로가 연결되어 있는 코어 회로 및 I/O 회로가 각각 전원이 켜지거나 턴온될 때 임의의 글리치가 발생하는 것을 방지하기 위해, 즉 I/O 회로의 전력 상승 프로세스 동안 글리치가 없음을 보장하기 위해, I/O 회로에서의 데이터 신호 및 출력 인에이블 신호의 신호 시퀀스를 제어하도록 게이팅 회(gating)로가 제공된다. 예를 들어, I/O 회로는 데이터 신호를 발생시키도록 구성된 제1 레벨 시프터, 출력 인에이블 신호를 발생시키도록 구성된 제2 레벨 시프터, 및 데이터 신호 및 출력 인에이블 신호에 기초하여 원하는 전압 레벨로 입력/출력 패드를 구동하도록 구성된 제어 논리 회로를 포함한다.

[0011] 일부 실시예에 따르면, 데이터 신호 및 출력 인에이블 신호의 신호 시퀀스를 보장하도록, 2개의 별개의(제1 및 제2) 전력-온-제어(power-on-control) 신호가 각각 제1 및 제2 레벨 시프터를 제어하도록 사용된다. 게이팅 회로는 데이터 신호 및 출력 인에이블 신호를 발생시킬 수 있고, 제2 전력-온-제어 신호로 제2 레벨 시프터가 출력 인에이블 신호를 발생시킬 수 있게 하기 전에 제1 전력-온-제어 신호로 제1 레벨 시프터가 데이터 신호를 발생시킬 수 있게 함을 보장하도록, 데이터 신호 및 출력 인에이블 신호의 신호 시퀀스를 제어할 수 있다. 이 방식에서, 출력 인에이블 신호가 준비되고 활성화되기 전에 데이터 신호가 준비되고 활성화되기 때문에, I/O 회로의 전력 상승 프로세스 동안 어떠한 글리치도 나타나지 않을 것이다.

[0012] 본 개시의 하나의 실시예에서, 게이팅 회로는 데이터 신호에 의해 게이팅되는 제1 트랜지스터, 제1 전력-온-제어 신호의 논리 반전(logical inversion) 또는 보수(complement)인 신호에 의해 게이팅되는 제2 트랜지스터, 및 제1 트랜지스터 및 제2 트랜지스터의 출력에 기초하여 제2 전력-온-제어 신호를 발생시키도록 구성된 제1 인버터를 포함한다. 게이팅 회로의 구조는, 데이터 신호가 안정적인 논리 상태에 도달했는지 여부에 기초하여 제2 전력-온-제어 신호가 발생됨을 보장하며, 이는 I/O 회로에서의 글리치를 피한다.

[0013] 본 개시의 다른 실시예에서, 게이팅 회로는 직렬로 연결된 짝수 개의 인버터를 갖는 직렬 회로를 포함한다. 직렬 회로는 입력 신호로서 제1 전력-온-제어 신호를 수신하고 출력 신호로서 제2 전력-온-제어 신호를 발생시킨다. 짝수는, 데이터 신호가 안정적인 논리 상태에 도달한 후에 제2 전력-온-제어 신호가 발생됨을 보장할 만큼

충분히 크도록 설계된다.

[0014] 본 개시는 집적 회로 칩에서의 임의의 I/O 회로, 예컨대 범용 입력 출력(GPIO; general purpose input output) 회로에 적용가능하다. 일부 실시예에서, 전력-온-제어 신호는 집적 회로 칩의 내부 블록에 의해 발생되며, 그리하여 집적 회로 칩의 고객은 신호 시퀀스를 제어하기 위해 추가의 수고를 가할 필요가 없다. 또한, 여기에 개시된 게이팅 회로는 I/O 회로의 총 면적에 비해 작은 면적만을 차지하며, 이는 I/O 회로에 최소한의 면적 영향을 미치거나 아예 면적 영향을 미치지 않는다. 또한, 게이팅 회로는 I/O 회로의 전력 상승 동안 글리치를 피하면서 I/O 회로의 정상 동작에 성능 영향을 미치지 않는다. 본 개시의 일부 실시예에 따르면, I/O 회로는, I/O 회로에서의 신호의 바람직한 타이밍 시퀀스를 보장하도록, 더 많은 전력-온-제어 신호를 발생시키며 미리 정해진 설계에 기초하여 모든 전력-온-제어 신호의 신호 시퀀스를 제어하도록 구성된 하나 이상의 추가 게이팅 회로를 포함한다.

[0015] 도 1은 본 개시의 일부 실시예에 따라 입력/출력 패드(190)에 연결된 회로(100)의 예시적인 블록도를 예시한다. 하나의 실시예에 따르면, 회로(100)는 집적 회로 시스템 내의 칩의 일부일 수 있다. 칩은 I/O 회로(100)에 의해 제어되는 I/O 패드(190)를 통해 시스템 내의 다른 칩과 통신할 수 있다. 도 1에 도시된 바와 같이, 회로(100)는 2개의 부분, 즉 제1 전압 도메인을 갖는 코어 부분(110) 및 제2 전압 도메인을 갖는 I/O 부분(120)을 포함한다.

[0016] 이 예에서, 코어 부분(110)은, 입력 데이터 신호(I)를 수신하며 입력 데이터 신호(I)와 동일한 전압 레벨을 갖는 평활화된(smoothed) 데이터 신호를 발생시키는 제1 버퍼(111)를 포함한다. 입력 데이터 신호(I)는 제1 버퍼(111)에 접속된 코어 회로에 의해 발생될 수 있다. 코어 회로(도시되지 않음)는 고객 설계에 따른 칩의 코어 기능을 수행한다. 코어 회로는 I/O 패드(190)를 통해 또다른 칩에 데이터를 출력하도록 입력 데이터 신호(I)를 발생시킨다. 코어 회로에 의해 발생된 입력 데이터 신호(I)는 코어 도메인 내의 전압, 예컨대 0 V 내지 0.75 V를 갖는다.

[0017] 이 예에서의 코어 부분(110)은 또한 제2 버퍼(112)를 포함하며, 제2 버퍼(112)는 출력 인에이블 신호(OE)를 수신하고 출력 인에이블 신호(OE)와 동일한 전압 레벨을 갖는 평활화된 OE 신호를 발생시킨다. 출력 인에이블 신호(OE)는 또한 제2 버퍼(112)에 접속된 코어 회로에 의해 발생된다. 코어 회로는 I/O 패드(190)를 통해 또다른 칩에의 데이터 출력을 제어하도록 출력 인에이블 신호(OE)를 발생시킨다. 코어 회로에 의해 발생된 출력 인에이블 신호(OE)는 코어 도메인 내의 전압, 예컨대 0 V 내지 0.75 V를 갖는다.

[0018] 이 예에서의 I/O 부분(120)은 제1 레벨 시프터(121)를 포함하며, 제1 레벨 시프터(121)는 제1 버퍼(111)에 연결되고 제1 버퍼(111)로부터 평활화된 데이터 신호를 수신한다. 제1 레벨 시프터(121)는 평활화된 데이터 신호를 코어 전압 도메인으로부터 I/O 전압 도메인으로, 예컨대 0V 내지 1.98 V로 시프트할 수 있다. 이 예에서 I/O 전압 도메인은 코어 전압 도메인보다 더 높으며, 그리하여 제1 레벨 시프터(121)는 평활화된 데이터 신호를 낮은 전압 상태로부터 높은 전압 상태로 시프트할 수 있다. 즉, 제1 레벨 시프터(121)는 이 예에서 레벨 업 시프터이다. 제1 레벨 시프터(121)에서의 시프팅 동작은 POC(power-on-control) 신호 POC1(123)에 의해 제어된다. 시프팅 동작은 POC1 신호(123)의 트리거시 수행될 것이다. 즉, POC1 신호(123)의 상태 변경(예컨대, 높은 전압 상태로부터 낮은 전압 상태로)은, 제1 레벨 시프터(121)가 평활화된 데이터 신호를 코어 전압 도메인으로부터 I/O 전압 도메인으로 시프트할 수 있게 그리고 I/O 전압 도메인 내에서 레벨업 데이터 신호(I_up)를 발생시킬 수 있게 할 것이다. 레벨업 데이터 신호(I_up)는 I/O 패드(190)를 통해 또다른 칩으로 보내지거나 출력될 것이다.

[0019] 이 예에서의 I/O 부분(120)은 또한 제2 레벨 시프터(122)를 포함하며, 제2 레벨 시프터(122)는 제2 버퍼(112)에 연결되고 제2 버퍼(112)로부터 평활화된 OE 신호를 수신한다. 제2 레벨 시프터(122)는 평활화된 OE 신호를 코어 전압 도메인으로부터 I/O 전압 도메인으로, 예컨대 0V 내지 1.98 V로 시프트할 수 있다. 이 예에서 I/O 전압 도메인은 코어 전압 도메인보다 더 높으며, 그리하여 제2 레벨 시프터(122)는 평활화된 OE 신호를 낮은 전압 상태로부터 높은 전압 상태로 시프트할 수 있다. 즉, 제2 레벨 시프터(122)는 이 예에서 레벨 업 시프터이다. 제2 레벨 시프터(122)에서의 시프팅 동작은 POC 신호 POC2(124)에 의해 제어된다. 시프팅 동작은 POC2 신호(124)의 트리거시 수행될 것이다. 즉, POC2 신호(124)의 상태 변경(예컨대, 높은 전압 상태로부터 낮은 전압 상태로)은, 제2 레벨 시프터(122)가 평활화된 OE 신호를 코어 전압 도메인으로부터 I/O 전압 도메인으로 시프트할 수 있게 그리고 I/O 전압 도메인 내에서 레벨업 OE 신호(OE_up)를 발생시킬 수 있게 할 것이다. 레벨업 OE 신호(OE_up)는 I/O 패드(190)를 통해 또다른 칩에의 레벨업 데이터 신호(I_up)의 데이터 출력을 제어하도록 사용될 것이다.

[0020] POC1 신호(123) 및 POC2 신호(124)는, 각각 제1 레벨 시프터(121) 및 제2 레벨 시프터(122)의 레벨 시프팅을 제어할 수 있는 2개의 개별 신호이다. 나중에 상세하게 설명될 게이팅 회로(도 1에는 도시되지 않음)는 POC1 신호(123) 및 POC2 신호(124)의 신호 시퀀스를 제어하도록 사용될 수 있다. 따라서, 게이팅 회로는 또한 레벨업 데이터 신호(I_up) 및 레벨업 OE 신호(OE_up)의 신호 시퀀스도 제어할 수 있다. 구체적으로, 회로의 전력 상승 프로세스 동안 글리치가 발생하는 것을 막기 위해, 게이팅 회로는, 레벨업 데이터 신호(I_up)가 발생되어 안정적인 논리 상태에 도달한 후에, 레벨업 OE 신호(OE_up)가 발생되도록 제어할 수 있다. 전력 상승 프로세스 동안, I/O 회로의 전력 및 코어 회로의 전력은 증가된다. 이는 칩 상의 집적 회로가 턴온되고 작동을 시작할 때 일어날 수 있다. 전력 상승 프로세스 후에, 회로는 정상 동작을 시작한다. POC1 신호(123) 및 POC2 신호(124)는 회로의 정상 동작에 영향을 미치지 않을 것인데, 이는 논리 로우(low) 상태에 유지될 것이고 제1 레벨 시프터(121) 및 제2 레벨 시프터(122)가 정상적으로 작동할 수 있게 할 것이기 때문이다.

[0021] 이 예에서의 I/O 부분(120)은 또한 제어 논리 회로(126)를 포함하며, 제어 논리 회로(126)는 제1 레벨 시프터(121) 및 제2 레벨 시프터(122)에 연결되고 데이터 신호(I_up) 및 출력 인에이블 신호(OE_up)에 기초하여 I/O 패드(190)를 전압 레벨로 구동하도록 구성된다. 즉, 제어 논리 회로(126)는 출력 인에이블 신호(OE_up)에 응답하여 I/O 패드(190)를 통해 데이터 신호(I_up)를 출력할 수 있다. 구체적으로, 출력 인에이블 신호(OE_up)가 어서트(assert)되지 않을 때, 제어 논리 회로(126)는 3상태(tri-state) 모드에 있으며 I/O 패드(190)를 구동하지 않는다. 출력 인에이블 신호(OE_up)가 어서트될 때, 제어 논리 회로(126)는 I/O 패드(190)를 데이터 신호(I_up)에 대응하는 전압 레벨 및/또는 논리 상태로 구동한다.

[0022] 도 1에는 도시되지 않았지만, 회로(100)는 또한 입력 버퍼를 포함할 수 있으며, 입력 버퍼는 I/O 패드(190)를 통해 또다른 칩으로부터의 입력 신호를 수신하고 코어 부분의 레벨 다운 시프터로 입력 신호를 구동하도록 I/O 부분(120) 내에 있는 것이다. 레벨 다운 시프터는 코어 회로가 적절한 전압 도메인을 갖는 입력 신호를 수신하도록 입력 신호를 I/O 전압 도메인으로부터 코어 전압 도메인으로 시프트할 수 있다.

[0023] 전력 상승 프로세스 동안, 2개의 가능한 시나리오가 I/O 회로에서 일어날 수 있다. 도 2a는 전력 상승 프로세스 동안 제1 시나리오에 따른 I/O 회로의 예시적인 회로 거동을 예시한다. 도 2a에 도시된 바와 같이, I/O 부분(120)의 I/O 전력(202)은 먼저 전력 상승 프로세스 동안 I/O 전압 도메인 내의 높은 전압 상태로 증가한다. POC 전력(206)은 I/O 전력(202)과 함께 증가한다. 그 다음, 코어 부분(110)의 코어 전력(204)은 코어 전압 도메인 내의 높은 전압 상태로 증가한다. 코어 전력(204)의 증가하는 프로세스 동안, POC 전력(206)은 낮은 전압 상태로 낮아진다. 이 예에서, POC 전력(206)의 낮은 전압 상태시에 제1 레벨 시프터(121) 및 제2 레벨 시프터(122) 둘 다에서 시프팅 동작을 가능하게 하도록 하나의 POC 신호가 사용된다. 즉, POC 전력(206)의 낮은 전압 상태에 응답하여, 제1 레벨 시프터(121) 및 제2 레벨 시프터(122)는 각각 I_up 신호(210) 및 OE_up 신호(220)의 전압 레벨을 시프트업할 레벨 업 시프터로서 정상적으로 작동하기 시작한다. 여기에서, 동일 POC 신호가, 전력이 준비되기 전에 제1 레벨 시프터(121) 및 제2 레벨 시프터(122) 둘 다의 게이팅 신호로서 작용한다. 제1 레벨 시프터(121) 및 제2 레벨 시프터(122)로 들어가는 POC 신호의 타임 시퀀스의 제어는 없다. 하나의 신호로서 발생되었지만, POC 신호는 상이한 타이밍 포인트에 제1 레벨 시프터(121) 및 제2 레벨 시프터(122)에 들어갈 수 있으며, 그리하여 I_up 신호(210) 및 OE_up 신호(220)는 상이한 타이밍 포인트에 높은 전압 상태로 증가할 수 있다.

[0024] 예를 들어, 도 2a에 도시된 시나리오에서, I_up 신호(210)는 시간 t1에서 낮은 전압 상태(L)로부터 높은 전압 상태(H)로 증가하며, OE_up 신호(220)는 시간 t1 후의 시간 t2에서 낮은 전압 상태(L)로부터 높은 전압 상태(H)로 증가한다. 이 경우에, I/O 패드(190)의 패드 전력(230)이 OE_up 신호(220)의 전력 증가와 함께 기준 전압 상태(Z)로부터 높은 전압 상태(H)로 평활하게 증가하므로 전력 상승 동안 어떠한 글리치도 발생하지 않는다. 이는 OE_up 신호(220)가 높은 전압 상태로 증가하기 전에 I_up 신호(210)가 안정적인 높은 전압 상태에 도달했기 때문이며, 그리하여 OE_up 신호(220)가 어서트할 높은 전압 상태에 도달할 때, I/O 패드(190)의 패드 전력(230)은 I_up 신호(210)의 안정적인 높은 전압 상태에 따라 직접 높은 전압 상태로 구동될 것이다.

[0025] 도 2b는 전력 상승 프로세스 동안 제2 시나리오에 따른 I/O 회로의 또다른 예시적인 회로 거동을 예시한다. 도 2b에 도시된 바와 같이, I/O 부분(120)의 I/O 전력(202)은 먼저 전력 상승 프로세스 동안 I/O 전압 도메인 내의 높은 전압 상태로 증가한다. POC 전력(206)은 I/O 전력(202)과 함께 증가한다. 그 다음, 코어 부분(110)의 코어 전력(204)은 코어 전압 도메인 내의 높은 전압 상태로 증가한다. 코어 전력(204)의 증가하는 프로세스 동안, POC 전력(206)은 낮은 전압 상태로 낮아진다. 제1 시나리오와 마찬가지로, 이 예에서, POC 전력(206)의 낮은 전압 상태시에 제1 레벨 시프터(121) 및 제2 레벨 시프터(122) 둘 다에서 시프팅 동작을 가능하게 하도록 하나의 POC 신호가 사용된다. 즉, POC 전력(206)의 낮은 전압 상태에 응답하여, 제1 레벨 시프터(121) 및 제2

레벨 시프터(122)는 각각 I_up 신호(210) 및 OE_up 신호(220)의 전압 레벨을 시프트업할 레벨 업 시프터로서 정상적으로 작동하기 시작한다. 상기에 설명된 바와 같이, 동일 POC 신호가, 전력이 준비되기 전에 제1 레벨 시프터(121) 및 제2 레벨 시프터(122) 둘 다의 게이팅 신호로서 작용되고, 제1 레벨 시프터(121) 및 제2 레벨 시프터(122)로 들어가는 POC 신호의 타임 시퀀스의 제어는 없다. 하나의 신호로서 발생되었지만, POC 신호는 상이한 타이밍 포인트에 제1 레벨 시프터(121) 및 제2 레벨 시프터(122)에 들어갈 수 있으며, 그리하여 I_up 신호(210) 및 OE_up 신호(220)는 상이한 타이밍 포인트에 높은 전압 상태로 증가할 수 있다.

[0026] 예를 들어, 도 2b에 도시된 시나리오에서, OE_up 신호(220)는 시간 t1에서 낮은 전압 상태(L)로부터 높은 전압 상태(H)로 증가하며, I_up 신호(210)는 시간 t1 후의 시간 t2에서 낮은 전압 상태(L)로부터 높은 전압 상태(H)로 증가한다. 이 경우에는, I/O 패드(190)의 패드 전력(230)이 먼저 글리치하고 그 다음 I_up 신호(210)의 전력 증가와 함께 기준 전압 상태(Z)로부터 높은 전압 상태(H)로 증가하므로, 전력 상승 동안 발생하는 글리치(250)가 있다. 이는 OE_up 신호(220)가 높은 전압 상태로 증가한 후에 I_up 신호(210)가 높은 전압 상태로 증가하기 때문이며, 그리하여 OE_up 신호(220)가 어서트할 높은 전압 상태에 도달할 때, I/O 패드(190)의 패드 전력(230)은 I_up 신호(210)가 여전히 낮은 전압 전력을 갖기 때문에 직접 높은 전압 상태로 구동되지 않을 것이다. 이 경우에 OE 신호는 I/O 패드로 잘못된 I_up 상태를 게이팅한다. 그러면, I_up 신호(210)가 t2에서 높은 전압 전력으로 증가할 때, I/O 패드(190)의 패드 전력(230)은 I_up 신호(210)의 높은 전압 상태에 따라 높은 전압 상태로 구동된다.

[0027] 전력 상승 프로세스 동안 도 2b에서와 같은 이 글리치(250)를 피하고 회로 거동이 항상 도 2a에서의 제1 시나리오와 같을 것임을 보장하기 위해, 본 개시는 제1 레벨 시프터(121) 및 제2 레벨 시프터(122)를 각각 제어하기 위한 2개의 개별 POC 신호를 발생시키고 2개의 개별 POC 신호의 신호 시퀀스를 제어하기 위한 게이팅 회로의 다양한 실시예를 개시한다.

[0028] 도 3은 본 개시의 일부 실시예에 따라 입력/출력 회로, 예컨대 도 1의 회로(100)에서의 예시적인 게이팅 회로(300)를 예시한다. 도 3에 도시된 바와 같이, 게이팅 회로(300)는 6개의 트랜지스터(341, 342, 343, 344, 345, 346) 및 2개의 인버터(332, 334)를 포함한다. 게이팅 회로(300)는 제1 전력-온-제어 신호 POC1(310)의 논리 반전(logical invert)에 의해 공통으로 게이팅되는 제1 트랜지스터(341) 및 제2 트랜지스터(342)(예컨대, 각각 n타입 MOSFET 및 p타입 MOSFET)를 포함한다. 이 예에서, POC1 신호(310)의 논리 반전이 제1 트랜지스터(341)에 들어갈 때 다시 반전됨에 따라, 제1 트랜지스터(341)는 POC1 신호(310)에 의해 효과적으로 게이팅된다. 게이팅 회로(300)는 제3 트랜지스터(343)를 포함하며, 제3 트랜지스터는 제2 트랜지스터(342)에 연결되고 신호 I(304)의 논리 반전에 의해 게이팅된다. 게이팅 회로(300)는 신호 I_up(306)에 의해 게이팅되는 제4 트랜지스터(344)(예컨대, n타입 MOSFET)를 포함한다. 게이팅 회로(300)는 제5 트랜지스터(345)(예컨대, n타입 MOSFET)를 포함하며, 제5 트랜지스터(345)는 제4 트랜지스터(344)에 연결되고 신호 I(302)에 의해 게이팅된다.

[0029] 게이팅 회로(300)는, 6개의 트랜지스터 중 하나 이상의 트랜지스터의 출력에 기초하여 제2 전력-온-제어 신호 POC2(320)를 발생시키도록 구성된 제1 인버터(331)를 포함한다. 게이팅 회로(300)는 또한, 제1 트랜지스터(341)와 제1 인버터(331) 사이에 연결된 제2 인버터(332)를 포함한다. 게이팅 회로(300)는 또한 제6 트랜지스터(346)를 포함하며, 제6 트랜지스터(346)는 제5 트랜지스터(345)에 연결되고 제2 인버터(332)의 출력 신호에 의해 게이팅된다.

[0030] 게이팅 회로(300)의 이 예시적인 구조로써, 제2 전력-온-제어 신호 POC2(320)는 제1 전력-온-제어 신호(POC1)가 활성화된 후에 활성화된다. 하나의 예에서, PCO1 신호가 먼저 활성화되며, 즉 하이 전압 상태로부터 낮은 전압 상태로 변경된다. 따라서, 제1 전력-온-제어 신호 POC1(310)의 논리 반전은, 제1 트랜지스터(341) 및 제2 트랜지스터(342)에의 입력 신호로서, 낮은 전압 상태로부터 높은 전압 상태로 변경된다. 그 다음, 제1 트랜지스터(341)가 턴오프되고, 제2 트랜지스터(342)가 턴온된다. 그리하여, 제2 인버터(332)의 입력은 높은 전압 상태로부터 낮은 전압 상태로 변경된다. 그 다음, 제1 인버터(331)의 입력은 낮은 전압 상태로부터 높은 전압 상태로 변경된다. 따라서, 제1 인버터(331)의 출력은 높은 전압 상태로부터 낮은 전압 상태로 변경되며, 즉 제2 전력-온-제어 신호 POC2(320)가 활성화된다. 따라서, 신호 POC2(320)는 신호 POC1가 활성화된 후에 활성화된다. 제3 트랜지스터(343), 제4 트랜지스터(344), 제5 트랜지스터(345), 및 제6 트랜지스터(346)는 게이팅 회로(300)를 제어하는 것을 도울 수 있다. 예를 들어, 제6 트랜지스터(346)의 제어단을 제2 인버터(332)의 출력과 접속시킴으로써, 제6 트랜지스터(346)는 제4 트랜지스터(344)의 드레인단이 전력 상승 프로세스 후에 안정화될 수 있게 한다.

[0031] 상기의 예에서, 신호 POC1가 활성화되고 낮은 전압 상태로 변경되면, 제1 레벨 시프터(121)는 I_up 신호(306)의

전압 레벨을 시프트업할 레벨 업 시프터로서 정상적으로 작동하기 시작할 것이다. 마찬가지로, 신호 POC2가 활성화되고 낮은 전압 상태로 변경되면, 제2 레벨 시프터(122)는 OE_up 신호의 전압 레벨을 시프트업할 레벨 업 시프터로서 정상적으로 작동하기 시작할 것이다. 게이팅 회로(300)의 구조는 신호 POC1가 활성화된 후에 신호 POC2(320)가 활성화됨을 보장하기 때문에, OE_up 신호도 또한, 데이터 신호(I_up)가 POC1 신호에 응답하여 발생되거나 시프트업된 후에 POC2 신호(320)에 응답하여 발생되거나 시프트업되는 것이 보장되며, 이는 전력 상승 프로세스 동안 글리치가 발생하는 것을 방지한다. 본 개시의 다양한 실시예에 따라, 게이팅 회로(300)의 하나 이상의 컴포넌트(트랜지스터 또는 인버터)가 2개의 POC 신호 간의 시간 의존도에 영향을 미치지 않고서 제거되거나 교체될 수 있으며, 그리하여 게이팅 회로(300)는 전력 상승 프로세스 동안 여전히 글리치가 발생하는 것을 방지할 수 있다.

[0032] 도 4는 본 개시의 일부 실시예에 따라 입력/출력 회로에서의 게이팅 회로, 예컨대 도 3에서의 게이팅 회로(300)의 예시적인 레이아웃을 예시한다. 도 4에 도시된 바와 같이, 레이아웃은 N타입 금속-산화물-반도체(NMOS; N-type metal-oxide-semiconductor) 부분(410) 및 P타입 금속-산화물-반도체(PMOS; P-type metal-oxide-semiconductor) 부분(420)을 포함할 수 있으며, 이는 예를 들어 예시된 것이다. 도 4의 레이아웃은 산화물 확산(OD) 층(430), OD 층(430) 위에 형성된 폴리실리콘(PO) 층(432), 및 OD 층(430) 위에 형성된 산화물 위 금속(MD) 층(434)을 포함한다. 도 3에서의 게이팅 회로(300)의 상이한 컴포넌트는 레이아웃의 대응하는 부분에 표시되어 있다. 예를 들어, 트랜지스터(341)는 PMOS 부분(420)에서 구현되며, 트랜지스터(342, 343, 344, 345, 346)는 NMOS 부분(410)에서 구현된다. 제1 인버터(331)는 NMOS 부분(410)에서 구현된 NMOS 부분(331.N) 및 PMOS 부분(420)에서 구현된 PMOS 부분(331.P)을 포함한다. 마찬가지로, 제2 인버터(332)는 NMOS 부분(410)에서 구현된 NMOS 부분(332.N) 및 PMOS 부분(420)에서 구현된 PMOS 부분(332.P)을 포함한다. 레이아웃은, PO 층(432) 및 MD 층(434) 상에 형성된 금속-제로(M0) 층(436)을 더 포함하고, M0 층(436) 상에 형성된 금속-1(M1) 층(438)을 포함한다. M0 층(436) 및 M1 층(438)의 각각은 게이팅 회로의 상이한 컴포넌트를 연결하는 금속 라인을 포함한다. 도 4에 도시된 바와 같이, I/O 전원 공급 핀(VDDPST)은 PMOS 부분(420)에서의 M0 층(436)에 연결되며, 접지 기준 핀(VSS)은 NMOS 부분(410)에서의 M1 층(438)에 연결된다.

[0033] POC1 신호(310) 및 POC2 신호(320)의 논리 보수(logical complement)는 도 4에 도시된 예시적인 레이아웃에 기초하여 상기에 설명된 바와 같이 특정 시간 의존 관계를 갖도록 제어된다. 하나의 실시예에서, 게이팅 회로의 레이아웃은 I/O 회로의 총 면적의 미리 정해진 퍼센티지(예컨대, 0.5%, 1% 등)보다 작은 면적만 차지한다. 그리하여, 게이팅 회로는 I/O 회로의 구현 면적에 거의 영향을 미치지 않거나 아예 미치지 않는다. 도 4에 도시된 레이아웃은 도 3에서의 게이팅 회로(300)를 구현하기 위한 단지 하나의 예일 뿐이며, 본 개시의 다른 실시예에 따라 도 3에서의 게이팅 회로(300)를 구현하도록 다른 레이아웃이 사용될 수 있다.

[0034] 도 5는 본 개시의 일부 실시예에 따라 입력/출력 회로, 예컨대 도 1의 회로(100)에서의 또다른 예시적인 게이팅 회로(500)를 예시한다. 도 5에 도시된 바와 같이, 이 예에서의 게이팅 회로(500)는 직렬로 연결된 짝수 개의 인버터(510, 520)를 갖는 직렬 회로를 포함한다. 직렬 회로는 입력 신호로서 제1 전력-온-제어 신호 POC1(123)를 수신하고 출력 신호로서 제2 전력-온-제어 신호 POC2(124)를 발생시킨다. 인버터의 짝수는 POC1 신호(123)와 POC2 신호(124) 간의 시간 지연을 제공할 수 있고, POC1 신호(123)와 POC2 신호(124) 간의 일치하는 논리 상태를 보장한다. 하나의 실시예에서, 짝수는, POC1 신호(123)가 안정적인 논리 상태에 도달한 후에 POC2 신호(124)가 발생되도록, POC1 신호(123)와 POC2 신호(124) 간의 충분한 시간 지연을 보장할 만큼 충분히 크도록 설계될 수 있다.

[0035] 본 개시의 일부 실시예에 따르면, I/O 회로는 하나 이상의 추가 게이팅 회로를 포함하며, 이의 각각은 도 3 또는 도 5에 도시된 바와 같은 구조를 갖는다. 이들 게이팅 회로는, I/O 회로에서의 신호의 바람직한 타이밍 시퀀스를 보장하기 위해, POC 신호를 발생시키고 미리 정해진 설계에 따라 모든 POC 신호의 신호 시퀀스를 제어하도록 구성된다. 바람직한 타이밍 시퀀스는 데이터 신호 및 출력 인에이블 신호가 아닌 다른 하나 이상의 신호를 위한 것일 수 있다.

[0036] 도 6은 본 개시의 일부 실시예에 따라 입력/출력 회로, 예컨대 도 1에서의 회로(100)의 전력 상승 동안 예시적인 회로 거동을 예시한다. 도 6에 도시된 바와 같이, I/O 부분(120)의 I/O 전력(602)은 전력 상승 프로세스 동안 먼저 I/O 전압 도메인 내의 높은 전압 상태로 증가한다. POC1(606)의 제1 POC 전력 및 POC2(608)의 제2 POC 전력은 I/O(602) 전력과 함께 증가한다. 이 예에서, 도 1에 도시된 바와 같이, 2개의 개별 POC 신호 POC1 및 POC2는 각각 제1 레벨 시프터(121) 및 제2 레벨 시프터(122)에서의 시프팅 동작을 가능하게 하도록 사용된다. 즉, POC1 신호(606)의 낮은 전압 상태에 응답하여, 제1 레벨 시프터(121)는 I_up 신호(610)의 전압 레벨을 시프트업할 레벨 업 시프터로서 정상적으로 작동하기 시작할 것이고, POC2 신호(608)의 낮은 전압 상태

에 응답하여, 제2 레벨 시프터(122)는 OE_up 신호(620)의 전압 레벨을 시프트업할 레벨 업 시프터로서 정상적으로 작동하기 시작할 것이다.

[0037] I/O 전력(602)이 높은 전압 상태로 증가한 후에, 코어 부분(110)의 코어 전력(604)은 코어 전압 도메인 내의 높은 전압 상태로 증가한다. 코어 전력(604)의 증가하는 프로세스 동안, POC1(606)의 POC 전력은, 예컨대 게이팅 회로의 제어 신호로 인해, 낮은 전압 상태로 낮아진다. POC1 신호(606)의 낮은 전압 상태에 응답하여, 제1 레벨 시프터(121)는 I_up 신호(610)의 전압 레벨을 시프트업할 레벨 업 시프터로서 정상적으로 작동하기 시작한다. 도 6에 도시된 바와 같이, POC1(606)가 낮은 전압 상태로 낮아진 후에, I_up 신호(610)는 낮은 전압 상태(L)로부터 높은 전압 상태(H)로 증가한다.

[0038] 상기에 설명된 바와 같이, 게이팅 회로는, POC2 신호(608)가 낮은 전압 상태로 발생되기 전에 POC1 신호(606)가 낮은 전압 상태로 발생되도록, 2개의 POC 신호, 즉 POC1 신호(606) 및 POC2 신호(608)를 발생시키기 위한 시간 시퀀스를 제어한다. 그리하여, POC2 신호가 OE_up 신호(620)의 발생을 가능하게 하도록 제2 레벨 시프터(122)에 들어가기 전에, POC1 신호가 I_up 신호(610)의 발생을 가능하게 하도록 제1 레벨 시프터(121)에 들어간다. 여기에서, 2개의 POC 신호는 전력이 준비되기 전에 각각 제1 레벨 시프터(121) 및 제2 레벨 시프터(122)의 게이팅 신호로서 작용한다.

[0039] 도 6에 도시된 바와 같이, I_up 신호(610)가 안정적인 높은 전압 상태(H)에 도달한 후에, POC2 신호(608)는 제2 레벨 시프터(122)의 정상 동작을 트리거하도록 낮은 전압 상태로 낮아진다. 그 다음, 제2 레벨 시프터(122)는 OE_up 신호(620)의 전압 레벨을 낮은 전압 상태(L)로부터 높은 전압 상태(H)로 시프트업한다. 상기에 설명된 바와 같이, POC1 신호(606)와 POC2 신호(608) 사이의 이러한 시간 의존적 관계는 I/O 회로의 전력 상승 프로세스 동안 어떠한 글리치도 일어날 수 없음을 보장한다. 구체적으로, 이 실시예에 따르면, I/O 회로의 신호 타이밍 시퀀스는 순서대로 다음을 포함한다: POC1 신호가 낮은 전압 상태로 감소됨으로써 활성화되고, I_up 데이터 신호가 높은 전압 상태로 증가됨으로써 활성화되고, POC2 신호가 낮은 전압 상태로 감소됨으로써 활성화되고, OE_up 신호가 높은 전압 상태로 증가됨으로써 활성화된다.

[0040] 도 7은 본 개시의 일부 실시예에 따라 입력/출력 회로, 예컨대 도 1에서의 회로(100)의 전력 상승 동안 상세한 회로 거동의 예를 예시한다. 도 7에 도시된 바와 같이, I/O 전력(702)은 먼저 전력 상승 프로세스 동안 I/O 전압 도메인 내의 높은 전압 상태로 증가한다. POC1(706)의 제1 POC 전력 및 POC2(708)의 제2 POC 전력도 높은 I/O 전압 도메인으로 증가하도록 I/O 전력(602)을 따른다. 이 예에서, 도 1에 도시된 바와 같이, 제1 레벨 시프터(121) 및 제2 레벨 시프터(122)에서의 시프팅 동작을 각각 가능하게 하도록 2개의 개별 POC 신호 POC1 및 POC2가 사용된다. 즉, POC1 신호(706)의 낮은 전압 상태에 응답하여, 제1 레벨 시프터(121)는 I_up 신호(710)의 전압 레벨을 시프트업할 레벨 업 시프터로서 정상적으로 작동하기 시작할 것이고, POC2 신호(708)의 낮은 전압 상태에 응답하여, 제2 레벨 시프터(122)는 OE_up 신호(720)의 전압 레벨을 시프트업할 레벨 업 시프터로서 정상적으로 작동하기 시작할 것이다.

[0041] I/O 전력(702)이 높은 전압 상태로 증가한 후에, 코어 전력(704)은 코어 전압 도메인 내의 높은 전압 상태로 증가한다. 코어 전력(704)의 증가하는 프로세스 동안, POC1(706)의 POC 전력은, 예컨대 게이팅 회로의 제어 신호로 인해, 낮은 전압 상태로 낮아진다. 부분(790) 내의 회로 거동은 대응하는 확대도(792)에서 보다 상세하게 볼 수 있다. 확대도(792)에 도시된 바와 같이, POC1 신호(706)의 낮은 전압 상태에 응답하여, I_up 신호(710)의 전압 레벨은 높은 전압 상태까지 증가된다. 이 예에서, 제1 레벨 시프터(121)는 데이터 신호(I)(711)를 레벨업 데이터 신호(I_up)(710)가 되도록 낮은 코어 전압 도메인 0.75 V로부터 높은 I/O 전압 도메인 1.8 V로 시프트한다.

[0042] 상기에 설명된 바와 같이, 게이팅 회로는, POC2 신호(708)가 낮은 전압 상태로 발생되기 전에 POC1 신호(706)가 낮은 전압 상태로 발생되도록, 2개의 POC 신호, 즉 POC1 신호(706) 및 POC2 신호(708)를 발생시키기 위한 시간 시퀀스를 제어한다. 그리하여, POC2 신호가 OE_up 신호(720)의 발생을 가능하게 하도록 제2 레벨 시프터(122)에 들어가기 전에, POC1 신호가 I_up 신호(710)의 발생을 가능하게 하도록 제1 레벨 시프터(121)에 들어간다. 여기에서, 2개의 POC 신호는 전력이 준비되기 전에 각각 제1 레벨 시프터(121) 및 제2 레벨 시프터(122)의 게이팅 신호로서 작용한다.

[0043] 확대도(792)에 도시된 바와 같이, POC1 신호(706)가 낮은 전압 상태로 낮아진 후에, POC2 신호(708)는 제2 레벨 시프터(122)의 정상 동작을 트리거하도록 낮은 전압 상태로 낮아진다. 그 다음, POC2 신호(708)의 낮은 전압 상태에 응답하여, OE_up 신호(720)의 전압 레벨은 높은 전압 상태까지 증가된다. 이 예에서, 제2 레벨 시프터(122)는 OE 신호(721)를 레벨업 OE 신호(OE_up)(720)가 되도록 낮은 코어 전압 도메인 0.75 V로부터 높은 I/O

전압 도메인 1.8 V로 시프트한다. 상기에 설명된 바와 같이, POC1 신호(706)와 POC2 신호(708) 사이의 이러한 시간 의존적 관계는, 레벨업 데이터 신호(I_up)(710)가 높은 전압 상태에 도달하도록 활성화된 후에 레벨업 OE 신호(OE_up)(720)가 높은 전압 상태에 도달하도록 활성화되기 때문에, I/O 회로의 전력 상승 프로세스 동안 패드 전압(730)에서 어떠한 글리치도 발생할 수 없음을 보장한다.

[0044] 도 7에 도시된 바와 같이, POC1 신호(706)의 전압 변경에서 POC2 신호(708)의 전압 변경까지의 지속기간은 대략 30 나노초이며, 이는 전력 상승의 통상 지속기간, 예컨대 100 마이크로초보다 훨씬 더 짧다. 그리하여, POC1 신호(706) 및 POC2 신호(708)의 개시된 시간 시퀀스 제어는, I/O 회로의 전력 상승 시간에 영향을 미치지 않을 것이다.

[0045] 도 8은 본 개시의 일부 실시예에 따라 입력/출력 패드(890)에 연결된 또다른 회로(800)의 예시적인 블록도를 예시한다. 하나의 실시예에 따르면, 회로(800)는 집적 회로 시스템 내의 칩의 일부일 수 있다. 칩은 I/O 회로(800)에 의해 제어되는 I/O 패드(890)를 통해 시스템 내의 다른 칩과 통신할 수 있다. 도 8에 도시된 바와 같이, 회로(800)는 2개의 부분, 즉 제1 전압 도메인을 갖는 코어 부분(810) 및 제2 전압 도메인을 갖는 I/O 부분(820)을 포함한다.

[0046] 이 예에서, 코어 부분(810)은, 입력 데이터 신호(I)를 수신하며 입력 데이터 신호(I)와 동일한 전압 레벨을 갖는 평활화된 데이터 신호를 발생시키는 제1 버퍼(811)를 포함한다. 입력 데이터 신호(I)는 제1 버퍼(111)에 접속된 코어 회로에 의해 발생될 수 있다. 코어 회로(도시되지 않음)는 고객 설계에 따른 칩의 코어 기능을 수행한다. 코어 회로는 I/O 패드(890)를 통해 또다른 칩에 데이터를 출력하도록 입력 데이터 신호(I)를 발생시킨다. 코어 회로에 의해 발생된 입력 데이터 신호(I)는 코어 도메인 내의 전압, 예컨대 0 V 내지 0.75 V를 갖는다.

[0047] 이 예에서의 코어 부분(110)은 또한 제2 버퍼(812)를 포함하며, 제2 버퍼(112)는 출력 인에이블 신호(OE)를 수신하고 출력 인에이블 신호(OE)와 동일한 전압 레벨을 갖는 평활화된 OE 신호를 발생시킨다. 출력 인에이블 신호(OE)는 또한 제2 버퍼(812)에 접속된 코어 회로에 의해 발생된다. 코어 회로는 I/O 패드(890)를 통해 또다른 칩에의 데이터 출력을 제어하도록 출력 인에이블 신호(OE)를 발생시킨다. 코어 회로에 의해 발생된 출력 인에이블 신호(OE)는 코어 도메인 내의 전압, 예컨대 0 V 내지 0.75 V를 갖는다.

[0048] 이 예에서의 I/O 부분(820)은 제1 레벨 시프터(821)를 포함하며, 제1 레벨 시프터(821)는 제1 버퍼(811)에 연결되고 제1 버퍼(811)로부터 평활화된 데이터 신호를 수신한다. 제1 레벨 시프터(821)는 평활화된 데이터 신호를 코어 전압 도메인으로부터 I/O 전압 도메인으로, 예컨대 0V 내지 1.98 V로 시프트할 수 있다. 이 예에서 I/O 전압 도메인은 코어 전압 도메인보다 더 높으며, 그리하여 제1 레벨 시프터(821)는 평활화된 데이터 신호를 낮은 전압 상태로부터 높은 전압 상태로 시프트할 수 있다. 즉, 제1 레벨 시프터(821)는 이 예에서 레벨업 시프터이다. 제1 레벨 시프터(821)에서의 시프팅 동작은 POC 신호(823)에 의해 제어된다. 시프팅 동작은 POC 신호(823)의 트리거시 수행될 것이다. 즉, POC 신호(823)의 상태 변경(예컨대, 높은 전압 상태로부터 낮은 전압 상태로)은 제1 레벨 시프터(821)가 평활화된 데이터 신호를 코어 전압 도메인으로부터 I/O 전압 도메인으로 시프트할 수 있게 그리고 I/O 전압 도메인 내에서 레벨업 데이터 신호(I_up)를 발생시킬 수 있게 할 것이다. 레벨업 데이터 신호(I_up)는 I/O 패드(890)를 통해 또다른 칩으로 보내지거나 출력될 것이다.

[0049] 이 예에서의 I/O 부분(820)은 또한 제2 레벨 시프터(822)를 포함하며, 제2 레벨 시프터(822)는 제2 버퍼(812)에 연결되고 제2 버퍼(812)로부터 평활화된 OE 신호를 수신한다. 제2 레벨 시프터(822)는 평활화된 OE 신호를 코어 전압 도메인으로부터 I/O 전압 도메인으로, 예컨대 0V 내지 1.98 V로 시프트할 수 있다. 이 예에서의 I/O 전압 도메인은 코어 전압 도메인보다 더 높으며, 그리하여 제2 레벨 시프터(822)는 평활화된 OE 신호를 낮은 전압 상태로부터 높은 전압 상태로 시프트할 수 있다. 즉, 제2 레벨 시프터(822)는 이 예에서 레벨업 시프터이다. 제2 레벨 시프터(822)에서의 시프팅 동작도 POC 신호(823)에 의해 제어된다. 시프팅 동작은 POC 신호(823)의 트리거시 수행될 것이다. 즉, POC 신호(823)의 상태 변경(예컨대, 높은 전압 상태로부터 낮은 전압 상태로)은 제2 레벨 시프터(822)가 평활화된 OE 신호를 코어 전압 도메인으로부터 I/O 전압 도메인으로 시프트할 수 있게 그리고 I/O 전압 도메인 내에서 레벨업 OE 신호(OE_up)를 발생시킬 수 있게 할 것이다. 레벨업 OE 신호(OE_up)는 I/O 패드(890)를 통해 또다른 칩에의 레벨업 데이터 신호(I_up)의 데이터 출력을 제어하도록 사용될 것이다.

[0050] 동일 POC 신호가, 전력이 준비되기 전에 제1 레벨 시프터(821) 및 제2 레벨 시프터(822) 둘 다의 게이팅 신호로서 작용하지만, I/O 부분(820)은 또한, 제2 레벨 시프터(822)에 연결되며 제2 레벨 시프터(822)에 의해 출력된 OE_up 신호에 기초하여 지연된 OE_up 신호를 발생시키도록 구성된 지연 회로(825)를 포함한다. 이 실시예에서,

지연 회로(825)는 제2 레벨 시프터(822)의 출력에 연결된 커패시터(C_OE)를 포함한다. 커패시터(C_OE)는, 데이터 신호(I_up)가 안정적인 논리 상태에 도달한 후에 지연된 OE_up 신호가 발생됨을 보장할 만큼 충분히 큰 커패시턴스를 갖도록 설계될 수 있다. 따라서, 지연 회로(825)는, I/O 회로의 전력 상승 프로세스 동안 글리치가 발생하는 것을 방지하기 위해, 레벨업 데이터 신호(I_up)가 안정적인 높은 전압 논리 상태로 제어 논리 회로(126)에 들어간 후에 레벨업 OE 신호(OE_up)가 높은 전압 상태로 제어 논리 회로(826)에 들어가게 지연되도록 제어할 수 있다. 다양한 실시예에 따르면, 지연 회로(825)는 도 8에 도시된 바와 상이한 구조를 가질 수 있고 여전히 레벨업 OE 신호(OE_up)에 대한 시간 지연 효과를 달성할 수 있다. 예를 들어, 지연 회로(825)는 저항, 커패시터, 트랜지스터, 다이오드, 및 타이머 중 적어도 하나에 기초하여 시간 지연 효과를 가질 수 있다.

[0051] 이 예에서의 I/O 부분(820)은 또한 제어 논리 회로(826)를 포함하며, 제어 논리 회로(826)는 제1 레벨 시프터(821) 및 제2 레벨 시프터(822)에 연결되고 I/O 패드(890)를 데이터 신호(I_up) 및 지연된 OE_up 신호에 기초한 전압 레벨로 구동하도록 구성된다. 즉, 제어 논리 회로(826)는 지연된 OE_up 신호에 응답하여 I/O 패드(890)를 통해 데이터 신호(I_up)를 출력할 수 있다. 구체적으로, 지연된 OE_up 신호가 어서트되지 않을 때, 제어 논리 회로(826)는 3상태 모드에 있으며 I/O 패드(890)를 구동하지 않는다. 지연된 OE_up 신호가 어서트될 때, 제어 논리 회로(826)는 I/O 패드(890)를 데이터 신호(I_up)에 대응하는 전압 레벨 및/또는 논리 상태로 구동한다. 도 8에는 도시되지 않았지만, 회로(800)는 또한, I/O 패드(890)를 통해 또다른 칩으로부터의 입력 신호를 수신하고 코어 부분(810)에서의 레벨 다운 시프터로 입력 신호를 구동하도록 I/O 부분(820) 내에 있는 입력 버퍼를 포함할 수 있다. 레벨 다운 시프터는 코어 회로가 적절한 전압 도메인을 갖는 입력 신호를 수신하도록 입력 신호를 I/O 전압 도메인으로부터 코어 전압 도메인으로 시프트할 수 있다.

[0052] 도 9는 본 개시의 일부 실시예에 따라 입력/출력 패드에 연결된 회로에서 글리치를 방지하기 위한 예시적인 방법(900)을 예시한 흐름도이다. 동작 902에서, 제1 전력-온제어(POC) 신호가 입력/출력 회로에서 제1 레벨 시프터에 연결된다. 제1 입력 신호는 동작 904에서 제1 POC 신호에 응답하여 데이터 신호를 발생시키도록 제1 전압 도메인으로부터 제2 전압 도메인으로 시프트된다. 제2 POC 신호가 동작 906에서 입력/출력 회로에서 제2 레벨 시프터에 연결된다. 제2 입력 신호는 동작 908에서 제2 POC 신호에 응답하여 출력 인에이블 신호를 발생시키도록 제1 전압 도메인으로부터 제2 전압 도메인으로 시프트된다. 동작 910에서, 입력/출력 패드는 데이터 신호 및 출력 인에이블 신호에 기초한 전압 레벨로 구동된다. 도 9에 도시된 동작의 순서는 본 개시의 상이한 실시예에 따라 변경될 수 있다.

[0053] 실시예에서, 입력/출력 패드에 연결된 회로가 개시된다. 회로는, 제1 레벨 시프터, 제2 레벨 시프터, 및 제어 논리 회로를 포함한다. 제1 레벨 시프터는 데이터 신호를 발생시키도록 구성된다. 제2 레벨 시프터는 출력 인에이블 신호를 발생시키도록 구성된다. 제1 및 제2 레벨 시프터는 각각 제1 및 제2 전력-온-제어 신호에 의해 제어된다. 제어 논리 회로는 제1 레벨 시프터 및 제2 레벨 시프터에 연결되며, 입력/출력 패드를 데이터 신호 및 출력 인에이블 신호에 기초한 전압 레벨로 구동하도록 구성된다.

[0054] 다른 실시예에서, 입력/출력 패드에 연결된 회로가 개시된다. 회로는, 제1 레벨 시프터, 제2 레벨 시프터, 지연 회로 및 제어 논리 회로를 포함한다. 제1 레벨 시프터는 데이터 신호를 발생시키도록 구성된다. 제2 레벨 시프터는 출력 인에이블 신호를 발생시키도록 구성된다. 제1 및 제2 레벨 시프터는 전력-온-제어 신호에 의해 제어된다. 지연 회로는 제2 레벨 시프터에 연결되며, 출력 인에이블 신호에 기초하여 지연된 출력 인에이블 신호를 발생시키도록 구성된다. 제어 논리 회로는 제1 레벨 시프터 및 제2 레벨 시프터에 연결되며, 입력/출력 패드를 데이터 신호 및 지연된 출력 인에이블 신호에 기초한 전압 레벨로 구동하도록 구성된다.

[0055] 또 다른 실시예에서, 입력/출력 패드에 연결된 회로에서 글리치를 방지하기 위한 방법이 개시된다. 방법은, 회로에서 제1 레벨 시프터에 제1 전력-온-제어 신호를 연결하는 단계, 제1 전력-온-제어 신호에 응답하여, 데이터 신호를 발생시키도록 제1 입력 신호를 제1 전압 도메인으로부터 제2 전압 도메인으로 시프트하는 단계, 회로에서 제2 레벨 시프터에 제2 전력-온-제어 신호를 연결하는 단계, 제2 전력-온-제어 신호에 응답하여, 출력 인에이블 신호를 발생시키도록 제2 입력 신호를 제1 전압 도메인으로부터 제2 전압 도메인으로 시프트하는 단계, 및 입력/출력 패드를 데이터 신호 및 출력 인에이블 신호에 기초한 전압 레벨로 구동하는 단계를 포함한다.

[0056] 전술한 바는 당해 기술 분야에서의 통상의 지식을 가진 자들이 본 개시의 양상을 보다 잘 이해할 수 있도록 여러 실시예들의 특징을 나타낸 것이다. 당해 기술 분야에서의 숙련자라면, 여기에서 소개된 실시예와 동일한 목적을 수행하고/하거나 동일한 이점을 달성하기 위해 다른 프로세스 및 구조를 설계 또는 수정하기 위한 기반으로서 본 개시를 용이하게 사용할 수 있다는 것을 알아야 한다. 당해 기술 분야에서의 숙련자는 또한, 이러한 등가의 구성이 본 개시의 진정한 의미 및 범위로부터 벗어나지 않으며, 본 개시의 진정한 의미 및 범위에서 벗

어나지 않고서 다양한 변경, 치환 및 대안을 행할 수 있다는 것을 알아야 한다.

[0057] 실시예

[0058] 실시예 1. 입력/출력 패드에 연결된 회로에 있어서,

[0059] 데이터 신호를 발생시키도록 구성된 제1 레벨 시프터;

[0060] 출력 인에이블 신호를 발생시키도록 구성된 제2 레벨 시프터로서, 상기 제1 레벨 시프터 및 상기 제2 레벨 시프터는 각각 제1 전력-온-제어(power-on-control) 신호 및 제2 전력-온-제어 신호에 의해 제어되는 것인, 상기 제2 레벨 시프터; 및

[0061] 상기 제1 레벨 시프터 및 상기 제2 레벨 시프터에 연결되며, 상기 입력/출력 패드를 상기 데이터 신호 및 상기 출력 인에이블 신호에 기초한 전압 레벨로 구동하도록 구성된 제어 논리 회로를 포함하는, 입력/출력 패드에 연결된 회로.

[0062] 실시예 2. 실시예 1에 있어서,

[0063] 상기 제1 레벨 시프터는, 제1 전압 도메인에서 제1 입력 신호를 수신하고, 상기 제1 전력-온-제어 신호에 응답하여 상기 데이터 신호를 발생시키도록 상기 제1 입력 신호를 제2 전압 도메인으로 시프트하도록 구성되고,

[0064] 상기 제2 레벨 시프터는, 상기 제1 전압 도메인에서 제2 입력 신호를 수신하고, 상기 제2 전력-온-제어 신호에 응답하여 상기 출력 인에이블 신호를 발생시키도록 상기 제2 입력 신호를 상기 제2 전압 도메인으로 시프트하도록 구성되는 것인, 입력/출력 패드에 연결된 회로.

[0065] 실시예 3. 실시예 2에 있어서, 상기 제2 전압 도메인은 상기 제1 전압 도메인보다 더 높은 것인, 입력/출력 패드에 연결된 회로.

[0066] 실시예 4. 실시예 1에 있어서, 게이팅(gating) 회로를 더 포함하며, 상기 게이팅 회로는, 상기 제1 전력-온-제어 신호 및 상기 제2 전력-온-제어 신호를 발생시키고, 상기 제2 전력-온-제어 신호로 상기 제2 레벨 시프터가 상기 출력 인에이블 신호를 발생시킬 수 있게 하기 전에 상기 제1 전력-온-제어 신호로 상기 제1 레벨 시프터가 상기 데이터 신호를 발생시킬 수 있게 하도록, 상기 제1 전력-온-제어 신호 및 상기 제2 전력-온-제어 신호의 신호 시퀀스를 제어하도록 구성되는 것인, 입력/출력 패드에 연결된 회로.

[0067] 실시예 5. 실시예 4에 있어서, 상기 게이팅 회로는,

[0068] 상기 데이터 신호에 의해 게이팅되는 제1 트랜지스터;

[0069] 상기 제1 전력-온-제어 신호의 논리 반전(logical invert)인 신호에 의해 게이팅되는 제2 트랜지스터; 및

[0070] 상기 데이터 신호가 안정적인 논리 상태에 도달했는지 여부에 기초하여 상기 제2 전력-온-제어 신호가 발생되도록, 상기 제1 트랜지스터 및 상기 제2 트랜지스터의 출력에 기초하여 상기 제2 전력-온-제어 신호를 발생시키도록 구성된 제1 인버터를 포함하는 것인, 입력/출력 패드에 연결된 회로.

[0071] 실시예 6. 실시예 5에 있어서, 상기 게이팅 회로는,

[0072] 상기 제2 트랜지스터와 상기 제1 인버터 사이에 연결된 제2 인버터;

[0073] 상기 제1 트랜지스터에 연결되고 상기 제1 레벨 시프터의 입력 신호에 의해 게이팅되는 제3 트랜지스터;

[0074] 상기 제1 트랜지스터에 연결되고 상기 제1 레벨 시프터의 입력 신호의 논리 반전인 신호에 의해 게이팅되는 제4 트랜지스터;

[0075] 상기 제2 트랜지스터에 연결되고 상기 제1 전력-온-제어 신호에 의해 게이팅되는 제5 트랜지스터; 및

[0076] 상기 제1 트랜지스터에 연결되고 상기 제2 인버터의 출력 신호에 의해 게이팅되는 제6 트랜지스터를 더 포함하는 것인, 입력/출력 패드에 연결된 회로.

[0077] 실시예 7. 실시예 4에 있어서,

[0078] 상기 게이팅 회로는 직렬로 연결된 짝수 개의 인버터를 갖는 직렬 회로를 포함하고,

[0079] 상기 직렬 회로는 입력 신호로서 상기 제1 전력-온-제어 신호를 수신하고 출력 신호로서 상기 제2 전력-온-제어 신호를 발생시키고;

[0080] 상기 짝수는, 상기 제1 전력-온-제어 신호로 상기 제1 레벨 시프터가 상기 데이터 신호를 발생시킬 수 있게 한 후에 상기 제2 전력-온-제어 신호가 발생됨을 보장할만큼 큰 것인, 입력/출력 패드에 연결된 회로.

[0081] 실시예 8. 실시예 4에 있어서, 상기 게이팅 회로는 상기 회로의 총 면적의 미리 정해진 퍼센티지보다 더 작은 면적을 차지하는 것인, 입력/출력 패드에 연결된 회로.

[0082] 실시예 9. 실시예 4에 있어서, 상기 게이팅 회로는 상기 회로의 전력 상승 프로세스 후에 상기 회로의 성능에 영향을 미치지 않는 것인, 입력/출력 패드에 연결된 회로.

[0083] 실시예 10. 실시예 4에 있어서, 추가의 게이팅 회로를 더 포함하며, 상기 추가의 게이팅 회로는, 제3 전력-온-제어 신호를 발생시키고, 미리 정해진 설계에 기초하여 상기 제1 전력-온-제어 신호, 상기 제2 전력-온-제어 신호 및 상기 제3 전력-온-제어 신호의 신호 시퀀스를 제어하도록 구성된 입력/출력 패드에 연결된 회로.

[0084] 실시예 11. 실시예 1에 있어서, 상기 제어 논리 회로는, 상기 출력 인에이블 신호가 어서트(assert)될 때, 상기 입력/출력 패드를 상기 데이터 신호에 대응하는 전압 레벨로 구동하도록 구성되는 것인, 입력/출력 패드에 연결된 회로.

[0085] 실시예 12. 입력/출력 패드에 연결된 회로에 있어서,

[0086] 데이터 신호를 발생시키도록 구성된 제1 레벨 시프터;

[0087] 출력 인에이블 신호를 발생시키도록 구성된 제2 레벨 시프터로서, 상기 제1 레벨 시프터 및 상기 제2 레벨 시프터는 전력-온-제어 신호에 의해 제어되는 것인, 상기 제2 레벨 시프터;

[0088] 상기 제2 레벨 시프터에 연결되며, 상기 출력 인에이블 신호에 기초하여 지연된 출력 인에이블 신호를 발생시키도록 구성된 지연 회로; 및

[0089] 상기 제1 레벨 시프터 및 상기 제2 레벨 시프터에 연결되며, 상기 입력/출력 패드를 상기 데이터 신호 및 상기 지연된 출력 인에이블 신호에 기초한 전압 레벨로 구동하도록 구성된 제어 논리 회로를 포함하는, 입력/출력 패드에 연결된 회로.

[0090] 실시예 13. 실시예 12에 있어서,

[0091] 상기 제1 레벨 시프터는, 제1 전압 도메인에서 제1 입력 신호를 수신하고, 상기 제1 전력-온-제어 신호에 응답하여 상기 데이터 신호를 발생시키도록 상기 제1 입력 신호를 제2 전압 도메인으로 시프트하도록 구성되고,

[0092] 상기 제2 레벨 시프터는, 상기 제1 전압 도메인에서 제2 입력 신호를 수신하고, 상기 제2 전력-온-제어 신호에 응답하여 상기 출력 인에이블 신호를 발생시키도록 상기 제2 입력 신호를 상기 제2 전압 도메인으로 시프트하도록 구성되는 것인, 입력/출력 패드에 연결된 회로.

[0093] 실시예 14. 실시예 13에 있어서, 상기 제2 전압 도메인은 상기 제1 전압 도메인보다 더 높은 것인, 입력/출력 패드에 연결된 회로.

[0094] 실시예 15. 실시예 12에 있어서, 상기 지연된 출력 인에이블 신호는 상기 데이터 신호가 발생된 후에 발생되는 것인, 입력/출력 패드에 연결된 회로.

[0095] 실시예 16. 실시예 12에 있어서, 상기 지연 회로는 상기 제2 레벨 시프터의 출력에 연결된 커패시터를 포함하고, 상기 커패시터는, 상기 데이터 신호가 안정적인 논리 상태에 도달한 후에 상기 지연된 출력 인에이블 신호가 발생됨을 보장할 만큼 큰 커패시턴스를 갖는 것인, 입력/출력 패드에 연결된 회로.

[0096] 실시예 17. 입력/출력 패드에 연결된 회로에서 글리치를 방지하기 위한 방법에 있어서,

[0097] 회로에서 제1 레벨 시프터에 제1 전력-온-제어 신호를 연결하는 단계;

[0098] 상기 제1 전력-온-제어 신호에 응답하여, 데이터 신호를 발생시키도록 제1 입력 신호를 제1 전압 도메인으로부터 제2 전압 도메인으로 시프트하는 단계;

[0099] 회로에서 제2 레벨 시프터에 제2 전력-온-제어 신호를 연결하는 단계;

[0100] 상기 제2 전력-온-제어 신호에 응답하여, 출력 인에이블 신호를 발생시키도록 제2 입력 신호를 상기 제1 전압 도메인으로부터 상기 제2 전압 도메인으로 시프트하는 단계; 및

[0101] 상기 입력/출력 패드를 상기 데이터 신호 및 상기 출력 인에이블 신호에 기초한 전압 레벨로 구동하는 단계를

포함하는, 입력/출력 패드에 연결된 회로에서 글리치를 방지하기 위한 방법.

[0102] 실시예 18. 실시예 17에 있어서, 상기 제2 전압 도메인은 상기 제1 전압 도메인보다 더 높은 것인, 입력/출력 패드에 연결된 회로에서 글리치를 방지하기 위한 방법.

[0103] 실시예 19. 실시예 17에 있어서, 상기 출력 인에이블 신호는 상기 회로의 전력 상승 프로세스 동안 상기 데이터 신호가 안정적인 논리 상태에 도달한 후에 발생되는 것인, 입력/출력 패드에 연결된 회로에서 글리치를 방지하기 위한 방법.

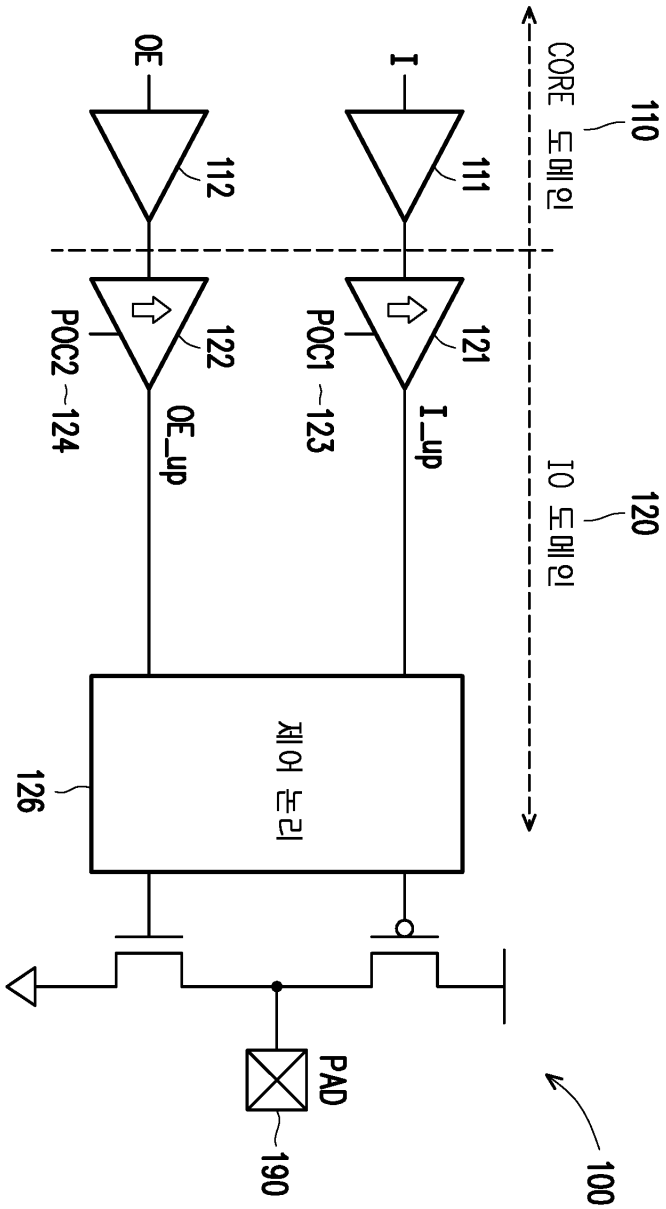
[0104] 실시예 20. 실시예 17에 있어서,

[0105] 상기 제1 전력-온-제어 신호를 발생시키는 단계; 및

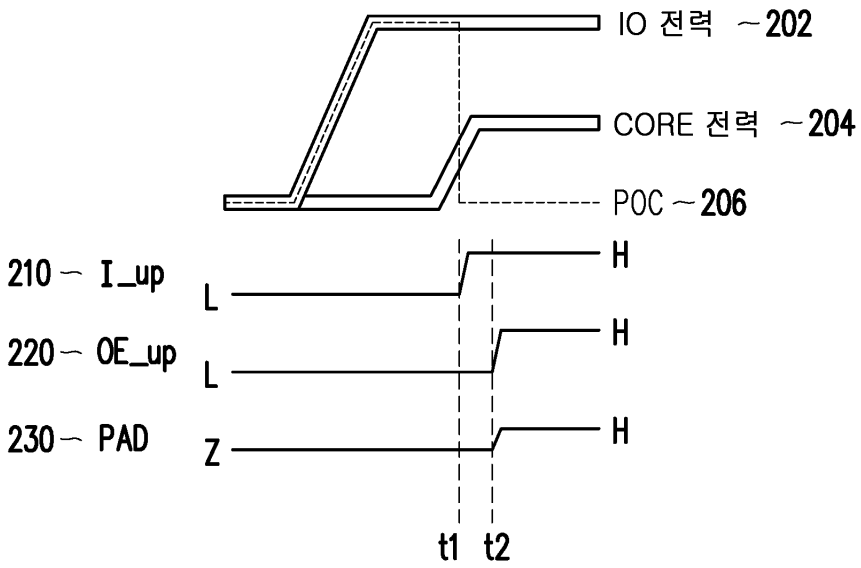
[0106] 상기 제1 전력-온-제어 신호가 발생될 때 시작하며 상기 회로의 전력 상승 프로세스 내인 기간 후에 상기 제2 전력-온-제어 신호를 발생시키는 단계를 더 포함하는, 입력/출력 패드에 연결된 회로에서 글리치를 방지하기 위한 방법.

도면

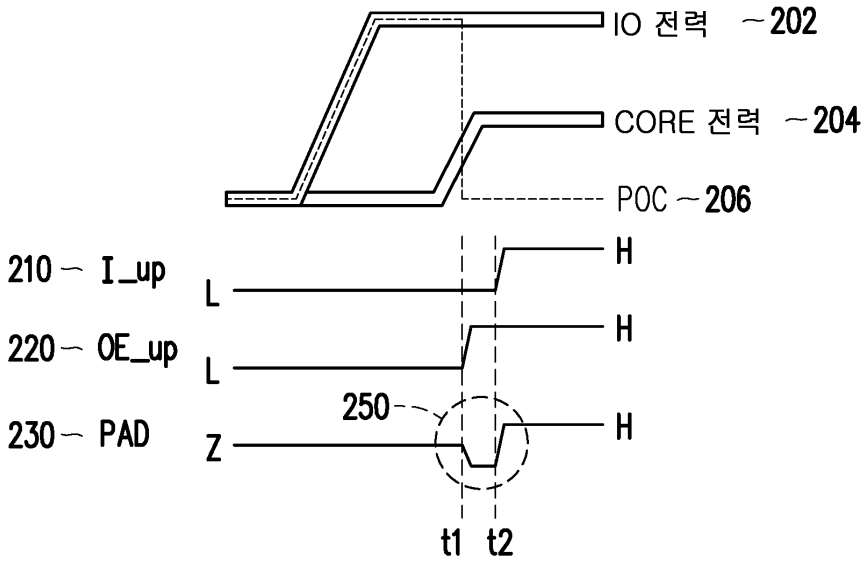
도면1


OE
I
CORE 도메인
110
112
111
POC2~124
122
POC1~123
121
OE_up
I_up
IO 도메인
120
126
제어 논리
PAD
190
100

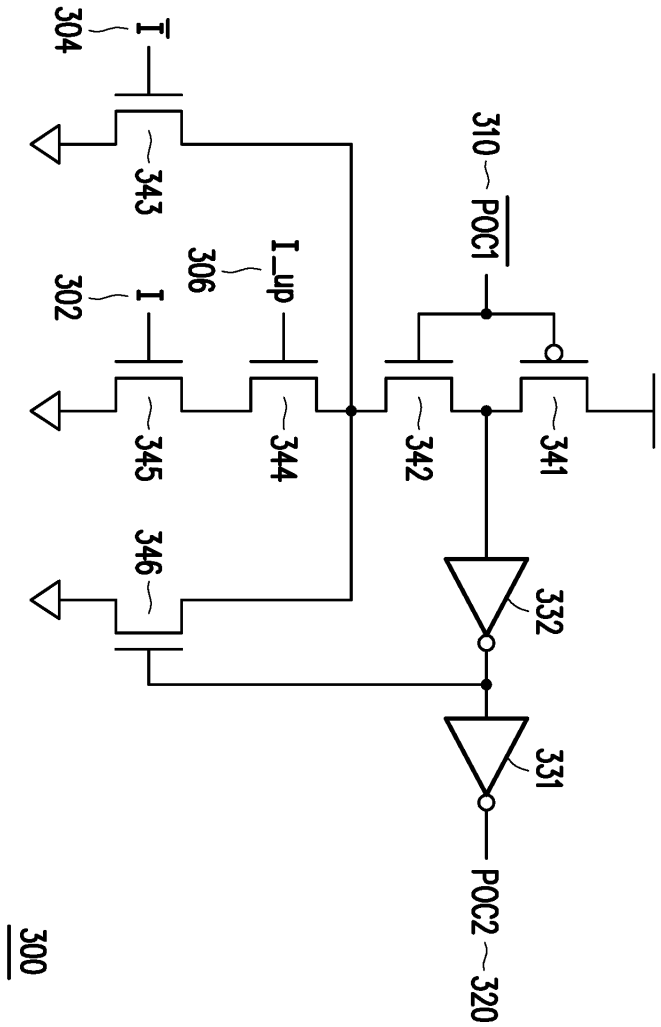
도면2a


IO 전력 ~202
CORE 전력 ~204
POC ~206
210 ~ I_up
220 ~ OE_up
230 ~ PAD
L
L
Z
H
H
H
t1
t2

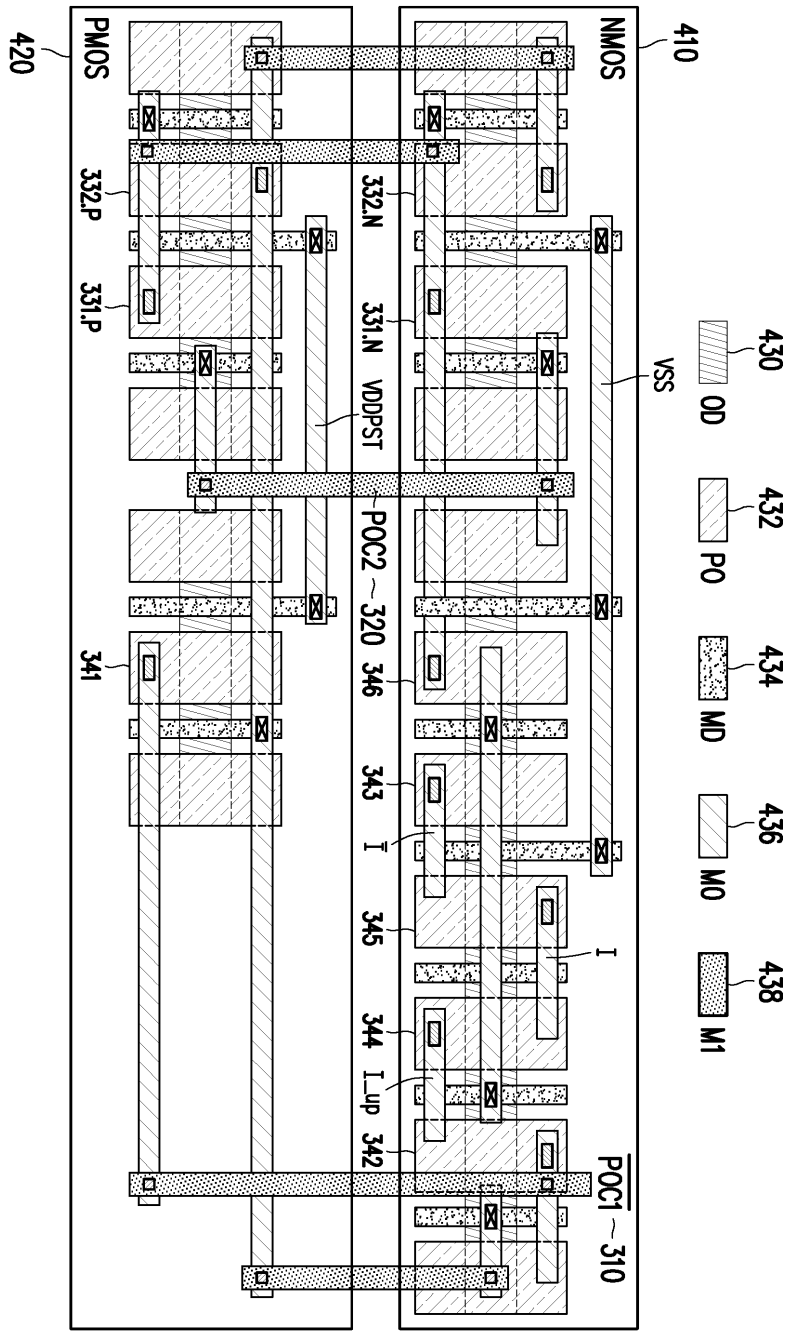
도면2b


IO 전력 ~202
CORE 전력 ~204
POC ~206
210 ~ I_up
220 ~ OE_up
230 ~ PAD
250
L
L
Z
H
H
H
t1
t2

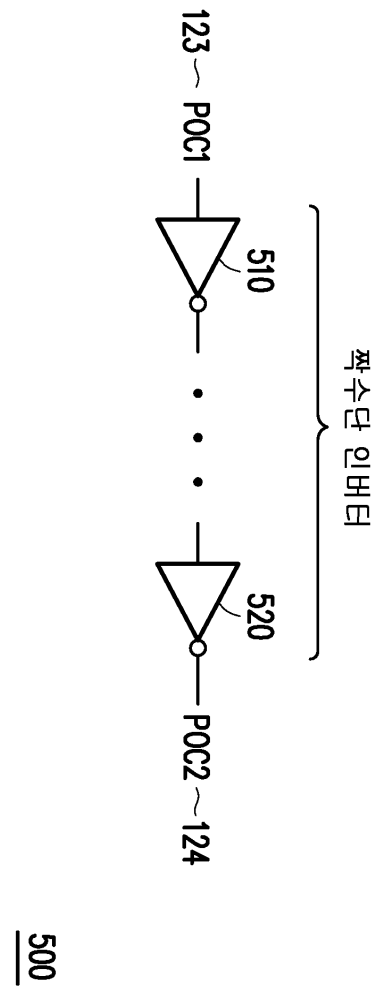
도면3


304
I
343
310
POC1
306
I_up
302
I
345
344
342
341
346
332
331
300
POC2
320

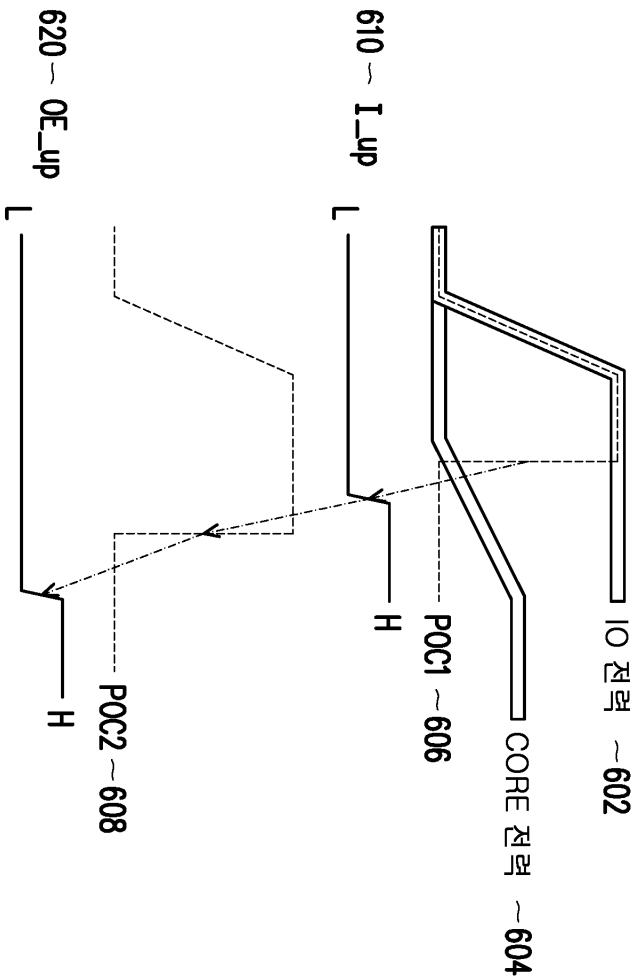
도면4


420
PMOS
410
NMOS
332.P
331.P
332.N
331.N
VDDPST
VSS
POC2 ~ 320
346
343
I
345
I
344
I_up
342
POC1 ~ 310
341
430
OD
432
PO
434
MD
436
MO
438
M1

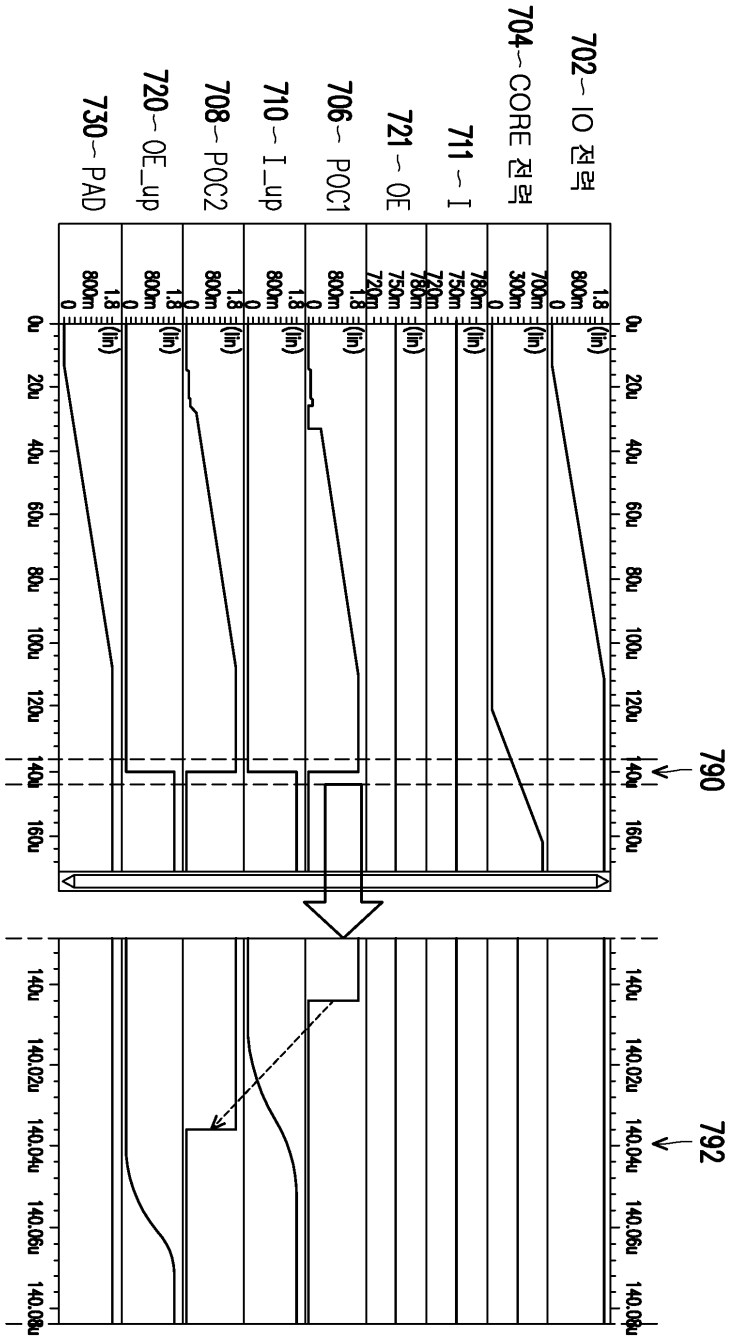
도면5



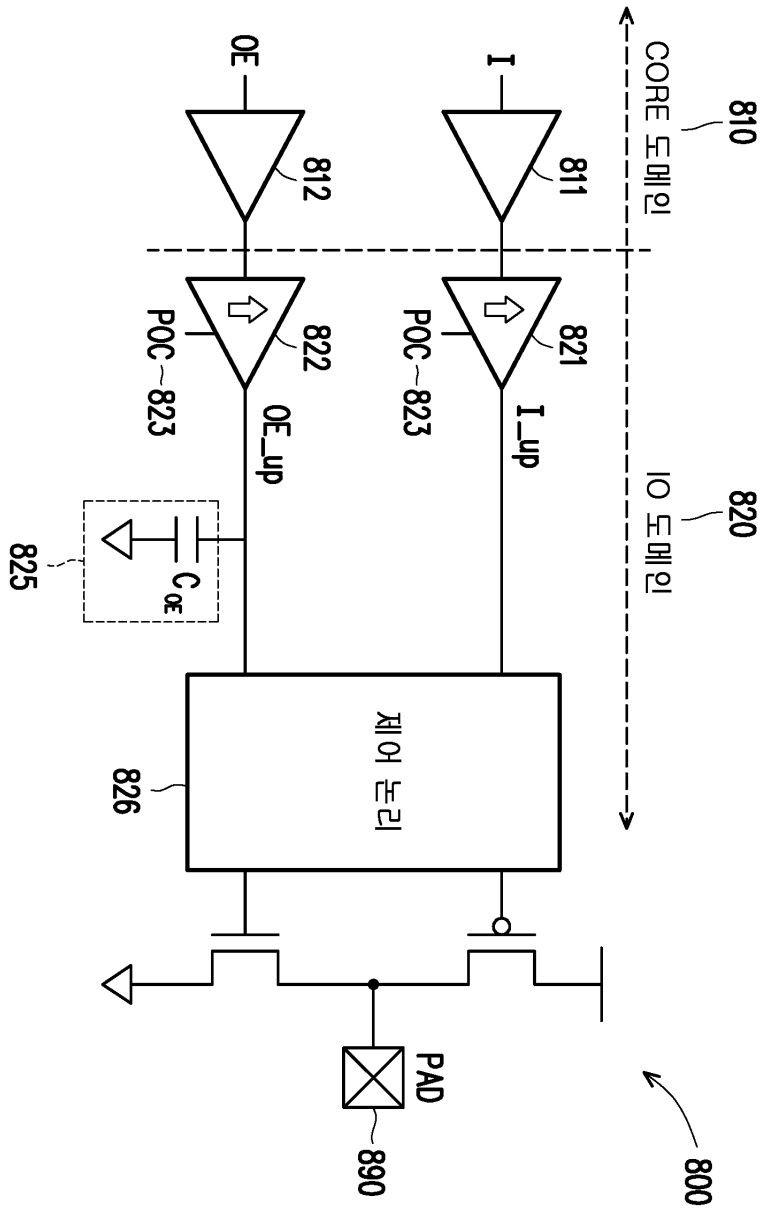
도면6



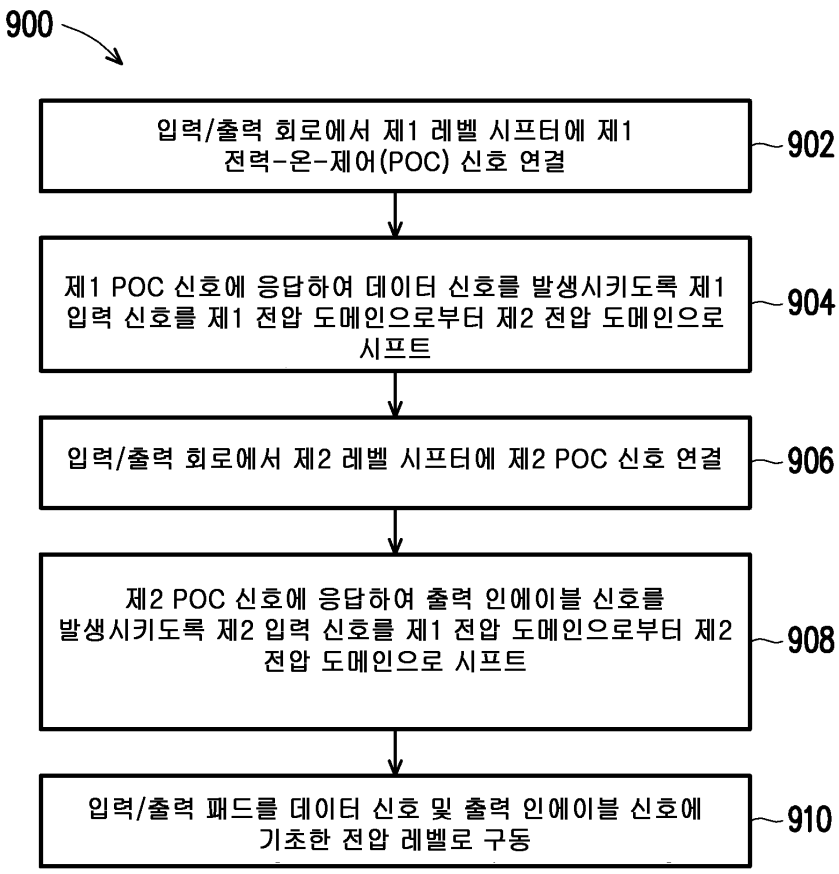
도면7


702~ IO 전력
704~ CORE 전력
711 ~ I
721 ~ OE
706~ POC1
710 ~ I_up
708~ POC2
720~ OE_up
730~ PAD
790
792

도면8


CORE 도메인
810
IO 도메인
820
OE
I
812
811
822
821
POC~823
POC~823
OE_up
I_up
825
C_{OE}
826
제어 논리
PAD
890
800

도면9


900
입력/출력 회로에서 제1 레벨 시프터에 제1 전력-온-제어(POC) 신호 연결
902
제1 POC 신호에 응답하여 데이터 신호를 발생시키도록 제1 입력 신호를 제1 전압 도메인으로부터 제2 전압 도메인으로 시프트
904
입력/출력 회로에서 제2 레벨 시프터에 제2 POC 신호 연결
906
제2 POC 신호에 응답하여 출력 인에이블 신호를 발생시키도록 제2 입력 신호를 제1 전압 도메인으로부터 제2 전압 도메인으로 시프트
908
입력/출력 패드를 데이터 신호 및 출력 인에이블 신호에 기초한 전압 레벨로 구동
910