

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/12

H01L 29/786 H01L 21/28

H01L 21/3205



[12] 发明专利申请公开说明书

[21] 申请号 03104195.7

[43] 公开日 2004年7月28日

[11] 公开号 CN 1516281A

[22] 申请日 1993.12.9 [21] 申请号 03104195.7
分案原申请号 93121131.X

[30] 优先权

[32] 1992.12.9 [33] JP [31] 351916/1992

[32] 1993.1.18 [33] JP [31] 23289/1993

[71] 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 宫崎稔 A·村上 崔葆春
山本睦夫

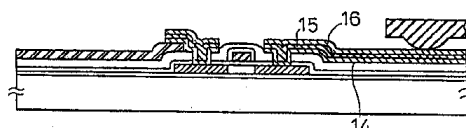
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 张志醒






权利要求书 12 页 说明书 15 页 附图 8 页

[54] 发明名称 电子电路

[57] 摘要

一种在绝缘基片上形成的电子电路，它具有由半导体层构成的薄膜晶体管(TFTS)。半导体层的厚度小于1500 Å，例如在100-750 Å之间。在半导体层上形成主要由钛和氮构成的第一层。在所谈的第一层上面形成由铝构成的第二层。将此第一和第二层按一定图形刻蚀成导电互连线。此第二层的下表面实质上完全与第一层紧密接触。互连线与该半导体层有良好的接触。



-  铅(栅极/互连线)
-  掺杂的硅(源和漏极)
-  ITO(像素电极)
-  TiNx
-  铝(第二互连线)

ISSN 1008-4274

1. 一种半导体器件，其特征在于包括：

一周边电路，它设置在基片之上；和

5 一有源矩阵电路，它设置在所述基片之上，

所述周边电路包括：

第一半导体层，它设置在所述周边电路的基片之上，并具有第一沟道区、第一轻掺杂区和比所述第一轻掺杂区有更高导电性的第一区；以及

10 第一栅极，它设置在所述第一沟道区附近，且在它们之间有第一栅绝缘膜，

其中，所述第一轻掺杂区具有一个与所述第一栅极叠置的区域并有一个未与所述第一栅极叠置的区域，以及

15 比所述第一轻掺杂区有更高导电性的所述第一区设置在所述第一轻掺杂区的相对于所述沟道区的一侧，以及

所述有源矩阵电路包括：

第二半导体层，它设置在所述有源矩阵电路的所述基片之上，并具有第二沟道区、第二轻掺杂区和比所述第二轻掺杂区有更高导电性的第二区；

20 第二栅极，它设置在所述第二沟道区附近，且在它们之间有第二栅绝缘膜；以及

一象素电极，它设置在所述基片上并与比所述第二轻掺杂区有更高导电性的所述第二区连接，

所述第二轻掺杂区未与所述第二栅极叠置。

25 2. 一种半导体器件，其特征在于包括：

一驱动器薄膜晶体管，它设置在基片之上；

一象素薄膜晶体管，它设置在所述基片上；和

一象素电极，它设置在所述基片上，

所述驱动器薄膜晶体管包括:

第一半导体层, 它设置在所述基片之上, 并具有第一沟道区、第一轻掺杂区和比所述第一轻掺杂区有更高导电性的第一区; 以及

5 第一栅极, 它设置在所述第一沟道区附近, 且在它们之间有第一栅绝缘膜,

其中, 所述第一轻掺杂区具有一个与所述第一栅极叠置的区域并有一个未与所述第一栅极叠置的区域, 以及

比所述第一轻掺杂区有更高导电性的所述第一区设置在所述第一轻掺杂区的相对于所述第一沟道区的一侧, 以及

10 所述像素薄膜晶体管包括:

第二半导体层, 它设置在所述基片之上, 并具有第二沟道区、第二轻掺杂区和比所述第二轻掺杂区有更高导电性的第二区; 以及

第二栅极, 它设置在所述第二沟道区附近, 且在它们之间有第二栅绝缘膜,

15 所述第二轻掺杂区未与所述第二栅极叠置, 以及

所述像素电极与比所述第二轻掺杂区有更高导电性的所述第二区连接。

3. 一种半导体器件, 其特征在于包括:

20 一驱动器, 它包括一 n-沟道薄膜晶体管和一 p-沟道薄膜晶体管, 它们形成一种 CMOS 结构并设置在基片之上;

一像素薄膜晶体管, 它设置在所述基片之上; 和

一像素电极, 它设置在所述基片之上;

每个所述 n-沟道薄膜晶体管 and 所述 p-沟道薄膜晶体管包括:

25 第一半导体层, 它设置在所述基片之上, 并具有第一沟道区、第一轻掺杂区和比所述第一轻掺杂区有更高导电性的第一区; 以及

第一栅极, 它设置在所述第一沟道区附近, 且在它们之间有第一栅绝缘膜,

其中, 所述第一轻掺杂区具有一个与所述第一栅极叠置的区域并有

一个未与所述第一栅极叠置的区域, 以及

比所述第一轻掺杂区有更高导电性的所述第一区设置在所述第一轻掺杂区的相对于所述第一沟道区的一侧, 以及

所述象素薄膜晶体管包括:

5 第二半导体层, 它设置在所述基片之上, 并具有第二沟道区、第二轻掺杂区和比所述第二轻掺杂区有更高导电性的第二区; 以及

第二栅极, 它设置在所述第二沟道区附近, 且在它们之间有第二栅绝缘膜,

所述第二轻掺杂区未与所述第二栅极叠置, 以及

10 所述象素电极与比所述第二轻掺杂区有更高导电性的所述第二区连接。

4. 一种半导体器件, 其特征在于包括:

一驱动器, 它包括一 n-沟道薄膜晶体管和一 p-沟道薄膜晶体管, 它们形成一种 CMOS 结构并作为一反相器设置在基片之上;

15 一象素薄膜晶体管, 它设置在所述基片之上; 和
一象素电极, 它设置在所述基片之上;

每个所述 n-沟道薄膜晶体管 and 所述 p-沟道薄膜晶体管包括:

第一半导体层, 它设置在所述基片之上, 并具有第一沟道区、第一轻掺杂区和比所述第一轻掺杂区有更高导电性的第一区; 以及

20 第一栅极, 它设置在所述第一沟道区附近, 且在它们之间有第一栅绝缘膜,

其中, 所述第一轻掺杂区具有一个与所述第一栅极叠置的区域并有一个未与所述第一栅极叠置的区域, 以及

比所述第一轻掺杂区有更高导电性的所述第一区设置在所述第一轻掺杂区的相对于所述第一沟道区的一侧, 以及

所述象素薄膜晶体管包括:

25 第二半导体层, 它设置在所述基片之上, 并具有第二沟道区、第二轻掺杂区和比所述第二轻掺杂区有更高导电性的第二区; 以及

第二栅极，它设置在所述第二沟道区附近，且在它们之间有第二栅绝缘膜，

所述第二轻掺杂区未与所述第二栅极叠置，以及
所述象素电极与比所述第二轻掺杂区有更高导电性的所述第二区连接。

5 5. 一种半导体器件，其特征在于包括：

一驱动器薄膜晶体管，它设置在基片之上；
一象素薄膜晶体管，它设置在所述基片上；和
一象素电极，它设置在所述基片上，

10 所述驱动器薄膜晶体管包括：

第一半导体层，它设置在所述基片之上，并具有第一沟道区、第一轻掺杂区和比所述第一轻掺杂区有更高导电性的第一区；

第一栅极，它设置在所述第一沟道区附近，且在它们之间有第一栅绝缘膜，以及

15 第一接触区，它被设置成与所述第一区接触，所述第一区比所述第一轻掺杂区有更高的导电性，

其中，所述第一轻掺杂区具有一个与所述第一栅极叠置的区域并有一个未与所述第一栅极叠置的区域，以及

比所述第一轻掺杂区有更高导电性的所述第一区设置在所述第一轻掺杂区的相对于所述沟道区的一侧，以及

20 所述象素薄膜晶体管包括：

第二半导体层，它设置在所述基片之上，并具有第二沟道区、第二轻掺杂区和比所述第二轻掺杂区有更高导电性的第二区；以及

25 第二栅极，它设置在所述第二沟道区附近，且在它们之间有第二栅绝缘膜；以及，

第二接触区，它被设置成与所述第二区接触，所述第二区比所述第二轻掺杂区有更高的导电性，

其中，所述第二轻掺杂区未与所述第二栅极叠置，

所述象素电极经所述第二接触区与比所述第二轻掺杂区有更高导电性的所述第二区连接, 和

其中, 所述第一接触区和所述第二接触区至少其中之一包括选自以下组别中的一种材料: 钛、镍、钼、钨、铂和钇。

5 6. 一种半导体器件, 其特征在于包括:

一驱动器薄膜晶体管, 它设置在基片之上;
一象素薄膜晶体管, 它设置在所述基片上; 和
一象素电极, 它设置在所述基片上,

所述驱动器薄膜晶体管包括:

10 第一半导体层, 它设置在所述基片之上, 并具有第一沟道区、第一轻掺杂区和比所述第一轻掺杂区有更高导电性的第一区; 以及

第一栅极, 它设置在所述第一沟道区附近, 且在它们之间有第一栅绝缘膜,

15 其中, 所述第一轻掺杂区具有一个与所述第一栅极叠置的区域并有一个未与所述第一栅极叠置的区域, 以及

比所述第一轻掺杂区有更高导电性的所述第一区设置在所述第一轻掺杂区的相对于所述沟道区的一侧, 以及

所述象素薄膜晶体管包括:

20 第二半导体层, 它设置在所述基片之上, 并具有第二沟道区、第二轻掺杂区和比所述第二轻掺杂区有更高导电性的第二区; 以及

第二栅极, 它设置在所述第二沟道区附近, 且在它们之间有第二栅绝缘膜,

所述第二轻掺杂区未与所述第二栅极叠置,

25 所述象素电极与比所述第二轻掺杂区有更高导电性的所述第二区连接, 和

其中, 比所述第一轻掺杂区有更高导电性的所述第一区在其中包含一种选自以下组别中的浓度为 $1 \times 10^{19} \sim 1 \times 10^{21}/\text{cm}^3$ 的元素, 该组别包括: 磷、砷和硼。

7. 一种半导体器件, 其特征在于包括:

一驱动器薄膜晶体管, 它设置在基片之上;

一象素薄膜晶体管, 它设置在所述基片上; 和

一象素电极, 它设置在所述基片上,

5 所述驱动器薄膜晶体管包括:

第一半导体层, 它设置在所述基片之上, 并具有第一沟道区、第一轻掺杂区和比所述第一轻掺杂区有更高导电性的第一区; 以及

第一栅极, 它设置在所述第一沟道区附近, 且在它们之间有第一栅绝缘膜,

10 其中, 所述第一轻掺杂区具有一个与所述第一栅极叠置的区域并有一个未与所述第一栅极叠置的区域, 以及

比所述第一轻掺杂区有更高导电性的所述第一区设置在所述第一轻掺杂区的相对于所述第一沟道区的一侧, 以及

所述象素薄膜晶体管包括:

15 第二半导体层, 它设置在所述基片之上, 并具有第二沟道区、第二轻掺杂区和比所述第二轻掺杂区有更高导电性的第二区; 以及

第二栅极, 它设置在所述第二沟道区附近, 且在它们之间有第二栅绝缘膜,

所述第二轻掺杂区未与所述第二栅极叠置, 以及

20 所述象素电极与比所述第二轻掺杂区有更高导电性的所述第二区连接, 和

其中, 比所述第二轻掺杂区有更高导电性的所述第二区在其中包含一种选自以下组别中的浓度为 $1 \times 10^{19} \sim 1 \times 10^{21}/\text{cm}^3$ 的元素, 该组别包括磷、砷和硼。

25 8. 按照权利要求 1 所说的器件, 其特征在于, 比所述轻掺杂区有更高导电性的所述区包括硅化物。

9. 按照权利要求 2 所说的器件, 其特征在于, 比所述轻掺杂区有更高导电性的所述区包括硅化物。

10. 按照权利要求 4 所说的器件, 其特征在于, 比所述轻掺杂区有更高导电性的所述区包括硅化物。
11. 按照权利要求 5 所说的器件, 其特征在于, 比所述轻掺杂区有更高导电性的所述区包括硅化物。
- 5 12. 按照权利要求 6 所说的器件, 其特征在于, 比所述轻掺杂区有更高导电性的所述区包括硅化物。
13. 按照权利要求 4 所说的器件, 其特征在于, 与比所述轻掺杂区有更高导电性的所述区有欧姆接触的所述电极包括由选自以下组别中的一种材料组成, 该组别包括钛、镍、钼、钨、铂和钌。
- 10 14. 按照权利要求 1 所说的器件, 其特征在于, 比所述轻掺杂区有更高导电性的所述区具有与所述轻掺杂区相同的导电类型。
15. 按照权利要求 2 所说的器件, 其特征在于, 比所述轻掺杂区有更高导电性的所述区具有与所述轻掺杂区相同的导电类型。
16. 按照权利要求 3 所说的器件, 其特征在于, 比所述轻掺杂区有更高导电性的所述区具有与所述轻掺杂区相同的导电类型。
- 15 17. 按照权利要求 4 所说的器件, 其特征在于, 比所述轻掺杂区有更高导电性的所述区具有与所述轻掺杂区相同的导电类型。
18. 按照权利要求 5 所说的器件, 其特征在于, 比所述轻掺杂区有更高导电性的所述区具有与所述轻掺杂区相同的导电类型。
- 20 19. 按照权利要求 6 所说的器件, 其特征在于, 比所述轻掺杂区有更高导电性的所述区具有与所述轻掺杂区相同的导电类型。
20. 按照权利要求 7 所说的器件, 其特征在于, 比所述轻掺杂区有更高导电性的所述区具有与所述轻掺杂区相同的导电类型。
21. 一种半导体器件, 其特征在于包括:
- 25 一驱动器薄膜晶体管, 它设置在基片之上;
一象素薄膜晶体管, 它设置在所述基片上; 和
一象素电极, 它设置在所述基片上,
所述驱动器薄膜晶体管包括:

第一半导体层，它设置在所述基片之上，并具有第一沟道区、第一轻掺杂区和比所述第一轻掺杂区有更高导电性的第一区；

第一栅极，它设置在所述第一沟道区附近，且在它们之间有第一栅绝缘膜；以及

5 一个电极，它包括含钛的第一层，和设置在所述第一层上的含铝的第二层，

其中，所述第一层与所述第一区接触，所述第一区比所述第一轻掺杂区有更高导电性，

10 所述第一轻掺杂区具有一个与所述第一栅极叠置的区域并有一个未与所述第一栅极叠置的区域，以及

比所述第一轻掺杂区有更高导电性的所述第一区设置在所述第一轻掺杂区的相对于所述第一沟道区的一侧，以及

所述象素薄膜晶体管包括：

15 第二半导体层，它设置在所述基片之上，并具有第二沟道区、第二轻掺杂区和比所述第二轻掺杂区有更高导电性的第二区；

第二栅极，它设置在所述第二沟道区附近，且在它们之间有第二栅绝缘膜；以及

所述第二轻掺杂区未与所述第二栅极叠置，

20 所述象素电极经所述第一层和所述第二层与比所述第二轻掺杂区有更高导电性的所述第二区连接。

22. 按照权利要求 21 所说的器件，其特征在于，比所述轻掺杂区有更高导电性的所述区包括硅化物。

23. 按照权利要求 21 所说的器件，其特征在于，比所述轻掺杂区有更高导电性的所述区具有与所述轻掺杂区相同的导电类型。

25 24. 按照权利要求 1 所说的器件，其特征在于还包括一个电极，该电极具有一个含选自包括镍、钼、钨、铂和钇的组别中的一种材料的层，所述层被设置为与所述第一区接触，所述第一区比所述第一轻掺杂区有更高导电性。

25. 按照权利要求 1 所说的器件, 其特征在于还包括一个电极, 该电极具有一个含选自包括镍、钼、钨、铂和钇的组别中的一种材料的层, 所述层被设置为与所述第二区接触, 所述第二区比所述第二轻掺杂区有更高导电性。
- 5 26. 按照权利要求 2 所说的器件, 其特征在于还包括一个电极, 该电极具有一个含选自包括镍、钼、钨、铂和钇的组别中的一种材料的层, 所述层被设置为与所述第一区接触, 所述第一区比所述第一轻掺杂区有更高导电性。
- 10 27. 按照权利要求 2 所说的器件, 其特征在于还包括一个电极, 该电极具有一个含选自包括镍、钼、钨、铂和钇的组别中的一种材料的层, 所述层被设置为与所述第二区接触, 所述第二区比所述第二轻掺杂区有更高导电性。
- 15 28. 按照权利要求 3 所说的器件, 其特征在于还包括一个电极, 该电极具有一个含选自包括镍、钼、钨、铂和钇的组别中的一种材料的层, 所述层被设置为与所述第一区接触, 且所述第一区比所述第一轻掺杂区有更高导电性。
- 20 29. 按照权利要求 3 所说的器件, 其特征在于还包括一个电极, 该电极具有一个含选自包括镍、钼、钨、铂和钇的组别中的一种材料的层, 所述层被设置为与所述第二区接触, 且所述第二区比所述第二轻掺杂区有更高导电性。
- 25 30. 按照权利要求 4 所说的器件, 其特征在于还包括一个电极, 该电极具有一个含选自包括镍、钼、钨、铂和钇的组别中的一种材料的层, 所述层被设置为与所述第一区接触, 且所述第一区比所述第一轻掺杂区有更高导电性。
31. 按照权利要求 4 所说的器件, 其特征在于还包括一个电极, 该电极具有一个含选自包括镍、钼、钨、铂和钇的组别中的一种材料的层, 所述层被设置为与所述第二区接触, 且所述第二区比所述第二轻掺杂区有更高导电性。

32. 按照权利要求 6 所说的器件, 其特征在于还包括一个电极, 该电极具有一个含选自包括镍、钼、钨、铂和钇的组别中的一种材料的层, 所述层被设置为与所述第一区接触, 且所述第一区比所述第一轻掺杂区有更高导电性。

5 33. 按照权利要求 6 所说的器件, 其特征在于还包括一个电极, 该电极具有一个含选自包括镍、钼、钨、铂和钇的组别中的一种材料的层, 所述层被设置为与所述第二区接触, 且所述第二区比所述第二轻掺杂区有更高导电性。

10 34. 按照权利要求 7 所说的器件, 其特征在于还包括一个电极, 该电极具有一个含选自包括镍、钼、钨、铂和钇的组别中的一种材料的层, 所述层被设置为与所述第一区接触, 且所述第一区比所述第一轻掺杂区有更高导电性。

15 35. 按照权利要求 7 所说的器件, 其特征在于还包括一个电极, 该电极具有一个含选自包括镍、钼、钨、铂和钇的组别中的一种材料的层, 所述层被设置为与所述第二区接触, 且所述第二区比所述第二轻掺杂区有更高导电性。

36. 按照权利要求 2 所说的器件, 其特征在于, 所说象素薄膜晶体管具有 n 沟道型。

20 37. 按照权利要求 3 所说的器件, 其特征在于, 所说象素薄膜晶体管具有 n 沟道型。

38. 按照权利要求 4 所说的器件, 其特征在于, 所说象素薄膜晶体管具有 n 沟道型。

39. 按照权利要求 5 所说的器件, 其特征在于, 所说象素薄膜晶体管具有 n 沟道型。

25 40. 按照权利要求 6 所说的器件, 其特征在于, 所说象素薄膜晶体管具有 n 沟道型。

41. 按照权利要求 7 所说的器件, 其特征在于, 所说象素薄膜晶体管具有 n 沟道型。

42. 按照权利要求 21 所说的器件, 其特征在于, 所说象素薄膜晶体管具有 n 沟道型。

43. 按照权利要求 1 所说的器件, 其特征在于, 所说象素电极包括一个透明电极。

5 44. 按照权利要求 2 所说的器件, 其特征在于, 所说象素电极包括一个透明电极。

45. 按照权利要求 3 所说的器件, 其特征在于, 所说象素电极包括一个透明电极。

10 46. 按照权利要求 4 所说的器件, 其特征在于, 所说象素电极包括一个透明电极。

47. 按照权利要求 5 所说的器件, 其特征在于, 所说象素电极包括一个透明电极。

48. 按照权利要求 6 所说的器件, 其特征在于, 所说象素电极包括一个透明电极。

15 49. 按照权利要求 7 所说的器件, 其特征在于, 所说象素电极包括一个透明电极。

50. 按照权利要求 21 所说的器件, 其特征在于, 所说象素电极包括一个透明电极。

20 51. 按照权利要求 43 所说的器件, 其特征在于, 所说透明电极由铟锡氧化物(ITO)组成。

52. 按照权利要求 44 所说的器件, 其特征在于, 所说透明电极由铟锡氧化物(ITO)组成。

53. 按照权利要求 45 所说的器件, 其特征在于, 所说透明电极由铟锡氧化物(ITO)组成。

25 54. 按照权利要求 46 所说的器件, 其特征在于, 所说透明电极由铟锡氧化物(ITO)组成。

55. 按照权利要求 47 所说的器件, 其特征在于, 所说透明电极由铟锡氧化物(ITO)组成。

-
56. 按照权利要求 48 所说的器件, 其特征在于, 所说透明电极由铟锡氧化物(ITO)组成。
57. 按照权利要求 49 所说的器件, 其特征在于, 所说透明电极由铟锡氧化物(ITO)组成。
- 5 58. 按照权利要求 50 所说的器件, 其特征在于, 所说透明电极由铟锡氧化物(ITO)组成。

电子电路

本发明涉及一种在绝缘基片上形成的电子电路，它有薄的硅半导体层，例如形成薄膜晶体管，此薄的半导体层要与导电的互连线连接。

常规的薄膜器件，例如绝缘栅型场效应晶体管（FETS）用薄的硅半导体膜作为有源层。此有源层厚约 1500Å。因此，若在这薄的半导体膜上要形成电极，通过使金属，例如铝与膜直接紧密地接触，就能获得良好的接触，现有的 IC 制造技术即用这种方法。在这些接触点中，通常通过在铝和半导体部分例如硅之间的化学反应形成硅化物，例如硅化铝。由于半导体层比硅化物层厚得多，所以不会发生问题。

然而，近来所进行的研究证明，如果有源层的厚度低于 1500 Å，例如在约 100—750 Å 之间，就会改善薄膜晶体管（TFTS）的性能。要在这样薄的半导体层或有源层上形成电极，用现有技术就不能得到良好的接触点，因为硅化物层的厚度生长得几乎达到半导体层的厚度，会使接触点的电特性急剧变坏。当负荷，例如电压长时间加到接触点上时，接触点就会很快变坏。

为了提高 TFTS 的特性，在半导体层上形成电极之后，就需要在氢气中在低于 400°C，典型地是 200—350°C 的温度下进行热处理。TFTS 的半导体层的厚度若小于 1500 Å，热处理会大大

促进硅化物的生长，导致 TFTS 特性的变坏。

本发明的目的是提供一种可靠的电子电路，此电子电路有半导体层、导电的互连线，如半导体层与互连线之间的良好的接触点，这些接触点能耐受 300℃ 或 300℃ 以上的热处理。

本发明是一种在绝缘基片上形成的电子电路，它有一主要由硅组成的半导体层，此半导体层的厚度小于 1500Å，最好是 100Å—750Å。例如，本发明适用于一种带 TFTS 的电子电路，每个 TFT 都设置有厚度小于 1500Å 的有源层。由于半导体层的厚度减少，本发明的效果是显而易见的。

在本发明的第一实施例中，上述薄膜形式的半导体层或者与由玻璃制成的绝缘基片的上表面紧密接触，或者经由某些绝缘膜形成在此基片上。主要由钛和氮组成的第一层部分地或整体地与半导体层紧密接触。在第一层的上表面上形成主要由铝组成的第二层。将此第一和第二层用光刻法按一定图形刻蚀成导电的互连线。第二层的下表面实质上整体地与第一层紧密接触。还可能在第二层上形成主要由钛和氮组成的第三层。

在本发明的另一实施例中，薄膜状的上述半导体层既可与由玻璃制成的绝缘基片紧密接触，也可经由某些绝缘膜形成在此基片上。由钛和硅这两者构成的第一层部分地或整体地与半导体层紧密接触。主要由钛和氮构成的第二层与第一层的上表面紧密接触。主要由铝构成的第三层形成在第二层的上表面。此第一至第三层用光刻法按一定图形刻蚀成导电的互连线。当然，也可以在第三层上形成其它层。

在本发明的再一个实施例中，上述薄膜状的半导体层或者与由玻璃制成的绝缘基片紧密接触，或者经由某些绝缘膜形成在此基片上。由钛和硅作为主要成分组成的第一层部分地或整

体地与半导体层紧密接触。主要由钛和氮组成的第二层与第一层的上表面紧密接触。在第二层的上表面上形成主要由铝构成的第三层。将此第一至第三层用光刻法按一定图形刻蚀成导电的互连线。此实施例的特征在于，第一层中钛对氮的比率比第二层的钛/氮比率大。

在这些实施例的任何结构中，与第一层紧密接触的薄的半导体膜部分显示出N型或P型导电。在这些部分中的掺杂量最好是 $1 \times 10^{19} - 1 \times 10^{20} / \text{cm}^2$ 。杂质可以用公知的离子注入法或等离子掺杂法引入。在将杂质离子加速到高能注入时，掺杂量最好在 $0.8 \times 10^{15} - 1 \times 10^{17} / \text{cm}^2$ 之间。也可以使用在掺杂气体的氛围中用激光照射的激光掺杂法。这种方法已在1991年10月4日申请的日本专利申请NO283981/1991和1991年10月8日申请的日本专利申请NO290719/1991中披露。这些部分的表面电阻最好小于 $1 \text{K}\Omega / \square$ 。

可以加到半导体层中的元素是磷、硼、砷和其它元素。那些与导电的互连线接触的半导体层部分可以是掺杂区的某些部分，例如TFTS的源和漏区。半导体层的表面电阻最好小于 $500\Omega / \square$ 。

氧化硅层可以与该薄的半导体层的下表面紧密接触。在这种结构中，氧化硅膜可以含有与半导体层中相同的杂质。

在上述第一实施例的第一层中，所含有的作为主要成分的钛与氮的比率可以随厚度而不同。除钛和氮外，其它元素例如硅和氧也能用作主要成分。例如，第一层的靠近半导体层的那部分可以主要包括钛和硅。第一层的靠近第二层的那部分可以主要包括钛和氮。例如氮对钛的比率可以设置得接近理想配比（大于0.8）。在中间区域，组分可以是连续变化的。

通常，包括氮和钛的理想配比的材料（一氮化钛）有良好的阻挡层特性并能防止铝和硅的扩散。然而，此材料与硅呈现高接触电阻。所以不希望直接用其形成接触点。相反，包括钛和硅的理想配比材料（硅化钛）与主要由硅构成的半导体层呈现低的接触电阻。这对形成欧姆接触是有好处的。然而铝往往容易扩散，例如第二层的铝扩散到第一层，从而在半导体层中形成硅化铝。

为解决这些问题制成上述的多层结构。特别是与第二层接触的那部分实质上是由理想配比的一氮化钛组成，而一氮化钛有良好的阻挡层特性。这就能防止第二层的铝扩散进第一层。与半导体层接触的部分由理想配比的硅化钛组成。因而能得到良好的欧姆接触。

在形成硅化钛膜时，不必特意添加硅。钛与半导体层中的硅起反应。结果，自然形成硅化钛。例如，通过在靠近半导体层部分沉积含较少氮的钛，而在靠近第二层部分沉积含较多氮的钛，也能产生类似的效果。

不管怎样，在考虑整个第一层时，它主要由钛和氮构成。在第一层中氮与钛的比率最好是 0.5—1.2。这种以钛和氮作为主要组分的材料能与导电氧化物如钢锡氧化物、氧化锌和氧化镍等构成欧姆接触。若铝和这样的导电氧化物一起形成接触点，在此接触点处会形成厚氧化铝层，这就不可能有好的接触点。在现有技术中，是在铝和导电氧化物之间形成一铬层。由于铬是有毒的，所以要寻求代用材料。本发明所用的主要由钛和氮组成的材料在这方面也是很优秀的。

本发明的其它目的和特点通过下面的讨论将得以清楚了解。

图 1 (A) —图 1 (D) 是按照本发明使用 TFTS 的电路的截面图，它展示出电路的加工工序；

图 2 (A) 是本发明的电子电路的纵截面图；

图 2 (B) 是本发明另一电子电路的顶视图；

图 3 示出按本发明制造的 TFTS 的特性曲线 a 和用现有技术制造的 TFTS 的特性曲线 b；

图 4 (A) 和图 4 (B) 是 TFTS 中接触孔的照片；

图 5 (A) 是展示图 4 (A) 中所示的接触孔的示意图；

图 5 (B) 是展示图 4 (B) 中所示的接触孔的示意图；

图 6 是按照本发明包括许多形成在基片上下的 TFTS 的器件的示意性截面图；

图 7 (A) —图 7 (H) 是按照本发明的 TFT 的截面图，它示出制造 TFT 的工序；和

图 8 (A) —图 8 (C) 是按照本发明的 TFTS 的截面图，它示出源极或漏极的接触点。

实施例 1

在图 1 (A) —图 1 (D) 和图 2 (A) —图 2 (B) 中示出第一实施例。图 1 (A) —图 1 (D) 示出带 TFTS 的电子电路的制造工序。常规步骤的说明省略。首先，将氧化硅淀积成氧化硅膜 2，使之在由 Corning7059 构成的玻璃基片 1 上形成一基底膜。在此氧化硅膜 2 上形成厚 500—1500Å，最好是 500—750Å 的非晶硅膜 3。在此非晶硅膜 3 上形成防护层 4。此叠层片在 450—600℃ 下退火 12—48 小时，以使非晶硅膜结晶化。当然，使之结晶化可使用激光退火或其它类似的手段 (图 1 (A))。

用光刻法将硅膜刻蚀成岛状半导体区 5。在该半导体区 5 上形成厚 500—1500Å，最好是 800—1000Å 的氧化硅膜以形成

栅氧化物膜。然后用铝加工出栅互连线和电极 7。将此铝互连线和电极 7 阳极氧化以形成包围此互连线和电极 7 的氧化铝数层。这种以这种方式使顶栅 TFTS 阳极氧化的技术已在 1992 年 1 月 24 日申请的日本专利申请 NO38637/1992 中讨论过。当然，栅极可用硅、钛、钽、钨、钼或其它材料制作。随后，使用栅极作掩模，用等离子掺杂或其它方法将杂质，例如磷注入，以形成与栅极 7 对准的掺杂的硅区 8。然后，通过热退火、激光退火或其它方法使掺杂区 8 再结晶，以形成 TFTS 的源和漏区（图 1 (B)）。

然后，淀积氧化硅层作为中间层绝缘体 9。再淀积导电的透明氧化物，例如铟锡氧化物 (ITO)。将此 ITO 膜用光刻法按一定图形刻蚀成有源矩阵液晶显示器的象素电极 10。在中间层绝缘体 9 中形成接触孔以露出部分掺杂区或源和漏区。通过溅射形成主要由钛和氮构成的第一层。另外，通过溅射按下面描述的方式形成由铝构成的第二层。

一钛靶设置在溅射室。在氩气氛中加工成膜。溅射压强是 1—10mtorr。首先形成厚达 50—500Å 以钛为主要组分还包括少量氮的一层。除氩外，还将氮注入溅射室。膜在这种氛围中通过溅射形成。结果形成一层厚 200—1000Å 的理想配比的一氮化钛。这时，在该溅射氛围中含氮的百分率超过 40%。已注意到由于氮的分压强和溅射压强使溅射的淀积速率大受影响。例如，在仅由氩构成的氛围中淀积速率通常是在含高于 20% 的氮的氛围中的淀积速率的 3—5 倍。就溅射气氛来说，可用氨、醇胺、或其它物质代替氮。已知所制备的膜的电阻率随在溅射期间氮的分压强而变化。由于此膜用以形成导电的互连线，所以希望电阻率低。当然，为此要选用最佳的氮分压强。例如，在

含 100%氮的氛围中生产出来的比在含 40%氮的氛围中生产出来的电阻率低。典型的电阻率在 50—300 $\mu\Omega\text{cm}$ 之间。

在上述步骤中,如果首先形成的并包含少量氮的钛层太厚,就会与在下面的层发生反应。这就不可能获得好的接触。我们的研究已经证实,如果钛层比半导体层薄,则可获得良好的结果。

在用这种方式形成第一层 11 之后,溅射铝以形成含有 1%硅的第二层。第二层的厚度是 2000—5000 \AA 。用光刻法按一定图形刻蚀这些层。更准确地说,此铝的第二层被用腐蚀剂腐蚀,例如用磷酸、醋酸和硝酸组成的混合酸。随后,用缓冲氢氟酸或亚硝酸刻蚀第一层。这时,由于过腐蚀,使中间层绝缘体损坏。此腐蚀工艺也可以通过用过氧化氢 (H_2O_2) 水溶液和氨水 (NH_3OH) 的混合液来进行腐蚀,用有选择地预先留下的铝层作掩膜。在这种情况下中间层绝缘体不受影响。然而有机材料,例如光刻胶会被氧化。

上述腐蚀步骤可以是干腐蚀工艺。如果用四氯化碳作为腐蚀气体,可连续腐蚀第二和第一层,且对氧化硅无不良影响。以这种方法形成从掺杂区延伸的导电的互连线。然后使此叠层片在氢气的氛围中在 300 $^{\circ}\text{C}$ 下退火,从而完成 TFTS。

以这种方法加工成的电路有要与外部连接的部分。图 2 (A) 示出该方法,用以与外部连接的导电的互连线 19 从集成电路 18 向基片周边部分延伸,该电路 18 集成在基片 17 上。此电子电路往往可用机械装置来做电接触,比如在虚线框出的区域 20 中的接触卡具(即插座)。

在图 2 (B) 所示的液晶显示器中,电路 22—24 激活基片 21 上的有源矩阵区 25。为向电路 22—24 提供电功率和信号,在用

虚线框出的区域 27 中加工出许多电接触点。用金属丝焊接的连接是永久性的而且十分可靠。然而加工这些引线要花费大量的劳动。特别是这种方法不适合大量端点的连接。所以使用机械接触点往往更有利。

然而在这种情况下，在接触点处导电的互连线表面要足够牢固，其下面的层要牢固地粘接到导电的互连线。铝不能达到这些目的。主要由钛构成的材料可很好地粘接到硅、氧化硅、铝和其它类似的材料上。这种材料敷层的硬度也是高的。因此，这种材料是能满足要求的。它能完全都不用氮。也可使氮最大含量达到理想配比的比率。在本实施例中，第一层的与第二层接触的那些部分由理想配比的一氮化钛构成。接触卡具 13 压在一氮化钛露出部分上以形成接触点（图 1 (C)）。

另一方面如图 1 (D) 所示，在第一层 14 上形成第二层 15。在第二层 15 上形成由一氮化钛构成的第三层 16。接触卡具可与此第三层接触。在这种情况下，如图 1 (C) 所示，不必部分地腐蚀第二层。而且，如图 1 (E) 所示，按照本发明主要由氮和钛构成的一层被首先用光刻法按一定图形刻蚀成导电的互连线，然后形成 ITO 膜。无论如何，在本实施例中，此 ITO 膜由主要包括钛和氮的材料构成。从而获得好的接触。膜的材料不限于 ITO。也可以使用各种各样其它的导电氧化物。

用这种方法得到的 TFTS 的 V_D-I_D 特性如图 3 中的曲线 a 所示。为便于对照，具有常规 Al/Si 接触点的 TFTS 的 V_D-I_D 特性如图 3 中的曲线 b 所示。可看到转折点在用现有技术方法制造的 TFTS 的曲线 b 上的靠近 $V_D=0$ 处。它们的接触电阻不构成欧姆接触。相反，在按照本发明制作的 TFTS 的曲线 a 上看不到这种异常现象，而呈现通常的 MOSFET 特性。

图 4 (A) 和图 4 (B) 是两张照片, 此照片表明从 TFTS 延伸的导电互连线材料的熔合 (即形成硅化物), 即在源和漏区铝与 N 型硅的熔合在像实施例 1 同样条件下被压制而成的情况。图 4 (A) 和图 4 (B) 的照片所示的区域分别在图 5 (A) 和图 5 (B) 中示出。每张照片中心可见的矩形区是一接触孔。在形成接触点之后, 将此叠层片在 300°C 下退火 30 分钟。若在硅和铝之间如图 4 (A) 所示不存在一氮化钛, 则在接触点处就要生成大量硅化物 (瑕疵)。若像图 4 (B) 那样有厚度 1000 Å 的一氮化钛膜, 就不会产生任何瑕疵。

实施例 2

参照图 1 (A) — 图 1 (D) 对本实施例进行说明, 这些图概略地示出制造有 TFTS 的电子电路的工序。这里不涉及常规步骤。首先在玻璃基片 1 上淀积氧化铝作为氧化铝基底膜 2。在此氧化硅膜 2 上形成厚 100—1000 Å 最好是 100—750 Å 的非晶硅膜 3。在此非晶硅膜 3 上形成一保护层 4。将此叠层体在 450—600°C 下退火 12—48 小时以使非晶硅膜结晶化。当然, 为使其结晶化可用激光退火也可用其它类似的手段。

将硅膜用光刻法按一定图形刻蚀成岛状半导体区 5。在此半导体区 5 上形成厚 500—1500 Å, 最好是 800—1000 Å 的氧化硅膜 6, 以形成栅氧化膜。然后用铝加工成栅互连线和电极 7。此铝制互连线和电极 7 被阳极氧化以形成包围此互连线和电极 7 的氧化硅敷层。随后, 用栅极作掩模通过离子注入或其它方法注入杂质, 例如磷、以形成与栅电极 7 对准的掺杂硅区 8。掺杂剂量、加速电压和栅氧化膜厚度被如此设置, 使掺杂剂量是 $0.8—4 \times 10^{15}/\text{cm}^2$, 使掺杂剂浓度为 $1 \times 10^{19}—1 \times 10^{21}/\text{cm}^3$ 。然后通过热退火、激光退火或其它方法使掺杂区 8 再结晶, 以形成

TFTS的源和漏区(图1(B))。

然后,淀积氧化硅作为中间层绝缘体9,随后是淀积ITO。用光刻法将此ITO膜按一定图形刻蚀成有源矩阵液晶显示器的象素电极10。在中间层绝缘体9中形成接触孔以露出部分掺杂区或源和漏区。用溅射法形成主要由钛和氮构成的第一层。用下述方法通过溅射形成由铝构成的第二层。

钛靶设置在溅射室中。在氩和氮的氛围中形成膜。氩分压强对氮分压强的比率小于0.3,例如是0.25。溅射压强是3m-torr。通过4.5A的DC电流。氩的流速是24SCCM。氮的流速是6SCCM。第一层具有含较少的氮的下部层。此下部层厚100Å。以这种方式形成的膜与硅和ITO呈现足够小的接触电阻。

然后使溅射室中所含气体的百分比如此增加,即,使氩分压强对氮分压强的比率超过0.3,例如是1。通过溅射在这种氛围中形成膜。溅射压强和DC电流分别是3mtorr和4.5A。氩和氮的流速设置为15SCCM。通过上述步骤形成第一层的上层(为900Å)。用这种方法形成的膜与硅有大的接触电阻。所以不能用作触点。然而在本实施例中这种膜能容易地图形化形成互连线。要注意由于氮分压强和由于溅射压强,溅射的淀积速率会大受影响。例如,若氩对氮的比率是4:1,淀积速率是100—120Å/min。若氩对氮的比率是1:1则淀积速率是30—40Å/min。

在用这种方法形成第一层11后,溅射铝以形成含1%硅的第二层12。此第二层的厚度是2000—5000Å。这些层被用光刻法按一定图形蚀刻。更准确地说,由铝构成的第二层被用腐蚀剂,例如用由磷酸、醋酸和硝酸组成的混合酸腐蚀。其后,在铝膜上留下光刻胶时用由过氧化氢(H₂O₂)水溶液和氨水

(NH_4OH) 组成的混合液腐蚀第一层。由于这种腐蚀剂使有机物质氧化，下面就要同时清除有机物质。用这种方法形成从掺杂区延伸的导电的互连线。然后使此叠层片在氢气中在 300°C 下退火，从而完成 TFTS。在本实施例中，形成第一层时仅接触点被腐蚀，从而暴露出第二层。接触卡具 13 压到第一层的露出部分以形成接触点（图 1 (C)）。

实施例 3

在图 7(A)—图 7(H) 中示出本实施例。首先在由 Corning70-59 构成的玻璃基片 201 上淀积氧化硅作为氧化硅膜 202。此氧化硅膜构成基底膜。厚度 $1000\text{—}3000\text{Å}$ 。此基片尺寸是 $300\text{mm}\times 400\text{mm}$ 或 $100\text{mm}\times 100\text{mm}$ 。为形成这种氧化物膜，在氧气氛围中进行溅射。为更有效地进行大量生产，可以使四乙基原硅酸盐 (TEOS) 分解并用等离子体 CVD 法淀积。

然后用等离子体 CVD 法或 LPCVD 法淀积成厚 $300\text{—}5000\text{Å}$ ，最好是 $500\text{—}1000\text{Å}$ 的非晶硅膜。将这种膜在氧化的氛围中，在 $550\text{—}600^\circ\text{C}$ 下维持 24 小时以使此膜结晶化。这种步骤也可以通过激光照射来进行。将此已结晶化的硅膜用光刻法按一定图形刻蚀成岛状区 203。用溅射技术形成厚 $700\text{—}1500\text{Å}$ 的氧化硅膜 104。

然后通过电子束蒸发或溅射形成厚 $1000\text{Å}\text{—}3\mu\text{m}$ 的铝膜。这种铝膜按重量计含有 1% 的硅或 0.1—0.3% 的钪。通过旋涂形成光刻胶膜，例如由 TOKYO OHKA KOGYO CO., LTD 制备的 OFPR800/30CP。如果在形成光刻胶膜之前通过阳极氧化形成厚 $100\text{—}1000\text{Å}$ 的氧化铝膜，则铝膜完全粘附到光刻胶膜上。还可抑制电流从光刻胶层漏泄。这在下面的阳极氧化步骤中为形成多孔的阳极氧化的氧化物是有效的。随后用光刻法按一定图

形刻蚀光刻胶膜和铝膜以形成栅电极 205 和屏蔽膜 200 (图 7 (A))。

通过使电流通过电解液将栅极 205 阳极氧化形成厚 3000—6000Å，例如 5000Å 的阳极氧化膜 206，此阳极氧化步骤是：使用柠檬酸、硝酸、磷酸、铬酸、硫酸或其它酸的 3—20% 的酸溶液，并对栅极施加 10—30V 的恒定电压。在本实施例中是在 30℃ 的草酸中对栅极加 20—40 分钟的 10V 电压以进行阳极氧化。阳极氧化物膜的厚度通过阳极氧化时间来控制 (图 7 (B))。

随后用干腐蚀技术腐蚀氧化硅膜 104。在此腐蚀步骤中，既可使用等离子模式的各向同性腐蚀，也可使用活性离子腐蚀模式的各向异性腐蚀。通过将硅对氧化硅的选择比率调大使活性层不被深腐蚀是重要的。例如，如果用 CF_4 作为腐蚀气体，阳极氧化物膜不被腐蚀，仅氧化硅膜 104 被腐蚀。位于多孔阳极氧化物膜 206 下面的氧化硅膜 204 未被腐蚀而保留下来 (图 7 (C))。

再次使电解液中的每个栅极流过电流。这时使用含 3—10% 的酒石酸、硼酸或硝酸的乙二醇溶液。当溶液温度低于室温或约 10℃ 时，可获得好的氧化物膜。以这种方式在栅极的顶和侧表面上形成势垒型阳极氧化物膜 207。此阳极氧化物膜 207 的厚度与所加的电压成正比。当所加电压是 150V 时，所形成的阳极氧化物膜的厚度是 2000Å。在本实施例中，将电压增加到 80—150V。电压的数值按照所要求的阳极氧化物膜的厚度来确定 (图 7 (D))。

用势垒型阳极氧化物膜作掩模，腐蚀掉多孔阳极氧化物膜 206。然后用栅极部分 205 和 207 以及栅绝缘膜 204 做掩模，用

离子掺杂法注入杂质以形成低电阻率的掺杂区 208、211 和高电阻率的掺杂区 209、210。掺杂量是 $1-5 \times 10^{14}/\text{cm}^2$ 。加速电压是 39—90KV。用磷作杂质 (图 7 (E))。

一种适当的金属,例如钛、镍、钼、钨、铂或钯被溅射到整个表面。例如,在整个表面上形成厚 50—500Å 的钛膜 212。结果,该金属膜,在此实施例中是钛膜 212,与低电阻率掺杂区 208 和 211 紧密接触 (图 7 (F))。

用由 KrF 受激准分子激光器发射的,波长为 248nm、脉宽为 20nsec 的激光照射,以激活所掺杂进的杂质,并使金属膜或钛膜与活性层起反应,从而形成金属硅化物或硅化钛区 213 和 214。激光辐射的能量密度是 200—400mJ/cm²,最好是 250—300mJ/cm²。当用激光照射时,如将基片加热到 200—500℃,则可抑止钛膜的剥落。

在本实施例中,像上述那样应用受激准分子激光器,当然也能使用其它激光器,最好使用脉冲激光器。如使用 CW 激光器,照射的时间长,以致被照射的物质受热膨胀,结果会使该物质剥离。

可用的脉冲激光器包括:红外激光器,例如 Nd:YAG 激光器(最好是 Q 开关激光器)、可见光激光器,例如利用产生二次谐波的激光器,和各种使用受激准分子例如 KrF、XeCl 和 ArF 的 UV 激光器。若激光从上面照射金属膜,就必须选择激光的波长使光不从该金属膜上反射。这在金属膜很薄时几乎没有问题。激光也可以从基片侧面照射。在这种情况下要选择可通过下面的硅半导体层传输的激光。

退火可以使用可见光或近红外光照射的灯退火。如进行灯退火,则光要以这样方式照射,即使被照射物的表面达到约

600—1000℃。若温度是 600℃则照射要持续几分钟。如温度是 1000℃，就只需照射几十秒。使用红外光，例如波长 1.2μm 的红外光，由于下述的原因，是十分有利的。近红外光被硅半导体膜有选择地吸收，因此玻璃基片不会很热。通过将每次照射时间设置得较短，基片被加热的程度也较小。

然后，用由过氧化氢、氨和水以 5 : 2 : 2 的比率组成的腐蚀剂腐蚀钛膜。暴露层和钛层的那些不接触部分（例如在栅绝缘膜 204 上和阳极氧化物膜 207 上的钛膜）仍保持金属状态。这些部分可通过这种腐蚀除去。由于氮化钛膜 213 和 214 未被腐蚀，所以它们仍然保留（图 7 (G)）。

最后，如图 7(H)所示，用 CVD 法在整个表面上形成厚 2000 Å—1μm（例如 3000 Å）的氧化硅膜作为中间层绝缘体 217。在 TFTS 的源极和漏极形成接触孔。加工成厚 200 Å—1μm（例如 5000 Å）的铝互连线和电极 218 和 219。在本实施例中，与铝互连线接触的部分由硅化钛构成。在与铝的交界面处的稳定性超过与硅交界的情况。因而可获得可靠的接触点。如果将势垒金属，例如一氮化钛淀积在铝电极 218、219 和硅化物区 213、214 之间，则可靠性能进一步提高。在本实施例中，硅化物区的表面电阻是 10—50Ω/□。高电阻率区 209 和 210 的表面电阻为 10 至 100KΩ/□。结果，可制造出有好的频率特性且在高漏极电压下受热载流子损坏的影响小的 TFTS。在本实施例中，低电阻率掺杂区 211 可做得实质上与金属硅化物区一致。

图 6 示出用图 7 (A) —图 7 (H) 中的方法在基片上制造多个 TFTS 的实施例。在此实施例中形成三个薄膜晶体管 TFT₁—TFT₃。TFT₁ 和 TFT₂ 用作驱动 TFTS，并且是采取 CMOS 型器件的形式。在本实施例中，这些 TFTS 用作变换器。与图 7 (A) —

图 7 (H) 所示的阳极氧化物膜 207 相应的氧化物层 505 和 506 有较小的 200—1000Å 的厚度，例如 500Å。这些氧化物层与下面的层稍有重叠。TFT₂ 用作象素 TFT。阳极氧化物膜 507 厚达 2000Å 并处于偏移状态，从而可扼制漏电流。TFT₂ 的源/漏电极中的一个与 ITO 的象素电极 508 连接。为使阳极氧化物膜有不同的厚度，它们被分离开以允许单独控制加到 TFTS₂ 栅极上的电压。TFT₁ 和 TFT₂ 是 n 沟道薄膜晶体管，而 TFT₂ 是 P 沟道薄膜晶体管。

在本实施例中，在离子掺杂步骤之后再进行形成钛膜的步骤。这种顺序是可以改变的。在这种情况下，当离子被照射时，由于钛膜覆盖整个下层，可有效地防止在基片上发生的异常充电。作为改进的例子，在离子掺杂之后再进行激光退火步骤。然后形成钛膜，并通过激光照射或热退火形成硅化钛膜。

新型 TFTS 的源或漏极的接触点可采用图 8 (A) —图 8 (C) 所示的结构。在这些图中所示的是：玻璃基片 1、绝缘膜 6、源或漏极 8、中间层绝缘膜 9、硅化钛区 301、一氯化钛层 302、铝层 303、一氯化钛层 304、钛层 305、和一氯化钛层 306。

在本发明中，TFTS 的薄的源极、漏极或其它掺杂区可有高可靠的良好接触点，从而能有效地提高整个电子电路的可靠性。这种方法在工业上是很有优越性的。

图 1(A)

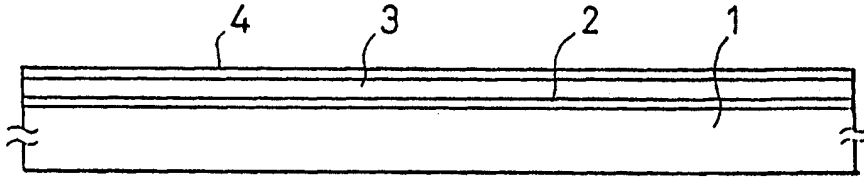


图 1(B)

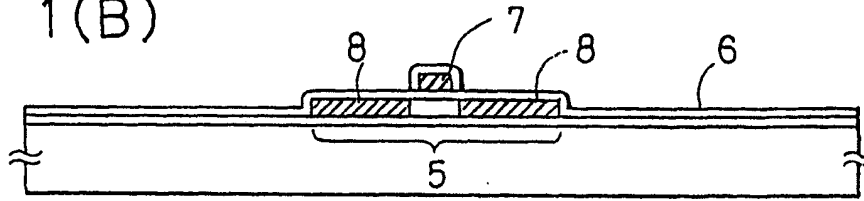


图 1(C)

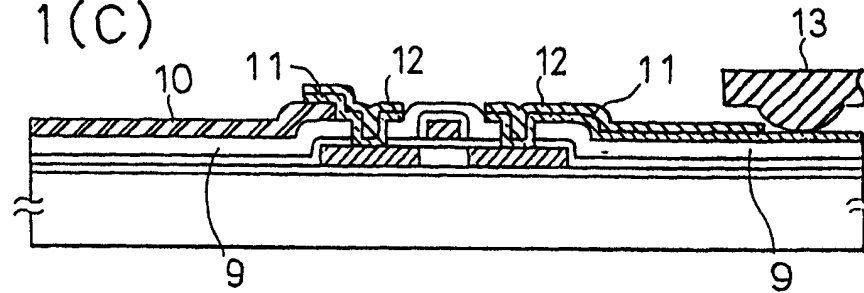
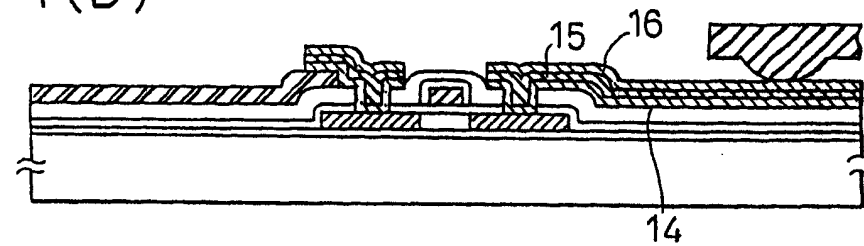


图 1(D)








-  铅(栅极/互连线)
-  掺杂的硅(源和漏极)
-  ITO(像素电极)
-  TiNx
-  铝(第二互连线)

图 2(A)

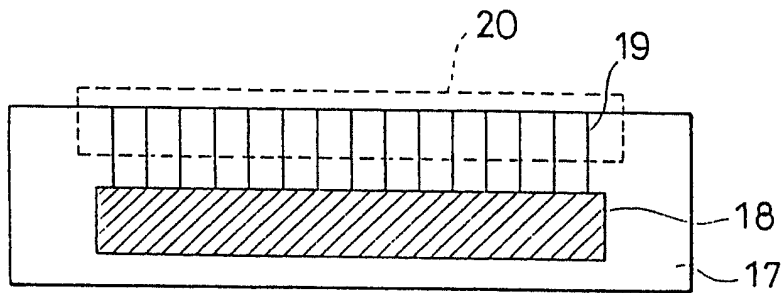


图 2(B)

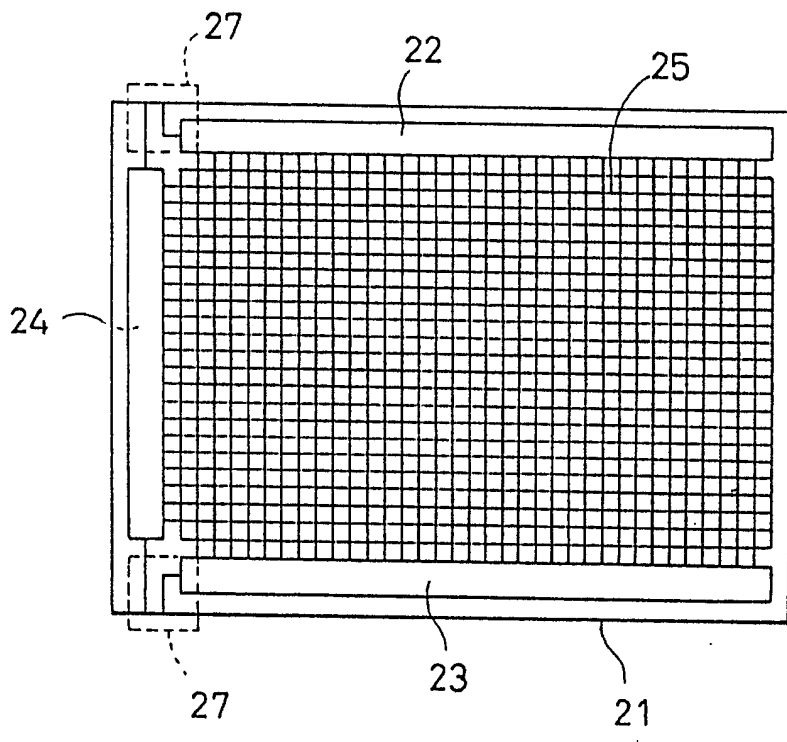


图 3

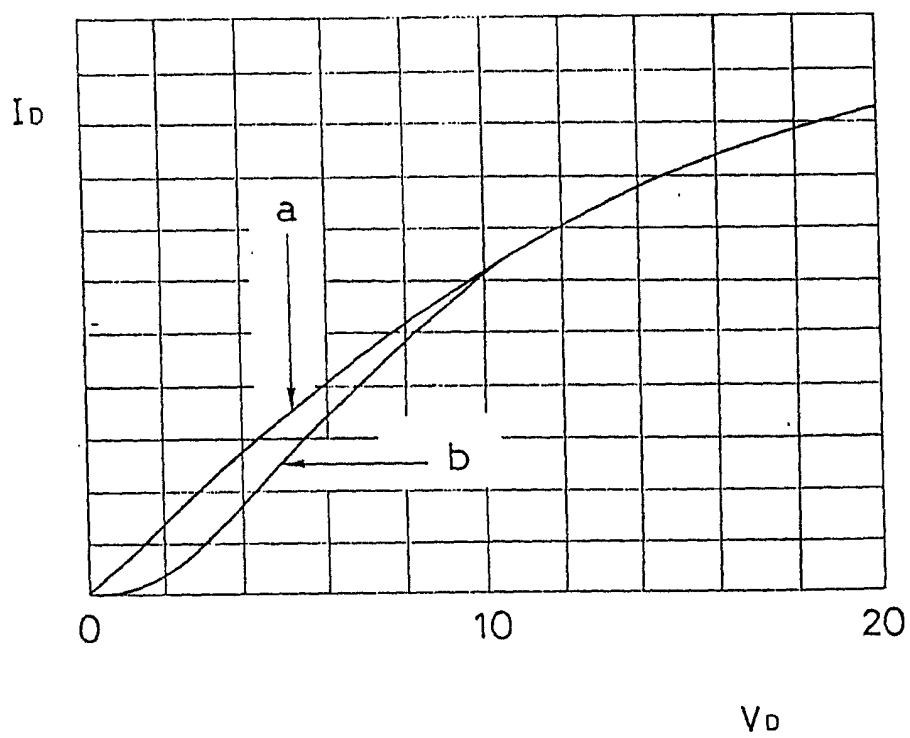


图 4(A)

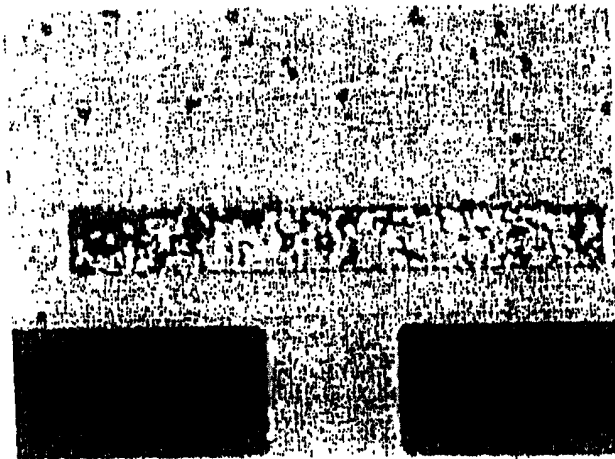


图 4(B)

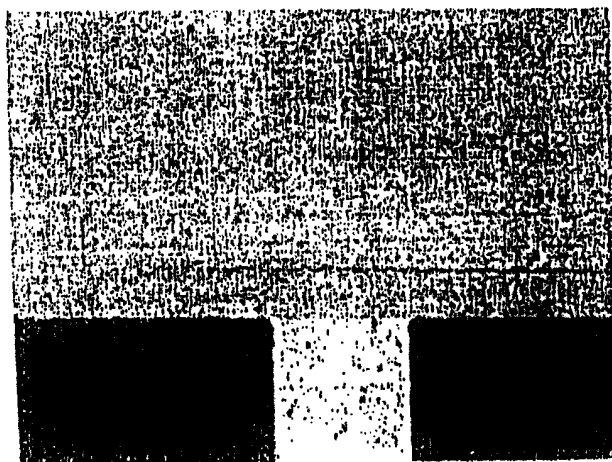


图 5(A)

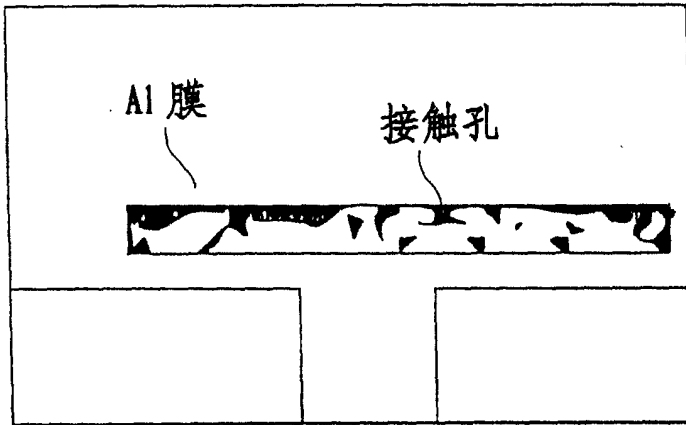


图 5(B)

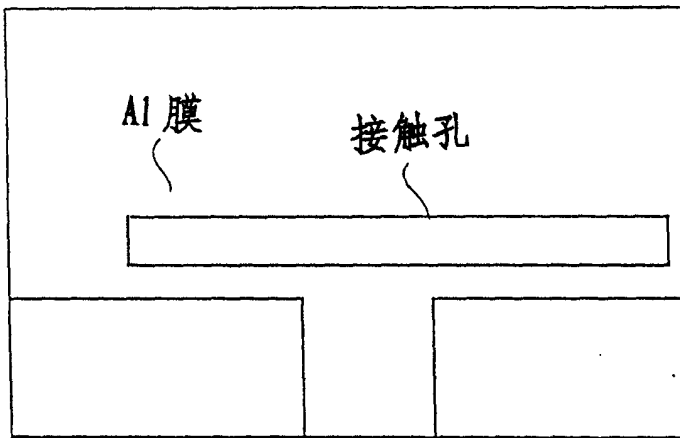


图 6

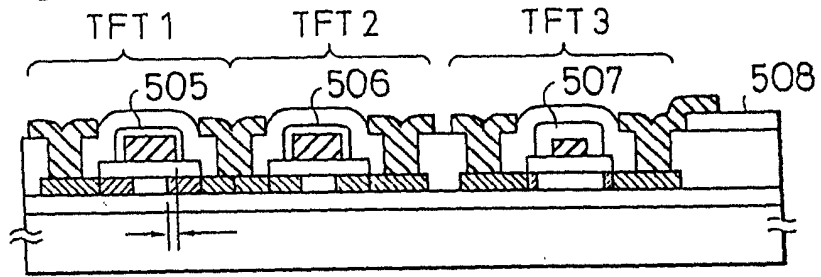


图 7(A)

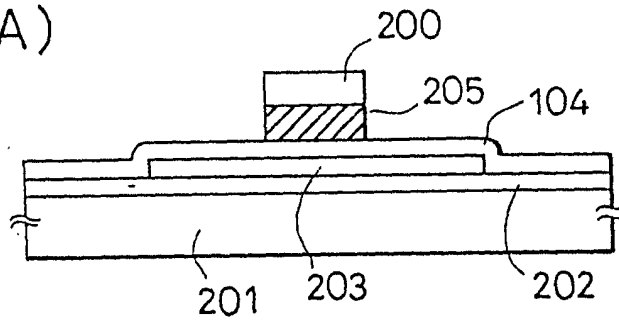


图 7(B)

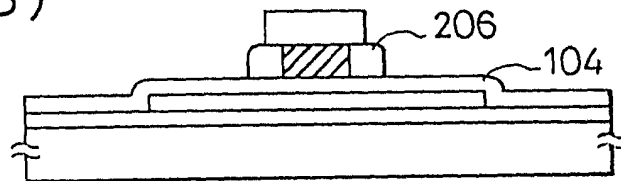


图 7(C)

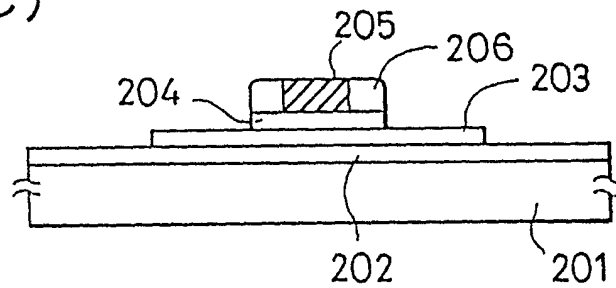


图 7(D)

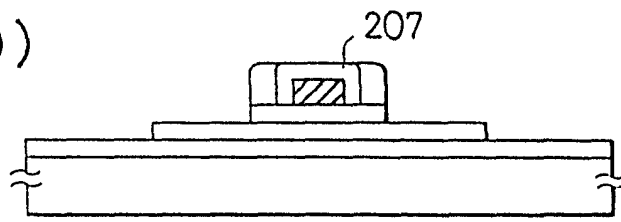


图 7(E)

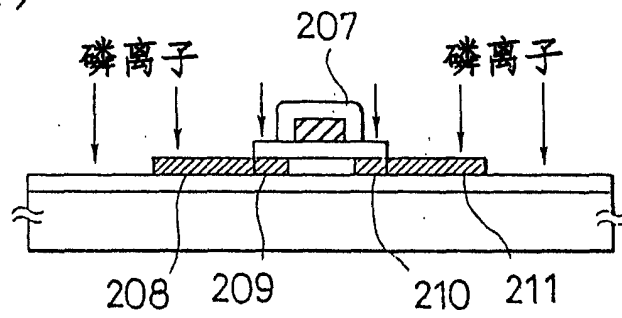


图 7(F)

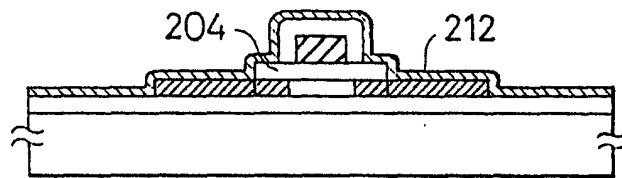


图 7(G)

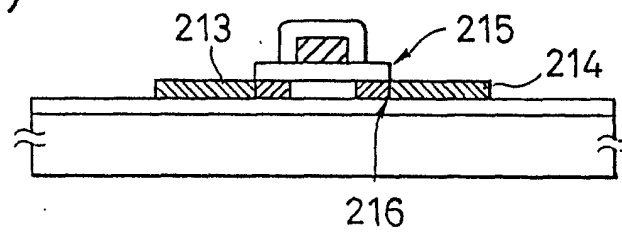


图 7(H)

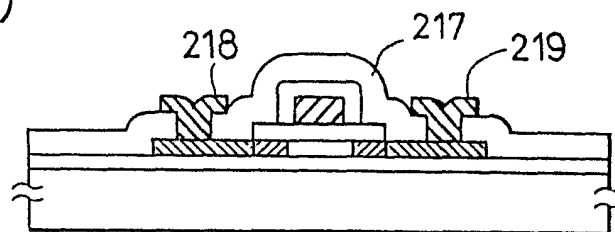


图 8(A)

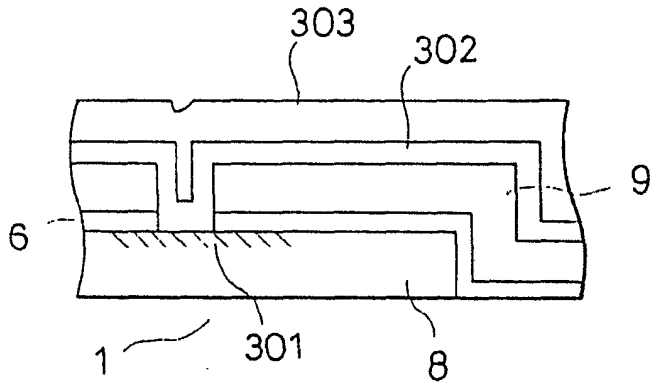


图 8(B)

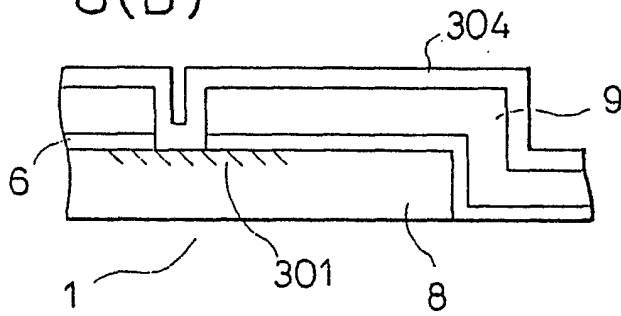


图 8(C)

