

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5557419号
(P5557419)

(45) 発行日 平成26年7月23日(2014.7.23)

(24) 登録日 平成26年6月13日(2014.6.13)

(51) Int.Cl. F I
H O 1 L 27/10 (2006.01) H O 1 L 27/10 4 5 1

請求項の数 12 (全 12 頁)

| | |
|--|---|
| <p>(21) 出願番号 特願2007-270745 (P2007-270745) (22) 出願日 平成19年10月17日(2007.10.17) (65) 公開番号 特開2009-99814 (P2009-99814A) (43) 公開日 平成21年5月7日(2009.5.7) 審査請求日 平成22年10月15日(2010.10.15) 審判番号 不服2013-15315 (P2013-15315/J1) 審判請求日 平成25年8月8日(2013.8.8)</p> | <p>(73) 特許権者 504378124 スパンション エルエルシー アメリカ合衆国 カリフォルニア州 94 088-3453 サニーバイル デグウ イン ドライブ 915 (74) 代理人 100079108 弁理士 稲葉 良幸 (74) 代理人 100109346 弁理士 大貫 敏史 (72) 発明者 篠崎 直治 福島県会津若松市高久工業団地2番 S p a n s i o n J a p a n 株式会社内</p> |
|--|---|

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

抵抗値の変化によりデータを記憶する不揮発性の第1可変抵抗素子、及び前記第1可変抵抗素子を選択する選択トランジスタを含む第1メモリセルと、

複数の前記第1メモリセルが平面状に配列して設けられた第1メモリ層と、

抵抗値の変化によりデータを記憶する不揮発性の第2可変抵抗素子、及び前記第2可変抵抗素子を選択する選択ダイオードを含む第2メモリセルと、

複数の前記第2メモリセルが平面状に配列して設けられた第2メモリ層と、

を具備し、

複数の前記第2メモリ層が、前記第1メモリ層の上方に積層して設けられており、

前記第1メモリ層と、前記第1メモリ層に含まれる前記第1メモリセルと異なる前記第2メモリセルを含む前記第2メモリ層とは、記憶されるデータの重要度に応じて使い分けられることを特徴とする半導体装置。

【請求項 2】

前記第2メモリセルは、前記第1メモリ層及び前記第2メモリ層の積層方向に、前記可変抵抗素子及び前記選択ダイオードが積層してなることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記第2メモリセルは、前記第1メモリ層及び前記第2メモリ層の積層方向から見た場合の面積が、前記第1メモリセルより小さいことを特徴とする請求項1または2に記載の

10

20

半導体装置。

【請求項 4】

前記第 2 メモリ層は、
複数の第 2 ビットラインと、
前記複数の第 2 ビットラインに対し交差する方向に設けられた複数の第 2 ワードラインと、
を含み、
前記第 2 メモリセルは、前記第 2 ビットラインと前記第 2 ワードラインとの交差領域に設けられ、その一端が前記第 2 ビットラインに、他端が前記第 2 ワードラインに接続され、
前記複数の第 2 メモリ層のうち上下方向に隣接する 2 つの第 2 メモリ層は、前記第 2 ビットライン及び前記第 2 ワードラインのいずれかを共有する、
ことを特徴とする請求項 1 から 3 のうちいずれか 1 項に記載の半導体装置。

10

【請求項 5】

前記複数の第 2 メモリ層のうち上下方向に隣接する 2 つの第 2 メモリ層のうち、上側の層に含まれる前記第 2 メモリセルと、下側の層に含まれる前記第 2 メモリセルとは、最小加工寸法の半分の寸法だけずらして設けられていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 メモリセルは、
1 つの前記選択トランジスタと、
前記選択トランジスタのドレイン端子またはソース端子に接続された 1 つの前記第 1 可変抵抗素子と、
からなることを特徴とする請求項 1 から 5 のうちいずれか 1 項に記載の半導体装置。

20

【請求項 7】

前記第 1 メモリ層及び前記第 2 メモリ層を支持する半導体基板を具備し、
前記選択トランジスタの少なくとも一部は、前記半導体基板内に形成されていることを特徴とする請求項 1 から 6 のうちいずれか 1 項に記載の半導体装置。

【請求項 8】

前記第 1 メモリ層は、
前記選択トランジスタが形成された選択トランジスタ層と、
前記選択トランジスタ層の上方に形成され、前記第 1 可変抵抗素子が形成された第 1 可変抵抗素子層と、
を含むことを特徴とする請求項 1 から 7 のうちいずれか 1 項に記載の半導体装置。

30

【請求項 9】

前記第 1 メモリ層は、
複数の第 1 ビットラインと、
前記複数の第 1 ビットラインに対し交差する方向に設けられた複数の第 1 ワードラインと、
前記複数の第 1 ビットラインに沿った方向に設けられた複数のソースラインと、
を含み、
前記第 1 メモリセルは、前記第 1 ビットラインと前記第 1 ワードラインとの交差領域に設けられ、その一端が前記第 1 ビットラインに、他端が前記ソースラインに接続され、
前記複数の第 1 メモリセルのうち隣接する 2 つの第 1 メモリセルは、前記ソースラインを共有している、
ことを特徴とする請求項 1 から 8 のうちいずれか 1 項に記載の半導体装置。

40

【請求項 10】

前記可変抵抗素子は、遷移金属酸化物からなることを特徴とする請求項 1 から 9 のうちいずれか 1 項に記載の半導体装置。

【請求項 11】

50

前記選択ダイオードは、前記遷移金属酸化物と金属電極からなるショットキーダイオードであることを特徴とする請求項10に記載の半導体装置。

【請求項12】

前記第1メモリセルは、電源投入時に読み出されるブートプログラム、及びOSプログラムのうち少なくとも一方を含むデータを記憶することを特徴とする請求項1から11のうちいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的に消去及び書込みが可能な不揮発性メモリを備えた半導体装置に関する。

10

【背景技術】

【0002】

近年、可変抵抗の抵抗率を変化させることによりデータを記憶する不揮発性のメモリ素子を備えたメモリ装置が開発されている。このようなメモリ素子の例として、三元系カルコゲナイド(Chalcogenide)等の相変化物質を用いたPRAM(Phase change RAM)や、巨大磁気抵抗効果を用いたCMR(colossal magnetoresistive effect)素子、遷移金属酸化膜(Transfer Metal Oxide)の抵抗変化物質を用いたReRAM(Resistive RAM)がある。

20

【0003】

上記のメモリ素子へのデータの書き込みは、メモリ素子内の可変抵抗に所定条件の電圧パルスを印加し、可変抵抗の抵抗値を変化させることにより行う。メモリ素子へのアクセス制御は、メモリ素子に接続されたメモリ選択素子を介して行われる。

【0004】

特許文献1には、メモリ選択素子にトランジスタを用いたメモリ装置が開示されている。特許文献2には、メモリ選択素子にダイオードを用いたメモリ装置が開示されている。また、特許文献3には、ダイオードやトランジスタのような能動素子を用いずにメモリ素子へのアクセスを制御するメモリ装置が開示されている。

【特許文献1】特表2007-511895

30

【特許文献2】特表2005-522045

【特許文献3】特開2005-159359

【発明の開示】

【発明が解決しようとする課題】

【0005】

メモリ選択素子にトランジスタを用いたメモリ装置は、制御が容易かつ信頼性が高いため、データ保持性及び書き換え耐性に優れる。その反面、トランジスタを形成するために比較的大きな領域が必要となるため、メモリ素子の高集積化が難しいというデメリットが存在する。このため、起動時に読み込まれるブートプログラムやOS等の、高い信頼性が要求されるデータを記憶する用途に適しているが、大容量のデータを記憶する用途には不向きである。

40

【0006】

メモリ選択素子にダイオードを用いたメモリ装置は、ダイオードがトランジスタに比べて小さな領域に形成することができ、縦方向への積層も容易であることから、大容量化に適している。その反面、メモリ素子へのアクセス制御は、メモリ素子に接続されたビットライン及びソースラインの電圧レベルを制御することにより行うため、制御が難しく信頼性が低いというデメリットが存在する。このため、動画データや音声データをはじめとする大容量のデータを記憶する用途に適しているが、信頼性が低いことからディスクやリークの問題が発生しやすく、重要なデータを記憶する用途には不向きである。以上のように、従来のメモリ装置においては、記憶されるデータの特性によりその用途が制限され

50

てしまうという課題が存在した。

【0007】

本発明は、記憶容量の大容量化及び動作安定性の向上の双方を実現可能な半導体装置を提供することを目的とする。さらに、かかる半導体装置の小型化・低コスト化を実現することを目的とする。

【課題を解決するための手段】

【0008】

本発明は、抵抗値の変化によりデータを記憶する不揮発性の第1可変抵抗素子、及び前記第1可変抵抗素子を選択する選択トランジスタを含む第1メモリセルと、複数の前記第1メモリセルが平面状に配列して設けられた第1メモリ層と、抵抗値の変化によりデータを記憶する不揮発性の第2可変抵抗素子、及び前記第2可変抵抗素子を選択する選択ダイオードを含む第2メモリセルと、複数の前記第2メモリセルが平面状に配列して設けられた第2メモリ層と、を具備し、複数の前記第2メモリ層が、前記第1メモリ層の上方に積層して設けられていることを特徴とする半導体装置である。本発明によれば、記憶するデータの特性に応じて第1メモリ層及び第2メモリ層を使い分けることにより、効率的にデータを記憶することができるため、記憶容量の大容量化及び動作安定性の向上を同時に達成することができる。また、第1メモリ層の上方に複数の第2メモリ層を積層した構造とすることで、半導体装置を小型化・低コスト化することができる。

10

【0009】

上記構成において、前記第2メモリセルは、前記第1メモリ層及び前記第2メモリ層の積層方向に、前記可変抵抗素子及び前記選択ダイオードが積層してなる構成とすることができる。この構成によれば、第2メモリ層をさらに高集積化することができる。

20

【0010】

上記構成において、前記第2メモリセルは、前記第1メモリ層及び前記第2メモリ層の積層方向から見た場合の面積が、前記第1メモリセルより小さい構成とすることができる。この構成によれば、第2メモリ層をさらに高集積化することができる。

【0011】

上記構成において、前記第2メモリ層は、複数の第2ビットラインと、前記複数の第2ビットラインに対し交差する方向に設けられた複数の第2ワードラインと、を含み、前記第2メモリセルは、前記第2ビットラインと前記第2ワードラインとの交差領域に設けられ、その一端が前記第2ビットラインに、他端が前記第2ワードラインに接続され、前記複数の第2メモリ層のうち上下方向に隣接する2つの第2メモリ層は、前記第2ビットライン及び前記第2ワードラインのいずれかを共有する構成とすることができる。この構成によれば、第2ワードラインまたは第2ビットラインを共有することにより第2メモリ層を薄く形成することができるため、第2メモリ層をさらに高集積化することができる。

30

【0012】

上記構成において、前記複数の第2メモリ層のうち上下方向に隣接する2つの第2メモリ層のうち、上側の層に含まれる前記第2メモリセルと、下側の層に含まれる前記第2メモリセルとは、最小加工寸法の半分の寸法だけずらして設けられている構成とすることができる。

40

【0013】

上記構成において、前記第1メモリセルは、1つの前記選択トランジスタと、前記選択トランジスタのドレイン端子またはソース端子に接続された1つの前記第1可変抵抗素子と、からなる構成とすることができる。この構成によれば、1つの第1可変抵抗素子を1つの選択トランジスタで選択するため、第1メモリセルの動作の信頼性を向上させることができる。

【0014】

上記構成において、前記第1メモリ層及び前記第2メモリ層を支持する半導体基板を具備し、前記選択トランジスタの少なくとも一部は、前記半導体基板内に形成されている構成とすることができる。この構成によれば、半導体基板内のスペースを有効に活用するこ

50

とで、第1メモリ層をさらに高集積化することができる。

【0015】

上記構成において、前記第1メモリ層は、前記選択トランジスタが形成された選択トランジスタ層と、前記選択トランジスタ層の上方に形成され、前記第1可変抵抗素子が形成された第1可変抵抗素子層と、を含む構成とすることができる。この構成によれば、第1メモリセルを上下方向に形成するため、第1メモリ層をさらに高集積化することができる。

【0016】

上記構成において、前記第1メモリ層は、複数の第1ビットラインと、前記複数の第1ビットラインに対し交差する方向に設けられた複数の第1ワードラインと、前記複数の第1ビットラインに沿った方向に設けられた複数のソースラインと、を含み、前記第1メモリセルは、前記第1ビットラインと前記第1ワードラインとの交差領域に設けられ、その一端が前記第1ビットラインに、他端が前記ソースラインに接続され、前記複数の第1メモリセルのうち隣接する2つの第1メモリセルは、前記ソースラインを共有している構成とすることができる。この構成によれば、隣接する2つの第1メモリセルがソースラインを共有するため、第1メモリ層をさらに高集積化することができる。

10

【0017】

上記構成において、前記可変抵抗素子は、遷移金属酸化物からなる構成とすることができる。

【0018】

上記構成において、前記選択ダイオードは、前記遷移金属酸化物と金属電極からなるショットキーダイオードである構成とすることができる。この構成によれば、PN接合型ダイオードを用いる場合に比べ、第2メモリセルを小型化することができる。

20

【0019】

上記構成において、前記第1メモリセルは、電源投入時に読み出されるブートプログラム、及びOSプログラムのうち少なくとも一方を含むデータを記憶する構成とすることができる。この構成によれば、動作の信頼性が高い第1メモリセルに、ブートプログラムまたはOSプログラムを記憶することで、半導体装置の動作の安定性を向上させることができる。

【発明の効果】

30

【0020】

本発明に係る半導体装置は、データ保持の信頼性に優れた第1メモリ層と、記憶容量の大きい第2メモリ層とを備えており、これらを適宜使い分けることにより効率的にデータの記憶を行うことができるため、記憶容量の大容量化及び動作安定性の向上を同時に達成することができる。また、第1メモリ層と第2メモリ層とを上下方向に積層することにより、半導体装置の小型化・低コスト化を図ることができる。

【発明を実施するための最良の形態】

【0021】

以下、図面を用い本発明に係る実施例について説明する。

【実施例1】

40

【0022】

図1は実施例1に係る半導体装置の構成を示したブロック図である。データを記憶する領域であるメモリ10は、第1メモリ層12及び第2メモリ層14の2つの記憶領域を備えている。メモリ10は三次元構造を有しており、複数の第2メモリ層14が第1メモリ層12の上方に積層して設けられている。この点については後段にて詳細に説明する。制御部20は、外部から入力されるコマンドに応じて、アドレスデコーダ22、昇圧回路24、及び入出力部26を制御することにより、メモリ10に対するデータの書き込み及び読み出しを制御する。アドレスデコーダ22は、外部から入力されるアドレス信号に応じて、メモリ10内のメモリセルを選択する。昇圧回路24は、メモリ10に対しデータ書き込みのための高電圧を供給する。入出力部26は、外部とメモリ10との間でデータの

50

やり取りを行う。

【 0 0 2 3 】

図 2 は図 1 における第 1 メモリ層 1 2 の構成を示した回路図である。第 1 メモリ層 1 2 は、複数の第 1 ビットライン $B L x$ と、第 1 ビットライン $B L x$ に対し交差する方向に設けられた複数のワードライン $W L x$ と、第 1 ビットライン $B L x$ に沿った方向に設けられた複数の第 1 ソースライン $S L x$ とを備えている。第 1 ビットライン $B L x$ とワードライン $W L x$ との交差領域には第 1 メモリセル $M C x$ が設けられ、第 1 メモリセル $M C x$ の一端は第 1 ビットライン $B L x$ に、他端は第 1 ソースライン $S L x$ に接続されている。ワードライン $W L x$ の方向に隣接する 2 つの第 1 メモリセル $M C x$ (例えば、 $M C x 0$ 及び $M C x 1$) は、第 1 ソースライン $S L x$ (例えば、 $S L x 0$) を共有している。以上のように第 1 メモリ層 1 2 には、複数の第 1 メモリセル $M C x$ が平面状に配列して設けられている。第 1 メモリセル $M C 1$ の数は、記憶容量に応じて任意の数とすることが可能であるが、図 2 はその一部について示したものである。

10

【 0 0 2 4 】

第 1 メモリセル $M C x$ は、1 つの第 1 可変抵抗素子 $R E x$ と、1 つの選択トランジスタ $T R x$ から構成される。選択トランジスタ $T R x$ のドレイン端子は第 1 ビットライン $B L x$ に、ソース端子は可変抵抗素子 $R E x$ に、ゲート端子はワードライン $W L x$ にそれぞれ接続されている。第 1 可変抵抗素子 $R E x$ の他端は第 1 ソースライン $S L x$ に接続されている。第 1 メモリセル $M C x$ は、第 1 可変抵抗素子 $R E x$ の抵抗値の変化によりデータを記憶する。例えば、第 1 可変抵抗素子 $R E x$ が高抵抗状態及び低抵抗状態の 2 つのうちいずれかに変化する場合、メモリセル 1 つあたり 1 ビットのデータを記憶することができる。選択トランジスタ $T R$ は、ゲート端子に印加される電圧に応じて、第 1 可変抵抗素子 $R E x$ と第 1 ビットライン $B L x$ とを導通させることにより、第 1 可変抵抗素子 $R E x$ を選択する。

20

【 0 0 2 5 】

図 3 は図 2 における第 1 メモリセル $M C x$ の構造を模式的に示した上面図である。第 1 メモリ層 1 2 及び第 2 メモリ層 1 4 を支持する半導体基板 3 0 の上面には、P 型ウェル及び N 型の拡散領域 (共に不図示、図 4 にて図示) が形成されている。第 1 ビットライン $B L x$ にはビットラインコンタクト 3 2 が、第 1 ソースライン $S L x$ にはソースラインコンタクト 3 4 がそれぞれ形成され、下方に形成された拡散領域とそれぞれ接続されている。第 1 可変抵抗素子 $R E x$ は、ソースラインコンタクト 3 4 内に設けられている。選択トランジスタ $T R$ は、ビットラインコンタクト 3 2 及びソースラインコンタクト 3 4 に対応した半導体基板 3 0 を含む領域に設けられている。半導体基板 3 0 の上方で、第 1 ビットライン $B L x$ と第 1 ソースライン $S L x$ の間の領域には、選択トランジスタ $T R$ のゲート 3 6 が設けられている。ゲート 3 6 は、ワードラインコンタクト 3 8 により、ワードライン $W L$ と接続されている。

30

【 0 0 2 6 】

第 1 メモリセル $M C x$ は、第 1 可変抵抗素子 $R E x$ 及び選択トランジスタ $T R$ を含む領域に形成され、実質的なセルの大きさは図中の領域 3 9 に相当する。第 1 メモリセル $M C x$ のセル面積は、最小加工寸法を F とした場合に、例えば $8 F^2 \sim 9 F^2$ とすることができる。

40

【 0 0 2 7 】

図 4 は図 3 の A - A 1 線に沿った模式的な断面図である。例えばシリコンからなる半導体基板 3 0 の上面に P 型ウェル 4 6 が形成され、P 型ウェル 4 6 内には N 型の拡散領域 4 0 及び 4 1 が形成されている。拡散領域 4 0 は選択トランジスタ $T R$ のドレイン端子であり、ビットラインコンタクト 3 2 を介して第 1 ビットライン $B L x$ と接続されている。拡散領域 4 1 は選択トランジスタ $T R$ のソース端子であり、ソースラインコンタクト 3 4 を介して第 1 ソースライン $S L x$ と接続されている。ソースラインコンタクト 3 4 内には、第 1 可変抵抗素子 $R E x$ が設けられている。第 1 可変抵抗素子 $R E x$ は、例えば $C u O_2$ 等の遷移金属酸化物からなる抵抗変化素子を用いて形成される。その他にも、例えば三元

50

系カルコゲナイド等の相変化物質を用いることができる。いずれも、所定の大きさの電圧パルスをもとに所定時間印加することにより、抵抗値を任意に変化させることができる。また、第1ビットライン BL_x 、第1ソースライン SL_x 、及びワードライン WL_x の配線は、例えばアルミニウム等の金属により形成することができる。ビットラインコンタクト32およびソースラインコンタクト34は、例えばタングステン等の金属を含む導電性部材42を用いて形成することができる。なお、図4では絶縁部材であるゲート酸化膜及び層間絶縁膜の表示を省略している。

【0028】

本実施例では、例えば拡散工程を用いることにより、選択トランジスタ TR の一部（ドレイン端子及びソース端子）を半導体基板内に形成している。これにより、通常はバルクとなる領域を有効活用して、半導体装置を小型化することができる。また、選択トランジスタ TR のソースラインコンタクト34内に第1可変抵抗素子 RE_x が形成されているため、第1メモリ層12は、選択トランジスタ TR が形成された選択トランジスタ層50の上方に、第1可変抵抗素子 RE_x が形成された第1可変抵抗素子層52が設けられた構成となっている。このような積層構造を採用することにより、第1メモリセル MC_x の面積を低減することができる。

【0029】

図5は第2メモリ層14の構成を示した回路図である。また、図6は図5の一部の構成を示した斜視図である。第2メモリ層14は、複数の第2ビットライン BL_z と、第2ビットライン BL_z に対し交差する方向に設けられた複数の第2ソースライン SL_z を備えている。第2ビットライン BL_z と第2ソースライン SL_z の交差領域には、第2メモリセル MC_z が設けられ、その一端が第2ビットライン BL_z に、他端が第2ソースライン SL_z に接続されている。以上のように第2メモリセル MC_z は、複数の第2メモリセル MC_z が平面状に配列して設けられている。図5を参照に、複数の第2メモリ層14a~14dは、不図示の第1メモリ層12の上方に積層して設けられている。また、複数の第2メモリ層14a~14dのうち、上下方向に隣接する2つの第2メモリ層は、第2ビットライン BL_z 及び第2ソースライン SL_z のいずれかを共有している。例えば、第2メモリ層14a及び14bは、第2ソースライン SL_z10 及び SL_z11 を共有している。これにより、第2メモリ層をさらに高集積化することができる。

【0030】

図5を参照に、第2メモリセル MC_z は、1つの第2可変抵抗素子 RE_z と、1つの選択ダイオード SD から構成される。選択ダイオード SD はカソード側が第2ソースライン SL_z に接続され、アノード側は第2可変抵抗素子 RE_z に直列接続されている。第2可変抵抗素子 RE_z の他端は第2ビットライン BL_z に接続されている。第2メモリセル MC_z は、第1メモリセル MC_x の場合と同じく、第2可変抵抗素子 RE_z の抵抗値の変化によりデータを記憶する。選択ダイオード SD は、第2ビットライン BL_z と第2ソースライン SL_z との電位差に応じて、第2可変抵抗素子 RE_z を選択する。すなわち、非選択時には第2ビットライン BL_z がローレベル、第2ソースライン SL_z がハイレベルに設定されることで、選択ダイオード SD には逆バイアスが印加されるため、第2可変抵抗素子 RE_z に電流は流れない。選択時には第2ビットライン BL_z がハイレベル、第2ソースライン SL_z がローレベルに設定されることで、選択ダイオード SD には順バイアスが印加されるため、第2可変抵抗素子 RE_z に電流が流れる。

【0031】

図7は図6のB-B1線に沿った断面図である。第2メモリセル MC_z は、第2可変抵抗素子 RE_z と、その両端に設けられた電極60から構成される。一例として、第2可変抵抗素子 RE_z を遷移金属酸化物である CuO_2 、電極60を Cu から構成することができる。これにより、第2可変抵抗素子 RE_z と電極60との境界に、電位障壁によるショットキーダイオード SD が形成される。これは、図5における選択ダイオード SD に相当する。選択ダイオード SD をショットキーダイオードとすることで、PN接合型ダイオードを用いる場合に比べて、メモリセルを小型化することができる。このように、第2メモ

10

20

30

40

50

リセルMCzは、第1メモリ層12と第2メモリ層14の積層方向(上下方向)に、第2可変抵抗素子REz及び選択ダイオードSDが積層して構成される。また、第2ビットラインBLz及び第2ソースラインSLzは、例えばアルミニウムなどの金属配線により形成することができる。以上のように、金属と絶縁体を交互に積層するいわゆるMIM(Metal Insulation Metal)構造を採用することにより、メモリセルを上下方向に容易に積層することができる。

【0032】

図8は図6を上方向から見た上面図である。第2ビットラインBLzと第2ソースラインSLzの交差領域に、第2メモリセルMCzが設けられている。第2メモリセルMCzの実質的な大きさは領域62に相当し、第2ビットラインBLz及び第2ソースラインSLzの配線の幅、並びに配線間の間隔により決定される。第2メモリセルMCzはセル選択にトランジスタではなくダイオードを用いているため、第1メモリ層12及び第2メモリ層14の積層方向から見た場合の面積が、第1メモリセルMCxより小さい。第2メモリセルMCzのセル面積は、例えば最小加工寸法をFとした場合に $4F^2$ であり、第1メモリセルMCxの面積($8F^2 \sim 9F^2$)の半分以下である。

10

【0033】

図6～図8においては、第1メモリ層12及び第2メモリ層14の積層方向から見た場合に、上下の第2メモリセルMCzが重なるように第2メモリセルMCzを配列したが、第2メモリセルMCzの積層方法はこれに限定されるものではない。例えば、上下方向に隣接する2つの第2メモリ層14のうち、上側の層に含まれる第2メモリセル(例えば、MCz20及びMCz21)と、下側の層に含まれる第2メモリセル(例えば、MCz10及びMCz11)とは、最小加工寸法Fの半分の寸法だけずらして設けられていてもよい。図9(a)は、このような方法で第2メモリセルMCzを配列した第2メモリ層14の構成を示した斜視図であり、図9(b)は図9(a)のC-C1線に沿った断面図である。

20

【0034】

本実施例に係る半導体装置は、選択トランジスタTRにより選択される第1メモリセルMCxと、選択ダイオードSDにより選択される第2メモリセルMCzとを備えている。選択トランジスタTRによる選択は、選択トランジスタTRのゲート端子に印加する電圧を制御することにより行われるため、制御が容易かつ信頼性が高い。このため、第1メモリセルMCxはデータの保持性や信頼性に優れる。第1メモリセルMCxには、例えばOS等の基本プログラムや、電源投入時に読み込まれるブートプログラム等の、重要性の高いデータ(以下、コアデータ)を記憶する。これにより、本実施例に係る半導体装置、及び本実施例に係る半導体装置が組み込まれた電子機器の動作の安定性を向上させることができる。

30

【0035】

選択ダイオードSDによるメモリセルの選択は、図5で説明したようにビットライン及びソースラインの電圧レベルを制御することにより行われるため、選択トランジスタTRを用いた制御に比べて制御が難しく信頼性が低い。その結果、選択ダイオードSDにより選択される第2メモリセルMCzは、第1メモリセルMCxに比べデータのディスタブやリーク等が発生する可能性が高い。一方で、第2メモリセルMCzは積層が可能であり、第1メモリセルMCxに比べてセル面積も小さいため、大容量化が容易である。このため、第2メモリセルMCzには、部分的なデータの破壊が許容されるデータ(例えば、ユーザが作成した文章データや画像データなど)や、大容量のデータ(例えば、音声データや動画データなど)を記憶する。

40

【0036】

以上のように、データの特性に依じて第1メモリセルMCx及び第2メモリセルMCz(第1メモリ層12及び第2メモリ層14)を使い分けることにより、効率的にデータを記憶することができる。これにより、不揮発性メモリを備えた半導体装置において、大容量化及び動作信頼性の向上を同時に達成することができる。また、様々なアプリケーション

50

ンに対し、容易に対応することが可能となる。

【 0 0 3 7 】

本実施例に係る半導体装置は、第1メモリセルMC_xを含む第1メモリ層12の上方に、第2メモリセルMC_zを含む第2メモリ層14を複数積層した構造を採用している。前述のように、第1メモリ層12は選択トランジスタTRを備えるため積層に不向きである。一方、第2メモリ層14は第2可変抵抗素子RE_zと選択ダイオードSDとを上下方向に形成するため積層に適している。また、第1メモリ層12は選択トランジスタTRの一部を半導体基板内に形成することが可能であるが、第2メモリ層14は直接半導体基板上に形成することができない。そこで、まずコアデータの記憶に必要な容量の第1メモリ層12を、半導体基板を含む領域に形成し、その上方に積層に適した第2メモリ層14を、必要とされる記憶容量に応じて形成する。このような三次元構造を採用することで、メモリ領域10を最も効率よく構成することができる。その結果、半導体装置の小型化及び低コスト化を図ることができる。

10

【 0 0 3 8 】

また、図2を参照に隣接する第1メモリセルMC_xは第1ソースラインSL_xを共有し、図5を参照に上下方向に隣接する第2メモリセルMC_zは第2ビットラインBL_zまたは第2ソースラインSL_zを共有している。このように、隣接するメモリセル間で配線の一部を共有することにより、セル面積を削減し、半導体装置の小型化を図ることができる。

【 0 0 3 9 】

図2において、選択トランジスタTRは第1ビットラインBL_xに、第1可変抵抗素子RE_xは第1ソースラインSL_xにそれぞれ接続されているが、両者の配置はこれに限定されるものではない。例えば、第1可変抵抗素子RE_xを第1ビットラインBL_xに、選択トランジスタTRを第1ソースラインSL_xに接続してもよい。また、図5において選択ダイオードSDは第2ソースラインSL_zに、第2可変抵抗素子RE_zは第2ビットラインBL_zにそれぞれ接続されているが、両者の配置はこれに限定されるものではない。例えば、第2可変抵抗素子RE_zを第2ビットラインBL_zに、選択ダイオードSDを第2ソースラインSL_zに接続してもよい。

20

【 0 0 4 0 】

以上、本発明の好ましい実施例について詳述したが、本発明に係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

30

【 図面の簡単な説明 】

【 0 0 4 1 】

【 図 1 】 図 1 は実施例 1 に係る半導体装置の構成を示したブロック図である。

【 図 2 】 図 2 は第 1 メモリ層の構成を示した回路図である。

【 図 3 】 図 3 は第 1 メモリ層の構成を示した上面図である。

【 図 4 】 図 4 は第 1 メモリ層の構成を示した断面図である。

【 図 5 】 図 5 は第 2 メモリ層の構成を示した回路図である。

【 図 6 】 図 6 は第 2 メモリ層の構成を示した斜視図である。

40

【 図 7 】 図 7 は第 2 メモリ層の構成を示した断面図である。

【 図 8 】 図 8 は第 2 メモリ層の構成を示した上面図である。

【 図 9 】 図 9 (a) は第 2 メモリ層の他の形態における構成を示した斜視図であり、図 9 (b) はその断面図である。

【 符号の説明 】

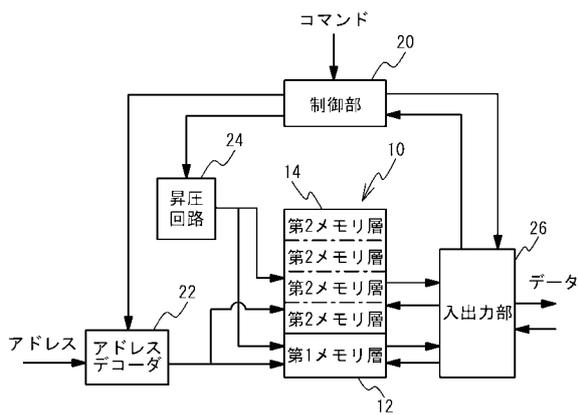
【 0 0 4 2 】

- 1 0 メモリ領域
- 1 2 第 1 メモリ層
- 1 4 第 2 メモリ層
- 2 0 制御部

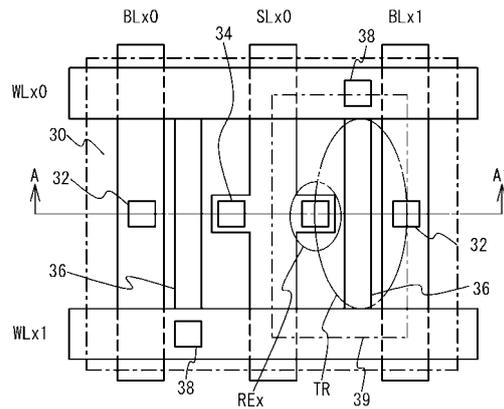
50

- 2 2 アドレスデコーダ
- 2 4 昇圧回路
- 2 6 入出力回路
- 3 0 半導体基板
- 3 2 ビットラインコンタクト
- 3 4 ソースラインコンタクト
- 3 6 ゲート
- 3 8 ワードラインコンタクト
- 4 0 拡散領域 (ドレイン側)
- 4 1 拡散領域 (ソース側)
- 4 2 導電部材
- 4 6 P型ウェル
- 5 0 トランジスタ層
- 5 2 可変抵抗素子層
- 6 0 電極

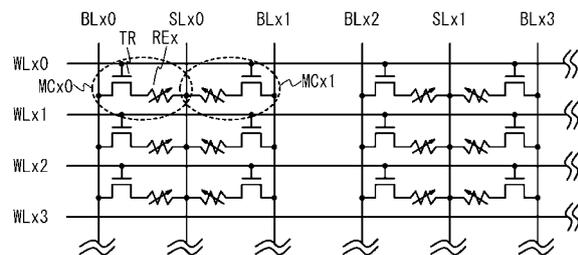
【図1】



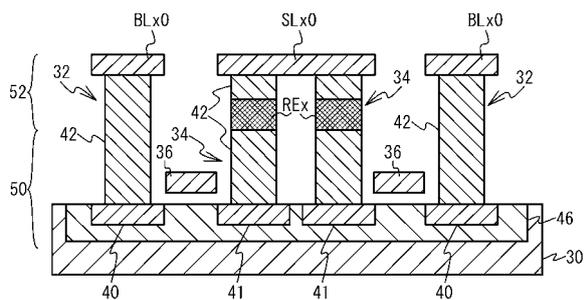
【図3】



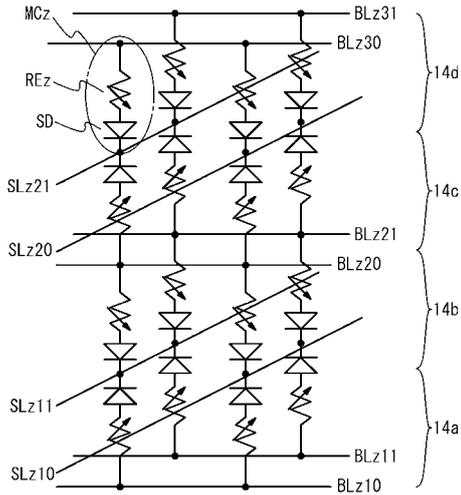
【図2】



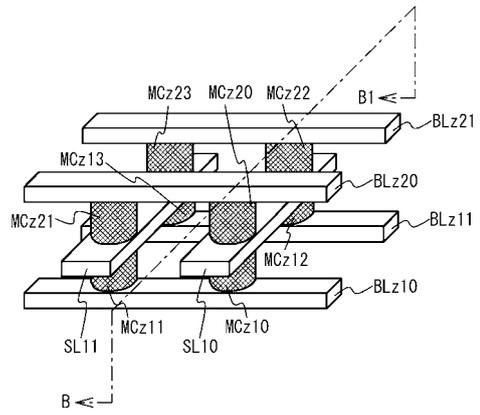
【図4】



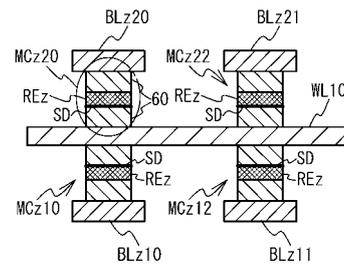
【 図 5 】



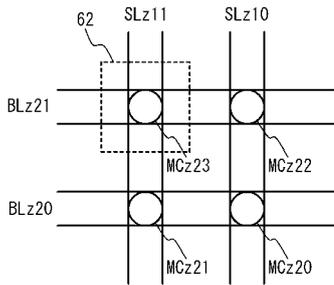
【 図 6 】



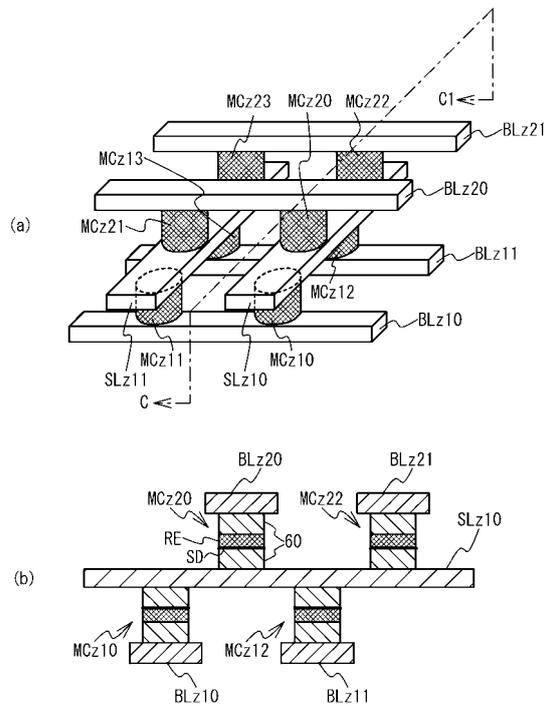
【 図 7 】



【 図 8 】



【 図 9 】



(a)

(b)

フロントページの続き

合議体

審判長 鈴木 匡明

審判官 小野田 誠

審判官 加藤 浩一

- (56)参考文献 特開2004-281497(JP,A)
特開2001-274355(JP,A)
特開2007-235142(JP,A)

- (58)調査した分野(Int.Cl., DB名)

H01L27/105

H01L45/00

H01L49/00