

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：941458/2

※申請日期：94.12.22

※IPC 分類：H01L 21/027, G03F 9/00

一、發明名稱：(中文/英文)

疊對游標及其製造半導體元件之方法

OVERLAY VERNIER AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE
USING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

海力士半導體股份有限公司

HYNIX SEMICONDUCTOR INC.

代表人：(中文/英文)

鄭東洙/CHUNG, DONG-SOO

住居所或營業所地址：(中文/英文)

大韓民國京畿道 467-860 利川市夫鉢邑牙美里山 136-1

San 136-1, Ami-ri, Bubal-eub, Ichon-shi, Kyoungki-do, 467-860,

Republic of Korea

國籍：(中文/英文)

大韓民國/Republic of Korea

三、發明人：(共 1 人)

姓名：(中文/英文)

任東圭/YIM, DONG-GYU

國籍：(中文/英文)

大韓民國/Republic of Korea

九、發明說明：

交互參考之相關申請書

本申請書揭露 2005 年 5 月 18 日所申請之韓國專利公報第 10-2005-41819 號之相關內容，在此將其全都清楚地納入參考。

【發明所屬之技術領域】

本發明係關於一種用以對準晶圓上層和下層之疊對游標，及使用疊對游標製造半導體元件之方法。

【先前技術】

一般而言，在製造堆疊結構之半導體元件期間，實際圖案係與用以決定並校正在後續步驟形成的各層(即，前一步驟形成的層和後續步驟形成的層)之對準的疊對游標一起形成在晶圓上。尤其，下疊對游標圖案與實際單胞的下層圖案一起形成，而上疊對游標圖案與實際單胞的上層圖案一起形成。接著，使用上疊對游標圖案和下疊對游標圖案，決定上層圖案和下層圖案之間的重疊度。疊對游標圖案通常係位在用以切割晶粒的劃割線之內，而且與實際單胞的圖案相較，其具有相當簡單的佈局，例如，盒形，條形或孔形佈局。

疊對游標圖案的佈局可能與實際單胞圖案的佈局不同。這樣的不同會造成各種不同的問題。例如，在疊合製程期間，如物理氣相沉積或熱阻式沉積製程，關於實際單胞的上層圖案和下層圖案之間的對準資訊，會與關於上和下疊對游標圖案之間的對準資訊不一致。特別是，若疊對游標圖案的側邊傾斜不對稱，則藉由疊合製程形成在疊對游標圖案的

邊緣之膜厚就會變得不均勻，於是會導致關於實際單胞的圖案之間的對準資訊，與關於疊對游標的對準資訊之間不一致。雖然關於疊對游標的對準資訊會經由回饋機制進行校正不一致的地方，但是實際單胞還是一定會對不準。這種對不準的問題在疊對游標圖案的側邊傾斜相對不對稱之晶圓的邊緣是很嚴重的。

至於另一個範例，當使用具有大像差的掃描機/步進機曝光時，關於實際單胞圖案的對準資訊，不會與關於疊對游標的對準資訊一致。尤其，因為掃描機/步進機所使用的透鏡通常具有一些像差，由於透鏡的像差，所以實際單胞之入射光的軌跡會不同於疊對游標之入射光的軌跡。因此，即使上疊對游標圖案精確地與下疊對游標圖案重疊，實際單胞之上層圖案和下層圖案之間，還是會發生對不準的情形。

【發明內容】

本發明係關於一種疊對游標。在一實施例中，本發明提供一種疊對游標，其可以防止關於疊對游標的對準資訊和關於實際單胞圖案的對準資訊之間發生不一致的情況，使得實際單胞圖案可以很精確地對準。本發明之一方向係要提供一種疊對游標，包含多個疊對游標圖案，其具有佈局與位在實際單胞之中的圖案完全相同。疊對游標圖案可以位在劃割線之內。疊對游標圖案可以具有不同於下層圖案之色調的方式形成。

本發明另一實施例係要提供一種使用疊對游標製造半導體元件之方法。製造半導體元件之方法，包含：(1)在當

作實際單胞區之晶圓第一區中，形成下層圖案，並在劃割線內之晶圓第二區中，形成具有與下層圖案相同佈局之下疊對游標圖案；(2)在第一區之中，形成上層圖案，並在第二區之中，形成具有與上層圖案相同佈局之上疊對游標圖案，使得上疊對游標圖案與下疊對游標圖案重疊，以對準上層圖案和下層圖案。

上述之方法還包含產生上疊對游標圖案與下疊對游標圖案之間理想重疊度的資料之步驟。

上層圖案和下層圖案對準之步驟可以包含下列子步驟：用資料比較上疊對游標圖案與下疊對游標圖案之間的重疊結果，以量測其間之誤差；然後藉由誤差校正上疊對游標圖案與下疊對游標圖案之間的重疊度，以對準上層圖案和下層圖案。

上疊對游標圖案與下疊對游標圖案之間的重疊結果，可以藉由掃描式電子顯微鏡的影像進行判定。

用資料比較上疊對游標圖案與下疊對游標圖案之間的重疊結果，以量測其間誤差之子步驟，可以藉由彼此相互正交之 X 軸和 Y 軸執行。

第二區可以包含劃割線。下疊對游標圖案可以具有不同於下層圖案之色調的方式形成。

根據本發明另一實施例，一種半導體元件之製造方法，包含：在晶圓的實際單胞區之中形成下層圖案；在實際單胞區之中形成上層圖案，使得上層圖案直接與下層圖案重疊，以對準兩層圖案。

本發明之方法還可包含產生上層圖案與下層圖案之間理想重疊度的資料之步驟。

上層圖案和下層圖案對準之步驟可以包含下列子步驟：用資料比較上層圖案和下層圖案之間的重疊結果，以量測其間之誤差；然後藉由比較步驟中所指出的誤差度，校正上層圖案和下層圖案之間需要的重疊度，以對準兩層圖案。

上層圖案和下層圖案之間的重疊結果，可以藉由掃描式電子顯微鏡的影像決定。

用資料比較上層圖案和下層圖案之間的重疊結果，以量測其間誤差之子步驟，可以藉由垂直之 X 軸和 Y 軸執行。

根據另一實施例，半導體基板包含：提供用以界定許多電晶體之活性區，該活性區包含第一圖案；非活性區，其包含第二圖案。疊對游標包含疊對游標圖案，第二圖案大致上和第一圖案相同。

【實施方式】

現在將參考附圖詳細說明本發明之特定實施例。但是這些實施例並非侷限本發明之範圍。

第 1 圖和第 2 圖為根據本發明實施例之疊對游標的上視圖。尤其，第 1 圖指出晶圓中的實際單胞和劃割線，而第 2 圖則詳細指出第 1 圖之中的實際單胞和劃割線。第 1 圖和第 2 圖之中，相同的參考數字表示相同的構件。

參考第 1 圖和第 2 圖，根據本發明一實施例之疊對游標係配置在晶圓 100 的劃割線 120 之中。劃割線 120 係圍繞著實際單胞 110。實際單胞或活性區所界定的區域中可以形成

許多電晶體。換言之，實際單胞 110 係形成實際操作元件的圖案 111 之區域，而劃割線 120 係藉由切割使實際單胞 110 與相鄰的實際單胞分隔之區域。雖然第 2 圖之實際單胞 110 中的圖案 111 係條形，但是其可以更複雜的形狀佈局配置。疊對游標圖案 121 係位在劃割線 120 之中。疊對游標圖案 121 具有和位在實際單胞 110 中的圖案 111 相同的佈局。因此可以避免由於實際單胞圖案和疊對游標圖案之佈局不同所造成的問題。於在疊合期間所產生之不對稱側邊之傾斜，和 / 或掃描機 / 步進機使用具有像差之透鏡，不顧疊對游標的精確重疊，所產生之實際單胞圖案間的對不準也可以防止。

除了疊對游標圖案 121 的層次和圖案 111 不同之外，疊對游標圖案 121 的佈局大致上和位在實際單胞 110 中的圖案 111 相同。例如，若上層被實際單胞 110 的下層所覆蓋而無法看見，則下疊對游標圖案 121 可以利用層次不同於與實際單胞 110 的下層圖案 111 之方式形成。若有必要，下疊對游標圖案 121 可以用層次相同於實際單胞 110 的下層圖案 111 之方式形成，而用層次不同於上層圖案之方式形成之上疊對游標圖案取而代之。

根據本發明另一實施例，疊對游標並不是一個單獨的圖案，而是實際單胞 110 的圖案。在此情形下，直接讀取位在實際單胞 110 中的上層圖案和下層圖案，以決定圖案之間的重疊度。上層圖案和下層圖案之間的重疊度可以藉由掃描式電子顯微鏡無限制地決定。

第 3 圖為根據本發明實施例，使用疊對游標製造半導體

元件之方法的流程圖。本實施例之疊對游標包含形成在劃割線之中的疊對游標圖案，其係與實際單胞圖案分開形成。

參考第 3 圖，將當作上層的上疊對游標圖案與當作下層的下疊對游標圖案之間的理想重疊度，轉換成資料(或重疊資訊)(步驟 310)。上疊對游標圖案與下疊對游標圖案之間的理想重疊度可以在設計階段得到。之後，使用第一光罩執行一般的曝光，顯影，和蝕刻製程，使得位在實際單胞中當作下層的下層圖案，和位在實際單胞以外區域之下疊對游標圖案，具有相同的佈局，如劃割線區域(步驟 320)。若下疊對游標圖案被上疊對游標圖案覆蓋，使下疊對游標圖案難以辨識，則可以具有不同於下層圖案之層次的方式形成。

其次，使用第二光罩執行一般的曝光，顯影，和蝕刻製程，使得位在實際單胞中當作上層的上層圖案，和位在實際單胞以外區域，如劃割線區域，之上疊對游標圖案，具有相同的佈局(步驟 330)。如上所述，若下疊對游標圖案被上疊對游標圖案覆蓋，則上疊對游標圖案可以使用 180° 相移光罩形成，取代下疊對游標圖案。

在上層圖案和上疊對游標圖案形成期間，在實際單胞中之上層圖案和下層圖案的對準，可以藉由對準上疊對游標圖案和下疊對游標圖案達成。因為下疊對游標圖案的佈局大致上和下層圖案相同，而上疊對游標圖案的佈局大致上也和上層圖案相同，所以關於上疊對游標圖案和下疊對游標圖案之間重疊的資訊，會和關於上層圖案和下層圖案之間重疊的資訊一致。

其次，讀取上疊對游標圖案和下疊對游標圖案之間的重疊度，並將結果和在步驟 310 所得到的資料作比較(步驟 340)。關於上疊對游標圖案和下疊對游標圖案之間重疊度的資料，可以根據掃描式電子顯微鏡(SEM)影像得到。在步驟 310 所得到的資料，也可以根據掃描式電子顯微鏡影像得到。在步驟 340 所得到之掃描式電子顯微鏡影像與在步驟 310 所得到的資料重疊，以決定在 X 軸和 Y 軸方向上的誤差。在如此做時，在步驟 340 執行比較能夠決定誤差(步驟 350)。當在步驟 350 偵測到沒有誤差(或誤差小於預定誤差邊限)時，當作上層的上疊對游標圖案和當作下層的下疊對游標圖案之對準視為精確對準。另一方面，當在步驟 350 偵測到有誤差(或誤差大於預定誤差邊限)時，校正上疊對游標圖案和下疊對游標圖案之間的重疊度，以補償誤差(步驟 360)。

第 4 圖為根據本發明另一實施例，使用疊對游標製造半導體元件之方法的流程圖。在本實施例中，疊對游標並不與形成在實際單胞中的圖案分開形成。更確切地說，使用形成在實際單胞中的圖案當作疊對游標圖案。

參考第 4 圖，將當作上層的上層圖案與在實際單胞中當作下層的下層圖案之間的理想重疊度，轉換成資料(或重疊資訊)(步驟 410)。上層圖案與下層圖案之間的理想重疊度可以在設計階段得到。之後，使用第一光罩執行一般的曝光，顯影，和蝕刻製程，使得在實際單胞之中形成下層圖案(步驟 420)。在本實施例中，疊對游標圖案係個別形成，不像之

前的實施例。

其次，使用第二光罩執行一般的曝光，顯影，和蝕刻製程，使得位在實際單胞中當作上層的上層圖案，和位在實際單胞以外區域之上疊對游標圖案，具有相同的佈局，例如，劃割線區域(步驟 430)。上層圖案與下層圖案之間的對準可以藉由直接對準上層和下層圖案而達成。因此，疊對游標圖案之間的重疊度，和使用個別疊對游標圖案所造成之對應形成在實際單胞中的圖案之間的重疊度沒有差別。

其次，讀取上層圖案和下層圖案之間的重疊度，並將結果和在步驟 410 所得到的資料作比較(步驟 440)。關於上層圖案和下層圖案之間重疊度的資料，可以根據掃描式電子顯微鏡(SEM)影像得到。在步驟 410 所得到的資料，也可以根據掃描式電子顯微鏡影像得到。在步驟 440 所得到之掃描式電子顯微鏡影像與在步驟 410 所得到的資料重疊，以決定垂直之 X 軸和 Y 軸方向上的誤差。在如此做時，在步驟 440 執行之比較能夠決定誤差(步驟 450)。當在步驟 450 偵測到沒有誤差時，上層圖案和下層圖案可以視為精確對準。另一方面，當在步驟 450 偵測到有誤差時，校正上層圖案和下層圖案之間的重疊度，以補償誤差(步驟 460)。

由上面之說明，明顯地，根據本發明，疊對游標和使用疊對游標製造半導體元件之方法可以提供某些優點。直接使用實際單胞的圖案佈局當作疊對游標，或使用和實際單胞的圖案佈局相同之疊對游標圖案當作疊對游標，以對準上層和下層，是可以防止由於實際單胞的圖案和疊層之間的佈局不

同，所造成關於疊層的對準資訊與關於實際單胞圖案之間的對準資訊之間的不同。結果，可以防止實際單胞的對不準，而使得增加元件的良率。

雖然本發明已參考較佳實施例詳細說明，但是這些實施例並不是要限制本發明，那些熟悉本項技術之人士所做之各種不同的修正例，明顯將不脫離本發明之技術精神。

【圖式簡單說明】

第 1 圖和第 2 圖為根據本發明實施例之疊對游標的上視圖；

第 3 圖為根據本發明實施例，使用疊對游標製造半導體元件之方法的流程圖；及

第 4 圖為根據本發明另一實施例，使用疊對游標製造半導體元件之方法的流程圖。

五、中文發明摘要：

一種疊對游標包含多個疊對游標圖案，其具有一佈局和位在實際單胞中的圖案相同。下疊對游標圖案和當作實際單胞的下層之下層圖案一起形成在劃割線區域之內，而上疊對游標圖案和當作實際單胞的上層之上層圖案一起形成在劃割線區域之內。下疊對游標圖案和上疊對游標圖案具有分別與下層圖案和上層圖案相同的佈局。使用上疊對游標圖案和下疊對游標圖案之間的重疊度，位在實際單胞中之上層圖案和下層圖案可以精確對準。

六、英文發明摘要：

An overlay vernier comprises overlay vernier patterns having a layout identical to that of patterns disposed within a real cell. A lower overlay vernier pattern is formed within a scribe line region along with a lower layer pattern as a lower layer of the real cell, and an upper overlay vernier pattern is formed within the scribe line region along with an upper layer pattern as an upper layer of the real cell. The lower overlay vernier pattern and the upper overlay vernier pattern have the same layout as that of the lower layer pattern and the upper layer pattern, respectively. The upper layer pattern and the lower layer pattern disposed within the real cell can be accurately aligned using the degree of overlap between the upper overlay vernier pattern and the lower overlay vernier pattern.

十、申請專利範圍：

1. 一種半導體基板，包含：

提供用以界定許多電晶體之活性區，該活性區包含第一圖案；及

包含第二圖案之非活性區，第二圖案大致上和第一圖案相同。

2. 如申請專利範圍第 1 項之基板，其中第二圖案係疊對游標圖案，而非活性區係劃割區。

3. 如申請專利範圍第 1 項之基板，其中第二圖案具有不同於第一圖案之層次。

4. 如申請專利範圍第 1 項之基板，其中非活性區係在劃割區，而且第一和第二圖案具有不同的層次。

5. 一種半導體元件之製造方法，該方法包含：

在基板的活性區之中，形成下活性圖案；

在基板的非活性區之中，形成下疊對游標圖案，下活性圖案具有大致上和基板的非活性區中之下疊對游標圖案相同的佈局；

在基板的活性區之中，形成上活性圖案；

在非活性區之中，形成上疊對游標圖案，上活性圖案具有大致上和上疊對游標圖案相同的圖案，上疊對游標圖案與下疊對游標圖案重疊。

6. 如申請專利範圍第 5 項之方法，其中還進一步包含界定上疊對游標圖案與下疊對游標圖案之間的第一重疊資訊，用以決定上活性圖案和下活性圖案是否適當對準的參考。

7. 如申請專利範圍第 6 項之方法，其中決定上活性圖案和下活性圖案之間是否對準，係適當包含：

決定上疊對游標圖案與下疊對游標圖案之間的第二重疊資訊；

比較第一和第二重疊資訊；及

根據得自比較步驟的結果，調整上疊對游標圖案與下疊對游標圖案之間的對準。

8. 如申請專利範圍第 7 項之方法，其中上疊對游標圖案與下疊對游標圖案之間的第二重疊資訊，係藉由掃描式電子顯微鏡影像決定。

9. 如申請專利範圍第 7 項之方法，其中比較步驟係對彼此垂直之第一和第二方向執行。

10. 如申請專利範圍第 5 項之方法，其中非活性區包含劃割線。

11. 如申請專利範圍第 5 項之方法，其中下疊對游標圖案被建構為具有不同於下活性圖案之層次。

12. 一種半導體元件之製造方法，該方法包含：

在晶圓的活性單胞區之中，形成下圖案；

在活性單胞區之中，形成上圖案，使得上圖案直接和下圖案重疊，以對準兩個圖案；

根據上圖案和下圖案得到重疊資訊；

將上圖案和下圖案之間的重疊資訊，與上和下圖案之間的理想重疊度作比較，以量測重疊資訊和理想重疊度之間的誤差邊限；及

根據得自比較步驟的誤差，調整上圖案與下圖案之間的

重疊，以對準上和下圖案。

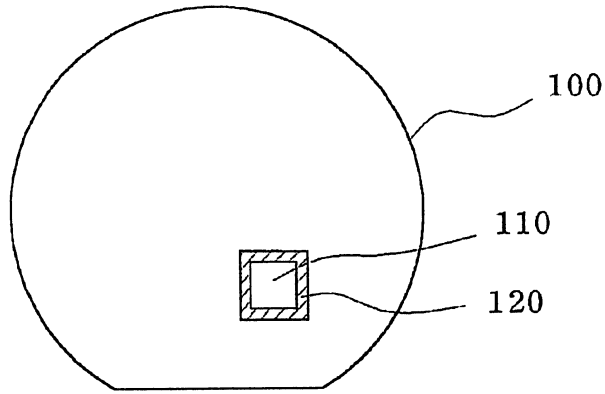
13. 如申請專利範圍第 12 項之方法，其中上圖案和下圖案之間的重疊資訊，係藉由掃描式電子顯微鏡影像決定。
14. 如申請專利範圍第 12 項之方法，其中比較步驟係對彼此垂直之第一和第二方向執行。

I285397

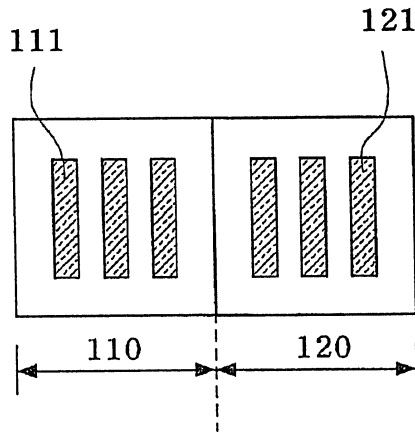
941458/2 ✓

十一、圖式：

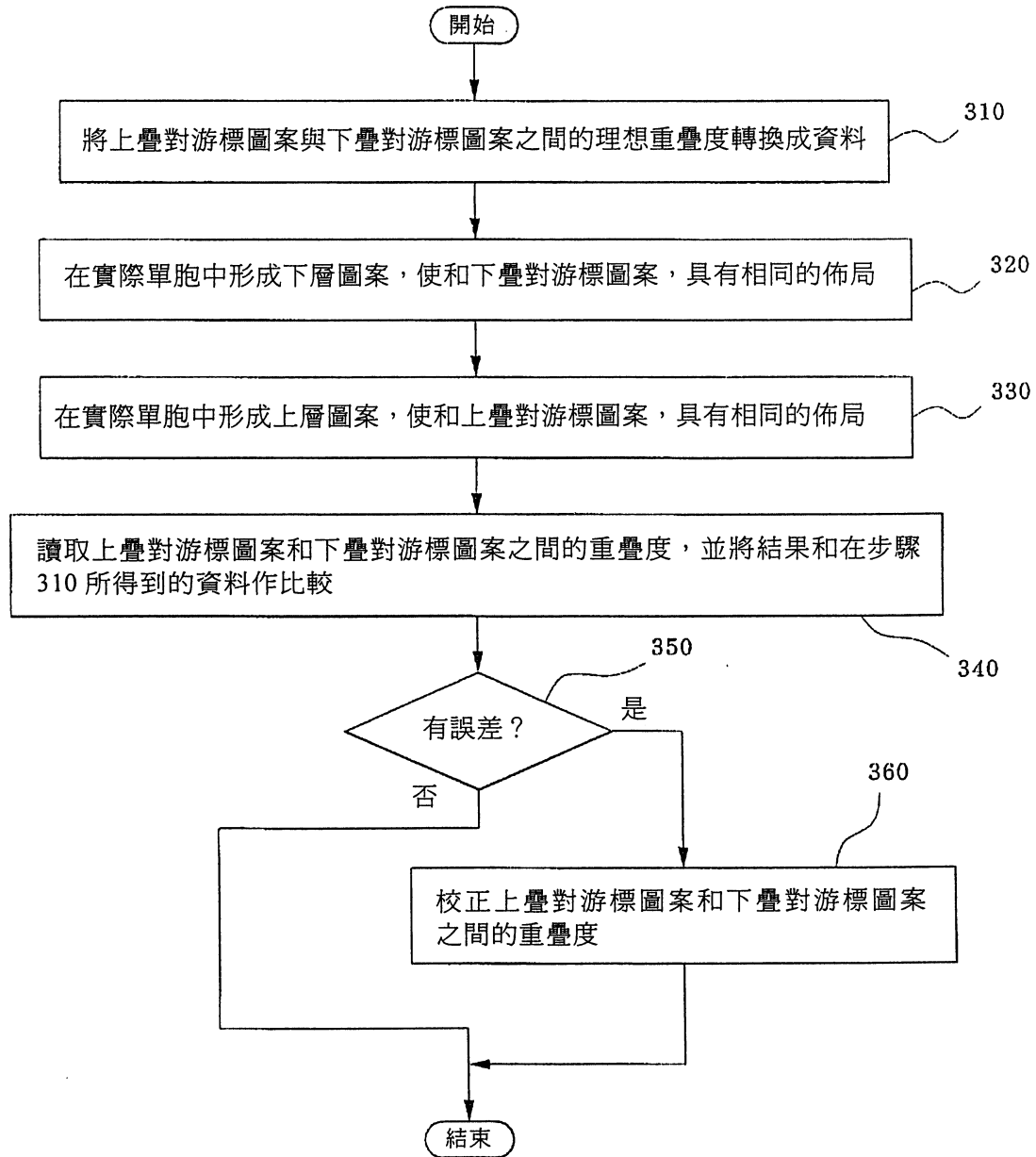
第 1 圖



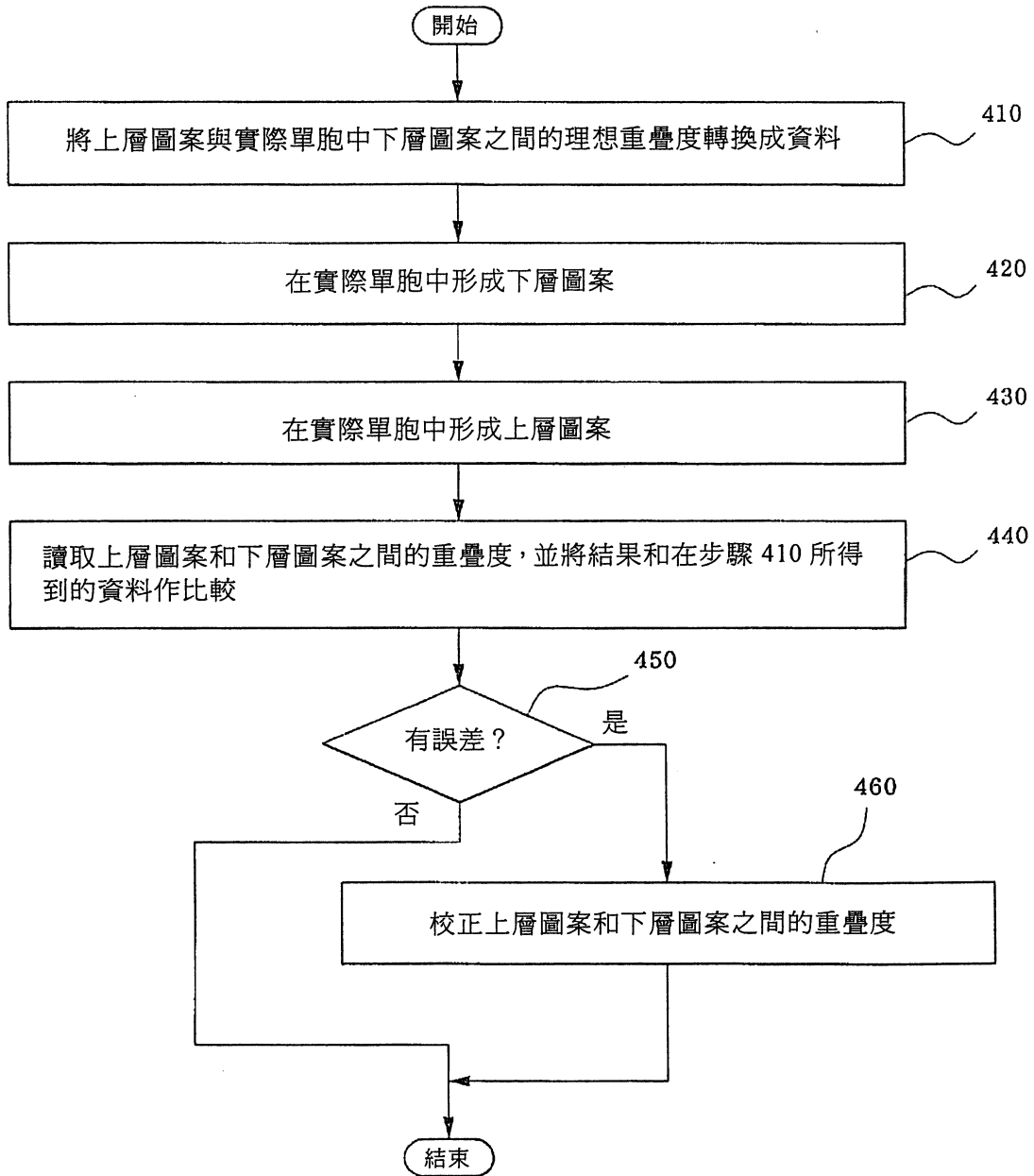
第 2 圖



第 3 圖



第 4 圖



七、指定代表圖：

(一)本案指定代表圖為：第 3 圖。

(二)本代表圖之元件符號簡單說明：

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

大韓民國 2005.05.18 10-2005-0041819

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。