

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5073968号
(P5073968)

(45) 発行日 平成24年11月14日(2012.11.14)

(24) 登録日 平成24年8月31日(2012.8.31)

(51) Int. Cl. F I
 HO 1 L 21/338 (2006.01) HO 1 L 29/80 H
 HO 1 L 29/812 (2006.01) HO 1 L 29/203
 HO 1 L 29/778 (2006.01)
 HO 1 L 29/201 (2006.01)

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2006-150768 (P2006-150768)	(73) 特許権者	000002093
(22) 出願日	平成18年5月31日 (2006.5.31)		住友化学株式会社
(65) 公開番号	特開2007-324247 (P2007-324247A)		東京都中央区新川二丁目27番1号
(43) 公開日	平成19年12月13日 (2007.12.13)	(74) 代理人	110000877
審査請求日	平成20年11月7日 (2008.11.7)		龍華国際特許業務法人
		(72) 発明者	中野 強
			千葉県市原市姉崎海岸5番1号 住友化学株式会社内
		審査官	村岡 一磨

最終頁に続く

(54) 【発明の名称】 化合物半導体エピタキシャル基板およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

電子が走行するチャンネル層を有するプレーナデバイス用の 3 - 5 族化合物半導体エピタキシャル基板において、

前記チャンネル層よりバック側にあるエピタキシャル層における単位面積当たりの p 型キャリア濃度総量を A / cm^2 、前記チャンネル層よりフロント側にあるエピタキシャル層における単位面積当たりの p 型キャリア濃度総量を B / cm^2 としたとき、 $1.5 A / B$ 3.5 であることを特徴とする 3 - 5 族化合物半導体エピタキシャル基板。

【請求項2】

前記 p 型キャリア濃度総量 A / cm^2 が、(前記チャンネル層よりバック側にあるエピタキシャル層に含まれる活性状態のアクセプタ不純物による全ての p 型キャリア濃度) × (前記バック側にある該当するエピタキシャル層の全ての膜厚) から計算した単位面積当たりの p 型キャリア濃度総量値であり、前記 p 型キャリア濃度総量 B / cm^2 が、(前記チャンネル層よりフロント側にあるエピタキシャル層に含まれる活性状態のアクセプタ不純物による全ての p 型キャリア濃度) × (前記フロント側にある該当するエピタキシャル層の全ての膜厚) から計算した単位面積当たりの p 型キャリア濃度総量値である請求項1に記載の 3 - 5 族化合物半導体エピタキシャル基板。

【請求項3】

前記チャンネル層として InGaAs 層を有し、前記 InGaAs 層の室温 (300 K) での電子移動度が $9000 \text{ cm}^2 / \text{Vs}$ 以上であることを特徴とする 請求項1または2に

10

20

記載の 3 - 5 族化合物半導体エピタキシャル基板。

【請求項 4】

請求項 1 から 3 のいずれか一項に記載の化合物半導体エピタキシャル基板の製造方法において、MOCVD法により製造することを特徴とする 3 - 5 族化合物半導体エピタキシャル基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界効果トランジスタ (Field Effect Transistor、以下、FETと称する) や高電子移動度トランジスタ (High Electron Mobility Transistor、以下、HEMTと称する) などの各種電子デバイスの製造に用いるのに好適な化合物半導体エピタキシャル基板およびその製造方法に関する。

10

【背景技術】

【0002】

近年、GaAsを中心とする 3 - 5 族化合物半導体を用いた各種の電子素子は、超高速、高周波動作が可能であるという特長を生かして、携帯電話や衛星放送受信機など高周波機器に用いられることにより飛躍的な発達を遂げ、その後も着実な進展を見せている。

【0003】

一般に、化合物半導体を用いた電子素子を作製するためには、単結晶基板上に、イオン注入法、拡散法、あるいはエピタキシャル成長法などの各種手法により、必要な特性を有する結晶層が積層された半導体基板を用いているが、上記手法の中でも、エピタキシャル成長法は、不純物量の制御のみならず結晶の組成や膜厚などをきわめて広い範囲でかつ精密に制御可能であるため、このような半導体基板の作製に広く用いられるようになっている。

20

【0004】

半導体基板の作製に用いるエピタキシャル成長法としては、液相法、気相法、および真空蒸着法の一つである分子線エピタキシャル成長法などが知られているが、気相法は大量の基板を制御性よく処理可能なため、工業的に広く用いられている方法である。特に、エピタキシャル層を構成する原子種の有機金属化合物または水素化物を原料として用い、基板上で熱分解させて結晶成長を行なう有機金属熱分解法 (Metal-Organic Chemical Vapor Deposition法、以下、MOCVD法と称する) は、適用可能な物質の範囲が広く、また結晶の組成、膜厚の精密な制御に適し、量産性にもすぐれているために、近年、広く用いられるようになっている。

30

【0005】

FETやHEMTなどの電子素子を製造するために用いられるエピタキシャル成長基板は、例えばMOCVD法を用いて、必要な電子的特性を有するGaAs、AlGaAs、InGaAsなどの結晶層を、必要な構造でGaAs基板上に積層成長させることにより作製することができる。

【0006】

FETやHEMTなどのプレーナ型の電子素子においては、GaAs層やInGaAs層で形成されたチャンネル層中を横方向に走行する電子をゲート電極による電界で制御することによりトランジスタ特性を発揮させる活性層が形成されており、この活性層と半絶縁性基板との間には、通常、GaAs層やAlGaAs層などから構成されるバッファ層 (緩衝層) が設けられている。

40

【0007】

活性層と半絶縁性基板との間にバッファ層を挿入する目的は、エピタキシャル層 / 基板界面の不純物による影響を抑制すること、基板そのものの影響を抑制すること、および活性層からの電子リークを抑制することであり、バッファ層は電子素子の特性を保つために非常に重要な役目を有している。

【0008】

50

MOCVD法で基板上に各種エピタキシャル層を成長する場合、GaやAlなどの3族原料は有機金属化合物として供給されるため、それが熱分解してエピタキシャル層として成長する際に、C(カーボン)がその成長結晶中に取り込まれることが知られている。さらには、GaやAlなどの3族原料とAsやPなどの5族原料との流量比、いわゆる5族/3族原料流量比によって、有機金属化合物の熱分解挙動が変化し、成長結晶中に含まれることになるC濃度が変化することも知られている。

【0009】

すなわち、通常のGaAsやAlGaAs等のエピタキシャル層を成長する場合においては、5族/3族原料流量比を小さい値に設定してエピタキシャル成長するほど、得られたエピタキシャル層は高いC濃度を有することになる。GaAsやAlGaAs結晶中ではCはアクセプタ不純物として振るまうので、得られたエピタキシャル層はp型キャリア濃度をバックグラウンド濃度として有する結晶層となる。

10

【0010】

電子が走行するチャンネル層を有するプレーナ型電子デバイスを製造するのに用いられる化合物半導体エピタキシャル基板をMOCVD法を用いて作製した場合、チャンネル層のフロント側(基板と反対の側)には、ショットキー層、スペーサー層等のバックグラウンドp型キャリア濃度を有する結晶層があり、一方、チャンネル層のバック側(基板と同じ側)には、スペーサー層、バッファ層等のバックグラウンドp型キャリア濃度を有する結晶層が配置される。

【0011】

20

したがって、MOCVD法によってFETやHEMTなどの電子素子のためのエピタキシャル成長基板を製造した場合、バックグラウンドp型キャリア濃度を有する複数の結晶層が成長されることになる。

【0012】

FETやHEMTなどの電子素子の製造用のためのエピタキシャル成長基板を製造する上で、たとえば、InGaAs歪み層を電子が走行するチャンネル層に用いたHEMTである歪みチャンネル高電子移動度電界効果型トランジスタ(pseudomorphic-HEMT、以下、p-HEMTと称する)構造の場合、これまで報告されている室温(300K)でのチャンネル層における電子の移動度は、 $8250\text{ cm}^2/\text{Vs}$ 程度(非特許文献1参照)であり、それ以上の値を達成するのは困難であった。そのため、電子移動度を上げることによる電子素子の立ち上がり抵抗の低減や電力損失の低減をさらに達成し、電子素子の特性を現在以上に向上させることには限界があった。

30

【0013】

これらの対策として、特許文献1には、p-HEMT構造の場合、チャンネル層に用いられるInGaAs歪み層のIn組成とInGaAs層膜厚について一定の関係式で最適化し、電子移動度を改善することが提案されている。

【0014】

また、特許文献2には、p-HEMT構造の場合、チャンネル層に用いられるInGaAs歪み層とn-AlGaAs電子供給層の間にAlGaAs層とGaAs層からなるスペーサー層を挿入し、成長条件を最適化することにより、二次元電子ガス濃度と電子移動度を改善することが提案されている。

40

【0015】

さらに、特許文献3には、InGaAs歪み層のIn組成を上げることと、AlGaAs層とGaAs層からなるスペーサー層を組みあわせて、成長条件を最適化することにより、室温で、 $8990\text{ cm}^2/\text{Vs}$ という高い移動度を得られることが開示されている。

【非特許文献1】電子情報通信学会、2006年総合大会講演論文集、CT-1-3「化合物半導体高周波デバイス用エピタキシャル成長技術」、2006年3月25日、国士館大学

【特許文献1】特開平6-21106号公報

【特許文献2】特開平2-246344号公報

【特許文献3】特開2004-207471号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかしながら、例えば p - H E M T 構造を有するエピタキシャル基板の如く、電子が走行するチャンネル層を有する化合物半導体エピタキシャル基板において、二次元電子ガス濃度と電子移動度との値が高ければ高いほど、電子素子の特性を良好にできるという観点からは、現在の高周波用素子等の応用分野においてもまだ満足できる値ではなかった。現在、報告されている値よりも、さらに、高い二次元電子ガス濃度と高い電子移動度をあわせもつエピタキシャル基板が、強く望まれている。

【0017】

本発明の目的は、従来技術における上述の問題点を解決することができる化合物半導体エピタキシャル基板及びその製造方法を提供することにある。

【0018】

本発明の目的は、電子移動度特性の改善されたより高性能の化合物半導体エピタキシャル基板及びその製造方法を提供することにある。

【課題を解決するための手段】

【0019】

本発明者等は、上記課題を解決するために鋭意検討を行ってきた結果、チャンネル層を持った各種プレーナ型デバイス向け化合物半導体エピタキシャル成長基板において、チャンネル層のフロント側（成長基板と反対側）に存在する活性状態の p 型キャリア濃度の総量と、チャンネル層のバック側（成長基板側）に存在する活性状態の p 型キャリア濃度の総量との比をある範囲内とすることにより、チャンネル層内を走行する電子が従来にない高い移動度となることを見出し、この知見に基づいて本発明を成すに至ったものである。

【0020】

すなわち、電子移動度の向上という観点からは、これまで注目されていなかった活性状態 p 型キャリア濃度の総量について、チャンネル層から見てバック側の量を、チャンネル層から見てフロント側の量よりも上げすぎないように設定することによって、従来にない高い電子移動度を持つ化合物半導体エピタキシャル基板を成長できることを見だし、本発明に成すに至ったものである。

【0021】

一般に、チャンネル層よりもバック側にあるバッファ層を含む各層は、エピタキシャル層 / 基板界面の不純物の影響の抑制や、基板への電子リークの抑制を目的として、p 型キャリア濃度を高く設定し、膜厚も厚く設定している。

【0022】

しかしながら、今回の検討から、チャンネル層よりもバック側に存在する活性状態の p 型キャリア濃度の総量を多くしすぎると、フロント側の活性状態の p 型キャリア濃度の総量とのバランスがくずれ、バンドラインアップの関係から、本来、チャンネル層の中心を走行すべき電子がチャンネルのフロント側へ押し付けられて散乱を受けることにより、チャンネル層を走行する電子の移動度の向上が達成できないということがわかった。

【0023】

この知見に基づき、エピタキシャル層 / 基板界面不純物の影響や基板への電子リークを起こさない範囲で、チャンネル層よりもバック側に存在する活性状態の p 型キャリア濃度の総量をできるかぎり少なくすることにより、チャンネル層を走行する電子の高い移動度を達成できた。

【0024】

ここで、エピタキシャル層 / 基板界面不純物の影響や基板への電子リークを起こさないようにし、かつ、チャンネル層よりもバック側に存在する活性状態の p 型キャリア濃度の総量を少なくするという事は、相反する傾向であるが、その p 型キャリア濃度は高くするもののバッファ層の膜厚を薄くするという方法で解決することができる。

【0025】

10

20

30

40

50

この解決方法によれば、薄い膜厚のバッファ層ですぐれたデバイス特性を達成できるので、バッファ層部分での原料使用量、とくに、高価な5族原料の使用量を削減することができ、コスト的にも有利な化合物半導体エピタキシャル基板が得られる。

【0026】

請求項1の発明によれば、電子が走行するチャンネル層を有するプレーナデバイス用の化合物半導体エピタキシャル基板において、前記チャンネル層よりバック側にあるエピタキシャル層における単位面積当たりのp型キャリア濃度総量を A / cm^2 、前記チャンネル層よりフロント側にあるエピタキシャル層における単位面積当たりのp型キャリア濃度総量を B / cm^2 としたとき、 $0 < A / B \leq 3.5$ であることを特徴とする化合物半導体エピタキシャル基板が提案される。

10

【0027】

請求項2の発明によれば、請求項1の発明において、前記p型キャリア濃度総量 A / cm^2 が、(前記チャンネル層よりバック側にあるエピタキシャル層に含まれる活性状態のアクセプタ不純物による全てのp型キャリア濃度)×(前記バック側にある該当するエピタキシャル層の全ての膜厚)から計算した単位面積当たりのp型キャリア濃度総量値であり、前記p型キャリア濃度総量 B / cm^2 が、(前記チャンネル層よりフロント側にあるエピタキシャル層に含まれる活性状態のアクセプタ不純物による全てのp型キャリア濃度)×(前記フロント側にある該当するエピタキシャル層の全ての膜厚)から計算した単位面積当たりのp型キャリア濃度総量値である請求項1に記載の化合物半導体エピタキシャル基板が提案される。

20

【0028】

請求項3の発明によれば、電子が走行するチャンネル層としてInGaAs層を有する歪チャンネル高電子移動度電界効果型トランジスタ構造の化合物半導体エピタキシャル基板において、前記InGaAs層の室温(300K)での電子移動度が $9000 \text{ cm}^2 / \text{Vs}$ 以上であることを特徴とする化合物半導体エピタキシャル基板が提案される。

【0029】

請求項4の発明によれば、請求項1又は2に記載の化合物半導体エピタキシャル基板の製造方法において、MOCVD法により製造することを特徴とする化合物半導体エピタキシャル基板の製造方法が提案される。

【発明の効果】

30

【0030】

本発明による化合物半導体エピタキシャル基板は、チャンネル層内での電子の移動度がこれまでになく高く、高性能のプレーナデバイスを製造することができる。また、本発明の製造方法によれば、高性能の化合物半導体エピタキシャル基板を低コストで製造することができるので、本発明は工業的に極めて有用である。

【発明を実施するための最良の形態】

【0031】

以下、図面を参照して本発明の実施の形態の一例につき詳細に説明する。なお、以下に説明する実施の形態は本発明の一例に過ぎず、本発明は以下に説明する実施の形態に示した素子構造に限定されるものではない。

40

【0032】

図1は、本発明による化合物半導体エピタキシャル基板の実施の形態の一例を示す層構造図である。図1において、1は半絶縁性GaAs基板から成る下地基板、2はGaAs層やAlGaAs層からなるバッファ層、3はGaAs層やAlGaAs層やInGaP層からなるバック側活性層、4はInGaAs層やInGaP層やGaAs層からなるチャンネル層、5はGaAs層やAlGaAs層やInGaP層からなるフロント側活性層、6はGaAs層やInGaAs層からなるコンタクト層である。ここで、バック側活性層3は、省略することもできる。

【0033】

図1に示した構造を有する化合物半導体エピタキシャル基板10は、以下に詳しく説明

50

されるように、下地基板 1 上に各層を MOCVD 法により積層することによって作製することができ、電子走行用のチャンネル層を有するプレーナ型デバイスの製造のための化合物半導体エピタキシャル基板としての層構造を有している。本実施の形態では、p-HEMT の製造のために用いられる化合物半導体エピタキシャル基板構造となっている。

【0034】

図 1 に示す化合物半導体エピタキシャル基板 10 は、チャンネル層 4 内を走行する電子の移動度を高めるため、チャンネル層 4 よりもフロント側のエピタキシャル層（すなわち、チャンネル層 4 から見て下地基板 1 とは反対側にあるフロント側活性層 5 及びコンタクト層 6）に存在する活性状態の p 型キャリア濃度の総量と、チャンネル層 4 よりもバック側の層（すなわち、チャンネル層 4 から見て下地基板 1 とは同じ側にあるバッファ層 2 及びバック側活性層 3）に存在する活性状態の p 型キャリア濃度の総量とが、バランスの程よい状態となるように構成されている。

10

【0035】

このように、チャンネル層 4 の一方の側の活性状態の p 型キャリア濃度の総量と、チャンネル層 4 の他方の側の活性状態の p 型キャリア濃度の総量とのバランスが程よい状態となるように構成されると、チャンネル層 4 内を走行する電子がチャンネル層 4 とフロント側活性層 5 との界面付近に寄せられる傾向を改善でき、チャンネル層 4 内を走行する電子の移動度を大幅に改善することができる。

【0036】

具体的に説明すると、（チャンネル層 4 よりもバック側にある全てのエピタキシャル層（バック側活性層 3 及びバッファ層 2）に含まれる活性状態のアクセプタ不純物による p 型キャリア濃度） \times （その全てのエピタキシャル層の膜厚）から計算した単位面積当たりの p 型キャリア濃度総量の値を A / cm^2 とし、（チャンネル層 4 よりもフロント側にある全てのエピタキシャル層（フロント側活性層 5 及びコンタクト層 6）に含まれる活性状態のアクセプタ不純物による p 型キャリア濃度） \times （その全てのエピタキシャル層の膜厚）から計算した単位面積当たりの p 型キャリア濃度総量の値を B / cm^2 としたとき、 A / B の値が、所定の範囲にあるように構成されている。

20

【0037】

A / B の値が 3 . 5 以下の場合に、フロント側エピタキシャル層の活性状態の p 型キャリア濃度の総量とバック側エピタキシャル層の活性状態の p 型キャリア濃度の総量とのバランスが程よい状態となり、チャンネル層 4 中の電子の走行状態が改善され、従来にない高電子移動度が実現される。

30

【0038】

通常、結晶欠陥が発生するためにバック側の電子供給層キャリア濃度を上げられないので、どうしてもフロント側の電子供給層キャリア濃度が高くなる傾向を有する。そのため、チャンネル層 4 中を走行する電子はフロント側へ片寄りやすいので、バック側の電子供給層キャリア濃度はフロント側の電子供給層キャリア濃度に比べて極めて小さくすることができる。

【0039】

以上の理由により、 A / B の値の範囲は $0 < A / B \leq 3 . 5$ とすることができる。このように、 $0 < A / B \leq 3 . 5$ とすると、チャンネル層 4 の両側における各活性状態の p 型キャリア濃度のバランスが改善され、バンドラインアップの関係から、チャンネル層 4 内を走行する電子がチャンネル層 4 とこれに接する他の層との境界付近を走行するという状態が改善され、チャンネル層 4 内の中心付近を走行する傾向が生じる。この結果、チャンネル層 4 内を走行する電子の移動度を従来のものに比べ、高くすることができる。 A / B の値の範囲は、好ましくは $0 < A / B \leq 2 . 5$ 、より好ましくは $0 < A / B \leq 1 . 5$ である。

40

【0040】

次に、図 1 に示した上述の構成の化合物半導体エピタキシャル基板 10 を MOCVD 法を用いて製造する方法の一実施形態について説明する。

【0041】

50

初めに、高抵抗の半絶縁性 GaAs 単結晶基板である下地基板 1 の表面を、脱脂洗浄、エッチング、水洗、乾燥した後、結晶成長炉の加熱台上に載置する。ここで、高抵抗の半絶縁性 GaAs 単結晶基板は、LEC (Liquid Encapsulated Czochralski) 法、VB (Vertical Bridgeman) 法、VGF (Vertical Gradient Freezing) 法等で製造された GaAs 基板でよく、1つの結晶学的面方位から $0.05^\circ \sim 10^\circ$ 程度の傾きをもった基板を用いることができる。

【0042】

続いて、結晶成長炉内を高純度水素で十分置換した後、下地基板 1 の加熱を開始する。結晶成長時の基板温度は、通常、およそ 500 から 800 である。下地基板 1 が適切な温度に安定したところで炉内に砒素原料を導入し、続いてガリウム原料またはアルミニウム原料またはインジウム原料を導入し、GaAs 層または AlGaAs 層または InGaAs 層を成長することができる。したがって、下地基板 1 上に所望の層を適宜に積層することにより、図 1 に示した層構造の化合物半導体エピタキシャル基板 10 を作製することができる。

10

【0043】

このエピタキシャル成長時の原料としては、有機金属および/または水素化物を用いることが好ましい。砒素原料としては、一般に三水素化砒素 (アルシン) が用いられるが、アルシンの水素を炭素数が 1 から 4 のアルキル基で置換したアルキルアルシンも使用することができる。ガリウムおよびアルミニウムおよびインジウムの原料としては、各金属原子に炭素数が 1 から 3 のアルキル基もしくは水素が結合したトリアルキル化物もしくはもしくは三水素化物が、一般に用いられる。また、炉内に燐原料とガリウム原料およびインジウム原料を導入し、InGaP 層を成長することも可能である。

20

【0044】

n 型キャリアのためのドーパントとしては、シリコン、ゲルマニウム、スズ、硫黄、セレン等の水素化物または炭素数が 1 から 3 のアルキル基を有するアルキル化物を用いることができる。

【0045】

以上説明した手法を用いて、エピタキシャル成長時において、所定の時間と、各原料の供給を制御することにより、下地基板 1 上に、バッファー層 2、バック側活性層 3、チャネル層 4、フロント側活性層 5、コンタクト層 6 の順に、所望の積層構造を成長していく。このとき、各層を成長する際の 5 族 / 3 族原料流量比を調整し、各層の p 型キャリア濃度を調整しながら成長する。

30

【0046】

すなわち、チャネル層 4 のフロント側とバック側とでの p 型キャリア濃度の総量のバランスを考えて、5 族 / 3 族原料流量比を調整しながら成長する。通常、フロント側活性層 5 の部分に比較して、バック側活性層 3 + バッファー層 2 の部分の膜厚が大きくなる。したがって、この場合、バック側活性層 3 + バッファー層 2 を成長する際の 5 族 / 3 族原料流量比は、フロント側活性層 5 のそれに比べて大きめに設定して成長を行なうことになる。

【0047】

このようにして、フロント側活性層 5 + バッファー層 2 における (活性状態の p 型キャリア濃度 × 膜厚) / フロント側活性層 5 における (活性状態の p 型キャリア濃度 × 膜厚) の値が、0 よりは大きく 3.5 以下となるようにエピタキシャル成長を行なう。

40

【0048】

最後に、各原料の供給を停止して結晶成長を停止し、冷却後、以上のようにして各エピタキシャル層が積層された 1 から成る化合物半導体エピタキシャル基板 10 を炉内から取り出して結晶成長を完了する。

【実施例】

【0049】

以下、本発明の実施例をもとに、本発明をより詳細に説明するが、本発明は以下に説明

50

する実施例の構成に限定されるものではない。

【0050】

実施例として図3に示されている化合物半導体エピタキシャル基板30の層構造にあつては、化合物半導体エピタキシャル基板の特性を測定する都合上、実際のp-HEMT用化合物半導体エピタキシャル基板の層構造に存在するコンタクト層を成長させていないが、実際のp-HEMT用化合物半導体エピタキシャル基板も同じ特性を有する。

【0051】

半絶縁性のGaAs基板の上に、図2に示した各層を以下に説明するように積層してp-HEMT用化合物半導体エピタキシャル基板30を製作した。図2において、11は基板で、ここでは、半絶縁性のGaAs基板である。12、13はバッファ層、14はバック側電子供給層、15、16はバック側スペーサー層、17はチャンネル層、18、19はフロント側スペーサー層、20はフロント側電子供給層、21はショットキー層である。これらの各層の組成及び不純物濃度は図2に示した通りである。

【0052】

成長装置は減圧バレル型MOCVD炉を用い、3族含有ガスとして、トリメチルガリウム(TMG)、トリメチルアルミニウム(TMA)およびトリメチルインジウム(TMI)を用い、5族含有ガスとしては、アルシン(AsH₃)を用いた。n型ドーパントとしては、ジシラン(Si₂H₆)を用いた。原料のキャリアガスとして、高純度水素を用い、反応炉内圧力0.1atm、成長温度650℃、成長速度3~1μm/hrの成長条件でエピタキシャル成長を行なった。

【0053】

図2において、バッファ層13からショットキー層21までは、5族/3族原料流量比を一定値の38.3にして成長し、バッファ層を構成する12層のみ、5族/3族原料流量比を11.5~103.2と変化させて水準を振り、成長した。このように、バッファ層12のみ、バックグラウンドp型キャリア濃度を他の成長層と異ならせることにより、チャンネル層17の両側の各活性状態のp型キャリア濃度のバランスの改善をはかった。

【0054】

ここで、各層の活性状態のp型キャリア濃度は、図2と同じ5族/3族原料流量比条件で成長させた図3の単層構造について、室温でのVan der Pauw法のHall測定を行なうことにより得た。通常、GaAs層、InGaAs層のバックグラウンドp型キャリア濃度は、AlGaAs層のバックグラウンドp型キャリア濃度に比較して2桁程度小さい値となるため、バックグラウンドp型キャリア濃度総量計算上は、GaAs層、InGaAs層のバックグラウンドp型キャリア濃度を考慮しなくてよい。

【0055】

図2のバッファ層12の形成時に、5族/3族原料流量比を種々変えて化合物半導体エピタキシャル基板30を4種類作製した。これらの化合物半導体エピタキシャル基板30のそれぞれについて、図3の構造から測定された単位面積当たりバック側p型キャリア濃度総量A(/cm²)と、単位面積当たりフロント側p型キャリア濃度総量B(/cm²)、およびこれらの比A/Bの値を、下に表として示す。

【0056】

単位面積当たり バック側p型キ ャリア濃度総量 A(/cm ²)	単位面積当たり フロント側p型 キャリア濃度総 量B(/cm ²)	A/B	室温電子移動度 (cm ² /Vsec)	室温二次元電子 ガス濃度 (/cm ²)
1.3 × 10 ¹¹	8.2 × 10 ¹⁰	1.5	9230	2.58 × 10 ¹²
1.9 × 10 ¹¹	8.2 × 10 ¹⁰	2.3	9100	2.56 × 10 ¹²
5.6 × 10 ¹¹	8.2 × 10 ¹⁰	6.9	8850	2.43 × 10 ¹²
2.08 × 10 ¹²	8.2 × 10 ¹⁰	25.3	8410	1.93 × 10 ¹²

【0057】

10

20

30

40

50

また、室温でのVan der Pauw法によるHall測定を行なって、図2のエピタキシャル成長基板の室温電子移動度特性を測定した結果も上記表中に示した。

【0058】

その結果、バック側活性層+バッファ層における(p型キャリア濃度×膜厚)の値Aとフロント側活性層における(p型キャリア濃度×膜厚)の値Bとの比であるA/Bと電子移動度との間に、図4に示されるような関係が見出された。A/Bの範囲は、3.5以下の領域において、電子移動度は $9000 \text{ cm}^2 / \text{Vs}$ 以上となり、この範囲で高い電子移動度を示す化合物半導体エピタキシャル基板が得られることがわかった。

【0059】

今回の検討により、これまで、GaAs基板上に成長したInGaAsチャネルのp-HEMTにおいて、公知に報告されている最高の移動度である $8990 \text{ cm}^2 / \text{Vs}$ (特許文献4参照)を越える移動度が得られた。

10

【図面の簡単な説明】

【0060】

【図1】本発明の実施形態の一例の化合物半導体エピタキシャル基板の層構造を示す図。

【図2】本発明の実施例の化合物半導体エピタキシャル基板の層構造を示す図。

【図3】図2に示す実施例における各層のp型キャリア濃度を測定するための単層構造を示す図。

【図4】実施例における室温の電子移動度測定結果を示す図。

【符号の説明】

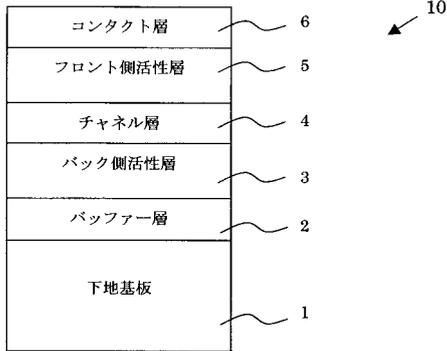
20

【0061】

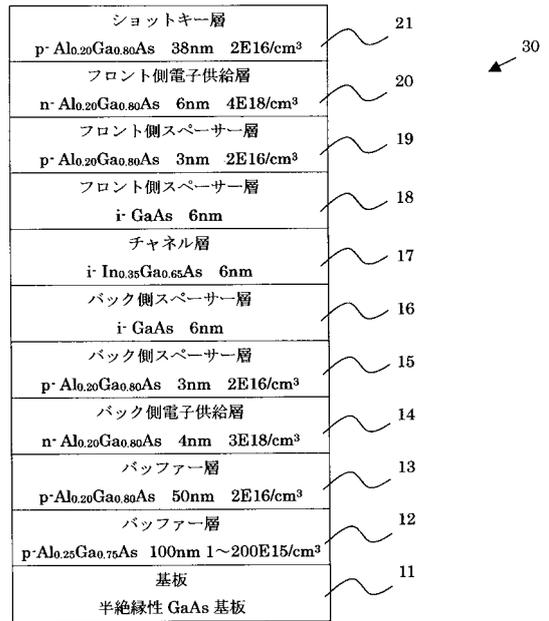
- 1 半絶縁性GaAs基板
- 2 バッファ層
- 3 下部活性層
- 4 チャネル層
- 5 上部活性層
- 6 コンタクト層
- 11 基板
- 12、13 バッファ層
- 14 バック側電子供給層
- 15、16 バック側スペーサー層
- 17 チャネル層
- 18、19 フロント側スペーサー層
- 20 フロント側電子供給層
- 21 ショットキー層
- 31 半絶縁性GaAs基板
- 32 p型キャリア濃度測定層

30

【図1】



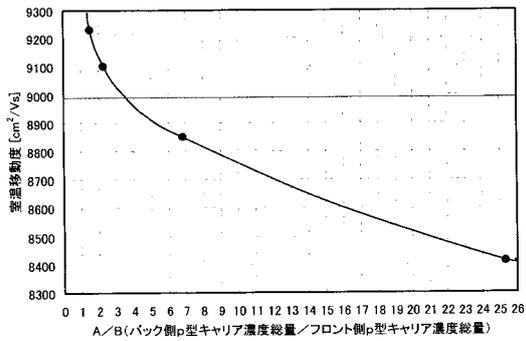
【図2】



【図3】



【図4】



フロントページの続き

- (56)参考文献 特開2001-111038(JP,A)
特開平11-103046(JP,A)
特開2004-146588(JP,A)
特開2006-012915(JP,A)
特開2005-216967(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/338
H01L 29/201
H01L 29/778
H01L 29/812