

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3571367号
(P3571367)

(45) 発行日 平成16年9月29日(2004.9.29)

(24) 登録日 平成16年7月2日(2004.7.2)

(51) Int. Cl.⁷

G06F 15/82

F I

G06F 15/82 630L

G06F 15/82 620C

請求項の数 10 (全 47 頁)

(21) 出願番号	特願平6-55641	(73) 特許権者	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成6年3月25日(1994.3.25)	(74) 代理人	100064746 弁理士 深見 久郎
(65) 公開番号	特開平7-105176	(72) 発明者	紫竹 リカルド 毅史 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(43) 公開日	平成7年4月21日(1995.4.21)	(72) 発明者	芳田 真一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
審査請求日	平成10年1月23日(1998.1.23)	(72) 発明者	村松 剛司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(31) 優先権主張番号	特願平5-199766		
(32) 優先日	平成5年8月11日(1993.8.11)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 データ駆動型プロセッサ、データ駆動型情報処理装置、およびこのデータ駆動型情報処理装置において、複数個のデータ駆動型プロセッサの経路接続を確認するための方法

(57) 【特許請求の範囲】

【請求項1】

入力ポートおよび複数個の出力ポートと、
経路確認テスト時のデータパケットを出力する出力ポートを指定する出力先情報を格納するための出力先情報記憶手段と、
出力の動作モードと、出力ポートとを指定する動作モード信号を受信するための動作モード受信端子と、
前記入力ポートに接続された入力を有し、入来データパケットに含まれる経路確認フラグおよび行先情報と、前記動作モード信号と、前記出力先情報とに基づいて、入来データパケットに対して行なう出力処理を決定するための出力処理決定手段とを含み、
前記出力処理決定手段は、
前記動作モード信号により第1の動作モードが指定されたことに応答して、入来データパケットに含まれる経路確認フラグが経路確認テストを示している場合に前記出力先情報に基づいて決定される出力ポートに入来データパケットを出力する処理、入来データパケットに含まれる経路確認フラグが経路確認テストを示しておらず且つ入来データパケットに含まれる命令コードが出力先情報設定命令でない場合に前記行先情報に基づいて入来データパケットを前記複数個の出力ポートのいずれかに選択的に出力する処理、入来データパケットに含まれる出力先情報設定命令に基づいて前記出力先情報の設定を行なう処理、のいずれかを行なうための選択的処理手段と、
前記動作モード信号により第2の動作モードが指定されたことに応答して、入来データパ

10

20

ケットを前記動作モード信号により指定される出力ポートに強制的に出力するための強制的出力手段とを含む、データ駆動型プロセッサ。

【請求項2】

入力ポートおよび複数個の出力ポートと、

経路確認テスト時のデータケットを出力する出力ポートを指定する出力先情報を格納するための出力先情報記憶手段と、

前記入力ポートに接続された入力を有し、入来データケットに含まれる経路確認フラグおよび行先情報と、前記出力先情報とに基づいて、入来データケットを前記出力ポートに選択的に出力するための選択的出力手段とを含む、前記選択的出力手段は、

前記入力ポートに接続された入力と、第1および第2の出力とを有し、入来データケットに含まれる経路確認フラグおよび行先情報に基づいて、入来データケットを前記第1および第2の出力のいずれか一方に選択的に出力するための入力処理手段と、

前記入力処理手段の前記第1の出力に接続された入力を有し、与えられるデータケットに含まれる情報に従った処理をし、出力ポートを指定するための前記行先情報を含む出力データケットを必要に応じて生成するためのデータケット処理手段と、

前記データケット処理手段の出力と前記入力処理手段の前記第2の出力とにそれぞれ接続される2つの入力と、前記複数個の出力ポートにそれぞれ接続される複数個の出力とを有し、かつ前記出力先情報記憶手段に接続され、入来データケットに含まれる経路確認フラグが経路確認テストを示している場合は前記出力先情報を参照し、前記経路確認フラグが経路確認テストを示していない場合には入来データケットに含まれる前記行先情報を参照して、前記複数個の出力ポートのいずれか一方を選択してデータケットを出力するための出力処理手段とを含む、データ駆動型プロセッサ。

【請求項3】

第1の前記入力ポートおよび第2の前記入力ポートを含み、

前記入力処理手段は、

前記第1および第2の入力ポートにそれぞれ接続された二つの入力を有し、入来データケットに含まれる経路確認フラグと行先情報とに基づいて、入来データケットを前記第1および第2の出力のいずれか一方に選択的に出力するための手段を含む、請求項2に記載のデータ駆動型プロセッサ。

【請求項4】

第1の入力ポートおよび所定の記憶装置の出力に接続される第2の入力ポートと、

経路確認テスト時のデータケットを出力する出力ポートを指定する出力先情報を格納するための出力先情報記憶手段と、

前記入力ポートに接続された入力を有し、入来データケットに含まれる経路確認フラグおよび行先情報と、前記出力先情報とに基づいて、入来データケットを前記出力ポートに選択的に出力するための選択的出力手段と、

二つの第1の出力ポートおよび、前記所定の記憶装置の入力に接続される第2の出力ポートとを含む、

前記選択的出力手段は、

前記第1の入力ポートに接続された入力と、第1および第2の出力とを有し、入来データケットに含まれる経路確認フラグと行先情報とに基づいて、入来データケットを前記第1および第2の出力のいずれか一方に選択的に出力するための第1の入力処理手段と、

前記第2の入力ポートに接続された入力と、第1および第2の出力とを有し、入来データケットに含まれる経路確認フラグに基づいて、入来データケットを前記第1および第2の出力のいずれか一方に選択的に出力するための第2の入力処理手段と、

前記第1の入力処理手段の前記第1の出力と前記第2の入力処理手段の前記第1の出力とにそれぞれ接続された二つの入力と、前記第2の出力ポートに接続される第1の出力と、第2の出力とを有し、入来データケットに含まれる情報に従った処理をし、行先情報を含む出力データケットを必要に応じて生成して前記第1の出力又は前記第2の出力に選択的に出力するためのデータケット処理手段と、

10

20

30

40

50

前記第 1 の入力処理手段の前記第 2 の出力に接続される入力と、前記第 2 の出力ポートに接続される第 1 の出力と、第 2 の出力とを有し、かつ前記出力先情報記憶手段に接続され、入来データパケットの経路確認フラグの値と前記出力先情報とにしたがって、前記第 1 の出力または前記第 2 の出力に選択的にデータパケットを出力するための第 1 の出力処理手段と、

前記データパケット処理手段の前記第 2 の出力を受けるように接続される第 1 の入力と、前記第 1 の出力手段の前記第 2 の出力および前記第 2 の入力処理手段の前記第 2 の出力に共通に接続される第 2 の入力と、前記二つの第 1 の出力ポートにそれぞれ接続される 2 つの出力とを有し、かつ前記出力先情報記憶手段に接続され、入来データパケットに含まれる経路確認フラグが経路確認テストを示している場合は前記出力先情報を参照し、前記経路確認フラグが経路確認テストを示していない場合には入来データパケットに含まれる前記行先情報を参照して、前記二つの第 1 の出力ポートのいずれかを選択してデータパケットを出力するための第 2 の出力処理手段とを含む、データ駆動型プロセッサ。

10

【請求項 5】

複数個の前記第 1 の入力ポートを含む、請求項 4 に記載のデータ駆動型プロセッサ。

【請求項 6】

複数個の前記第 1 の出力ポートを含む、請求項 4 に記載のデータ駆動型プロセッサ。

【請求項 7】

複数個のデータ駆動型プロセッサと、

前記複数個のデータ駆動型プロセッサを相互に接続するための接続手段とを含み、

20

前記複数個のデータ駆動型プロセッサの各々は、

入力ポートおよび複数個の出力ポートと、

経路確認テスト時のデータパケットを出力する出力ポートを指定する出力先情報を格納するための出力先情報記憶手段と、

出力の動作モードと、出力ポートとを指定する動作モード信号を受信するための動作モード受信端子と、

前記入力ポートに接続された入力を有し、入来データパケットに含まれる経路確認フラグおよび行先情報と、前記動作モード信号と、前記出力先情報とに基づいて、入来データパケットに対して行なう出力処理を決定するための出力処理決定手段とを含み、

前記出力処理決定手段は、

30

前記動作モード信号により第 1 の動作モードが指定されたことに応答して、入来データパケットに含まれる経路確認フラグが経路確認テストを示している場合に前記出力先情報に基づいて決定される出力ポートに入来データパケットを出力する処理、入来データパケットに含まれる経路確認フラグが経路確認テストを示しておらず且つ入来データパケットに含まれる命令コードが出力先情報設定命令でない場合に前記行先情報に基づいて入来データパケットを前記複数個の出力ポートのいずれかに選択的に出力する処理、入来データパケットに含まれる出力先情報設定命令に基づいて前記出力先情報の設定を行なう処理、のいずれかを行なうための選択的処理手段と、

前記動作モード信号により第 2 の動作モードが指定されたことに応答して、入来データパケットを前記動作モード信号により指定される出力ポートに強制的に出力するための強制的出力手段とを含み、

40

前記接続手段は、前記複数個のデータ駆動型プロセッサの任意の 1 つから、他の任意の 1 つまでのデータ伝送経路が、間接的にせよ直接的にせよ、少なくとも一つ存在するように、それぞれ前記複数個のデータ駆動型プロセッサの前記入力ポートと、他の前記データ駆動型プロセッサの前記出力ポートとを相互に接続するための複数のデータ伝送路を含む、データ駆動型情報処理装置。

【請求項 8】

複数個の記憶装置をさらに含み、

前記接続手段は、前記複数個のデータ駆動型プロセッサと前記複数個の記憶装置とをそれぞれ接続するための複数のデータ伝送路をさらに含む、請求項 7 に記載のデータ駆動型情報

50

処理装置。

【請求項 9】

請求項 7 に記載のデータ駆動型情報処理装置において、前記複数個のデータ駆動型プロセッサの経路接続を確認するための方法であって、

前記方法は、

前記複数個のデータ駆動型プロセッサの前記出力先情報記憶手段に、所望の伝送経路を与える出力先情報をそれぞれ設定する経路設定ステップと、

前記所望の伝送経路における先頭の前記データ駆動型プロセッサの前記入力ポートに、前記経路確認フラグとして経路確認テスト時を示す値を設定したデータパケットを与えるデータパケット投入ステップと、

前記所望の伝送経路における最後の前記データ駆動型プロセッサの出力ポートに、与えられたデータパケットに正しく対応するデータパケットが出力されたか否かを確認する確認ステップと、

前記経路設定ステップと前記データパケット投入ステップと前記確認ステップとを、前記所望の伝送経路を変化させて繰返して行なうステップとを含む、データ駆動型情報処理装置の経路接続を確認するための方法。

【請求項 10】

請求項 8 に記載のデータ駆動型情報処理装置において、前記複数個のデータ駆動型プロセッサと前記複数個の記憶装置との経路接続を確認するための方法であって、

前記方法は、

前記複数個のデータ駆動型プロセッサの前記出力先情報記憶手段に、前記複数個の記憶装置の少なくとも 1 つを経由する所望の伝送経路を与える出力先情報をそれぞれ設定する経路設定ステップと、

前記所望の伝送経路における先頭の前記データ駆動型プロセッサの前記入力ポートに、前記経路確認フラグとして経路確認テスト時を示す値を設定したデータパケットを与えるデータパケット投入ステップと、

前記所望の伝送経路における最後の前記データ駆動型プロセッサの出力ポートに、与えられたデータパケットに正しく対応するデータパケットが出力されたか否かを確認する確認ステップと、

前記経路設定ステップと前記データパケット投入ステップと前記確認ステップとを、前記所望の伝送経路を変化させて繰返して行なうステップとを含む、データ駆動型情報処理装置の経路接続を確認するための方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は、複数個のデータ駆動型プロセッサと、データ駆動型プロセッサに接続される複数個の記憶装置とを含むデータ駆動型情報処理装置に関する。本発明は特に、記憶装置として画像メモリを含み、プロセッサ間の経路と、プロセッサと画像メモリとの間の経路とが正確に接続されているか否かを確認するための方法と、その方法に適した映像処理向きデータ駆動型プロセッサおよびそれらデータ駆動型プロセッサを含むデータ駆動型情報処理装置に関する。

【0002】

【従来の技術】

図 18 に、この種のデータ駆動型情報処理装置の一例である、従来の映像処理向きデータ駆動型情報処理装置のうちの、1 つのデータ駆動型プロセッサに係る部分の構成を示す。同様のシステム構成例は、「動的データ駆動型プロセッサによる並列処理方式の検討」(金倉広志および宮田宗一、「マイクロコンピュータ・アーキテクチャ シンポジウム論文集」、情報処理学会、平成 3 年 11 月 12 日)に示されている。

【0003】

図 18 を参照して、このデータ駆動型情報処理装置は、データ駆動型プロセッサ 10 と、

10

20

30

40

50

画像メモリ部 12 とを含む。

【0004】

データ駆動型プロセッサ 10 は、2つのデータ伝送路 14 および 16 にそれぞれ接続された入力ポート IA および IB と、2つのデータ伝送路 18 および 20 にそれぞれ接続された出力ポート OA および OB と、画像メモリ部 12 へのデータ伝送路 22 が接続された出力ポート OV と、画像メモリ部 12 からのデータ伝送路 24 が接続された入力ポート IV とを有する。このデータ駆動型プロセッサ 10 の詳細な構造については後述する。なお、データ伝送路 14、16、18、20、22、及び 24 はデータパケットの伝送路である。データパケットの構成については後述する。

【0005】

画像メモリ部 12 は、メモリアインタフェース 30 と画像メモリ 32 とを含む。メモリアインタフェース 30 と画像メモリ 32 とは、メモリアクセス制御線 34 を介して相互に接続されている。

【0006】

メモリアインタフェース 30 は、データ伝送路 22 が接続される入力ポートと、データ伝送路 24 が接続される出力ポートとを有する。メモリアインタフェース 30 は、プロセッサ 10 から、データパケットの形式で与えられるアクセス要求に应答して画像メモリ 32 をアクセスするためのものである。メモリアインタフェース 30 は、たとえば画像メモリ 32 の内容を更新したり、画像メモリ 32 の内容を读出して結果をデータパケットとして伝送路 24 を介してプロセッサ 10 に返したりする。

【0007】

図 18 に示されるデータ駆動型情報処理装置は、概略次のように動作する。データ伝送路 14 または 16 より、入力ポート IA または IB を介して、入力パケットがデータ駆動型プロセッサ 10 に与えられる。この入力パケットの構成については後述するが、各入力パケットには、入力時間の順序にしたがって付けられる世代番号が含まれる。映像処理向きデータ駆動型プロセッサ 10 には、予め設定された処理内容が記憶されている。データ駆動型プロセッサ 10 は、その設定内容に基づき、入力データパケットに対する処理を行なう。

【0008】

データ駆動型プロセッサ 10 は、入力パケットに対する処理において、画像メモリ 32 に対するアクセス（画像メモリの内容の参照／更新など）が必要であれば、データ伝送路 22 を通じてデータパケットを送信することで、メモリアインタフェース 30 に対してアクセス要求を行なう。

【0009】

メモリアインタフェース 30 は、メモリアクセス制御線 34 を通じて画像メモリ 32 に対してアクセスを行なう。メモリアインタフェース 30 は、アクセスの結果を、データ伝送路 24 を通じて、データ駆動型プロセッサ 10 の入力ポート IV に結果のデータパケットを与えることで、映像処理向きデータ駆動型プロセッサ 10 に返す。

【0010】

映像処理向きデータ駆動型プロセッサ 10 は、入力パケットに対する処理が終了した後、出力ポート OA または OB のいずれか一方を介して、データ伝送路 18 または 20 のいずれか一方に出力パケットを出力する。

【0011】

図 19 は、データ伝送路 22 を通じて、データ駆動型プロセッサ 10 からメモリアインタフェース 30 に対して与えられるデータパケット 40 のフィールド構成を示す。図 19 を参照して、このデータパケット 40 は、8ビットの命令コード 42 と、24ビットの世代番号 44 と、12ビットの第1のデータ 46 と、同じく12ビットの第2のデータ 48 と、10ビットのプロセッサ番号 50 とを含む。

【0012】

命令コード 42 は、画像メモリ 32 に対する処理の内容を示す。画像メモリ 32 に対する

10

20

30

40

50

処理としては、たとえば画像メモリの内容の参照や、画像メモリの内容の更新などがある。

【 0 0 1 3 】

世代番号 4 4 は、前述のように、データ伝送路 1 4 または 1 6 (図 1 8 参照) を通じて映像処理向きデータ駆動型プロセッサ 1 0 に対してデータパケットが入力される時点において、入力の順序に従って時系列をなすようにそのデータパケットに付けられている識別子である。この世代番号 4 0 の内容は、映像処理向きデータ駆動型プロセッサ 1 0 (図 1 8 参照) においては、データの待ち合わせの際に利用される。一方、世代番号は、メモリインタフェース 3 0 (図 1 8 参照) に対しては、画像メモリに対するアドレスとしての意味を持つ。そして、画像メモリ 3 2 に対するアクセスの際には、この世代番号 4 4 に基づいて、アクセスすべき画像メモリ 3 2 内のアドレスが決定される。

10

【 0 0 1 4 】

第 1 のデータ 4 6 および第 2 のデータ 4 8 は、命令コード 4 2 の内容に従ってその意味が定まるデータである。たとえば命令コード 4 2 が、画像メモリ 3 2 の内容に対する更新を示している場合には、第 1 のデータ 4 6 は、画像メモリ 3 2 に対して書込まれるべきデータであり、第 2 のデータ 4 8 は意味を持たない。命令コード 4 2 が、画像メモリ 3 2 の内容に対する単なる参照を示す場合には、第 1 のデータ 4 6 および第 2 のデータ 4 8 のいずれも意味を持たない。

【 0 0 1 5 】

プロセッサ番号 5 0 は、複数のデータ駆動型プロセッサのうち、特定のデータ駆動型プロセッサ 1 0 を指定するためのデータである。データ駆動型プロセッサ 1 0 は、データ伝送路 1 4 または 1 6 を介して与えられるデータパケット 4 0 のプロセッサ番号 5 0 が、自己に割り当てられたプロセッサ番号と一致するときのみこのデータパケット 4 0 に対して命令コード 4 2 により定まる処理を行なう。もしもプロセッサ番号 5 0 が自己に割り当てられたプロセッサ番号と一致しない場合には、データ駆動型プロセッサ 1 0 は後述する方法に従って出力ポート O A または O B の一方でデータパケットをそのまま出力する。

20

【 0 0 1 6 】

図 2 0 に、メモリインタフェース 3 0 (図 1 8 参照) からデータ伝送路 2 4 を介してデータ駆動型プロセッサ 1 0 に返されるデータパケット 6 0 のフィールド構成を示す。このデータパケット 6 0 のフィールド構成はまた、図 1 8 に示されるデータ伝送路 1 4 、 1 6 、 1 8 および 2 0 を通じて伝送されるデータパケットのフィールド構成でもある。

30

【 0 0 1 7 】

図 2 0 において、命令コード 6 2 と世代番号 6 4 とプロセッサ番号 6 8 とは、図 1 9 に示される命令コード 4 2 と世代番号 4 4 とプロセッサ番号 5 0 と同じである。第 1 のデータ 6 6 は 1 2 ビットである。画像メモリ 3 2 に対する処理の種類によっては、この第 1 のデータ 6 6 内に、結果を示すデータが格納される。

【 0 0 1 8 】

図 2 1 は、図 1 8 に示される映像処理向きデータ駆動型プロセッサ 1 0 および画像メモリ部 1 2 をそれぞれ 4 個用いて構成したデータ駆動型情報処理装置のブロック図である。図 2 1 を参照して、このデータ駆動型情報処理装置は、2 つのホスト 7 0 および 7 2 と、この 2 つのホスト 7 0 および 7 2 の間に、どのプロセッサからも他の任意のプロセッサに到達できるようにネットワークで接続された 4 つのデータ駆動型プロセッサ P E # 0 ~ P E # 3 とを含む。各データ駆動型プロセッサ P E # 0 ~ P E # 3 は、図 1 8 に示されるデータ駆動型プロセッサ 1 0 と同じ構成である。データ駆動型プロセッサ P E # 0 ~ P E # 3 にはそれぞれ、画像メモリ部 V M # 0 ~ V M # 3 が接続されている。各画像メモリ部 V M # 0 ~ V M # 3 の構成は、図 1 8 に示す画像メモリ部 1 2 のそれと同じである。データ駆動型プロセッサと、対応する画像メモリ部との間の接続は図 1 8 に示されるデータ駆動型プロセッサ 1 0 と画像メモリ部 1 2 との間の接続と同じである。なお、ホスト 7 0 および 7 2 は同一の単一のホストである場合もある。これは、本願発明の実施例においても同様である。

40

50

【 0 0 1 9 】

図 2 1 に示される例では、プロセッサ P E # 0 の入力ポート I A はホスト 7 0 の出力の 1 つに接続されている。プロセッサ P E # 0 の他の入力ポート I B は、プロセッサ P E # 2 の一方の出力ポート O B に接続されている。プロセッサ P E # 0 の出力ポートの一方 O A は、プロセッサ P E # 2 の一方の入力ポート I A に接続されている。プロセッサ P E # 0 の他の出力ポート O B は、プロセッサ P E # 3 の一方の入力ポート I A に接続されている。

【 0 0 2 0 】

プロセッサ P E # 1 の一方の入力ポート I A は、プロセッサ P E # 3 の一方の出力ポート O A に接続されている。プロセッサ P E # 1 の他方の入力 I B は、ホスト 7 0 の他方の出力ポートに接続されている。プロセッサ P E # 1 の一方の出力ポート O A は、プロセッサ P E # 2 の入力ポート I B に接続されている。プロセッサ P E # 1 の他方の出力ポート O B は、プロセッサ P E # 3 の入力ポート I B に接続されている。

10

【 0 0 2 1 】

プロセッサ P E # 2 の出力ポート O A は、ホスト 7 2 の一方の入力ポートに接続されている。またプロセッサ P E # 3 の出力ポート O B も、ホスト 7 2 の他方の入力ポートに接続されている。

【 0 0 2 2 】

プロセッサ P E # 0 には画像メモリ部 V M # 0 が、プロセッサ P E # 1 には画像メモリ部 V M # 1 が、プロセッサ P E # 2 には画像メモリ部 V M # 2 が、プロセッサ P E # 3 には画像メモリ部 V M # 3 が、それぞれ接続されている。その接続の形態は図 1 8 に示されるプロセッサ 1 0 と画像メモリ部 1 2 との接続と同じである。

20

【 0 0 2 3 】

前述のように、図 2 1 に示される構成では、どのプロセッサからも他の任意のプロセッサに到達できる。たとえば、プロセッサ P E # 0 から、プロセッサ P E # 1 にパケットを送出する場合を考える。まず、プロセッサ P E # 0 の出力ポート O B からパケットを出力する。このパケットはプロセッサ P E # 3 の入力ポート I A を介してプロセッサ P E # 3 に入力される。プロセッサ P E # 3 はこのパケットを出力ポート O A から出力する。これによりデータパケットがプロセッサ P E # 1 の入力ポート I A に与えられる。他のプロセッサ間でのデータパケットの送信も同様である。ただしこの場合、各データ駆動型プロセッサでは、与えられたデータパケットが自己あてのものであるか否かを判別する必要があり、さらに、自己あてでないデータパケットを出力すべき出力ポートを正しく決定しなければならない。以下従来のそのような機構について説明する。

30

【 0 0 2 4 】

図 2 2 は、図 1 8 に示されるデータ駆動型プロセッサ 1 0 のブロック構成を示す。図 2 2 を参照して、従来の映像処理向きデータ駆動型プロセッサ 1 0 は、入力処理部 8 0 と、合流部 8 2 と、本体処理部 8 4 と、分岐部 8 6 と、出力処理部 8 8 と、 P E # レジスタ 9 0 とを含む。

【 0 0 2 5 】

入力処理部 8 0 は、入力ポート I A および I B に接続された 2 つのデータパケット入力と、分岐部 8 2 のデータパケット入力と出力処理部 8 8 の一方のデータパケット入力とにそれぞれ接続された 2 つのデータパケット出力とを有する。入力処理部 8 0 の処理するデータパケットは、この例の場合にはいずれも 5 4 ビット長である。入力処理部 8 0 は、データ伝送路 1 4 または 1 6 を介して与えられるデータパケットが、このデータ駆動型プロセッサ 1 0 に向けられたものかどうかを判断し、その判断結果に従ってデータパケットを合流部 8 2 または出力処理部 8 8 に選択的に与えるためのものである。

40

【 0 0 2 6 】

P E # レジスタ 9 0 はデータ駆動型プロセッサ 1 0 に割り当てられたプロセッサ番号を予め格納しておくためのものである。このプロセッサ番号は、入力処理部 8 0 によるデータパケットの振り分けと、出力分岐部 8 6 によるデータパケットの分岐処理とに用いられる

50

【 0 0 2 7 】

合流部 8 2 は、前述のように入力処理部 8 0 の出力の 1 つに接続されたデータパケット入力と、分岐部 8 6 のデータパケット出力の 1 つに接続されたデータパケット入力と、本体処理部 8 4 のデータパケット入力に接続された出力とを有する。合流部 8 2 は、入力処理部 8 0 から送られてくるデータパケットと、分岐部 8 6 から送られてくるデータパケットとを合流させるとともに、対データの検出をも行ない、必要なデータがすべて揃ったデータパケットを本体処理部 8 4 に与えるためのものである。

【 0 0 2 8 】

本体処理部 8 4 は、入力ポート I V を介してデータ伝送路 2 4 に接続された入力と、合流部 8 2 の出力に接続された入力と、出力ポート O V を介してデータ伝送路 2 2 に接続された出力と、分岐部 8 6 の入力に接続された出力とを有する。本体処理部 8 4 は、予めプログラムを格納している。本体処理部 8 4 は、合流部 8 2 から与えられるデータパケットに対して、そのデータパケットの内容に応じた処理を実行して、結果のデータパケットを分岐部 8 6 に送出するためのものである。本体処理部 8 4 は、また、図 1 8 に示される画像メモリ 3 2 に対するアクセスが必要な場合には、出力ポート O V およびデータ伝送路 2 2 を介して画像メモリ部 1 2 にパケットを送出する。本体処理部 8 4 は、画像メモリ部 1 2 からの、画像メモリ 3 2 に対するアクセスの結果が格納されたデータパケットを、データ伝送路 2 4 および入力ポート I V を介して受取る。

【 0 0 2 9 】

分岐部 8 6 は、本体処理部 8 4 の出力に接続された入力と、出力処理部 8 8 の他方の入力に接続された出力と、前述のように合流部 8 2 の入力の方に接続された出力とを有する。また分岐部 8 6 は、P E # レジスタ 9 0 の内容を参照することができる。分岐部 8 6 は、与えられるデータパケットに含まれるプロセッサ番号と、P E # レジスタ 9 0 の内容とに基づいて、データパケットを合流部 8 2 または出力処理部 8 8 に選択的に与えるためのものである。

【 0 0 3 0 】

出力処理部 8 8 は、前述のように入力処理部 8 4 の出力の一方と分岐部 8 6 の出力の一方とにそれぞれ接続された 2 つの入力と、2 つの出力ポート O A および O B にそれぞれ接続された 2 つの出力とを有する。出力処理部 8 8 は、与えられるデータパケットに含まれるプロセッサ番号と、予め設定された分岐条件とに従って、出力ポート O A または O B のいずれか一方を選択して、選択された出力ポートにデータパケットを送出するためのものである。

【 0 0 3 1 】

図 2 2 に示されるデータ駆動型プロセッサ 1 0 は概略次のように動作する。データ伝送路 1 4 または 1 6 を介してデータパケットが入力処理部 8 0 に入力される。入力処理部 8 0 は、P E # レジスタ 9 0 の内容と、入力されたデータパケットのプロセッサ番号とを比較する。入力処理部 8 0 は、2 つが一致した場合にはこの与えられたデータパケットが、このデータ駆動型プロセッサ 1 0 に対して向けられたものであると判断し、一方の出力を介して合流部 8 2 にこのデータパケットを与える。両者が一致しない場合には、入力処理部 8 0 は他方の出力を介して出力処理部 8 8 に直接このデータパケットを与える。

【 0 0 3 2 】

合流部 8 2 は、分岐部 8 6 からのデータパケットと、入力処理部 8 0 から与えられるデータパケットとを合流させる。合流部 8 2 は、さらに対データの検出を行ない、データ処理を行なうことが可能なデータパケットを本体処理部 8 4 に与える。

【 0 0 3 3 】

本体処理部 8 4 は、入力されたデータパケットに含まれる命令コードに従って所定の処理を行ない、予め格納したプログラムに従って結果のデータパケットを分岐部 8 6 に与える。この場合本体処理部 8 4 は、画像メモリに対するアクセスが必要であればデータ伝送路 2 2 を介して処理パケットをメモリインタフェースに与え、結果のデータパケットをデー

10

20

30

40

50

タ伝送路 24 を介して受取る。画像メモリに対するアクセスが必要な命令コードは、たとえばその最上位ビットを“1”として予め決めておく。画像メモリに対するアクセスが必要かどうかは、命令コードの最上位ビットが“1”かどうかを調べることにより判断する。

【0034】

分岐部 86 は、本体処理部 84 から与えられたデータパケットに含まれるプロセッサ番号と、PE # レジスタ 90 の内容とを比較し、両者が一致すれば合流部 82 にデータパケットを送出する。両者が一致しなければ、分岐部 86 は出力処理部 88 にデータパケットを送出する。

【0035】

出力処理部 88 は、分岐部 86 または入力処理部 80 から与えられたデータパケットに含まれるプロセッサ番号と、そのプロセッサ番号に関連して予め設定された分岐条件とに従って、出力ポート OA または OB のいずれか一方を選択する。出力処理部 88 は、選択されたデータパケット出力ポートにデータパケットを送出する。

【0036】

この図 18 ~ 図 22 に示される構成の従来のデータ駆動型情報処理装置において、装置が期待通りに動作するためには、データ駆動型プロセッサ同士と、データ駆動型プロセッサと画像メモリ部とが、所定の経路により正確に接続されていることが必要である。期待通りにシステムが動作しない場合、こうした経路の接続が正確になされていないことが原因である場合がある。そのような場合には、必要な対策を施すために、不良経路を特定する必要がある。しかし、より大規模な処理を行なうためにはデータ駆動型情報処理装置に含まれるプロセッサおよび画像メモリ部の数を多くしてシステムの規模を大きくする必要があり、プロセッサや画像メモリ部の数を多くすればするほど、プロセッサ間およびプロセッサと画像メモリ間の接続経路ならびにそれらの組み合わせの数も飛躍的に増え、不良経路の特定は非常に困難になる。

【0037】

従来、不良経路の特定を行なうため、または経路接続が正確になされているかどうかの確認を行なうために、次のような処理が行なわれていた。たとえば図 21 に示されるシステムにおいて、プロセッサ PE # 0 および PE # 2 との間での接続経路の確認をする場合を考える。この場合、図 23 を参照して、ホストにおいて所定のデータパケットを生成し、システムに投入する処理 100 が行なわれる。システムに投入されるデータパケットの命令コードは、NOP 命令 (No

Operation) であり、第 1 のデータ 66 にはビットパターン“010101010101”が設定される。NOP 命令のビットパターンは“00101000”であるものとする。このデータパケットは、図 21 を参照して、プロセッサ PE # 0 の入力ポート IA を介してプロセッサ PE # 0 に与えられる。

【0038】

プロセッサ PE # 0 は、このデータパケットを出力ポート OA からプロセッサ PE # 2 の入力ポート IA に与える。この場合命令コードが NOP 命令であるので、プロセッサ PE # 0 はデータパケットに対して何らの処理も行なわない。

【0039】

同様にプロセッサ PE # 2 は、データパケットに対して何らの処理も行なわず、出力ポート OA を介してホスト 72 にデータパケットを与える。

【0040】

各プロセッサにおいてデータパケットを出力ポート OA または OB のいずれに出力するかは、次のように予め設定されていた条件に基づいて行なわれる。各出力処理部には、各プロセッサの分岐条件を予め格納しておくための記憶部が設けられている。この記憶部には、データパケットを投入する前に、予め初期化パケットにより必要な値が設定されている。初期化パケットにより出力処理部の記憶部に記憶させる値としては、マスク値とマッチ値とがある。マスク値とマッチ値とは次のような意味を持つ。出力処理部に与えられたデ

10

20

30

40

50

ータパケットのプロセッサ番号と、出力処理部の記憶部に記憶されているマスク値との間での論理積を行なう。論理積の結果を、出力処理部の記憶部に記憶されているマッチ値と比較する。両者が一致していたら、データパケットは出力ポートO Aに出力され、両者が不一致であればデータパケットは出力ポートO Bに出力される。経路接続の確認の場合にも、出力ポートの選択はこれと同様にして行なわれる。

【0041】

このように図23を参照して、プロセッサPE#0でNOP命令102を行ない、さらにプロセッサPE#2でNOP命令104を行なった上でホストに対して出力処理106を行なう。実行される命令はNOP命令のみであるので、ホスト72に出力されるデータパケットの内容は、ホスト70から出力されたデータパケットの内容と一致するはずである。

10

【0042】

たとえば、ホスト70から出力されたデータパケットの第1のデータの領域のビットパターンが前述のとおりで、ホスト72に出力された第1のデータの領域のビットパターンが“1101010101”であるものとする。この場合には、第1のデータの最上位ビットに対応する接続経路と、その隣のビットに対応する接続経路とがショートしている可能性がある。同様に、ホスト72に出力されたデータパケットの命令コードのビットパターンが、ホスト70から出力されたデータパケットの命令コードのビットパターンと異なっている場合には、プロセッサ間、またはホストとプロセッサ間の、命令コードに対応する接続経路が不良である可能性を示す。

20

【0043】

プロセッサと画像メモリとの間の接続を確認する方法もほぼこれと同様である。たとえば図21に示されるシステムにおいて、プロセッサPE#0およびPE#2と、それらに接続されている画像メモリ部VM#0およびVM#2との間での接続経路の確認をする場合を考える。図24を参照して、ホストにおいて画像メモリとの接続を確認するための所定のデータパケットを生成し、システムに投入する処理100Aが行なわれる。システムに投入されるデータパケットの命令コードは、VNOP命令(Video No Operation)であり、第1のデータ66にはビットパターン“010101010101”が設定される。VNOP命令のビットパターンは“11010011”であるものとする。このデータパケットは、図21を参照して、プロセッサPE#0の入力ポートIAを介してプロセッサPE#0に与えられる。

30

【0044】

プロセッサPE#0は、このデータパケットを出力ポートOVから画像メモリ部VM#0の入力ポートに与える。画像メモリ部VM#0は、このデータパケットを出力ポートからプロセッサPE#0の入力ポートIVに与える。この場合命令コードがVNOP命令であるので、画像メモリ部VM#0はデータパケットに対して何らの処理も行なわない。

【0045】

プロセッサPE#0は、このデータパケットを出力ポートOAからプロセッサPE#2の入力ポートIAに与える。

【0046】

同様にプロセッサPE#2は、図24に示されるようにVNOP命令を実行する処理104Aを行う。すなわちプロセッサPE#2は、このデータパケットを出力ポートOVから画像メモリ部VM#2の入力ポートに与える。画像メモリ部VM#2は、このデータパケットを出力ポートからプロセッサPE#2の入力ポートIVに与える。この場合命令コードがVNOP命令であるので、画像メモリ部VM#2はデータパケットに対して何らの処理も行なわない。

40

【0047】

プロセッサPE#2は、データパケットに対して何らの処理も行なわず、出力ポートOAを介してホスト72にデータパケットを与える。(図24のステップ106A)

【0048】

50

各プロセッサにおいてデータパケットを出力ポートOAまたはOBのいずれに出力するかは、前述の通りの条件に基づいて行なわれる。

【0049】

このように図24を参照して、プロセッサPE#0および画像メモリ部VM#0でVNOP命令102Aを行ない、さらにプロセッサPE#2および画像メモリ部VM#2でもVNOP命令104Aを行なった上でホストに対して出力処理106Aを行なう。実行される命令はVNOP命令のみであるので、ホスト72に入力されるデータパケットの内容は、ホスト70から出力されたデータパケットの内容と一致するはずである。万一両者が一致しない場合には、不良経路の可能性はある。

【0050】

たとえば、ホスト70から出力されたデータパケットの第1のデータの領域のビットパターンが前述のとおりで、ホスト72が受信したデータパケットの第1のデータの領域のビットパターンが“1101010101”であるものとする。この場合には、第1のデータの最上位ビットに対応する接続経路と、その隣のビットに対応する接続経路とがショートしている可能性がある。

【0051】

従来はこのようにして各接続経路の1つ1つが正常であるかどうかを順に確認することにより、システム全体の接続経路が正常かどうかを確認していた。

【0052】

【発明が解決しようとする課題】

しかし、このような従来のデータ駆動型情報処理装置における方法では、すべての経路の接続を十分に確認することは非常に困難であり、ある場合には不可能でさえあった。これは、データパケットの各フィールドに、任意のビットパターンを設定してデータパケットを装置に投入することが難しいことに起因している。

【0053】

従来、経路テスト用のパケットの内容を設定する際には、テストするビットパターンに対応する命令コードなどを、予め指定されている命令セットの中から検索して定めていた。しかしこのために、次のような問題点がある。

【0054】

まず、所望のビットパターンに対応する命令コードが既存の命令セットに含まれていない場合がある。たとえば、既存のあるシステムでは、ビットパターン“01110000”～“01111111”に対応する命令コードは用意されていない。そうした命令コードを有するデータパケットを各プロセッサで処理させることはできない。したがって、それらのビットパターンを用いた接続経路のテストは不可能である。

【0055】

さらに、仮にテストするビットパターンに対応する命令コードが存在していても、その命令コードが経路テストのためには不適切な場合がある。これはつぎのような理由による。各プロセッサは、与えられるデータパケットに含まれる命令コードに従い、入力されるデータに対して演算を行なって出力データを算出する。出力データと入力データとは異なる値となることが多い。したがって、そのような場合には、その変化が、演算結果による変化であるのか、経路接続の不良による変化であるのかを識別することが極めて困難である。また、さらに、出力データの値が、入力されたデータパケットのデータの値のみならず、それ以前にアキュムレータ等に格納されていた内容に依存して異なる値を取るような演算を実行するための命令コードも存在している。仮にそのような命令コードに対応するビットパターンを、経路接続テスト用のビットパターンとして用いる場合には、アキュムレータなどの内容を予め設定しておいたり、あるいは確認しておいたりする必要が生ずる。そのために、出力されたデータの内容が、演算の結果を正しく示すものであるのか、経路接続の不良による誤りを含むものであるのかという解釈がさらに困難になる。

【0056】

また、画像メモリ部との接続経路を確認しようとした場合にも、所望のビットパターンで

10

20

30

40

50

のテストを行えない場合がある。上述した従来例では、画像メモリ部をアクセスする命令コードの最上位ビットは必ず“1”である。逆にいうと、最上位ビットが“0”であるようなビットパターンを持つ命令コードを用いると、そのデータパケットを画像メモリ部へのデータ伝送路に出力させることはできない。したがってそのような命令コードを用いてプロセッサと画像メモリ部との間の経路の確認を行うことが不可能である。

【0057】

最後に、極端な例としては次のような場合がある。既存のあるシステムでは、ビットパターン“000100000”に対応する命令コードは、「入力パケットを消去する」ことを示す。さらに、上述した従来のシステムでは、画像メモリ部をアクセスする命令のうち、ビットパターン“11100000”～“11101111”に対応する命令コードも、演算を行った後データパケットを消去する機能に対応している。したがってこれらのビットパターンを用いて経路接続テストを行なおうとしても、プロセッサからデータパケットが出力されることはない。この場合には、入力されたデータパケットの命令コードに従った処理が正確に実行されたために出力パケットが得られないのか、経路接続の不良のために出力が得られないのかを知ることが、上述したテストだけではほとんど不可能である。

10

【0058】

すなわち、従来、システムに投入できるデータパケットに含まれる命令コードのビットパターンが、テストとは別の要因による制約を受けているために、任意のビットパターンを用いて経路接続を確認することができなくなった。したがって経路接続の確認が非常に困難であるという問題点があった。また、多種多様な接続に対して容易に経路接続を行なえることが望ましい。

20

【0059】

それゆえに請求項1に記載の発明の目的は、データ駆動型情報処理装置における経路接続を、通常処理のためにデータパケットの内容に課される制約とは無関係に容易に確認できるデータ駆動型プロセッサを提供することである。

【0060】

請求項2に記載の発明の目的は、従来と同様に通常処理を行うことができるとともに、データ駆動型情報処理装置における経路接続を、通常処理のためにデータパケットの内容に課される制約とは無関係に容易に確認できるデータ駆動型情報処理装置を提供することである。

30

【0061】

請求項3に記載の発明の目的は、出力経路が二つに分岐するような接続が行われるデータ駆動型情報処理装置における経路接続を、通常処理のためにデータパケットの内容に課される制約とは無関係に容易に確認できるデータ駆動型情報処理装置を提供することである。

【0062】

請求項4に記載の発明の目的は、出力経路が二つに分岐するような接続が行われ、かつ画像記憶装置のような所定の記憶装置を含むデータ駆動型情報処理装置における経路接続を、通常処理のためにデータパケットの内容に課される制約とは無関係に容易に確認できるデータ駆動型情報処理装置を提供することである。

40

【0063】

請求項5に記載の発明の目的は、2つの伝送路が1つに合流するような接続が行われ、かつ画像記憶装置のような所定の記憶装置を含むデータ駆動型情報処理装置における経路接続を、通常処理のためにデータパケットの内容に課される制約とは無関係に容易に確認できるデータ駆動型情報処理装置を提供することである。

【0064】

請求項6に記載の発明の目的は、伝送路が2つ以上の伝送路に分岐するような接続が行われ、かつ画像記憶装置のような所定の記憶装置を含むデータ駆動型情報処理装置における経路接続を、通常処理のためにデータパケットの内容に課される制約とは無関係に容易に

50

確認できるデータ駆動型情報処理装置を提供することである。

【0065】

請求項7に記載の発明の目的は、複数個のデータ駆動型プロセッサを含み、かつ通常処理のためにデータパケットの内容に課される制約とは無関係に容易にプロセッサ間の経路接続を確認できるデータ駆動型情報処理装置を提供することである。

【0066】

請求項8に記載の発明の目的は、複数個のデータ駆動型プロセッサおよび画像記憶装置のような複数個の記憶装置を含み、かつ通常処理のためにデータパケットの内容に課される制約とは無関係に容易にプロセッサおよび記憶装置間の任意の経路接続を確認できるデータ駆動型情報処理装置を提供することである。

10

【0067】

請求項9に記載の発明の目的は、複数個のデータ駆動型プロセッサを含むデータ駆動型情報処理装置において、通常処理のためにデータパケットの内容に課される制約とは無関係に容易にプロセッサ間の経路接続を確認できる方法を提供することである。

【0068】

請求項10に記載の発明の目的は、複数個のデータ駆動型プロセッサおよび画像記憶装置のような複数個の記憶装置を含むデータ駆動型情報処理装置において、通常処理のためにデータパケットの内容に課される制約とは無関係に容易にプロセッサおよび記憶装置間の任意の経路接続を確認できる方法を提供することである。

【0069】

20

【課題を解決するための手段】

請求項1に記載のデータ駆動型プロセッサは、入力ポートおよび複数個の出力ポートと、経路確認テスト時のデータパケットを出力する出力ポートを指定する出力先情報を格納するための出力先情報記憶手段と、出力の動作モードと、出力ポートとを指定する動作モード信号を受信するための動作モード受信端子と、入力ポートに接続された入力を有し、入来データパケットに含まれる経路確認フラグおよび行先情報と、前記動作モード信号と、出力先情報とに基づいて、入来データパケットに対して行なう出力処理を決定するための出力処理決定手段とを含む。出力処理決定手段は、動作モード信号により第1の動作モードが指定されたことに応答して、入来データパケットに含まれる経路確認フラグが経路確認テストを示している場合に前記出力先情報に基づいて決定される出力ポートに入来データパケットを出力する処理、入来データパケットに含まれる経路確認フラグが経路確認テストを示しておらず且つ入来データパケットに含まれる命令コードが出力先情報設定命令でない場合に前記行先情報に基づいて入来データパケットを前記複数個の出力ポートのいずれかに選択的に出力する処理、入来データパケットに含まれる出力先情報設定命令に基づいて前記出力先情報の設定を行なう処理、のいずれかを行なうための選択的処理手段と、動作モード信号により第2の動作モードが指定されたことに応答して、入来データパケットを動作モード信号により指定される出力ポートに強制的に出力するための強制的出力手段とを含む。

30

【0070】

請求項2に記載のデータ駆動型プロセッサは、入力ポートおよび複数個の出力ポートと、経路確認テスト時のデータパケットを出力する出力ポートを指定する出力先情報を格納するための出力先情報記憶手段と、入力ポートに接続された入力を有し、入来データパケットに含まれる経路確認フラグおよび行先情報と、出力先情報とに基づいて、入来データパケットを出力ポートに選択的に出力するための選択的出力手段とを含み、選択的出力手段は、入力ポートに接続された入力と、第1および第2の出力とを有し、入来データパケットに含まれる経路確認フラグおよび行先情報に基づいて、入来データパケットを第1および第2の出力のいずれか一方に選択的に出力するための入力処理手段と、入力処理手段の第1の出力に接続された入力を有し、与えられるデータパケットに含まれる情報に従った処理をし、出力ポートを指定するための情報を含む出力データパケットを必要に応じて生成するためのデータパケット処理手段と、データパケット処理手段の出力と入力処理手段

40

50

の第2の出力とにそれぞれ接続される2つの入力と、複数個の出力ポートにそれぞれ接続される複数個の出力とを有し、かつ出力先情報記憶手段に接続され、入来データパケットに含まれる経路確認フラグが経路確認テストを示している場合は前記出力先情報を参照し、前記経路確認フラグが経路確認テストを示していない場合には入来データパケットに含まれる前記行先情報を参照して、複数個の出力ポートのいずれか一つを選択してデータパケットを出力するための出力処理手段とを含む。

【0071】

請求項3に記載のデータ駆動型プロセッサは、請求項2に記載のデータ駆動型プロセッサであって、第1の入力ポートおよび第2の入力ポートを含み、入力処理手段は、第1および第2の入力ポートにそれぞれ接続された二つの入力を有し、入来データパケットに含まれる経路確認フラグと行先情報とに基づいて、入来データパケットを第1および第2の出力のいずれか一方に選択的に出力するための手段を含む。

10

【0072】

請求項4に記載のデータ駆動型プロセッサは、第1の入力ポートおよび所定の記憶装置の出力に接続される第2の入力ポートと、経路確認テスト時のデータパケットを出力する出力ポートを指定する出力先情報を格納するための出力先情報記憶手段と、入力ポートに接続された入力を有し、入来データパケットに含まれる経路確認フラグおよび行先情報と、出力先情報とに基づいて、入来データパケットを前記出力ポートに選択的に出力するための選択的出力手段と、二つの第1の出力ポートおよび、所定の記憶装置の入力に接続される第2の出力ポートとを含む。選択的出力手段は、第1の入力ポートに接続された入力と、第1および第2の出力とを有し、入来データパケットに含まれる経路確認フラグと行先情報とに基づいて、入来データパケットを第1および第2の出力のいずれか一方に選択的に出力するための第1の入力処理手段と、第2の入力ポートに接続された入力と、第1および第2の出力とを有し、入来データパケットに含まれる経路確認フラグに基づいて、入来データパケットを第1および第2の出力のいずれか一方に選択的に出力するための第2の入力処理手段と、第1の入力処理手段の第1の出力と第2の入力処理手段の第1の出力とにそれぞれ接続された二つの入力と、第2の出力ポートに接続される第1の出力と、第2の出力とを有し、入来データパケットに含まれる情報に従った処理をし、行先情報を含む出力データパケットを必要に応じて生成して第1の出力又は第2の出力に選択的に出力するためのデータパケット処理手段と、第1の入力処理手段の第2の出力に接続される入力と、第2の出力ポートに接続される第1の出力と、第2の出力とを有し、かつ出力先情報記憶手段に接続され、入来データパケットの経路確認フラグの値と出力先情報とにしたがって、第1の出力または第2の出力に選択的にデータパケットを出力するための第1の出力処理手段と、データパケット処理手段の第2の出力を受けるように接続される第1の入力と、第1の出力手段の前記第2の出力および第2の入力処理手段の第2の出力に共通に接続される第2の入力と、二つの第1の出力ポートにそれぞれ接続される2つの出力とを有し、かつ出力先情報記憶手段に接続され、入来データパケットに含まれる経路確認フラグが経路確認テストを示している場合は出力先情報を参照し、経路確認フラグが経路確認テストを示していない場合には入来データパケットに含まれる行先情報を参照して、二つの第1の出力ポートのいずれかを選択してデータパケットを出力するための第2の出力処理手段とを含む。

20

30

40

【0073】

請求項5に記載のデータ駆動型プロセッサは、請求項4に記載のデータ駆動型プロセッサであって、複数個の第1の入力ポートを含む。

【0074】

請求項6に記載のデータ駆動型プロセッサは、請求項4に記載のデータ駆動型プロセッサであって、複数個の第1の出力ポートを含む。

【0075】

請求項7に記載のデータ駆動型情報処理装置は、複数個のデータ駆動型プロセッサと、複数個のデータ駆動型プロセッサを相互に接続するための接続手段とを含む。複数個のデー

50

タ駆動型プロセッサの各々は、入力ポートおよび複数個の出力ポートと、経路確認テスト時のデータパケットを出力する出力ポートを指定する出力先情報を格納するための出力先情報記憶手段と、出力の動作モードと、出力ポートとを指定する動作モード信号を受信するための動作モード受信端子と、入力ポートに接続された入力を有し、入来データパケットに含まれる経路確認フラグおよび行先情報と、動作モード信号と、出力先情報とに基づいて、入来データパケットに対して行なう出力処理を決定するための出力処理決定手段とを含み、出力処理決定手段は、動作モード信号により第1の動作モードが指定されたことに応答して、入来データパケットに含まれる経路確認フラグが経路確認テストを示している場合に出力先情報に基づいて決定される出力ポートに入来データパケットを出力する処理、入来データパケットに含まれる経路確認フラグが経路確認テストを示しておらず且つ入来データパケットに含まれる命令コードが出力先情報設定命令でない場合に行先情報に基づいて入来データパケットを複数個の出力ポートのいずれかに選択的に出力する処理、入来データパケットに含まれる出力先情報設定命令に基づいて出力先情報の設定を行なう処理、のいずれかを行なうための選択的処理手段と、動作モード信号により第2の動作モードが指定されたことに応答して、入来データパケットを動作モード信号により指定される出力ポートに強制的に出力するための強制的出力手段とを含み、接続手段は、複数個のデータ駆動型プロセッサの任意の1つから、他の任意の1つまでのデータ伝送経路が、間接的にせよ直接的にせよ、少なくとも一つ存在するように、それぞれ複数個のデータ駆動型プロセッサの入力ポートと、他のデータ駆動型プロセッサの出力ポートとを相互に接続するための複数のデータ伝送路を含む。

10

20

【0076】

請求項8に記載のデータ駆動型プロセッサは、請求項7記載のデータ駆動型情報処理装置であって、複数個の記憶装置をさらに含む。接続手段は、複数個のデータ駆動型プロセッサと複数個の記憶装置とをそれぞれ接続するための複数のデータ伝送路をさらに含む。

【0077】

請求項9に記載の方法は、請求項7に記載のデータ駆動型情報処理装置において、複数個のデータ駆動型プロセッサの経路接続を確認するための方法である。この方法は、複数個のデータ駆動型プロセッサの出力先情報記憶手段に、所望の伝送経路を与える出力先情報をそれぞれ設定する経路設定ステップと、所望の伝送経路における先頭のデータ駆動型プロセッサの入力ポートに、経路確認フラグとして経路確認テスト時を示す値を設定したデータパケットを与えるデータパケット投入ステップと、所望の伝送経路における最後のデータ駆動型プロセッサの出力ポートに、与えられたデータパケットに正しく対応するデータパケットが出力されたか否かを確認する確認ステップと、経路設定ステップとデータパケット投入ステップと確認ステップとを、所望の伝送経路を変化させて繰返して行なうステップとを含む。

30

【0078】

請求項10に記載の方法は、請求項8に記載のデータ駆動型情報処理装置において、複数個のデータ駆動型プロセッサと複数個の記憶装置との経路接続を確認するための方法である。この方法は、複数個のデータ駆動型プロセッサの出力先情報記憶手段に、複数個の記憶装置の少なくとも1つを経由する所望の伝送経路を与える出力先情報をそれぞれ設定する経路設定ステップと、所望の伝送経路における先頭のデータ駆動型プロセッサの入力ポートに、経路確認フラグとして経路確認テスト時を示す値を設定したデータパケットを与えるデータパケット投入ステップと、所望の伝送経路における最後のデータ駆動型プロセッサの出力ポートに、与えられたデータパケットに正しく対応するデータパケットが出力されたか否かを確認する確認ステップと、経路設定ステップとデータパケット投入ステップと確認ステップとを、所望の伝送経路を変化させて繰返して行なうステップとを含む。

40

【0079】

【作用】

請求項1に記載のデータ駆動型プロセッサにおいては、経路確認テスト時のデータパケットを出力する出力ポートを指定する出力先情報が予め出力先情報記憶手段に格納され、動

50

作モード信号により、動作モードが指定される。出力処理決定手段が、入来データパケットに含まれる経路確認フラグおよび行先情報と、動作モード信号と、出力先情報とに基づいて、入来データパケットを出力ポートに選択的に出力する。このとき、第1の動作モードが指定されると、選択的処理手段が、入来データパケットに含まれる経路確認フラグが経路確認テストを示している場合に出力先情報に基づいて決定される出力ポートに入来データパケットを出力する処理、入来データパケットに含まれる経路確認フラグが経路確認テストを示しておらず且つ入来データパケットに含まれる命令コードが出力先情報設定命令でない場合に行先情報に基づいて入来データパケットを複数個の出力ポートのいずれかに選択的に出力する処理、入来データパケットに含まれる出力先情報設定命令に基づいて出力先情報の設定を行なう処理、のいずれかを行ない、第2の動作モードが指定されると、強制的出力手段が入来データパケットを動作モード信号により指定される出力ポートに強制的に出力する。

10

【0080】

請求項2に記載のデータ駆動型プロセッサにおいては、経路確認テスト時のデータパケットを出力する出力ポートを指定する出力先情報が予め出力先情報記憶手段に格納され、出力処理決定手段が、入来データパケットに含まれる経路確認フラグおよび行先情報と、動作モード信号と、出力先情報とに基づいて、入来データパケットを出力ポートに選択的に出力する。入力処理手段が、入来データパケットに含まれる経路確認フラグおよび行先情報に基づいて、入来データパケットを第1および第2の出力のいずれか一方に選択的に出力する。データパケット処理手段は、入力処理手段の第1の出力から与えられるデータパケットに含まれる情報に従った処理をし、出力ポートを指定するための行先情報を含む出力データパケットを必要に応じて生成する。そして出力処理手段は、入来データパケットの経路確認フラグの値に従って、出力先情報記憶手段に格納されている出力先情報と、入来データパケットに含まれる行先情報とのいずれか一方を選択的に参照して、複数個の出力ポートのいずれか一方を選択してデータパケットを出力する。

20

【0081】

請求項3に記載のデータ駆動型プロセッサにおいては、請求項2に記載のデータ駆動型プロセッサの作用に加え、入力処理手段において、入来データパケットに含まれる経路確認フラグと行先情報とに基づいて、入来データパケットが第1および第2の出力のいずれか一方に選択的に出力される。

30

【0082】

請求項4に記載のデータ駆動型プロセッサにおいては、経路確認テスト時のデータパケットを出力する出力ポートを指定する出力先情報が予め出力先情報記憶手段に格納され、出力処理決定手段が、入来データパケットに含まれる経路確認フラグおよび行先情報と、動作モード信号と、出力先情報とに基づいて、入来データパケットを出力ポートに選択的に出力する。第1の入力処理手段が、第1の入力ポートからの入来データパケットに含まれる経路確認フラグと行先情報とに基づいて、入来データパケットを第1の出力および所定の記憶装置への第2の出力のいずれか一方に選択的に出力する。第2の入力処理手段は、所定の記憶装置からの第2の入力ポートからの入来データパケットに含まれる経路確認フラグに基づいて、入来データパケットを第1および第2の出力のいずれか一方に選択的に出力する。データパケット処理手段は、第1の入力処理手段と第2の入力処理手段とから与えられるデータパケットに含まれる情報に従った処理をし、行先情報を含む出力データパケットを必要に応じて生成して第1の出力又は第2の出力に選択的に出力する。第1の出力処理手段は、第1の入力処理手段の第2の出力からのデータパケットの経路確認フラグの値と出力先情報とにしたがって、第1の出力または第2の出力に選択的にデータパケットを出力する。第2の出力処理手段は、データパケット処理手段の第2の出力または第1の出力手段の第2の出力および第1の入力処理手段の第2の出力のいずれかから与えられるデータパケットに含まれる経路確認フラグが経路確認テストを示している場合は出力先情報を参照し、経路確認フラグが経路確認テストを示していない場合には該データパケットに含まれる行先情報を参照して、二つの第1の出力ポートのいずれかを選択してデー

40

50

タパケットを出力する。

【0083】

請求項5に記載のデータ駆動型プロセッサにおいては、複数の他のデータ駆動型プロセッサまたは記憶装置からのデータパケットを処理できる。

【0084】

請求項6に記載のデータ駆動型プロセッサにおいては、複数の他のデータ駆動型プロセッサまたは記憶装置に選択的にデータパケットを与えることができる。

【0085】

請求項7に記載のデータ駆動型情報処理装置においては、複数のデータ駆動型プロセッサの各々の出力先情報記憶手段が、出力先情報を予め格納する。動作モード信号により、動作モードが指定される。そして複数のデータ駆動型プロセッサの各々の出力処理決定手段が、入来データパケットに含まれる経路確認フラグおよび行先情報と、動作モード信号と、出力先情報とに基づいて、入来データパケットに対して行なう出力処理を決定する。接続手段により、複数のデータ駆動型プロセッサの任意の1つから他の任意の1つまで、間接的にせよ直接的にせよ、データパケットが伝送される。

10

【0086】

請求項8に記載のデータ駆動型プロセッサにおいては、請求項7記載のデータ駆動型情報処理装置の作用に加え、接続手段により、複数のデータ駆動型プロセッサまたは記憶装置の任意の1つから他の任意の1つまで、間接的にせよ直接的にせよ、データパケットが伝送される。

20

【0087】

請求項9に記載の方法においては、まず複数のデータ駆動型プロセッサの出力先情報記憶手段に、所望の伝送経路を与える出力先情報がそれぞれ設定される。所望の伝送経路における先頭のデータ駆動型プロセッサの入力ポートに、経路確認フラグとして経路確認テスト時を示す値を設定したデータパケットが与えられる。所望の伝送経路における最後のデータ駆動型プロセッサの出力ポートに、与えられたデータパケットに正しく対応するデータパケットが出力されたか否かが確認される。そして、経路設定ステップとデータパケット投入ステップと確認ステップとが、所望の伝送経路を変化させて繰返して行なわれる。

【0088】

請求項10に記載の方法においては、複数のデータ駆動型プロセッサの出力先情報記憶手段に、複数の記憶装置の少なくとも1つを経由する所望の伝送経路を与える出力先情報がそれぞれ設定される。所望の伝送経路における先頭のデータ駆動型プロセッサの入力ポートに、経路確認フラグとして経路確認テスト時を示す値を設定したデータパケットが与えられる。そして、所望の伝送経路における最後のデータ駆動型プロセッサの出力ポートに、与えられたデータパケットに正しく対応するデータパケットが出力されたか否かが確認される。さらに経路設定ステップとデータパケット投入ステップと確認ステップとを、所望の伝送経路を変化させて繰返して行なう。

30

【0089】

【実施例】

40

[第1の実施例]

図1に、本発明の第1の実施例に係る映像処理向きデータ駆動型プロセッサのブロック構成図を示す。図1を参照して、映像処理向きデータ駆動型プロセッサ110は、入力処理部120と、合流部122と、本体処理部124と、分岐部126と、出力処理部128と、PEレジスタ90と、出力先情報記憶手段に相当するHレジスタ130とを含む。PEレジスタ90は、図22に示される従来の映像処理向きデータ駆動型プロセッサ10のPEレジスタ90と同一である。なお、本実施例の装置では、データ駆動型プロセッサ110は2つの入力と2つの出力とを有するが、これらの入出力の数は単に一例に過ぎない。たとえば1入力複数出力でもよいし、入出力とも2以上の複数でもよい。また入力と出力との数が一致する必要もない。

50

【0090】

図1に示される映像処理向きデータ駆動型プロセッサ110で取り扱うデータパケットのうち、画像メモリ部への入力に用いられるものは67ビット長、他のデータ駆動型プロセッサとの間での入出力に用いられるものは55ビット長である。もちろんこれは一例であり、データパケットのパケット長やフィールド構成がこれに限定されるわけではない。

【0091】

入力処理部120は、2つの入力ポートIAおよびIBに接続された2つの55ビット長のデータパケット入力と、2つの55ビット長のデータパケット出力OB0およびOA0とを有する。入力処理部120は、入力されるデータパケットに含まれる情報(詳細は後述する)を参照して、データパケットを合流部122または出力処理部128に選択的に与えるためのものである。また入力処理部120は、特別な命令を受けると、PEレジスタ90の内容を設定する。

10

【0092】

合流部122は、入力処理部120の一方のデータパケット出力OB0に接続された55ビット長の入力と、分岐部126の出力に接続された55ビット長の入力と、本体処理部124に接続された55ビット長のデータパケット出力とを有する。合流部122は、図22に示される従来のデータ駆動型プロセッサ10の合流部82と同様の機能を果たす。合流部82と122とが異なるのは、処理するデータパケット長がそれぞれ54ビットと55ビットとであることのみである。

【0093】

本体処理部124は、図示されない画像メモリ部に接続された67ビット長の出力ポートOVと55ビット長の入力ポートIVとに接続された出力および入力と、合流部122の出力に接続された55ビット長の入力と、分岐部126の入力に接続された55ビット長の出力とを有する。本体処理部124は、予めプログラムを格納しており、合流部122から与えられるデータパケットに含まれるデータに、そのデータパケットに含まれる命令コードにより定められる処理を行ない、結果のデータパケットを分岐部126に出力するためのものである。本体処理部124はまた、図示されない画像メモリ部に対するアクセスが必要な場合には、出力ポートOVを介して67ビット長のデータパケットを画像メモリ部に与え、結果の55ビット長のデータパケットを、入力ポートIVを介して画像メモリ部から受け取る。

20

30

【0094】

分岐部126は、図22に示される従来のデータ駆動型プロセッサ10の分岐部86と同様の動作を行なう。分岐部86と分岐部126とが異なるのは、扱うデータパケットのパケット長(それぞれ54ビット、55ビット)のみである。

【0095】

出力処理部128は、2つのデータパケット入力IA0およびIB0に与えられるデータパケットを、2つのデータパケット出力ポートOAおよびOBのいずれか一方に、後述する方法に従って選択的に送出的ためのものである。出力処理部128による出力ポートの選択は、通常処理時と経路接続の確認時とで互いに異なっている。

【0096】

Hレジスタ130は、経路接続の確認時に、出力処理部128によって参照されるものであり、データパケットを2つの出力ポートOAまたはOBのどちらに出力すべきかを定める1ビットの情報を格納するためのものである。経路接続の確認時か否かは、入力されるデータパケットに含まれる経路接続フラグにより決められる。データパケットのフィールド構成については図4および5を参照して後述する。

40

【0097】

出力処理部128には2ビットのHBID端子132が接続されている。HBID端子132には、出力処理部128の動作モードを設定するための信号134が与えられる。出力処理部128の詳細な構成とその動作とについては図3を参照して後述する。

【0098】

50

図2を参照して、入力処理部120は、Hレジスタ参照ビット識別部140と、命令識別部142と、出力ポート選択部144とを含む。

【0099】

Hレジスタ参照ビット識別部140は、入力ポートIAおよびIBから入力されるデータパケットに含まれるHレジスタ参照ビット(後述)の値を識別し、Hレジスタ参照ビット結果信号146を出力ポート選択部144に与えると同時に、データパケットを命令識別部142に与えるためのものである。

【0100】

命令識別部142は、Hレジスタ参照ビット識別部140からのデータパケットを受け、データパケットに含まれる命令コードを識別し、識別結果信号148をデータパケットと

10

【0101】

出力ポート選択部144は、Hレジスタ参照ビット結果信号146と識別結果信号148とに

【0102】

【表1】

[第1表]

Hレジスタ参照 ビット結果信号 146	識別結果 信号 148	動 作
0	0	パケットのPE#とPE#レジスタの値を比較 一致→OB0に、不一致→OA0に出力
0	1	パケットのデータの値をPE#レジスタに書込 み、パケット消去
1	0	パケットをOA0ポートに出力
1	1	認められない信号

10

[第2表]

HBID端子の値	動 作
0 0	第3表にしたがう
0 1	未使用
1 0	OAポート強制出力
1 1	OBポート強制出力

20

30

【0103】

【表2】

[第3表]

入力ポート 識別信号 166	識別結果 信号 168	動作
0	0	予め設定された分岐条件に従って パケット出力
0	1	Hレジスタの内容に従ってパケッ ト出力
1	0	予め設定された分岐条件に従って パケット出力
1	1	パケットのデータの内容をHレジ スタに書込後、パケット消去

10

20

【0104】

第1表を参照して、Hレジスタ参照ビット結果信号146と識別結果信号148とがともに0であれば、出力ポート選択部144は、命令識別部142から与えられるデータパケットのPE（後述）とPEレジスタ90の値とを比較する。出力ポート選択部144は、両者が一致した場合にはデータパケットを出力OB0に、両者が一致しない場合には出力OA0にそれぞれ出力する。

【0105】

Hレジスタ参照ビット結果信号146が0、識別結果信号148が1である場合には、出力ポート選択部144は、与えられるデータパケットに含まれる第1のデータフィールドの値をPEレジスタ90に書込み、パケットを消去する。

30

【0106】

Hレジスタ参照ビット結果信号146が1、識別結果信号148が0の場合には、出力ポート選択部144はデータパケットを出力OA0を介して送出する。後述するようにこれは経路接続のテストを行なうときの動作モードである。

【0107】

図3を参照して、出力処理部128は、入力ポート判別部160と、命令識別部162と、出力ポート選択部164とを含む。

【0108】

入力ポート判別部160は、2つのデータパケット入力IA0およびIB0と、命令識別部162の入力に接続されたデータパケット出力と、出力ポート選択部164に接続された入力ポート識別信号166の出力端子とを有する。データパケット入力IA0は図1に示される入力処理部120のデータパケット出力OA0に接続されている。データパケット入力IB0は、図1に示される分岐部126のデータパケット出力に接続されている。入力ポート判別部160は、データパケットが入力IA0およびIB0のいずれの入力ポートから与えられたかを示す入力ポート識別信号166を発生して出力ポート選択部164に与えるとともに、データパケットを命令識別部162に与えるためのものである。

40

【0109】

命令識別部162は、入力ポート判別部160のデータパケット出力に接続されたデータ

50

パケット入力と、出力ポート選択部 164 のデータパケット入力に接続されたデータパケット出力と、出力ポート選択部 164 に与えられる識別結果信号 168 を出力するための端子とを有する。命令識別部 162 は、与えられたデータパケットに含まれる命令コード（後述）が、Hレジスタ 130 へのデータの設定命令であれば識別結果信号 168 の値を「1」とする。また命令識別部 162 は、データパケットのHレジスタ参照ビットの値が「1」であれば、識別結果信号 168 の値を「1」にする。その他の場合には命令識別部 162 は、識別結果信号 168 の値を「0」とする。

【0110】

出力ポート選択部 164 は、命令識別部 162 のデータパケット出力に接続されたデータパケット入力と、2つの出力ポートOAおよびOBに接続された2つのデータパケット出力と、HBID端子 132 に接続された端子と、入力ポート判別部 160 からの入力ポート識別信号 166 が与えられる端子と、命令識別部 162 からの識別結果信号 168 が与えられる端子とを有している。出力ポート選択部 164 はまた、Hレジスタ 130 の内容を参照または更新することができる。

10

【0111】

出力ポート選択部 164 は、前掲の第2表および第3表に従った動作を行なうためのものである。

【0112】

第2表を参照して、HBID端子 132 から与えられる信号 134 の値により、この出力処理部 128 の動作は2つの動作モードに大別される。その第1は信号 134 の値が「00」である場合であり、第2の場合は「10」または「11」である場合である。信号 134 の値が「01」に対応する動作モードは設けられていない。第1の動作モードは、ソフトウェア的にデータパケットの出力先を設定するモードである。この場合の出力ポートの選択は、さらに第3表に示されるように4つに細分化される。第2の動作モードにおいては、2つの出力ポートOAまたはOBのいずれにデータパケットを出力するかが、この信号 134 によりハードウェア的に設定される。この場合には、データパケットの内容に関係なく第2表の第3行および第4行に従った出力ポートの選択が行なわれる。

20

【0113】

このようなハードウェア的な出力ポートの設計モードが設けられているのは次のような理由による。通常であれば、Hレジスタ 130 の内容は、第3表の第4行の条件を満足するデータパケットをデータ駆動型プロセッサ 110 に与えることにより設定できる。しかし、このようなHレジスタ 130 の設定自体が完全にできない場合も考えられる。そのような場合には、図3に示されるHBID端子 132 を介して、第2表の第3行または第4行に示される値の信号を出力ポート選択部 164 に与え、出力ポートの選択を設定することができる。

30

【0114】

第3表を参照して、ソフトウェア的な動作モードにおける出力ポート選択部 164 の動作は、入力ポート識別信号 166 と識別結果信号 168 との組合せによりさらに3通りに大別される。その第1は識別結果信号 168 が0の場合である。この場合には入力ポート識別信号 166 の値に関わりなく、予め設定された分岐条件に従って出力ポートを選択してデータパケットを出力する（第3表の第1行および第3行）。その第2は入力ポート識別信号 166 が0、識別結果信号 168 が1の場合である。この場合には、Hレジスタ 130 の内容を参照して出力ポートを選択する（第3表第2行）。その第3は入力ポート識別信号 166 および識別結果信号 168 がともに1の場合である。この場合には、データパケットの第1のデータフィールドの内容をHレジスタ 130 に書込み、パケットを消去する。したがってこのような条件を満足するように、Hレジスタ 130 の内容の設定命令を含むデータパケットを、データパケット入力IA0またはIB0のうちの適当な方に与えることにより、Hレジスタ 130 の内容を設定することができる。

40

【0115】

図4に、図1に示される本体処理部 124 から図示されない画像メモリ部に与えられる6

50

3ビットのデータパケットのフィールド構成の例を示す。このデータパケットは、合流部122から本体処理部124に与えられるデータパケットのフィールド構成とも一致している。

【0116】

図4を参照して、このデータパケット180は、1ビットのHレジスタ参照ビット182と、8ビットの命令コード42と、24ビットの世代番号44と、12ビットの第1のデータ46と、同じく12ビットの第2のデータ48と、10ビットのプロセッサ番号50とを含む。命令コード42と、世代番号44と、データ46および48と、プロセッサ番号50とは、図18に示した従来のデータ駆動型プロセッサで使用されたデータパケット40の対応するフィールドと同じ意味をもつ。Hレジスタ参照ビット182には、経路接続の確認時には「1」が、通常動作時には「0」がそれぞれ設定される。このHレジスタ参照ビット182が「1」であれば経路接続の確認時であることを示す。

10

【0117】

図5は、図示されない画像メモリ部から本体処理部124に与えられるデータパケットのフィールド構成を示す。このフィールド構成は、このデータ駆動型プロセッサ110と他のデータ駆動型プロセッサとの間で、データ伝送路112、114、116および118を介して伝送されるデータパケットのフィールド構成と一致している。

【0118】

図5を参照して、データパケット190は、1ビットのHレジスタ参照ビット192と、8ビットの命令コード62と、24ビットの世代番号64と、12ビットの第1のデータ66と、10ビットのプロセッサ番号68とを含む。命令コード62と、世代番号64と、第1のデータ66と、プロセッサ番号68とは、図19に示した、従来のデータ駆動型プロセッサで用いられるデータパケット60の対応フィールドと同じ意味をもつ。Hレジスタ参照ビット192には、経路接続の確認時には「1」が、それ以外のときには「0」が設定される。

20

【0119】

図1～図5を参照して、この第1の実施例のデータ駆動型プロセッサは次のように動作する。以下の動作説明は、(1)PEレジスタ設定(2)通常処理(3)Hレジスタ設定(4)経路接続の確認処理、の順に説明する。

【0120】

(1) PEレジスタの設定

PEレジスタは次のようにして設定される。図5を参照して、設定のためのデータパケットにおいて、命令コード62には、PEレジスタ設定命令を格納する。第1のデータ66には、目的とするデータ駆動型プロセッサのPEレジスタ90に設定すべきPEと、前述のマスク値とマッチ値とを格納する。プロセッサPE0～PE3のPEは、マスタリセット後デフォルト値の0となる。各プロセッサはいずれも、マスタリセット後初めて入力されるデータパケットを、自分向けのデータパケットとして取り扱い、そのデータパケットに含まれるPEと、マスク値と、マッチ値とを対応するPEレジスタ、マスクデータレジスタ、マッチデータレジスタに取り込む。ただし、マスタリセット後初めて入力されるデータパケットの命令は前述のPEレジスタ設定命令である。

30

40

【0121】

この初期設定方法により、ホストの近くに接続されているプロセッサ(この例ではプロセッサPE0またはPE1)から順に、接続されている各プロセッサのPEとマスク値とマッチ値とを順次設定できる。

【0122】

(2) 通常処理

通常処理の場合、図1および図3に示されるHBID端子132からの信号134は「0」に設定される。

【0123】

図5を参照して、データパケット190のHレジスタ参照ビット192には「0」が格納

50

される。命令コード 62 には、行なおうとする処理に従う命令コードが格納される。世代番号 64 には、前述のようにデータ駆動型プロセッサ 110 に入力される時系列に従った順番で世代番号が格納される。第 1 のデータ 66 には、演算対象のデータが格納される。プロセッサ番号 68 には、目的とするプロセッサのプロセッサ番号が格納される。

【0124】

図 2 を参照して、入力ポート IA または IB からデータパケットが入力されると、Hレジスタ参照ビット識別部 140 は、図 5 に示される Hレジスタ参照ビット 192 の内容を調べる。通常処理の場合には Hレジスタ参照ビット 192 は前述のように「0」である。したがって Hレジスタ参照ビット結果信号 146 は「0」である。命令識別部 142 は、識別結果信号 148 の値を「0」とする。

10

【0125】

出力ポート選択部 144 は、与えられるデータパケットのプロセッサ番号 68 (図 5 参照) の値と PE レジスタ 90 の値とを比較し、一致すればデータパケット出力 OB0 に、一致しなければデータパケット出力 OA0 にそれぞれデータパケットを出力する。これは第 1 表の第 1 行に従った処理である。

【0126】

データパケットのプロセッサ番号 68 と PE レジスタ 90 との値が一致した場合、合流部 122 にデータパケットが与えられる。合流部 122 は、入力処理部 120 からのデータパケットと分岐部 126 からのデータパケットとの合流処理を行ない、さらに対データの検出を行なって、演算が実行可能なデータパケットを本体処理部 124 に与える。

20

【0127】

本体処理部 124 は、与えられるデータパケットのデータに対し、命令コードによって定まる処理を行ない、結果のデータパケットを分岐部 126 に与える。本体処理部 124 は、画像メモリ部 (図示せず) へのアクセスが必要な場合には、出力ポート OV を介して画像メモリ部にデータパケットを与え、画像メモリのアクセス結果のデータパケットを入力ポート IV を通して受け取る。

【0128】

分岐部 126 は、与えられるデータパケットのプロセッサ番号 68 (図 5 参照) と PE レジスタ 90 の内容とを比較する。分岐部 126 は、両者が一致すればデータパケットを合流部 122 に送出する。両者が一致しなければ分岐部 126 は、出力処理部 128 にデータパケットを送出する。

30

【0129】

図 3 を参照して、出力処理部 128 の入力ポート判別部 160 は、データパケットが入力 IA0 および IB0 のいずれのポートから与えられたかを判別し、入力 IA0 からである場合には入力ポート識別信号 166 を「0」に、入力 IB0 からのものである場合には入力ポート識別信号 166 を「1」にそれぞれ設定する。現在述べているのは通常処理の場合である。データパケットの Hレジスタ参照ビット値は「0」である。したがって、入力 IA0 を介して入力ポート判別部 160 に与えられたデータパケットは、図 1 に示す入力処理部 120 において、自プロセッサに対する入力パケットではないと判別されたパケットである。また入力 IB0 を介して入力ポート判別部 160 に与えられるデータパケットは、図 1 に示す入力処理部 120 で、自プロセッサに対する入力パケットであると判別されたパケットである。

40

【0130】

命令識別部 162 は、データパケットの命令コード 62 (図 5 参照) が Hレジスタ設定命令ではなく、かつ Hレジスタ参照ビット 192 が「0」であるので、識別結果信号 168 を「0」とする。

【0131】

出力ポート選択部 164 は、この通常処理の場合には第 3 表の第 1 行または第 3 行に示されるように動作する。すなわち出力ポート選択部 164 は、図 2 に示す出力処理部 88 と同様に、予め記憶したマスク値とマッチ値とを用い、従来の技術と同様に、予め設定さ

50

れた分岐条件に従ってパケットを出力する。すなわち、出力ポート選択部 164 はまず、入力されたデータパケットのプロセッサ番号 68 (図 5) と、記憶されているマスク値との間で論理積を行なう。出力ポート選択部 164 は、論理積の結果を、予め記憶していたマッチ値と比較する。出力ポート選択部 164 は、両者が一致している場合にはパケットを出力ポート OA に、両者が一致していない場合には出力ポート OB にそれぞれ出力する。

【0132】

(3) Hレジスタの設定

Hレジスタ 130 (図 1 および図 3) は次のようにして設定される。図 5 を参照して、Hレジスタ参照ビット 192 には「0」が設定される。命令コード 62 には Hレジスタ設定命令が設定される。第 1 のデータ 66 には、Hレジスタ 130 に設定すべき値(「0」または「1」)が設定される。プロセッサ番号 68 は、対象のプロセッサの番号に設定される。

10

【0133】

図 2 を参照して、このデータパケットが入力ポート IA または IB のいずれから入力された場合であっても、Hレジスタ参照結果信号 146 は「0」となる。また識別結果信号 148 も「0」となる。したがって第 1 表の第 1 行に従い、データパケットのプロセッサ番号 68 が PE レジスタ 90 の内容と一致した場合にはパケットは出力 OB0 を介して合流部 122 に与えられる。両者が一致しない場合にはデータパケットは出力処理部 128 に直接与えられる。

20

【0134】

このデータパケットは合流部 122、本体処理部 124、分岐部 126 により出力処理部 128 に与えられる。

【0135】

図 3 を参照して、このデータパケットは入力 IB0 を介して入力ポート判別部 160 に与えられる。したがって入力ポート識別信号 166 は「1」となる。命令コードは Hレジスタ設定命令であるので、識別結果信号 168 も「1」となる。出力ポート選択部 164 は、第 3 表の第 4 行に従い、データパケットのデータの値を Hレジスタ 130 に書込み、パケットを消去する。この動作により、Hレジスタ 130 に「0」または「1」のいずれかの値が書込まれる。

30

【0136】

なお、経路接続の確認時、すなわちデータパケットの Hレジスタ参照ビットの値が「1」である場合には、次のように出力ポートの選択が行なわれる。Hレジスタ 130 の格納内容が「0」であればデータパケットは出力ポート OA に、「1」であればデータパケットは出力ポート OB にそれぞれ出力されるものとする。

【0137】

(4) 経路接続の確認

経路接続の確認は次のようにして行なわれる。図 6 を参照して、まずすべての経路を確認済みかどうか判断する。すべての経路が確認済みであれば経路接続の確認処理は終了する。まだ確認されていない経路が存在する場合、ステップ S20 の処理を行なう。

40

【0138】

ステップ S20 では、各データ駆動型プロセッサの Hレジスタを、次に確認すべき経路が得られるように設定する。

【0139】

さらにステップ S30 で、Hレジスタ参照ビットに「1」を設定したデータパケットを、接続経路の先頭のプロセッサに与える処理が行なわれる。この先頭のプロセッサとは、たとえば図 21 に示される接続の場合には、プロセッサ PE0 の入力ポート IA またはプロセッサ PE1 の入力ポート IB である。

【0140】

続いてステップ S40 で、接続経路の最後のデータ駆動型プロセッサの出力ポートに正し

50

いデータパッケージが得られたかどうかについて判断が行なわれる。図 2 1 に示される例では、プロセッサ P E 2 の出力ポート O A またはプロセッサ P E 3 の出力ポート O B から得られるデータパッケージについてこの判断が行なわれる。どのプロセッサにデータパッケージを与えるか、どのプロセッサからデータパッケージが得られるかは、テストしようとする経路によって定まる。

【 0 1 4 1 】

たとえば図 2 1 に示される例では、図 7 (a) ~ (d) に示される 4 つの経路を確認することが考えられる。図 7 (a) ~ (d) の 4 通りの経路を確認することで、図 2 1 に示されるネットワークの各接続経路の確認が行なわれる。

【 0 1 4 2 】

また図 7 を参照して容易にわかるように、どの接続経路をテストするかに従って、どのプロセッサにデータパッケージを与え、どのプロセッサからデータパッケージが得られるかが決まる。

【 0 1 4 3 】

図 7 (a) に示す接続経路を確認する場合には、プロセッサ P E 0 の H レジスタには「 1 」が、プロセッサ P E 2 の H レジスタには「 0 」がそれぞれ格納される。

【 0 1 4 4 】

図 7 (b) に示される経路接続の確認時には、プロセッサ P E 1 の H レジスタには「 1 」が、プロセッサ P E 3 の H レジスタには「 1 」がそれぞれ格納される。

【 0 1 4 5 】

図 7 (c) に示される経路接続の確認を行なう場合には、各プロセッサ P E 0、P E 1、P E 2、P E 3 の H レジスタには、すべて「 0 」が格納される。

【 0 1 4 6 】

図 7 (d) に示される経路接続の確認時には、プロセッサ P E 0、P E 1、P E 2、P E 3 の各 H レジスタには、それぞれ「 0 」「 0 」「 1 」「 1 」が格納される。

【 0 1 4 7 】

経路の接続が完了した後、プロセッサに投入される接続確認のためのデータパッケージは次のようになっている。図 5 を参照して、H レジスタ参照ビット 1 9 2 は「 1 」に設定される。命令コード 6 2、世代番号 6 4、データ 6 6、プロセッサ番号 6 8 はそれぞれ任意のビットパターンに設定される。

【 0 1 4 8 】

たとえば図 7 (a) に示される経路接続のテストを行なう場合、データパッケージはプロセッサ P E 0 の入力ポート I A に与えられる。

【 0 1 4 9 】

図 2 を参照して、H レジスタ参照ビット識別部 1 4 0 は、H レジスタ参照ビット結果信号 1 4 6 を「 1 」とする。

【 0 1 5 0 】

出力ポート選択部 1 4 4 は、前述の第 1 表の第 3 行に従い、データパッケージを無条件で出力 O A 0 に出力する。したがって図 1 を参照して、データパッケージは出力処理部 1 2 8 の第 1 のデータパッケージ入力 I A 0 に直接与えられる。

【 0 1 5 1 】

図 3 を参照して、データパッケージが入力 I A 0 を介して入力ポート判別部 1 6 0 に与えられるので、入力ポート判別信号 1 6 6 は「 0 」となる。データパッケージの H レジスタ参照ビットが「 1 」であるので、命令識別部 1 6 2 から出力される識別結果信号 1 6 8 は「 1 」となる。

【 0 1 5 2 】

第 3 表第 2 行に従い、出力ポート選択部 1 6 4 は、H レジスタ 1 3 0 の内容を参照する。出力ポート選択部 1 6 4 は、H レジスタ 1 3 0 に「 0 」が格納されている場合出力ポート O A を選択する。

【 0 1 5 3 】

10

20

30

40

50

すなわち、データパケットのHレジスタ参照ビットが「1」に設定されたデータパケットが与えられた場合、データ駆動型プロセッサは、Hレジスタ130の格納内容に従って出力ポートを選択する。したがって、データパケットのその他の部分のビットパターンとは無関係にデータパケットの経路を設定し、その経路を伝送させることができる。この場合、Hレジスタ参照ビットを除き、データパケットの内容が参照されたり更新されたりすることはない。出力されるデータパケットの内容が、アキュムレータの内容によって異なってくることもない。したがってこのデータ駆動型プロセッサを用いたデータ駆動型情報処理装置では、従来困難であったり、あるいは不可能でさえあったプロセッサ間経路の接続の確認を容易に行なうことができる。

【0154】

10

[第2の実施例]

以下に述べる第2の実施例は、図8に示されるように、従来と同一のプロセッサ10(図22参照)の前後に入力前処理部200および出力後処理部202をそれぞれ設け、さらに第1の実施例と同様にHレジスタ204を設けることにより第1の実施例と同様の効果を得るようにしたものである。

【0155】

図8を参照して、入力前処理部200に入力ポートIA1およびIB1を介して与えられるデータパケットは55ビット長である。また出力後処理部202の2つの出力ポートOA1およびOB1から出力されるデータパケットのビット長も55ビットである。なお、これらのデータパケットおよび後述するデータパケットのビット長およびフィールド構成は単なる例であり、他のビット長またはフィールド構成が採用されてもよい。

20

【0156】

図8に示されるように、入力前処理部は3つの出力を有する。そのうちの2つの出力はそれぞれ、プロセッサ10の2つの入力ポートIAおよびIBに接続されている。この伝送路はそれぞれ54ビット長である。

【0157】

出力後処理部202は3つの入力を入力を有する。そのうちの2つは、プロセッサ10の2つの出力ポートOAおよびOBに接続されている。出力後処理部202の残りの1つの入力も、入力前処理部200の残りの1つの出力に接続されている。

【0158】

30

プロセッサ10が図示されない画像メモリとの間でそれぞれ54ビット、66ビットのデータパケットを入力ポートIV、出力ポートOVを介して入出力することも図22の場合と同様である。

【0159】

出力後処理部202は、Hレジスタ204の内容を参照し、更新することができる。また出力後処理部202は、HBID端子208に接続されている。HBID端子208は、図1および3に示されるHBID端子132と全く同様に、2ビットの信号206を出力後処理部202に与えるためのものである。この信号206の意味は、第2表に示されたものと同一である。なお、この第2の実施例において用いられるデータパケットのうち、55ビット長のもは図5に示されるものと同じフィールド構成であり、66ビット長のもは図19に示されるデータパケット40と同じフィールド構成であり、54ビットのもは図20に示されるデータパケット60と同一のフィールド構成である。

40

【0160】

図9を参照して、入力前処理部200は、入力ポート判別部210と、Hレジスタ参照ビット識別部212と、最上位ビット除去部214と、出力ポート選択部216とを含む。

【0161】

入力ポート判別部210は、入力ポートIA1およびIB1にそれぞれ接続された2つの入力と、Hレジスタ参照ビット識別部212の入力に接続された出力と、入力ポート判別信号218の出力端子とを有する。入力ポート判別信号218は出力ポート選択部216に与えられる。入力ポート判別部210は、データパケットが入力ポートIA1またはI

50

B 1 のいずれを介して与えられたかを判別し、その結果に従って入力ポート判別信号 2 1 8 の値を変える。入力ポート判別部 2 1 0 はまた、データパケットをそのまま H レジスタ参照ビット識別部 2 1 2 に与えるためのものでもある。

【 0 1 6 2 】

H レジスタ参照ビット識別部 2 1 2 は、入力ポート判別部の出力に接続された 5 5 ビット長の入力と、最上位ビット除去部 2 1 4 の入力に接続された 5 4 ビット長の出力と、5 5 ビット長のテストデータパケット伝送路 2 2 0 に接続された出力とを有する。H レジスタ参照ビット識別部 2 1 2 は、与えられるデータパケットの H レジスタ参照ビットの値が「1」であるか「0」であるかによって、データパケットをテストデータパケット伝送路 2 2 0 または最上位ビット除去部 2 1 4 への伝送路に選択的に出力するためのものである。 10

【 0 1 6 3 】

最上位ビット除去部 2 1 4 は、H レジスタ参照ビット識別部 2 1 2 の出力に接続された 5 5 ビット長の入力と、出力ポート選択部 2 1 6 に接続された 5 4 ビット長の出力とを有する。最上位ビット除去部 2 1 4 は、与えられるデータパケットの最上位ビット、すなわち H レジスタ参照ビットを除去したデータパケットを生成して出力ポート選択部 2 1 6 に与えるためのものである。

【 0 1 6 4 】

出力ポート選択部 2 1 6 は、最上位ビット除去部 2 1 0 の出力に接続された 5 4 ビット長の入力と、それぞれ図 8 に示されるプロセッサ 1 0 の 2 つの入力ポート I A および I B に接続されたそれぞれ 5 4 ビット長の 2 つのデータ出力と、入力ポート判別信号 2 1 8 の入力端子とを有する。出力ポート選択部 2 1 6 は、入力ポート判別信号 2 1 8 に従い、入力ポート I A 1 を介して入力されたデータパケットはプロセッサ 1 0 の入力ポート I A に、入力ポート I B 1 を介して与えられたデータパケットは入力ポート I B にそれぞれ与えるように出力ポートを選択する。 20

【 0 1 6 5 】

図 8 を参照して、プロセッサ 1 0 は、図 2 1 に示されるプロセッサ 1 0 と全く同じものである。処理するデータパケット長も全く同一である。プロセッサ 1 0 は、出力後のデータパケットを出力後処理部 2 0 2 の 2 つの入力ポートに、出力ポート O A または O B を介して出力する。この出力ポートの選択は、従来と同様に行なわれる。

【 0 1 6 6 】

図 1 0 を参照して、出力後処理部 2 0 2 は、入力ポート判別部 2 3 0 と、最上位ビット追加部 2 3 2 と、H レジスタ参照ビット識別部 2 3 4 と、命令識別部 2 3 6 と、出力ポート選択部 2 3 8 とを含む。 30

【 0 1 6 7 】

入力ポート判別部 2 3 0 は、図 8 に示されるプロセッサ 1 0 の 2 つの出力ポート O A および O B に接続された 2 つの 5 4 ビット長の入力ポートと、最上位ビット追加部 2 3 2 の入力に接続された 5 4 ビット長の出力と、出力ポート選択部 2 3 8 に接続された、入力ポート判別信号 2 4 0 の出力端子とを有する。入力ポート判別部 2 3 0 は、データパケットが出力ポート O A または O B のいずれから与えられたかを示す入力ポート判別信号 2 4 0 を出力ポート選択部 2 3 8 に与えるためのものである。 40

【 0 1 6 8 】

最上位ビット追加部 2 3 2 は、入力ポート判別部の出力に接続された 5 4 ビット長の入力と、H レジスタ参照ビット識別部 2 3 4 の 2 つの入力のうちの 1 つに接続された 5 5 ビット長の出力とを有する。最上位ビット追加部 2 3 2 は、入力ポート判別部 2 3 0 から与えられたデータパケットの先頭に最上位ビットとして「0」を追加して H レジスタ参照ビット識別部 2 3 4 に与えるためのものである。

【 0 1 6 9 】

H レジスタ参照ビット識別部 2 3 4 は、最上位ビット追加部 2 3 2 の出力に接続された 5 5 ビット長の入力と、図 9 に示される H レジスタ参照ビット識別部 2 1 2 の 5 5 ビット長の出力に接続された 5 5 ビット長の入力と、命令識別部 2 3 6 の入力に接続された 5 5 ビ 50

ット長の出力と、出力ポート選択部 238 への Hレジスタ参照ビット結果信号 242 の出力端子とを有する。Hレジスタ参照ビット識別部 234 は、入力されたデータパケットの Hレジスタ参照ビットの値に従い、「1」または「0」の Hレジスタ参照ビット結果信号 242 を出力ポート選択部 238 に与えるためのものである。Hレジスタ参照ビット識別部 234 はまた、最上位ビット追加部 232 または図 9 に示される Hレジスタ参照ビット識別部 212 から与えられたデータパケットを命令識別部 236 に与えるためのものである。

【0170】

命令識別部 236 は、Hレジスタ参照ビット識別部 234 の出力に接続された 55 ビット長の入力と、出力ポート選択部 238 に接続された 55 ビット長の出力と、出力ポート選択部 238 に与えられる識別結果信号 246 の出力端子とを有する。命令識別部 236 は、与えられたデータパケットを出力ポート選択部 238 に与えると同時に、データパケットの命令コードが、Hレジスタ 204 の設定命令かどうかを識別し、識別結果を識別結果信号 246 として出力ポート選択部 238 に与えるためのものである。この場合、命令コードが Hレジスタの設定命令であれば識別結果信号 246 は「1」に、それ以外の場合には識別結果信号 246 は「0」にそれぞれ設定される。

10

【0171】

出力ポート選択部 238 は、命令識別部 236 に接続された 55 ビット長の入力と、H B I D 端子 208 から信号 206 を受け取るための端子と、入力ポート判別信号 240、Hレジスタ参照ビット結果信号 242、識別結果信号 246 を受けるための 3 つの端子と、出力ポート O A 1 および O B 1 に接続された 2 つの出力とを有する。出力ポート選択部 238 はまた、Hレジスタ 204 の内容を参照し、または更新することが可能である。出力ポート選択部 238 は、入力ポート判別信号 240 と、Hレジスタ参照ビット結果信号 242 と、識別結果信号 246 と、H B I D 端子 208 からの信号 206 と、Hレジスタ 204 の内容とを参照して、必要であれば 2 つの出力ポートのうちのいずれか 1 つを選択してデータパケットを出力するためのものである。

20

【0172】

これら各信号の値と、出力ポート選択部 238 が選択する出力ポートとの関係を、次の第 4 表および第 5 表に示す。

【0173】

30

【表 3】

[第4表]

HBID端子の値	動作
0 0	第5表にしたがう
0 1	未使用
1 0	OA0ポート強制出力
1 1	OB0ポート強制出力

10

[第5表]

入力ポート 判別信号 240	Hレジスタ参照 ビット結果信号 242	識別結果 信号 246	動作
0	0	0	OA0ポート強制出力
1	0	0	OB0ポート強制出力
×	0	1	パケットのデータの内容をHレジスタに書込後、パケット消去
×	1	0	Hレジスタの内容に従って出力
×	1	1	認められない信号

20

30

【0174】

40

図8～図10に示すこの第2の実施例のデータ駆動型プロセッサは次のように動作する。以下の説明は、(1)PEレジスタの設定(2)通常処理(3)Hレジスタの設定(4)経路接続の確認、に分けて順に説明する。なお、図10に示すHBID端子208から与えられる信号206は、第4表に示される4つの値のうち、「00」であるものとする。

【0175】

(1) PEレジスタの設定

PEレジスタの設定の場合、データパケットのHレジスタ参照ビットは「0」に設定される。

【0176】

50

データパケットは入力前処理部 200 の入力ポート判別部 210 に、入力ポート I A 1 または I B 1 を介して与えられる。入力ポート判別信号 218 は、いずれの入力ポートを介してデータパケットが入力されたかに従って「0」または「1」となる。データパケットは Hレジスタ参照ビット識別部 212 に与えられる。

【0177】

Hレジスタ参照ビット識別部 212 は、与えられたデータパケットの Hレジスタ参照ビットが「0」であるため、データパケットを最上位ビット除去部 214 に与える。最上位ビット除去部 214 は、最上位の 1 ビットを除去した 54 ビットのデータパケットを生成し、出力ポート選択部 216 に与える。出力ポート選択部 216 は、入力ポート判別信号 218 の値に従い、データパケットを図 8 に示されるプロセッサ 10 の入力ポート I A または I B に与える。

10

【0178】

プロセッサ 10 の中では、従来と同様の処理により P E レジスタの値の設定が行なわれ、このデータパケットは消去される。

【0179】

(2) 通常処理

図 5 を参照して、データパケット 190 の Hレジスタ参照ビット 192 は「0」に設定される。命令コード 62 には、処理に応じた命令コードが設定される。世代番号 64 には、プロセッサ 10 への投入順に従った世代番号が付与されている。第 1 のデータ 66 には、演算に用いられるデータが格納される。プロセッサ番号 68 には、対象となるプロセッサ

20

【0180】

このデータパケットが図 9 に示される入力前処理部 200 にたとえば入力ポート I A 1 を介して与えられたものとする。入力ポート判別部 210 は、入力ポート判別信号 218 を「0」として出力ポート選択部 216 に与える。Hレジスタ参照ビット識別部 212 は、Hレジスタ参照ビットが「0」であるため、データパケットを最上位ビット除去部 214 に与える。最上位ビット除去部 214 は、データパケットの最上位の 1 ビットを除去した 54 ビットのデータパケットを生成し、出力ポート選択部 216 に与える。出力ポート選択部 216 は、入力ポート判別信号 218 が「0」であるため、データパケットを図 8 に示すプロセッサ 10 の入力ポート I A に与える。

30

【0181】

プロセッサ 10 は、図 22 に示されるプロセッサ 10 と全く同じ操作をこのデータパケットに対して行ない、その出力ポート O A または O B に出力する。

【0182】

図 10 を参照して、入力ポート判別部 230 は、データパケットが出力ポート O A または O B のいずれから与えられたものかを判別し、入力ポート判別信号 240 を「0」または「1」とする。最上位ビット追加部 232 は、データパケットの最上位ビットに「0」を設定する。Hレジスタ参照ビット識別部 234 は、Hレジスタ参照ビット結果信号を「0」として出力ポート選択部 238 に与える。命令識別部 236 は、識別結果信号 246 を「0」として出力ポート選択部 238 に与える。出力ポート選択部 238 は、第 5 表の第 1 行または第 2 行に従い、データパケットが出力ポート O A から与えられたものであればこのデータパケットを出力 O A 1 から、出力ポート O B から与えられたものであれば出力 O B 1 からそれぞれ送出する。

40

【0183】

このようにして図 8 に示されるこの第 2 の実施例のデータ駆動型プロセッサでは、通常処理が従来のもと同様にして行なわれる。

【0184】

(3) Hレジスタの設定処理

図 5 を参照して、Hレジスタ参照ビット 192 には「0」が設定される。命令コード 62 には Hレジスタの内容の設定命令に対応するビットパターンが設定される。第 1 のデータ

50

66には、Hレジスタ204に設定すべき値すなわち「0」または「1」が設定される。プロセッサ番号68には、対象となるプロセッサの番号が設定される。

【0185】

図9を参照して、入力前処理部に与えられたデータパケットは、通常処理のデータパケットと同様に、出力ポート選択部216のいずれか一方の54ビットの出力からプロセッサ10に与えられる。プロセッサ10は、このデータパケットをそのまま出力後処理部202に与える。

【0186】

図10を参照して、データパケットは、最上位ビット追加部232によりその最上部に「0」が追加され、Hレジスタ参照ビット識別部234に与えられる。Hレジスタ参照ビット結果信号242は「0」となる。命令識別部236は、識別結果信号246の値を「1」とする。出力ポート選択部238は、第5表の第3行に従い、与えられたデータパケットのデータの内容をHレジスタ204に書込み、データパケットを消去する。この場合、入力ポート判別信号240の値は無視される。

【0187】

(4) 経路接続の確認

経路接続の確認は次のようにして行なわれる。図5を参照して、Hレジスタ参照ビット192には「1」が設定される。命令コード62、世代番号64、データ66、プロセッサ番号68には任意のビットパターンが設定される。このデータパケットは、図8に示される入力ポートIA1またはIB1のいずれか一方(テストする経路により定まる)から入力前処理部200に与えられる。

【0188】

図9を参照して、入力ポート判別部210は、データパケットがいずれの入力ポートから入力されたかを判別し、その結果に従って入力ポート判別信号218の値を「0」または「1」とする。

【0189】

Hレジスタ参照ビット識別部212は、データパケットのHレジスタ参照ビットが「1」であるため、データパケットをテストデータパケット伝送路220を介して図10に示される出力後処理部202のHレジスタ参照ビット識別部234に与える。

【0190】

Hレジスタ参照ビット識別部234は、Hレジスタ参照ビットが「1」であるため、Hレジスタ参照ビット結果信号を「1」とする。データパケットはさらに命令識別部236を経て出力ポート選択部238に与えられる。

【0191】

命令識別部236は、命令コードがHレジスタの内容設定命令ではないため、識別結果信号246を「0」とする。

【0192】

出力ポート選択部238は、第5表の第4行に従い、Hレジスタ204の内容を参照し、Hレジスタ204に格納された値が「0」であれば出力ポートOA1に、「1」であれば出力ポートOB1にデータパケットを出力する。

【0193】

データパケットのHレジスタ参照ビットの値が「1」のときには、データパケットの内容とは関係なく、Hレジスタ204の内容のみによってデータパケットの分岐先が定められる。したがって、任意のビットパターンのデータパケットを用い、データパケットを任意の伝送経路を通して伝送させることができる。第1の実施例と同様に、テスト時のプロセッサ間のパケット伝送経路を任意に設定でき、しかもデータパケットの内容が参照されたり更新されたりすることがない。したがって、従来では困難であり、一部は不可能でさえあったプロセッサ間経路の接続の確認を容易に行なうことができる。

【0194】

[第3の実施例]

10

20

30

40

50

図 1 1 に、本発明の第 3 の実施例に係る映像処理向きデータ駆動型プロセッサのブロック構成図を示す。図 1 1 に示されるデータ駆動型プロセッサ 2 5 0 は、画像メモリへのデータ伝送路および画像メモリからこのプロセッサ 2 5 0 へのデータ伝送路についても、データパケットのビットパターンのうち、経路確認フラグ以外の部分とは無関係に経路接続の確認を行なうことができるプロセッサである。

【 0 1 9 5 】

図 1 1 に示されるプロセッサ 2 5 0 が図 1 に示されるデータ駆動型プロセッサ 1 1 0 と異なるのは、図 1 の 1 ビットの H レジスタ 1 3 0 に代えて 2 ビットの H レジスタ 2 5 6 を含むことと、入力処理部 1 2 0 の出力 O A 0 に接続された入力と、出力処理部 1 2 8 の一方の入力 I A 0 に接続された出力と画像メモリへの出力ポート O V に接続された 2 つの出力とを有し、かつ H レジスタ 2 5 6 に接続され、入来データパケットの経路確認フラグの値と H レジスタ 2 5 6 に格納された出力先情報の最上位ビットとを参照して、出力処理部 1 2 8 または出力ポート O V のいずれか一方を選択してデータパケットを出力するための第 2 の出力処理手段としてのメモリ送出選択部 2 5 2 と、画像メモリからの入力ポート I V に接続された入力と、本体処理部 1 2 4 および出力処理部 1 2 8 の一方の入力 I A 0 にそれぞれ接続された 2 つの出力とを有し、入来データパケットに含まれる経路確認フラグに基づいて、入来データパケットを出力処理部 1 2 8 または本体処理部 1 2 4 に選択的に出力するための第 2 の入力処理手段としてのメモリパケットリルート部 2 5 4 とをさらに含む点である。

【 0 1 9 6 】

図 1 1 と図 1 とにおいて、同一の部品には同一の参照符号および名称を付してある。各部品の機能も同一である。したがってここではそれらについての詳しい説明は繰返さない。なお、H レジスタ 2 5 6 に格納された 2 ビットの出力先情報のうち、最下位ビットは図 1 の H レジスタ 1 3 0 に格納された出力先情報と同様である。出力処理部 1 2 8 は、この出力先情報の最下位ビットに従い、表 1 ~ 表 5 に示される動作を行なう。H レジスタ 2 5 6 に格納された出力先情報の最上位ビットのみがメモリ送出選択部 2 5 2 により参照される。

【 0 1 9 7 】

図 1 2 を参照して、メモリ送出選択部 2 5 2 は、入力ポート I D と 2 つの出力ポート O E および O F とを含む。入力ポート I D は入力処理部 1 2 0 のデータパケット出力 O A 0 に、データ伝送路 2 7 0 を介して接続されている。出力ポート O E は、データ伝送路 2 6 6 を介して図 1 1 の出力処理部 1 2 8 のデータパケット入力 I A 0 に接続されている。出力ポート O F はデータ伝送路 2 6 8 を介して図 1 1 の出力ポート O V に接続されている。

【 0 1 9 8 】

メモリ送出選択部 2 5 2 はさらに、H レジスタ参照ビット識別部 2 6 0 と出力ポート選択部 2 6 2 とを含む。

【 0 1 9 9 】

H レジスタ参照ビット識別部 2 6 0 は、入力ポート I D に接続された入力と、データパケット伝送路 2 6 8 に接続された出力ポートとを有する。H レジスタ参照ビット識別部 2 6 0 は、入力ポート I D を介して与えられるデータパケットの H レジスタ参照ビットが「0」および「1」のいずれであるかを識別し、H レジスタ参照ビット結果信号 2 6 4 を出力ポート選択部 2 6 2 に与えるためのものである。

【 0 2 0 0 】

出力ポート選択部 2 6 2 は、データパケット伝送路 2 6 8 に接続されたデータパケット入力と、出力ポート O E および O F に接続された 2 つのデータパケット出力とを有する。出力ポート選択部 2 6 2 にはさらに、H レジスタ 2 5 6 から出力先情報の最上位ビットが、H レジスタ参照ビット識別部 2 6 0 から H レジスタ参照ビット結果信号 2 6 4 がそれぞれ与えられる。出力ポート選択部 2 6 2 は、H レジスタ 2 5 6 に格納された出力先情報の最上位ビットと、H レジスタ参照ビット結果信号 2 6 4 とに従って、次の第 6 表に示されるように、データパケットを出力ポート O E および O F のいずれに出力するかを選択するた

めのものである。

【0201】

【表4】

[第6表]

Hレジスタの 最上位ビット	Hレジスタ 参照ビット 結果信号264	動作
0	0	OEを介してパケットを出力処理部 128へ出力する。
0	1	OEを介してパケットを出力処理部 128へ出力する。
1	0	OEを介してパケットを出力処理部 128へ出力する。
1	1	OF, OVを介してパケットを画像 メモリ部12へ出力する。

10

20

【0202】

第6表を参照して、Hレジスタ参照ビット結果信号264が「0」である場合には、このデータパケットは経路接続の確認テスト用のものではない。したがってHレジスタの最上位ビットの値にかかわらず出力ポート選択部262は、出力ポートOEを選択してデータパケットを出力処理部128に与える。一方Hレジスタ参照ビット結果信号264が「1」の場合、このデータパケットは経路接続の確認テスト用のものである。したがって出力ポート選択部262はHレジスタの最上位ビットによってデータパケットを振り分ける。まずHレジスタの最上位ビットが「0」の場合には、出力ポート選択部262は出力ポートOEを介してデータパケットを出力処理部128に与える。一方Hレジスタの最上位ビットが「1」であれば出力ポート選択部262は、出力ポートOFおよびOV(図11参照)を介してデータパケットを画像メモリ部12に与える。

30

【0203】

要約すると、与えられるデータパケットのHレジスタ参照ビットが「0」であればデータパケットは、Hレジスタの格納内容にかかわらず出力処理部128に与えられる。Hレジスタ参照ビットが「1」であれば、データパケットの出力先はHレジスタの最上位ビットにより決まる。「0」であれば出力処理部128であり、「1」であれば画像メモリ部12である。したがって、メモリ送出選択部252を設けることにより、データパケットのHレジスタ参照ビット以外の部分のビットパターンとは関係なく、データパケットを画像メモリ部12への伝送路268上へ出力することができる。

40

【0204】

一方、このようにして画像メモリ部12にデータパケットを出力した後、画像メモリ部からのデータパケットをプロセッサ250で受取り、さらに後続のプロセッサへ出力する必要がある。メモリパケットリルート部254はそのためのものである。

50

【 0 2 0 5 】

図 1 3 を参照して、メモリパケットリルート部 2 5 4 は、画像メモリ部 1 2 からのデータパケット伝送路 2 8 4 に接続される入力ポート I D と、データパケット伝送路 2 8 6 に接続される出力ポート O E と、データパケット伝送路 2 9 0 に接続される出力ポート O F とを有する。データパケット伝送路 2 8 6 は本体処理部 1 2 4 の、画像メモリ部からのデータパケット入力に接続される。データパケット伝送路 2 9 0 は、出力処理部 1 2 8 の入力 I A 0 に、メモリ送出選択部 2 5 2 からの出力と共通に接続される。

【 0 2 0 6 】

メモリパケットリルート部 2 5 4 は、入力ポート I D に接続されたデータパケット入力とデータパケット伝送路 2 9 2 に接続されたデータパケット出力とを有する H レジスタ参照ビット識別部 2 8 0 と、出力伝送路 2 9 2 に接続されたデータパケット入力と出力ポート O E および O F に接続された 2 つのデータパケット出力とを有する出力ポート選択部 2 8 2 とを含む。H レジスタ参照ビット識別部 2 8 0 から出力ポート選択部 2 8 2 には、H レジスタ参照ビット結果信号 2 8 8 が与えられる。

10

【 0 2 0 7 】

H レジスタ参照ビット識別部 2 8 0 は、入力ポート I D から与えられるデータパケットの H レジスタ参照ビットを調べ、その値に示す H レジスタ参照ビット結果信号 2 8 8 を出力ポート選択部 2 8 2 に与えるためのものである。データパケットはまた、H レジスタ参照ビット識別部 2 8 0 からデータパケット伝送路 2 9 2 を介して出力ポート選択部 2 8 2 に与えられる。

20

【 0 2 0 8 】

出力ポート選択部 2 8 2 は、H レジスタ参照ビット結果信号 2 8 8 が「 1 」であればこのデータパケットがプロセッサ - 画像メモリ間の経路接続をテストするためのデータパケットであると判断し、このデータパケットを出力ポート O F を介して出力処理部 1 2 8 に与える。H レジスタ参照ビット結果信号 2 8 8 が「 0 」の場合には出力ポート選択部 2 8 2 は、このデータパケットが通常処理のためのデータパケットであると判断し、出力ポート O E を介して本体処理部 1 2 4 (図 1 1 参照) に与える。

【 0 2 0 9 】

図 1 1 ~ 図 1 3 を参照して、この第 3 の実施例のデータ駆動型プロセッサは次のように動作する。動作には (1) P E レジスタ設定 (2) 通常処理 (3) H レジスタ設定 (4) 経路接続の確認処理の 4 つがあるが、このうち (1) P E レジスタ設定と (3) H レジスタ設定については、第 1 の実施例における動作と同様であるので、ここではその詳しい説明は省略する。以下 (2) 通常処理と (4) 経路接続の確認処理について順に説明する。

30

【 0 2 1 0 】

(2) 通常処理

通常処理の場合、図 1 1 に示される H B I D 端子 1 3 2 からの信号 1 3 4 が「 0 0 」に設定されるのは、第 1 の実施例の場合と同様である。

【 0 2 1 1 】

図 5 を参照して、データパケット 1 9 0 の H レジスタ参照ビット 1 9 2 には「 0 」が格納される。命令コード 6 2、世代番号 6 4、第 1 のデータ 6 6、プロセッサ番号 6 8 にも、第 1 の実施例と同様に命令コードと、世代番号と、演算対象のデータと、目的とするプロセッサのプロセッサ番号とが格納される。

40

【 0 2 1 2 】

入力処理部 1 2 0 の動作は、第 1 の実施例のそれと同様である。すなわち、このデータ駆動型プロセッサ 2 5 0 に割り当てられている、P E レジスタ 9 0 内のプロセッサ番号の値とデータパケット内のプロセッサ番号 6 8 (図 5 参照) とが一致すればデータパケットは出力 O B 0 に、一致しなければ出力 O A 0 に出力される。

【 0 2 1 3 】

データパケットのプロセッサ番号 6 8 と P E レジスタ 9 0 の内容とが一致した場合の処

50

理は、第1の実施例におけるものと同様である。したがってこれはそれについての詳細な説明は行なわない。

【0214】

データパケットのプロセッサ番号68とPEレジスタ90との値が一致しなかった場合、メモリ送出選択部252は次のような処理を行なう。図12を参照して、Hレジスタ参照ビット識別部260は、与えられるデータパケットのHレジスタ参照ビットを参照して、それが「0」であればHレジスタ参照ビット結果信号264を「0」に、「1」であれば「1」にそれぞれ設定する。Hレジスタ参照ビット識別部260はまた、データパケットをデータパケット伝送路268を介して出力ポート選択部262に与える。通常処理の場合にはHレジスタ参照ビットは「0」である。したがってHレジスタ参照ビット結果信号264の値も「0」となる。

10

【0215】

出力ポート選択部262は、Hレジスタ参照ビット結果信号264が「0」であるため、データパケットを出力ポートOEを介して出力処理部128に与える。出力処理部128以下の処理は第1の実施例におけるものと同様である。

【0216】

なお、PEレジスタ90の内容とプロセッサ番号68とが一致してデータパケットが図11に示される本体処理部124に与えられた場合、画像メモリ12へのアクセスを行なうデータパケットが発生され、画像メモリ部12に与えられることがある。その場合には図11の入力ポートIVを介して結果のデータパケットがデータ駆動型プロセッサ250

20

に返されてくる。この場合、メモリパケットリルート部254は次のような動作を行なう。

【0217】

図13を参照して、Hレジスタ参照ビット識別部280は、入来データパケットのHレジスタ参照ビットを参照し、そのHレジスタ参照ビット結果信号288の値を定める。通常処理の場合にはこの値は「0」となる。Hレジスタ参照ビット識別部280はまた、データパケット伝送路284から与えられるデータパケットを出力ポート選択部282に与える。

【0218】

出力ポート選択部282は、Hレジスタ参照ビット結果信号288が「0」であるため、データパケットを出力ポートOEを介して本体処理部124(図11)に与える。本体処理部124は、与えられたデータパケットを処理して分岐部126(図11)に与える。以下の処理は第1の実施例における通常処理と同様である。

30

【0219】

(4) 経路接続の確認

第3の実施例のデータ駆動型プロセッサにおける経路接続の確認は次のようにして行なわれる。確認のための手順は図6に示されるものと同様である。

【0220】

経路接続の確認時には、図11のHレジスタ256には「10」または「11」のいずれか一方の値が格納される。「10」の場合には画像メモリへの経路および画像メモリからの経路の経路接続の確認は行なわれない。「11」の場合のみ、データ駆動型プロセッサ250と画像メモリ部との間の経路接続が行なわれる。データ駆動型プロセッサ250に与えられるデータパケットのHレジスタ参照ビットには「1」が設定される。

40

【0221】

図11を参照して、入力処理部120は、データパケットのHレジスタ参照ビットが「1」であるので、このデータパケットを出力OA0を介してメモリ送出選択部252に与える。

【0222】

図12を参照して、Hレジスタ参照ビット識別部260は、入来データパケットを出力ポート選択部262に与える。Hレジスタ参照ビット識別部260はまた、入来データパケ

50

ットのHレジスタ参照ビットを参照し、それが「1」であるので、Hレジスタ参照ビット結果信号264を「1」に設定する。

【0223】

出力ポート選択部262は、Hレジスタ256に格納されている出力先情報の最上位ビットと、Hレジスタ参照ビット結果信号264との値に従い、表4に従った動作を行なう。すなわち、Hレジスタの最上位ビットが「1」であるので、出力ポートOFおよびOVを介してデータパケットを画像メモリ部12に与える。

【0224】

データパケットが画像メモリ部12に与えられた場合、このデータパケットに対する結果のデータパケットが図11に示されるデータ駆動型プロセッサ250の入力ポートIVに返される。このデータパケットはメモリパケットリルート部254により次のように処理される。

10

【0225】

図13を参照して、Hレジスタ参照ビット識別部280は、入来データパケットのHレジスタ参照ビットが「1」であるので、Hレジスタ参照ビット結果信号288を「1」とする。出力ポート選択部282は、したがって、Hレジスタ参照ビット識別部280から与えられるデータパケットを、出力ポートOFを介して出力処理部128に与える。なお、データパケットはHレジスタ参照ビット識別部280経由ではなく、直接出力ポート選択部282に与えられてもよい。出力処理部128は、Hレジスタ256の格納内容の下位1ビットに従って出力ポートOAとOBとのいずれか一方を選択してこのデータパケットを出力する。出力処理部128の動作については第2表～第5表に示される第1の実施例と同様である。なお、この場合、Hレジスタの内容のうち下位1ビットのみが参照されることに注意すべきである。

20

【0226】

したがってこの第3の実施例では、Hレジスタ256の上位1ビットに、画像メモリ部への経路および画像メモリ部からの経路にデータパケットを送出するかどうかについての情報を格納しておき、下位1ビットにはテスト用のデータパケットをいずれのポートに出力するかを指定する情報を格納しておく。これにより、Hレジスタ参照ビットに「1」を格納したデータパケットをデータ駆動型プロセッサに与えることにより、画像メモリ部への経路および画像メモリ部からの経路を含む所望の経路の経路接続を確認することができる。

30

【0227】

なお、HBID端子132から与えられるHBID信号134の値によりデータ駆動型プロセッサ250がどのように動作するかについては、第1の実施例と同様であるので、ここではその説明は省略する。

【0228】

図17に、この第3の実施例を用いて図21に示されるようなネットワークシステムを組んだ場合の、テスト経路の例を示す。

【0229】

図14は、プロセッサPE0およびPE2を通過してデータパケットを伝送する場合のテスト経路である。プロセッサPE0のHレジスタの内容は「11」、プロセッサPE2のHレジスタの内容は「10」に予め設定されている。ともにHレジスタの最上位ビットは「1」である。データパケットのうちHレジスタ参照ビットを「1」としてホストコンピュータからプロセッサPE0の入力ポートIAに投入することにより、結果的に1 ホスト プロセッサPE0 プロセッサPE2 ホスト間の伝送経路と、2 各々のプロセッサと、各プロセッサに付属している画像メモリ部との間の接続確認、とを、入力データパケットの他の部分のビットパターンとは無関係に、かつ容易に行なうことができる。ただし、データパケットが実際に通る経路は、ホスト プロセッサPE0 プロセッサPE0に付属している画像メモリ部 プロセッサPE0 プロセッサPE2 プロセッサPE2に付属している画像メモリ部 プロセッサPE2 ホス

40

50

トコンピュータの順となる。

【0230】

また図15に示される例の場合には、プロセッサPE 1、PE 3をHレジスタにそれぞれ「11」「11」を格納しておくことにより形成されるテスト経路である。この経路によりホストコンピュータ、プロセッサPE 1、プロセッサPE 3、ホストコンピュータという伝送経路を、各プロセッサとそのプロセッサに付属している画像メモリ部との間の伝送経路を含んでその接続を確認できる。

【0231】

図16に示される例では、プロセッサPE 0、PE 1、PE 2、PE 3のHレジスタのすべてに「10」を予め格納することにより形成されるデータパケットの伝送路である。この場合データパケットは、PE 0、PE 3、PE 1、PE 2という経路を経てホストコンピュータからホストコンピュータに伝送される。また各プロセッサと画像メモリ部との間の経路接続も併せて確認できる。

10

【0232】

図17は、プロセッサPE 0、PE 1、PE 2、PE 3のHレジスタにそれぞれ「10」「10」「11」「11」を予め格納した場合のテスト経路を示す。このテスト経路では、PE 1の入力ポートIVにデータパケットを投入することにより、プロセッサPE 1、PE 2、PE 0、PE 3、ホストコンピュータ、の順序でデータパケットが伝送される。各プロセッサにおいては、そのプロセッサに付属する画像メモリ部にデータパケットが出力され、その画像メモリ部からもう一度そのプロセッサにデータパケットが返された後、次のプロセッサに出力される。したがって各プロセッサ間の伝送経路とともに、各プロセッサとそのプロセッサに付属する画像メモリ部との間の経路接続も併せて確認できる。

20

【0233】

図14～図17のように4通りのテスト経路を設定することにより、図21に示されるような構成のシステムのすべての伝送経路の接続の確認を行なうことができる。しかもこの場合、データパケットのうちHレジスタ参照ビット以外の部分とは無関係にデータパケットの伝送経路を指定できる。特に命令コードとは無関係に経路が指定でき、しかもデータパケットの内容に変更が生ずることはない。したがって、従来手法では確認することが不可能であったり、困難であった経路の接続の確認を容易に行なうことができる。

30

【0234】

【発明の効果】

以上のように請求項1に記載のデータ駆動型プロセッサにおいては、第1の動作モードを指定し、経路確認フラグとして通常時を示す値をデータパケットに含ませておくことで、そのデータパケットの行き先情報にしたがって選択される出力ポートにそのデータパケットを出力できる。一方で、経路確認テスト時のデータパケットを出力する出力ポートを指定する出力先情報を予め出力先情報記憶手段に格納し、経路確認フラグとしてテスト時を示す値をデータパケットに含ませておくことで、データパケットの他の内容と関係なく、出力先情報にしたがって所望の出力ポートに選択的にそのデータパケットを出力できる。また、第2の動作モードを指定することで、データパケットを強制的に所定の出力ポートに出力できる。したがって、任意のビットパターンのデータパケットを用いて、データ駆動型プロセッサの経路接続の確認を行うことができる。その結果、データ駆動型情報処理装置における経路接続を、通常処理のためにデータパケットの内容に課される制約とは無関係に容易に確認できるデータ駆動型プロセッサを提供できる。

40

【0235】

請求項2に記載のデータ駆動型プロセッサにおいては、テスト用の入来データパケットは出力処理手段に直接与えられる。通常のデータパケットはデータパケット処理手段に与えられて処理され、結果のデータパケットが出力処理手段に与えられる。出力処理手段は、入来データパケットの経路確認フラグがテストを示すものであれば出力先情報を参照して、入来データパケットの経路フラグが通常動作を示すものであれば行先情報を参照して、

50

出力ポートのいずれか一つを選択する。したがって、通常のデータパケットに対しては通常の処理が行えるという効果がある。その結果、従来と同様に通常処理を行うことができるとともに、データ駆動型情報処理装置における経路接続を、通常処理のためにデータパケットの内容に課される制約とは無関係に容易に確認できるデータ駆動型情報処理装置を提供できる。

【0236】

請求項3に記載のデータ駆動型プロセッサにおいては、入来データパケットに含まれる経路確認フラグと行先情報とに基づいて、入来データパケットが第1および第2の出力のいずれか一方に選択的に出力される。したがって、請求項2に記載のデータ駆動型プロセッサの効果に加え、二つの経路のいずれかを選択してその経路にデータパケットを出力させることができるという効果がある。その結果、出力経路が二つに分岐するような接続が行われるデータ駆動型情報処理装置における経路接続を、通常処理のためにデータパケットの内容に課される制約とは無関係に容易に確認できるデータ駆動型情報処理装置を提供できる。

10

【0237】

請求項4に記載のデータ駆動型プロセッサにおいては、第1の入力処理手段と第1の出力処理手段とにより、データパケットの他の部分の値に関係無く経路確認フラグのみにしたがってデータパケットを所定の記憶装置に与えることができる。また所定の記憶装置からのデータパケットは、第2の入力手段と第2の出力手段とによりその内容に関係無く経路確認フラグのみにしたがって出力ポートを介して他のプロセッサに与えられる。したがって、このデータ駆動型プロセッサに接続された所定の記憶装置との間の経路の接続も、任意の命令コードのビットパターンを用いて確認することができるという効果がある。その結果、出力経路が二つに分岐するような接続が行われ、かつ所定の記憶装置を含むデータ駆動型情報処理装置における経路接続を、通常処理のためにデータパケットの内容に課される制約とは無関係に容易に確認できるデータ駆動型情報処理装置を提供できる。

20

【0238】

請求項5に記載のデータ駆動型プロセッサにおいては、複数個の他のデータ駆動型プロセッサまたは記憶装置のどの1つから与えられるデータパケットでも、その他のビットパターンに関係無く経路確認フラグのみに基づいて、出力先情報により定められる任意の経路に出力できる。したがって、請求項4に記載のデータ駆動型プロセッサの効果に加え、2つ以上の経路が合流するような接続を与える接続経路の任意の経路の接続を、データパケットの命令コードのビットパターンに関係無く確認できるという効果がある。その結果、2つの伝送路が1つに合流するような接続が行われ、かつ画像記憶装置のような所定の記憶装置を含むデータ駆動型情報処理装置における経路接続を、通常処理のためにデータパケットの内容に課される制約とは無関係に容易に確認できるデータ駆動型情報処理装置を提供できる。

30

【0239】

請求項6に記載のデータ駆動型プロセッサにおいては、命令コードのビットパターンに関係無く経路確認フラグのみに基づいて、出力先情報により定められる複数個の他のデータ駆動型プロセッサまたは記憶装置のどの1つへもデータパケットを出力できる。したがって請求項4に記載のデータ駆動型プロセッサの効果に加え、経路が途中で2つ以上の経路に分岐するような接続を与える接続経路の任意の経路の接続を、データパケットの命令コードのビットパターンに関係無く確認できるという効果がある。その結果、伝送路が2つ以上の伝送路に分岐するような接続が行われ、かつ画像記憶装置のような所定の記憶装置を含むデータ駆動型情報処理装置における経路接続を、通常処理のためにデータパケットの内容に課される制約とは無関係に容易に確認できるデータ駆動型情報処理装置を提供できる。

40

【0240】

請求項7に記載のデータ駆動型情報処理装置においては、第1の動作モードを指定し、経路確認フラグとして通常時を示す値をデータパケットに含ませておくことで、そのデータ

50

パケットの行き先情報にしたがって選択される出力ポートにそのデータパケットを出力できる。一方で、経路確認テスト時のデータパケットを出力する出力ポートを指定する出力先情報を予め出力先情報記憶手段に格納し、経路確認フラグとしてテスト時を示す値をデータパケットに含ませておくことで、データパケットの命令コードの内容と関係なく、出力先情報にしたがって所望の出力ポートに選択的にそのデータパケットを出力できる。また、第2の動作モードを指定することで、データパケットを強制的に所定の出力ポートに出力できる。したがって、任意のビットパターンのデータパケットを用いて、任意のデータ伝送路の接続の確認を行うことができる。その結果、複数個のデータ駆動型プロセッサを含み、かつ通常処理のためにデータパケットの内容に課される制約とは無関係に容易にプロセッサ間の経路接続を確認できるデータ駆動型情報処理装置を提供できる。

10

【0241】

請求項8に記載のデータ駆動型プロセッサにおいては、請求項7記載のデータ駆動型情報処理装置の効果に加え、接続手段により、複数個のデータ駆動型プロセッサまたは記憶装置の任意の1つから他の任意の1つまでの、任意のデータ伝送路の接続を確認できる。その結果、複数個のデータ駆動型プロセッサおよび画像記憶装置のような複数個の記憶装置を含み、かつ通常処理のためにデータパケットの内容に課される制約とは無関係に容易にプロセッサおよび記憶装置間の任意の経路接続を確認できるデータ駆動型情報処理装置を提供できる。

【0242】

請求項9に記載の方法においては、経路設定ステップとデータパケット投入ステップと確認ステップとを一回行うことで、データパケットのビットパターンと無関係に複数個のデータ駆動型プロセッサを接続する所望の1つの伝送経路の接続を確認できる。これらのステップを、伝送経路を変化させて繰返して行なうことで、複数個のデータ駆動型プロセッサ相互の間のデータ伝送路のあらゆる組合せに対して、その接続を確認できる。その結果、複数個のデータ駆動型プロセッサを含むデータ駆動型情報処理装置において、通常処理のためにデータパケットの内容に課される制約とは無関係に容易にプロセッサ間の経路接続を確認できる方法を提供できる。

20

【0243】

請求項10に記載の方法においては、経路設定ステップとデータパケット投入ステップと確認ステップとを一回行うことで、データパケットのビットパターンと無関係に、複数個のデータ駆動型プロセッサおよび複数個の記憶装置を接続する所望の1つの伝送経路の接続を確認できる。これらのステップを、伝送経路を変化させて繰返して行なうことで、複数個のデータ駆動型プロセッサおよび複数個の記憶装置相互の間のデータ伝送路のあらゆる組合せに対して、その接続を確認できる。その結果、複数個のデータ駆動型プロセッサおよび画像記憶装置のような複数個の記憶装置を含むデータ駆動型情報処理装置において、通常処理のためにデータパケットの内容に課される制約とは無関係に容易にプロセッサおよび記憶装置間の任意の経路接続を確認できる方法を提供できる。

30

【図面の簡単な説明】

【図1】本発明の第1の実施例の映像処理向きデータ駆動型プロセッサのブロック構成図である。

40

【図2】入力処理部のブロック構成図である。

【図3】出力処理部のブロック構成図である。

【図4】本発明の第1の実施例における、データ駆動型プロセッサからメモリインタフェース装置への入力データパケットのフィールド構成を示す図である。

【図5】本発明の第1の実施例におけるデータ駆動型プロセッサの入出力データパケット、および、メモリインタフェース装置からデータ駆動型プロセッサへの入力データパケットのフィールド構成を示す図である。

【図6】本発明の第1の実施例における経路接続の確認方法の手順を示すフロー図である。

【図7】データプロセッサ間の接続経路の例を示す模式図である。

50

【図 8】本発明の第 2 の実施例の映像処理向きデータ駆動型プロセッサのブロック図である。

【図 9】第 2 の実施例の入力前処理部のブロック図である。

【図 10】第 2 の実施例の出力後処理部のブロック図である。

【図 11】本発明の第 3 の実施例に係る映像処理向きデータ駆動型プロセッサのブロック図である。

【図 12】第 3 の実施例のメモリ送出選択部のブロック図である。

【図 13】第 3 の実施例のメモリパケットリルート部のブロック図である。

【図 14】第 3 の実施例の映像処理向きデータ駆動型プロセッサを 4 台含むシステムにおけるプロセッサの接続構造の一例を示す図である。

10

【図 15】図 14 に示されるシステムの、他のプロセッサの接続構造の例を示す図である。

【図 16】図 14 に示されるシステムの、他のプロセッサの接続構造の例を示す図である。

【図 17】図 14 に示されるシステムの、他のプロセッサの接続構造の例を示す図である。

【図 18】従来の映像処理向きデータ駆動型情報処理装置のシステム構成を示す図である。

【図 19】従来のデータ駆動型情報処理装置における、データ駆動型プロセッサからメモリインタフェース装置への入力データパケットのフィールド構成を示す図である。

20

【図 20】従来の装置における、プロセッサの入出力データパケット、およびメモリインタフェース装置からプロセッサへの入力データパケットのフィールド構成を示す図である。

【図 21】4 台の映像処理向きデータ駆動型プロセッサを用いてシステムを構成した場合のプロセッサの接続構造の例を示す図である。

【図 22】従来の映像処理向きデータ駆動型プロセッサのブロック構成図である。

【図 23】従来の経路テスト用のプログラムの簡単な例である。

【図 24】従来の経路テスト用のプログラムの簡単な例である。

【符号の説明】

1 1 0 , 2 5 0 映像処理向きデータ駆動型プロセッサ

30

1 2 0 入力処理部

1 2 8 出力処理部

1 3 0 Hレジスタ

1 8 2、1 9 2 Hレジスタ参照ビット

2 0 0 入力前処理部

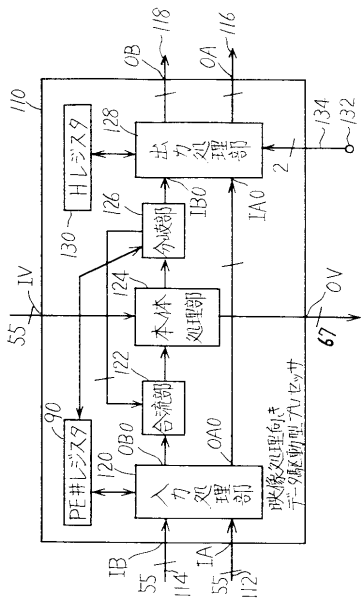
2 0 2 出力後処理部

2 0 4 , 2 5 6 Hレジスタ

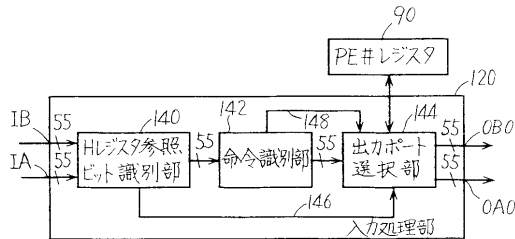
2 5 2 メモリ送出選択部

2 5 4 メモリパケットリルート部

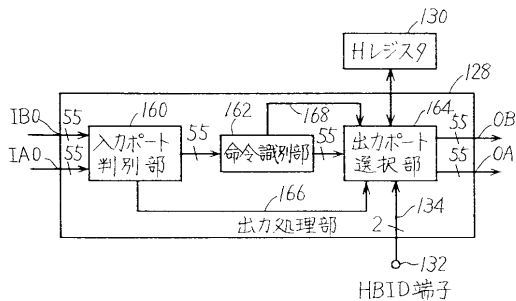
【図1】



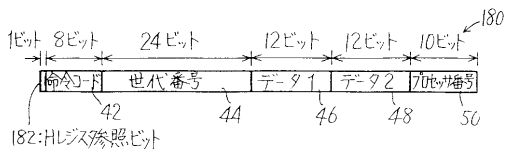
【図2】



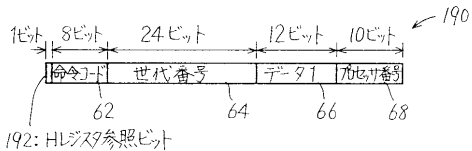
【図3】



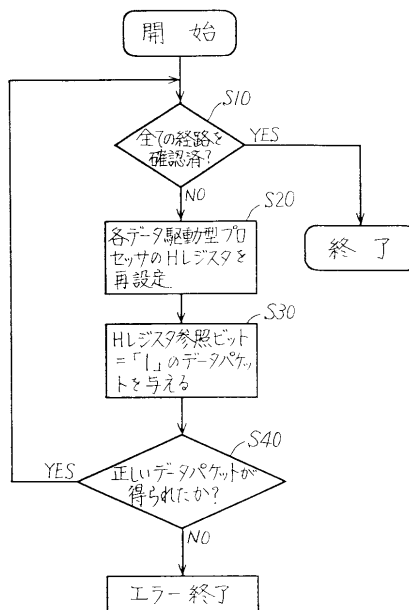
【図4】



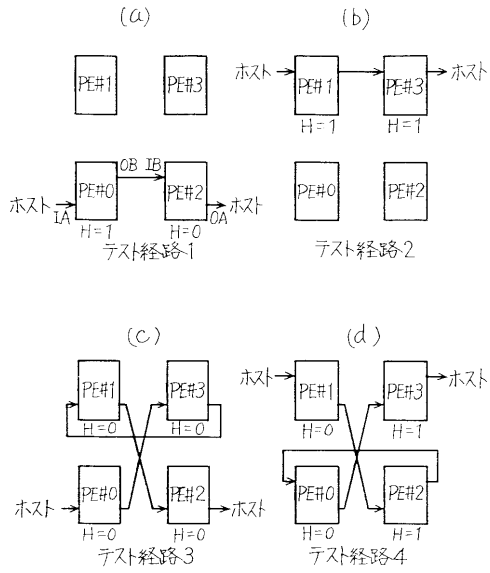
【図5】



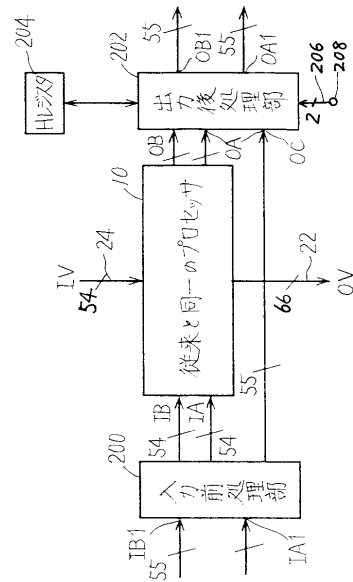
【図6】



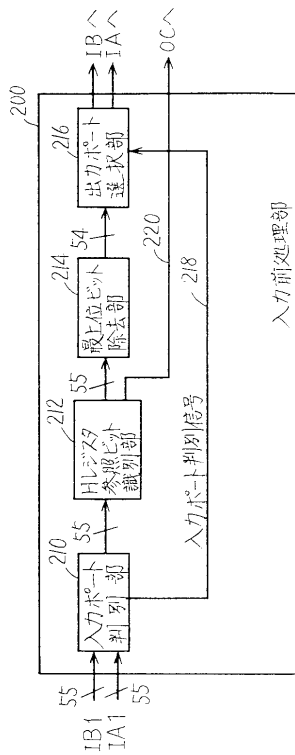
【 図 7 】



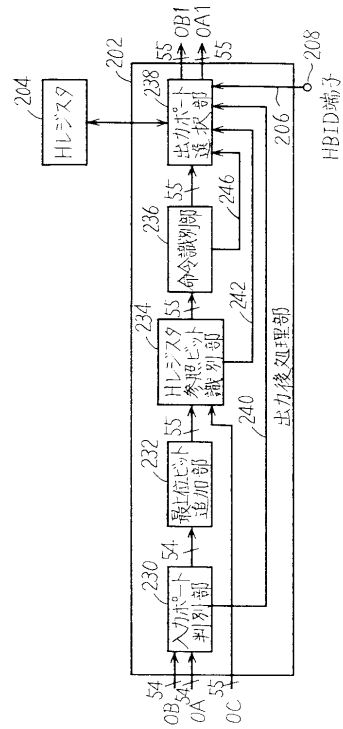
【 図 8 】



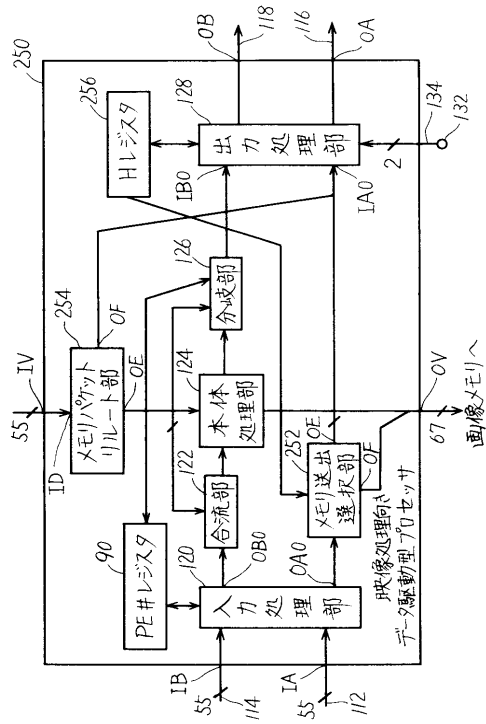
【 図 9 】



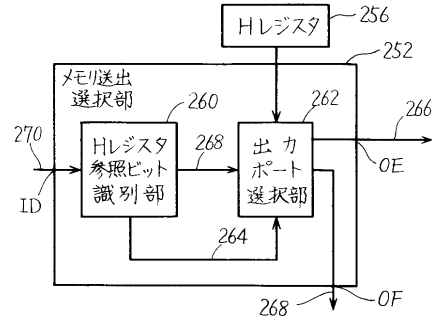
【 図 10 】



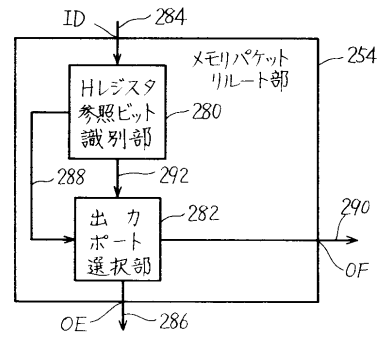
【図11】



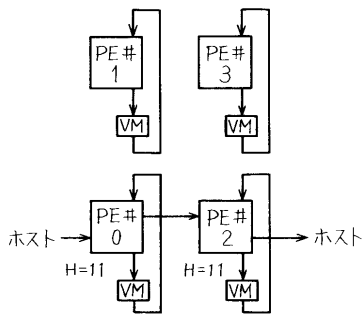
【図12】



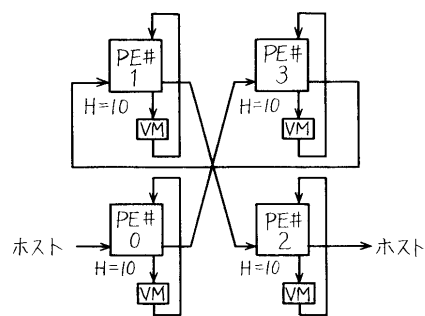
【図13】



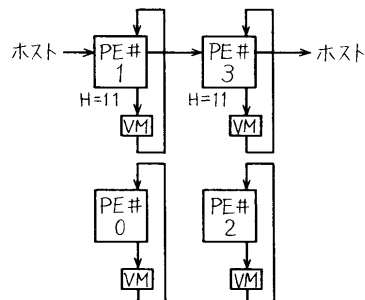
【図14】



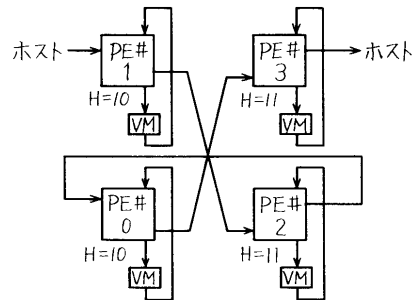
【図16】



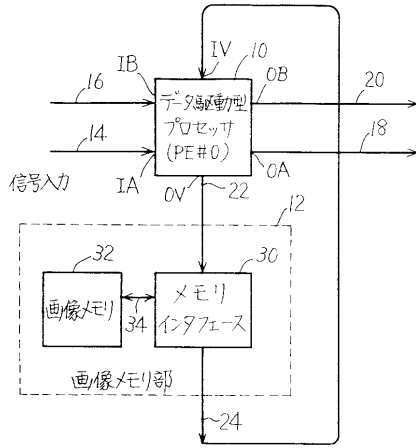
【図15】



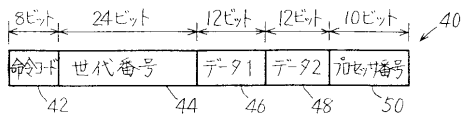
【図17】



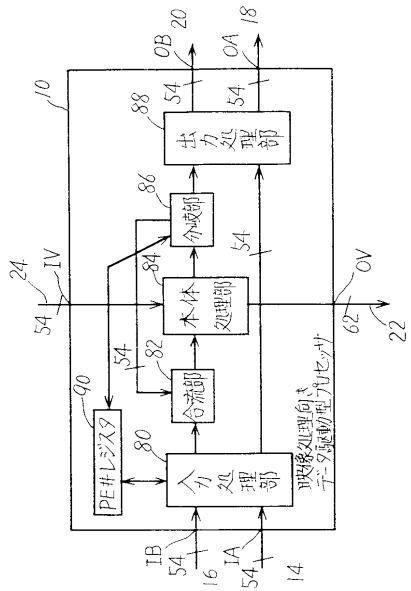
【 図 1 8 】



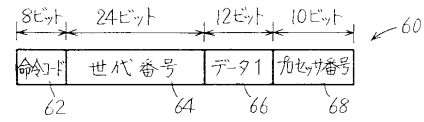
【 図 1 9 】



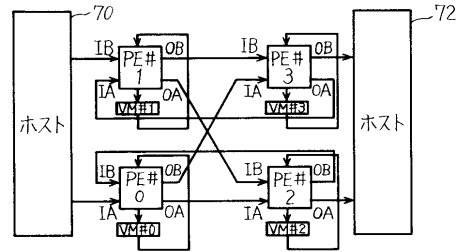
【 図 2 2 】



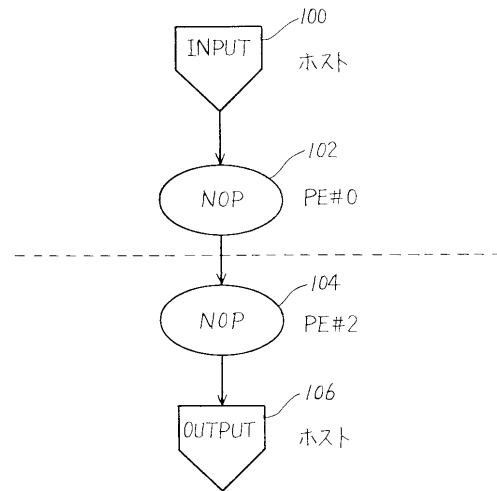
【 図 2 0 】



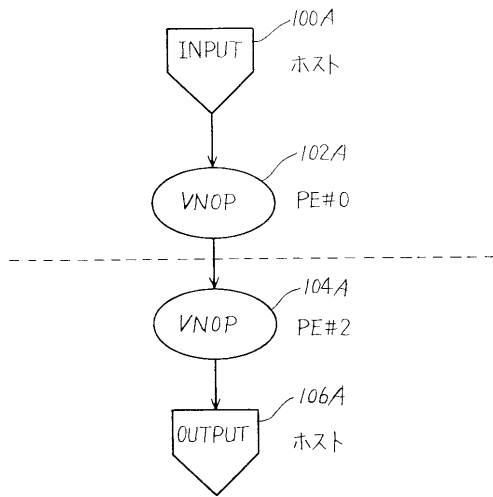
【 図 2 1 】



【 図 2 3 】



【 図 2 4 】



フロントページの続き

- (72)発明者 小野崎 学
大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内
- (72)発明者 松浦 康弘
大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

審査官 酒井 恭信

- (56)参考文献 特開昭61-262957(JP,A)
特開平01-276238(JP,A)
特開平06-266861(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G06F 15/82
JICSTファイル(JOIS)