

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-143068

(P2005-143068A)

(43) 公開日 平成17年6月2日(2005.6.2)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03K 17/16	H03K 17/16 L	2H093
G02F 1/133	G02F 1/133 505	5C006
G09G 3/20	G09G 3/20 611A	5C080
G09G 3/36	G09G 3/20 621M	5F048
HO1L 21/8234	G09G 3/20 622E	5F110

審査請求 未請求 請求項の数 19 O L (全 35 頁) 最終頁に続く

(21) 出願番号	特願2004-2584 (P2004-2584)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成16年1月8日(2004.1.8)	(74) 代理人	100086298 弁理士 船橋 國則
(31) 優先権主張番号	特願2003-356319 (P2003-356319)	(72) 発明者	伊藤 大亮 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(32) 優先日	平成15年10月16日(2003.10.16)	(72) 発明者	甚田 誠一郎 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	猪野 益充 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	2H093 NA16 NC22 NC34 NC35 ND39 最終頁に続く

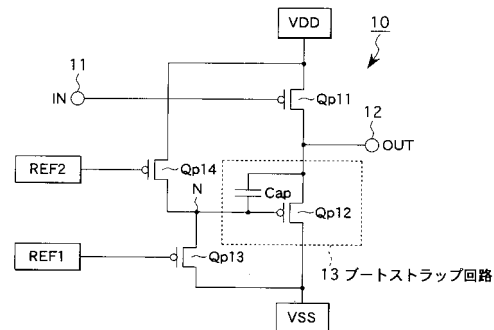
(54) 【発明の名称】 インバータ回路および表示装置

(57) 【要約】

【課題】 入力信号INがVSSレベルのとき、貫通電流が流れると、当該貫通電流による電位降下分だけ出力信号の電位が引き下げられる。

【解決手段】 ブートストラップ型インバータ回路10において、MOSトランジスタQp12のゲート電位を、入力信号INのレベルがVDD電位からVSS電位に変化したときにVDD電位にリセットするMOSトランジスタQp14を設け、入力信号INのレベルがVSS電位の状態では、MOSトランジスタQp12を完全にオフ状態にし、貫通電流が流れないようにする。また、MOSトランジスタQp12のゲート電位を、VSS電位にプリチャージするMOSトランジスタQp13を設け、プリチャージ状態から入力信号INのレベルがVDD電位に変化した際に、MOSトランジスタQp12を完全にオン状態にし、出力信号OUTのレベルとしてVSS電位を取り出す。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁性基板上に単一チャンネルのトランジスタによって構成されてなるインバータ回路であって、

第 1 電源にソースが接続され、ゲートに入力信号が与えられるとともに、ドレインから出力信号が取り出される第 1 のトランジスタと、

前記第 1 のトランジスタのドレインと第 2 電源との間に接続された第 2 のトランジスタと、

前記第 2 のトランジスタのゲートとソースとの間に接続されたキャパシタと、

前記入力信号のレベルが前記第 2 電源の電位から前記第 1 電源の電位に変化する前に、前記第 2 のトランジスタのゲート電位を前記第 2 電源の電位にプリチャージする第 3 のトランジスタと、

前記入力信号のレベルが前記第 1 電源の電位から前記第 2 電源の電位に変化したときに、前記第 2 のトランジスタのゲート電位を前記第 1 電源の電位にリセットする第 4 のトランジスタと

を備えたことを特徴とするインバータ回路。

10

【請求項 2】

前記第 1 ~ 第 4 のトランジスタが薄膜トランジスタであることを特徴とする請求項 1 記載のインバータ回路。

【請求項 3】

前記第 3 のトランジスタによるプリチャージ時に、前記第 1 電源の電位を前記第 1 のトランジスタのドレインに供給する第 5 のトランジスタをさらに備えたことを特徴とする請求項 1 記載のインバータ回路。

20

【請求項 4】

前記第 5 のトランジスタが薄膜トランジスタであることを特徴とする請求項 3 記載のインバータ回路。

【請求項 5】

前記第 1 のトランジスタのゲートおよびソースに、ゲートおよびソースがそれぞれ接続され、ドレインから出力信号が取り出される第 6 のトランジスタと、

前記第 6 のトランジスタのドレインにソースが接続されるとともに、前記第 2 のトランジスタのゲートおよびドレインに、ゲートおよびドレインがそれぞれ接続された第 7 のトランジスタと、

前記第 3 のトランジスタによるプリチャージ時に、前記第 1 電源の電位を前記第 6 のトランジスタのドレインに供給する第 5 のトランジスタとをさらに備えたことを特徴とする請求項 1 記載のインバータ回路。

30

【請求項 6】

前記第 5 ~ 第 7 のトランジスタが薄膜トランジスタであることを特徴とする請求項 5 記載のインバータ回路。

【請求項 7】

表示エレメントを含む画素が行列状に配置されてなる画素アレイ部と、

前記画素アレイ部と同じ基板上に集積され、回路の一部にインバータ回路を含んで前記画素アレイ部の画素の駆動を行う駆動回路とを具備した表示装置であって、

前記インバータ回路は、絶縁性基板上に単一チャンネルのトランジスタによって構成されてなり、

第 1 電源にソースが接続され、ゲートに入力信号が与えられるとともに、ドレインから出力信号が取り出される第 1 のトランジスタと、

前記第 1 のトランジスタのドレインと第 2 電源との間に接続された第 2 のトランジスタと、

前記第 2 のトランジスタのゲートとソースとの間に接続されたキャパシタと、

前記入力信号のレベルが前記第 2 電源の電位から前記第 1 電源の電位に変化する前に、

40

50

前記第 2 のトランジスタのゲート電位を前記第 2 電源の電位にプリチャージする第 3 のトランジスタと、

前記入力信号のレベルが前記第 1 電源の電位から前記第 2 電源の電位に変化したときに、前記第 2 のトランジスタのゲート電位を前記第 1 電源の電位にリセットする第 4 のトランジスタとを備えた

ことを特徴とする表示装置。

【請求項 8】

前記第 1 ~ 第 4 のトランジスタが薄膜トランジスタである

ことを特徴とする請求項 7 記載の表示装置。

【請求項 9】

前記インバータ回路は、

前記第 3 のトランジスタによるプリチャージ時に、前記第 1 電源の電位を前記第 1 のトランジスタのドレインに供給する第 5 のトランジスタをさらに備えた

ことを特徴とする請求項 7 記載の表示装置。

【請求項 10】

前記第 5 のトランジスタが薄膜トランジスタである

ことを特徴とする請求項 9 記載の表示装置。

【請求項 11】

前記インバータ回路は、

前記第 1 のトランジスタのゲートおよびソースに、ゲートおよびソースがそれぞれ接続され、ドレインから出力信号が取り出される第 6 のトランジスタと、

前記第 6 のトランジスタのドレインにソースが接続されるとともに、前記第 2 のトランジスタのゲートおよびドレインに、ゲートおよびドレインがそれぞれ接続された第 7 のトランジスタと、

前記第 3 のトランジスタによるプリチャージ時に、前記第 1 電源の電位を前記第 6 のトランジスタのドレインに供給する第 5 のトランジスタとをさらに備えた

ことを特徴とする請求項 7 記載の表示装置。

【請求項 12】

前記第 5 ~ 第 7 のトランジスタが薄膜トランジスタである

ことを特徴とする請求項 11 記載の表示装置。

【請求項 13】

表示エレメントを含む画素が行列状に配置されてなる画素アレイ部と、

前記絶縁性基板上に集積され、デューティ比が 50% を越え、位相が半周期分ずれた第 1, 第 2 のクロック信号の極性を反転する第 1, 第 2 のインバータ回路と、

前記絶縁性基板上に集積され、前記第 1, 第 2 のインバータ回路を経た前記第 1, 第 2 のクロック信号に同期してシフト動作を行うシフトレジスタ回路を有する駆動回路とを具備する表示装置であって、

前記第 1, 第 2 のインバータ回路は、単一チャンネルのトランジスタによって構成されてなり、

第 1 電源にソースが接続され、ゲートに入力信号が与えられるとともに、ドレインから出力信号が取り出される第 1 のトランジスタと、

前記第 1 のトランジスタのドレインと第 2 電源との間に接続された第 2 のトランジスタと、

前記第 2 のトランジスタのゲートとソースとの間に接続されたキャパシタと、

前記入力信号のレベルが前記第 2 電源の電位から前記第 1 電源の電位に変化する前に、前記第 2 のトランジスタのゲート電位を前記第 2 電源の電位にプリチャージする第 3 のトランジスタと、

前記入力信号のレベルが前記第 1 電源の電位から前記第 2 電源の電位に変化したとき、前記第 2 のトランジスタのゲート電位を前記第 1 電源の電位にリセットする第 4 のトランジスタとを備え、

10

20

30

40

50

前記第 1 のインバータ回路は、前記第 1 のクロック信号を前記第 1 のトランジスタのゲート入力とするとともに、前記絶縁性基板の外部から供給される第 1 のリファレンス信号を前記第 4 のトランジスタのゲート入力とし、前記絶縁性基板の外部から供給される第 2 のリファレンス信号を前記第 3 のトランジスタのゲート入力とし、

前記第 2 のインバータ回路は、前記第 2 のクロック信号を前記第 1 のトランジスタのゲート入力とするとともに、前記第 1 のリファレンス信号を前記第 3 のトランジスタのゲート入力とし、前記第 2 のリファレンス信号を前記第 4 のトランジスタのゲート入力とすることを特徴とする表示装置。

【請求項 1 4】

前記第 1 , 第 2 のリファレンス信号は、前記第 1 , 第 2 のクロック信号が共に同じ論理レベルの期間にアクティブとなる信号であることを特徴とする請求項 1 3 記載の表示装置。 10

【請求項 1 5】

前記第 1 ~ 第 4 のトランジスタが薄膜トランジスタであることを特徴とする請求項 1 3 記載の表示装置。

【請求項 1 6】

前記第 1 , 第 2 のインバータ回路は、前記第 3 のトランジスタによるプリチャージ時に、前記第 1 電源の電位を前記第 1 のトランジスタのドレインに供給する第 5 のトランジスタをさらに備えたことを特徴とする請求項 1 3 記載の表示装置。 20

【請求項 1 7】

前記第 5 のトランジスタが薄膜トランジスタであることを特徴とする請求項 1 6 記載の表示装置。

【請求項 1 8】

前記第 1 , 第 2 のインバータ回路は、前記第 1 のトランジスタのゲートおよびソースに、ゲートおよびソースがそれぞれ接続され、ドレインから出力信号が取り出される第 6 のトランジスタと、前記第 6 のトランジスタのドレインにソースが接続されるとともに、前記第 2 のトランジスタのゲートおよびドレインに、ゲートおよびドレインがそれぞれ接続された第 7 のトランジスタと、前記第 3 のトランジスタによるプリチャージ時に、前記第 1 電源の電位を前記第 6 のトランジスタのドレインに供給する第 5 のトランジスタとをさらに備えたことを特徴とする請求項 1 3 記載の表示装置。 30

【請求項 1 9】

前記第 5 ~ 第 7 のトランジスタが薄膜トランジスタであることを特徴とする請求項 1 8 記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インバータ回路および表示装置に関し、特に絶縁性基板上に形成されて用いられるインバータ回路および当該インバータ回路を駆動回路の一部に用いた表示装置に関する。 40

【背景技術】

【0002】

インバータ回路を、単一チャンネルの MOS トランジスタ、即ち P チャンネルの MOS トランジスタのみあるいは N チャンネルの MOS トランジスタのみを用いて構成すると、P チャンネルの MOS トランジスタと N チャンネルの MOS トランジスタとを 1 つのチップ内で組み合わせる場合よりもプロセス数を削減できるため、生産性や歩留まりの向上を図る上で有利である。

【0003】

また、PチャネルのMOSトランジスタとNチャネルのMOSトランジスタとを比較すると、NチャネルのMOSトランジスタは、LDD (Lightly Doped Drain)構造によってホットエレクトロン効果を低減するように構成されているため、性能の面では、PチャネルのMOSトランジスタよりも優れている。しかし、逆に、NチャネルのMOSトランジスタの場合、LDD構造を採る分だけプロセス数が増えるため、生産性や歩留まりの面では、PチャネルのMOSトランジスタの方がNチャネルのMOSトランジスタよりも優れている。

【0004】

図25は、PチャネルのMOSトランジスタのみによって構成されたインバータ回路の基本構成を示す回路図である。本例に係るインバータ回路は、TF T (Thin Film Transistor; 薄膜トランジスタ)からなる2つのPチャネルMOSトランジスタQp101, Qp102によって構成されている。一方のMOSトランジスタQp101は、ソースが正側電源VDDに接続されており、ゲートに入力信号INが与えられる。他方のMOSトランジスタQp102は、ゲートとドレインが接続されたダイオード接続となっており、ソースがMOSトランジスタQp101のドレインに、ゲート・ドレインが負側電源VSSにそれぞれ接続されて負荷抵抗としての機能を持つ。そして、MOSトランジスタQp101, Qp102のソース・ドレインの接続ノードから出力信号OUTが導出される。

10

【0005】

かかる構成のインバータ回路において、MOSトランジスタQp101, Qp102がリークもなく、また閾値電圧Vthも零であるような理想状態の場合、入力信号INのレベルがVDD電位するとき、MOSトランジスタQp101がオフ状態になるため、出力信号OUTのレベルとしてVSS電位が得られる。また、入力信号INのレベルがVSS電位するとき、MOSトランジスタQp101がオン状態になるため、出力信号OUTのレベルとしてVDD電位が得られる。

20

【0006】

しかし、絶縁性基板上に形成されるTF Tのポリシリコンプロセスまたはアモルファスシリコンプロセスでは、閾値電圧Vthや移動度 μ 等のトランジスタ特性のバラツキが単結晶プロセスに比べて大きく、加えてトランジスタのオフ電流Ioffも無視できないため、上述したような動作にはならない。すなわち、入力信号INのレベルがVDD電位するとき、MOSトランジスタQp101がオフ状態になり、MOSトランジスタQp102のゲート電位はソースの電位、即ちVSS電位と等しく同電位になっているが、出力信号OUTのレベルはVSS電位とならず、図26に示すように、MOSトランジスタQp102の閾値電圧Vth分だけ高い電位となる。

30

【0007】

因みに、ポリシリコンプロセスまたはアモルファスシリコンプロセスによって作成されたPチャネルTF Tでは、閾値電圧Vthが-1[V]~-3[V]程度、移動度 μ が $10 \sim 100 [cm^2 / V \cdot sec]$ 程度、またオフ電流Ioffが $1 [pA] \sim 100 [nA]$ 程度ばらつく。したがって、回路設計時には、これらトランジスタ特性のバラツキを考慮する必要がある。

【0008】

従来、この閾値電圧Vthに起因する不具合を解消し、入力信号INのレベルがVDD電位ときの出力信号OUTのレベルをVSS電位にすることを可能にしたインバータ回路として、いわゆるブートストラップ型インバータ回路がある(例えば、非特許文献1参照)。このタイプAのブートストラップ型インバータ回路は、図27に示すように、MOSトランジスタQp102のゲートとドレインとの間に、ゲートとドレインが接続されたダイオード接続のPチャネルMOSトランジスタQp103を接続するとともに、MOSトランジスタQp102のソースとゲートとの間に、キャパシタCapを接続した構成となっている(以下、これをAタイプと呼ぶ)。

40

【0009】

また、別タイプ(タイプB)のブートストラップ型インバータ回路として、図29に示

50

すように、MOSトランジスタQp101のゲートとソースに、ゲートとソースがそれぞれ接続されたMOSトランジスタQp104と、MOSトランジスタQp102のゲートとドレインに、ゲートとドレインがそれぞれ接続されたMOSトランジスタQp105とを設け、ブートストラップ部分と出力部分とを分けた構成のものもある。

【0010】

上記タイプA、Bのブートストラップ型インバータ回路において、図中、破線で囲った領域部分がブートストラップ回路Xである。これらタイプA、Bのいずれのブートストラップ型インバータ回路においても、出力信号OUTのレベルの低下に伴い、VSS電位よりもVth分だけ高かったノードNの電位がキャパシタCapによる容量結合によってVSS電位よりも下がるため（ノードNがブートストラップするため）、MOSトランジスタQp102が完全にオン状態となる。その結果、図28および図30から明らかなように、入力信号INのレベルがVDD電位時の出力信号OUTのレベルとしてVSS電位を出力することが可能になる。

10

【0011】

【非特許文献1】原央著，「MOS集積回路の基礎」，近代科学社，p.94-96

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかしながら、上述したタイプA、Bのブートストラップ型インバータ回路ではいずれも、入力信号INのレベルがVSS電位のときに、MOSトランジスタQp101がオン状態になり、出力信号OUTのレベルとしてVDD電位が得られる筈である。ところが、MOSトランジスタQp103がダイオード接続となっていることにより、ノードNの電位がVSS電位+閾値電圧Vthとなるため、MOSトランジスタQp102が完全にオフ状態になり得なく、よってMOSトランジスタQp101およびMOSトランジスタQp102のドレイン-ソース間で貫通電流が流れる。その結果、図28および図30に示すように、貫通電流による電位降下分Vだけ出力信号OUTのレベルが引き下げられるとともに、貫通電流が流れることによって消費電力が大きくなる。この課題については、先述した図25の基本構成のインバータ回路においても同様のことが言える。

20

【0013】

本発明は、上記課題に鑑みてなされたものであって、その目的とするところは、閾値電圧Vthや移動度μ等のトランジスタ特性のバラツキの影響を受けにくく、かつ負荷抵抗に流れる貫通電流を抑えて低消費電力化を可能にしたインバータ回路および当該インバータ回路を用いた表示装置を提供することにある。

30

【課題を解決するための手段】

【0014】

本発明によるインバータ回路は、第1電源にソースが接続され、ゲートに入力信号が与えられるとともに、ドレインから出力信号が取り出される第1のトランジスタと、前記第1のトランジスタのドレインと第2電源との間に接続された第2のトランジスタと、前記第2のトランジスタのゲートとソースとの間に接続されたキャパシタと、前記入力信号のレベルが前記第2電源の電位から前記第1電源の電位に変化する前に、前記第2のトランジスタのゲート電位を前記第2電源の電位にプリチャージする第3のトランジスタと、前記入力信号のレベルが前記第1電源の電位から前記第2電源の電位に変化したときに、前記第2のトランジスタのゲート電位を前記第1電源の電位にリセットする第4のトランジスタとを備え、前記第1～第4のトランジスタが絶縁性基板上に単一チャンネルのトランジスタによって構成されたことを特徴としている。

40

【0015】

上記構成のインバータ回路において、第4のトランジスタは、入力信号のレベルが第1電源の電位から第2電源の電位に変化したときに、第2のトランジスタのゲート電位を第1電源の電位まで引き上げる。この状態では、第2のトランジスタが完全にオフ状態になるため、負荷抵抗としての機能を持つ第2のトランジスタに貫通電流が流れない。したが

50

って、出力信号のレベルが第1電源の電位となる。

【0016】

一方、第3のトランジスタは、入力信号のレベルが第2電源の電位から第1電源の電位に変化する前に、換言すれば入力信号のレベルが第2電源の電位の状態の終わり近くで、第2のトランジスタのゲート電位を第2電源の電位の近傍まで引き下げる（または、引き上げる）。この状態から、入力信号のレベルが第1電源の電位に変化すると、第1のトランジスタのドレイン電位が第2電源の電位に変化することに伴い、第2のトランジスタおよびキャパシタからなるブートストラップ回路は、キャパシタによる容量結合によって第2のトランジスタのゲート電位を第2電源の電位よりも低い電位（または、高い電位）まで変化させる。これにより、第2のトランジスタが完全にオン状態になるため、出力信号のレベルが第2電源の電位となる。

10

【発明の効果】

【0017】

本発明によれば、入力信号のレベルが第2電源の電位の状態では、第2のトランジスタが完全にオフ状態になり、当該第2のトランジスタには貫通電流が流れないため、消費電力を低減できるとともに、出力信号のレベルとして第1電源の電位を取り出すことができる。また、プリチャージ状態から入力信号のレベルが第1電源の電位に変化した際に、第2のトランジスタが完全にオン状態になるため、閾値電圧 V_{th} や移動度 μ 等のトランジスタ特性のパラッキの影響を受けることなく、出力信号のレベルとして第2電源の電位を取り出すことができる。

20

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0019】

[第1実施形態]

第1実施形態に係るインバータ回路は、絶縁性基板上に単一チャネル（同じ導電型）のトランジスタによって構成されたブートストラップ型インバータ回路であり、第1電源にソースが接続され、ゲートに入力信号が与えられるとともに、ドレインから出力信号が取り出される第1のトランジスタと、この第1のトランジスタのドレインと第2電源との間に接続された第2のトランジスタと、この第2のトランジスタのゲートとソースとの間に接続されたキャパシタと、入力信号のレベルが第2電源の電位から第1電源の電位に変化する前に、第2のトランジスタのゲート電位を第2電源の電位にプリチャージする第3のトランジスタと、入力信号のレベルが第1電源の電位から第2電源の電位に変化したときに、第2のトランジスタのゲート電位を第1電源の電位にリセットする第4のトランジスタとを備えたことを特徴としている。

30

【0020】

(実施例1)

図1は、第1実施形態の実施例1に係るインバータ回路の構成を示す回路図である。本実施例に係るインバータ回路は、ガラス基板等の絶縁性基板上にPチャネルのみのMOSトランジスタによって構成されたブートストラップ型インバータ回路であり、正側電源 V_{DD} （以下、 V_{DD} 電源と記す）を第1電源とし、負側電源 V_{SS} （以下、 V_{SS} 電源と記す）を第2電源としている。

40

【0021】

図1に示すように、本実施例に係るブートストラップ型インバータ回路10は、第1～第4のPチャネルMOSトランジスタ $Q_{p11} \sim Q_{p14}$ およびキャパシタ C_{ap} を有する構成となっている。MOSトランジスタ Q_{p11} は、ソースが V_{DD} 電源に接続され、ゲートに回路入力端子11を通して入力信号 IN が与えられるとともに、ドレインから回路出力端子12を通して出力信号 OUT が導出される。MOSトランジスタ Q_{p12} は、ソースがMOSトランジスタ Q_{p11} のドレインに、ドレインが V_{SS} 電源に接続されて負荷抵抗としての機能を持つ。

50

【0022】

キャパシタCapは、MOSトランジスタQp12のゲートとソースとの間に接続されており、MOSトランジスタQp12と共にブートストラップ回路13を構成している。MOSトランジスタQp13は、ソースがMOSトランジスタQp12のゲートに、ドレインがVSS電源にそれぞれ接続されており、ゲートにリファレンス信号REF1が与えられる。このMOSトランジスタQp13のソースとMOSトランジスタQp12のゲートの接続点をノードNと呼ぶこととする。MOSトランジスタQp14は、ソースがVDD電源に、ドレインがノードNにそれぞれ接続されており、ゲートにリファレンス信号REF2が与えられる。

【0023】

図2に、入力信号IN、リファレンス信号REF1、REF2、ノードNの電位および出力信号OUTの各レベルおよびタイミング関係を示す。リファレンス信号REF1は、入力信号INのレベルがVSS電位からVDD電位に変化する前、換言すれば入力信号INのレベルがVSS電位の終わり近くで一定期間だけVSSレベルとなる。この一定期間をプリチャージ期間と呼ぶこととする。リファレンス信号REF2は、入力信号INのレベルがVDD電位からVSS電位に変化したときに、一定期間だけVSSレベルとなる。この一定期間をリセット期間と呼ぶこととする。

【0024】

上記構成のブートストラップ型インバータ回路10において、PチャンネルMOSトランジスタQp11～Qp14は、ポリシリコンプロセスまたはアモルファスシリコンプロセスで形成されたTFET（薄膜トランジスタ）である。PチャンネルTFETには、ゲート電極がゲート絶縁膜（酸化膜）の下に配置されるボトムゲート構造のものと、ゲート電極がゲート絶縁膜の上に配置されるトップゲート構造のものなどがある。

【0025】

図3は、ボトムゲート型PチャンネルTFETの構造の一例を示す断面図である。図3に示すように、ボトムゲート構造のTFETでは、ガラス基板等の絶縁性基板21の上にゲート電極（Moゲート）22が形成され、その上にゲート絶縁膜23を介してポリシリコン層（または、アモルファスシリコン層）24が形成され、さらにその上に層間絶縁膜25、26が形成されている。また、ゲート電極22の側方のゲート絶縁膜23上には、P⁺拡散層からなるソース領域27およびドレイン領域28が形成され、これら領域27、28にはAl（アルミニウム）電極29、30が接続されている。

【0026】

図4は、トップゲート型PチャンネルTFETの構造の一例を示す断面図である。図4に示すように、トップゲート構造のTFETでは、ガラス基板等の絶縁性基板31の上にポリシリコン層（または、アモルファスシリコン層）32が形成され、その上にゲート絶縁膜33を介してゲート電極（Moゲート）34が形成され、さらにその上に層間絶縁膜35が形成されている。また、ポリシリコン層32の側方の絶縁性基板31上には、P⁺拡散層からなるソース領域36およびドレイン領域37が形成され、これら領域36、37にはAl電極38、39が接続されている。

【0027】

続いて、上記構成の実施例1に係るブートストラップ型インバータ回路10の回路動作について、図2のタイミングチャートを用いて説明する。

【0028】

入力信号INのレベルがVDD電位からVSS電位に変化すると、リファレンス信号REF2がVSSレベルとなり、リセット期間に入る。このリセット期間では、VSSレベルのリファレンス信号REF2がゲートに与えられることで、MOSトランジスタQp14がオン状態となる。これにより、ノードNの電位、即ちMOSトランジスタQp12のゲート電位がVDD電位の近傍まで引き上げられる。すなわち、MOSトランジスタQp14は、入力信号INのレベルがVDD電位からVSS電位に変化したときに、ノードNの電位をVDD電位にリセットするリセットスイッチとしての機能を持つ。ノードNの電

10

20

30

40

50

位がVDD電位まで引き上げられると、MOSトランジスタQp12が完全にオフ状態になる。

【0029】

このように、入力信号INのレベルがVSS電位有的时候に、MOSトランジスタQp14によるリセット期間では、MOSトランジスタQp12が完全にオフ状態になるため、負荷抵抗としての機能を持つMOSトランジスタQp11に貫通電流が流れない。したがって、本インバータ回路の消費電力を、貫通電流が流れない分だけ低減できる。また、MOSトランジスタQp12に貫通電流が流れないことにより、MOSトランジスタQp11のドレイン電位が引き下げられることがないため、出力信号OUTのレベルとしてVDD電位を取り出すことができる。

10

【0030】

次に、入力信号INのレベルがVSS電位の終わり近くになると、リファレンス信号REF1がVSSレベルとなり、プリチャージ期間に入る。このプリチャージ期間では、VSSレベルのリファレンス信号REF1がゲートに与えられることで、MOSトランジスタQp13がオン状態となる。これにより、ノードNの電位がVSS電位の近傍まで引き下げられる。すなわち、MOSトランジスタQp13は、入力信号INのレベルがVSS電位からVDD電位に変化する前に、ノードNの電位をVSS電位にプリチャージするプリチャージスイッチとしての機能を持つ。

【0031】

このプリチャージ状態から、入力信号INのレベルがVDD電位に変化すると、MOSトランジスタQp11のドレイン電位がVSS電位に変化することに伴い、ブートストラップ回路13はキャパシタCapによる容量結合によってノードN、即ちMOSトランジスタQp12のゲート電位をVSS電位よりもさらに負側の電位まで下げる。このブートストラップ効果により、MOSトランジスタQp12が完全にオン状態になるため、出力信号OUTのレベルとしてVSS電位を取り出すことができる。

20

【0032】**(実施例2)**

図5は、第1実施形態の実施例2に係るインバータ回路の構成を示す回路図である。本実施例に係るインバータ回路は、ガラス基板等の絶縁性基板上にNチャンネルのみのMOSトランジスタによって構成されたブートストラップ型インバータ回路であり、正側電源VDD(以下、VDD電源と記す)を第2電源とし、負側電源VSS(以下、VSS電源と記す)を第1電源としている。

30

【0033】

図5に示すように、本実施例に係るブートストラップ型インバータ回路40は、第1～第4のNチャンネルMOSトランジスタQn11～Qn14およびキャパシタCapを有する構成となっている。MOSトランジスタQn11は、ソースがVSS電源に接続され、ゲートに回路入力端子41を通して入力信号INが与えられるとともに、ドレインから回路出力端子42を通して出力信号OUTが導出される。MOSトランジスタQn12は、ソースがMOSトランジスタQn11のドレインに、ドレインがVDD電源に接続されて負荷抵抗としての機能を持つ。

40

【0034】

キャパシタCapは、MOSトランジスタQn12のゲートとソースとの間に接続されており、MOSトランジスタQn12と共にブートストラップ回路43を構成している。MOSトランジスタQn13は、ソースがMOSトランジスタQn12のゲートに、ドレインがVDD電源にそれぞれ接続されており、ゲートにリファレンス信号REF1が与えられる。このMOSトランジスタQn13のソースとMOSトランジスタQn12のゲートの接続点をノードNと呼ぶこととする。MOSトランジスタQn14は、ソースがVSS電源に、ドレインがノードNにそれぞれ接続されており、ゲートにリファレンス信号REF2が与えられる。

【0035】

50

図6に、入力信号 I_N 、リファレンス信号 $REF1$ 、 $REF2$ 、ノード N の電位および出力信号 OUT の各レベルおよびタイミング関係を示す。リファレンス信号 $REF1$ は、入力信号 I_N のレベルが V_{DD} 電位から V_{SS} 電位に変化する前、換言すれば入力信号 I_N のレベルが V_{DD} 電位の終わり近くで一定期間だけ V_{DD} レベルとなる。リファレンス信号 $REF2$ は、入力信号 I_N のレベルが V_{SS} 電位から V_{DD} 電位に変化したときに、一定期間だけ V_{DD} レベルとなる。

【0036】

上記構成のブートストラップ型インバータ回路40において、 N チャンネルMOSトランジスタ $Q_{n11} \sim Q_{n14}$ は、ポリシリコンプロセスまたはアモルファスシリコンプロセスで形成されたTFTである。 N チャンネルTFTにも P チャンネルTFTと同様に、ボトムゲート構造のものとトップゲート構造のものなどがあり、基本的に同じ構造となっている。すなわち、 P チャンネルTFTの構造を示す図3および図4において、ソース領域27、36およびドレイン領域28、37の P^+ 拡散層を N^+ 拡散層にしたものが N チャンネルTFTの構造となる。

【0037】

実施例2に係るブートストラップ型インバータ回路40は、実施例1に係るブートストラップ型インバータ回路10とは、図5と図1の対比から明らかなように、MOSトランジスタの導電型および第1、第2電源の極性を逆にしただけの違いであり、基本的には同じ構成となっており、また回路動作および作用効果も基本的に同じである。

【0038】

上述したように、ブートストラップ型インバータ回路10/40において、MOSトランジスタ Q_{p12}/Q_{n12} のゲート電位(ノード N の電位)を、入力信号 I_N のレベルが第1電源(V_{DD}/V_{SS})の電位から第2電源(V_{SS}/V_{DD})の電位に変化したときに第1電源の電位にリセットするMOSトランジスタ Q_{p14}/Q_{n14} を設けたことにより、入力信号 I_N のレベルが第2電源の電位の状態では、MOSトランジスタ Q_{p12}/Q_{n12} が完全にオフ状態になり、当該トランジスタ Q_{p12}/Q_{n12} に貫通電流が流れないため、本インバータ回路10/40の消費電力を低減できる。また、出力信号 OUT の電位が貫通電流によって引き下げられることもないため、出力信号 OUT のレベルとして第1電源の電位を取り出すことができる。

【0039】

また、入力信号 I_N のレベルが第2電源の電位から第1電源の電位に変化する前に、MOSトランジスタ Q_{p12}/Q_{n12} のゲート電位(ノード N の電位)を、第2電源の電位にプリチャージするMOSトランジスタ Q_{p13}/Q_{n13} を設けたことにより、このMOSトランジスタ Q_{p13}/Q_{n13} によるプリチャージ状態から、入力信号 I_N のレベルが第1電源の電位に変化した際に、キャパシタ Cap による容量結合によってMOSトランジスタ Q_{p12}/Q_{n12} のゲート電位が第2電源の電位よりもさらに負側の電位まで下げられるため(または、第2電源の電位よりもさらに正側の電位まで上げられるため)、MOSトランジスタ Q_{p12}/Q_{n12} が完全にオン状態になる。その結果、閾値電圧 V_{th} や移動度 μ 等のトランジスタ特性のバラツキの影響を受けることなく、出力信号 OUT のレベルとして第2電源の電位を取り出すことができる。

【0040】

しかも、ブートストラップ型インバータ回路10/40は、4つのMOSトランジスタ $Q_{p11}/Q_{n11} \sim Q_{p14}/Q_{n14}$ として同じ導電型のトランジスタを用いた単一チャンネルによる回路構成であるため、 P チャンネルのMOSトランジスタと N チャンネルのMOSトランジスタとを1つのチップ内で組み合わせた回路構成を採る場合よりもプロセス数を削減できるため、生産性や歩留まりの向上を図る上で有利である。

【0041】

ただし、第1実施形態に係るブートストラップ型インバータ回路10/40では、MOSトランジスタ Q_{p13}/Q_{n13} によってMOSトランジスタ Q_{p12}/Q_{n12} のゲート電位を第2電源の電位にプリチャージする動作が行われると、そのプリチャージ期間

10

20

30

40

50

においてM O SトランジスタQ p 1 2 / Q n 1 2に貫通電流が流れるため、図2 / 図6に示すように、出力信号O U Tの電位が当該貫通電流による電位降下分 V だけ引き下げられる / 引き上げられる現象が発生する。

【0042】

[第2実施形態]

第2実施形態に係るインバータ回路は、上記プリチャージ期間における電圧低下 / 電圧上昇を防ぐために為されたものであり、第1実施形態に係るインバータ回路の構成要素に加えて、同じ絶縁性基板上に第1～第4のトランジスタと同じ導電型で形成され、第3のトランジスタによるプリチャージ時に、第1電源の電位を第1のトランジスタのドレインに供給する第5のトランジスタをさらに備えたことを特徴としている。

10

【0043】

(実施例1)

図7は、第2実施形態の実施例1に係るインバータ回路の構成を示す回路図であり、図中、図1と同等部分には同一符号を付して示している。本実施例に係るインバータ回路は、図1に示したインバータ回路と同様に、ガラス基板等の絶縁性基板上にPチャンネルのみのM O Sトランジスタによって構成されたブートストラップ型インバータ回路であり、正側電源V D D (以下、V D D電源と記す)を第1電源、負側電源V S S (以下、V S S電源と記す)を第2電源としている。

【0044】

図7に示すように、本実施例に係るブートストラップ型インバータ回路50は、第1～第4のPチャンネルM O SトランジスタQ p 1 1～Q p 1 4およびキャパシタC a pに加えて、第5のPチャンネルM O SトランジスタQ p 1 5を備えた構成となっている。M O SトランジスタQ p 1 5は、ソースがV D D電源に、ドレインが回路出力端子12 (M O SトランジスタQ p 1 1のドレイン)にそれぞれ接続されており、ゲートにリファレンス信号R E F 1が与えられる。このM O SトランジスタQ p 1 5も、M O SトランジスタQ p 1 1～Q p 1 4と同様に、ポリシリコンプロセスまたはアモルファスシリコンプロセスで形成されたT F Tである。

20

【0045】

図8に、入力信号I N、リファレンス信号R E F 1, R E F 2、ノードNの電位および出力信号O U Tの各レベルおよびタイミング関係を示す。リファレンス信号R E F 1は、入力信号I NのレベルがV S S電位からV D D電位に変化する前、換言すれば入力信号I NのレベルがV S S電位の終わり近くで一定期間だけV S Sレベルとなる。リファレンス信号R E F 2は、入力信号I NのレベルがV D D電位からV S S電位に変化したときに、一定期間だけV S Sレベルとなる。

30

【0046】

続いて、上記構成の実施例1に係るブートストラップ型インバータ回路50の回路動作について、図8のタイミングチャートを用いて説明する。なお、リセット期間での動作は第1実施形態の場合と同じであるので、ここではその動作および作用効果の説明については省略する。

【0047】

入力信号I NのレベルがV S S電位の終わり近くになると、リファレンス信号R E F 1がV S Sレベルとなり、プリチャージ期間に入る。このプリチャージ期間では、M O SトランジスタQ p 1 3がゲートにV S Sレベルのリファレンス信号R E F 1が与えられることによってオン状態となる。このとき同時に、M O SトランジスタQ p 1 5もゲートにV S Sレベルのリファレンス信号R E F 1が与えられることによってオン状態となる。これにより、プリチャージ期間では、M O SトランジスタQ p 1 5を通してV D D電源から回路出力端子12 (M O SトランジスタQ p 1 1のドレイン)に電源供給が行われる。

40

【0048】

このように、V D D電源と回路出力端子12との間にM O SトランジスタQ p 1 5を接続し、プリチャージ期間で当該M O SトランジスタQ p 1 5をオン状態にし、V D D電源

50

から回路出力端子 1 2 に電源供給を行うことにより、M O S トランジスタ Q p 1 3 によるプリチャージ動作が出力信号 O U T のレベルに及ぼす影響を相殺することができるため、プリチャージ期間においても出力信号 O U T のレベルとして V D D 電位を取り出すことができる。

【 0 0 4 9 】

このプリチャージ状態から、入力信号 I N のレベルが V D D 電位に変化すると、M O S トランジスタ Q p 1 1 のドレイン電位が V S S 電位に変化することに伴い、ブートストラップ回路 1 3 はキャパシタ C a p による容量結合によってノード N、即ち M O S トランジスタ Q p 1 2 のゲート電位を V S S 電位よりもさらに負側の電位まで下げる。このブートストラップ効果により、M O S トランジスタ Q p 1 2 が完全にオン状態になるため、出力信号 O U T のレベルとして V S S 電位を取り出すことができる。

10

【 0 0 5 0 】

(実施例 2)

図 9 は、第 2 実施形態の実施例 2 に係るインバータ回路の構成を示す回路図であり、図中、図 5 と同等部分には同一符号を付して示している。本実施例に係るインバータ回路は、図 5 に示したインバータ回路と同様に、ガラス基板等の絶縁性基板上に N チャネルのみの M O S トランジスタによって構成されたブートストラップ型インバータ回路であり、正側電源 V D D (以下、V D D 電源と記す) を第 2 電源、負側電源 V S S (以下、V S S 電源と記す) を第 1 電源としている。

【 0 0 5 1 】

図 9 に示すように、本実施例に係るブートストラップ型インバータ回路 6 0 は、第 1 ~ 第 4 の N チャネル M O S トランジスタ Q n 1 1 ~ Q n 1 4 およびキャパシタ C a p に加えて、第 5 の N チャネル M O S トランジスタ Q n 1 5 を備えた構成となっている。M O S トランジスタ Q n 1 5 は、ソースが V S S 電源に、ドレインが回路出力端子 4 2 (M O S トランジスタ Q n 1 1 のドレイン) にそれぞれ接続されており、ゲートにリファレンス信号 R E F 1 が与えられる。この M O S トランジスタ Q n 1 5 も、M O S トランジスタ Q n 1 1 ~ Q n 1 4 と同様に、ポリシリコンプロセスまたはアモルファスシリコンプロセスで形成された T F T である。

20

【 0 0 5 2 】

図 1 0 に、入力信号 I N、リファレンス信号 R E F 1、R E F 2、ノード N の電位および出力信号 O U T の各レベルおよびタイミング関係を示す。リファレンス信号 R E F 1 は、入力信号 I N のレベルが V D D 電位から V S S 電位に変化する前、換言すれば入力信号 I N のレベルが V D D 電位の終わり近くで一定期間だけ V D D レベルとなる。リファレンス信号 R E F 2 は、入力信号 I N のレベルが V S S 電位から V D D 電位に変化したときに、一定期間だけ V D D レベルとなる。

30

【 0 0 5 3 】

上記構成の実施例 2 に係るブートストラップ型インバータ回路 6 0 は、実施例 1 に係るブートストラップ型インバータ回路 5 0 とは、図 9 と図 7 の対比から明らかなように、M O S トランジスタの導電型および第 1、第 2 電源の極性を逆にしただけの違いであり、基本的には同じ構成となっており、また回路動作および作用効果も基本的に同じである。

40

【 0 0 5 4 】

上述したように、入力信号 I N のレベルが第 2 電源の電位から第 1 電源の電位に変化する前に、M O S トランジスタ Q p 1 2 / Q n 1 2 のゲート電位 (ノード N の電位) を、第 2 電源の電位にプリチャージする構成のブートストラップ型インバータ回路 5 0 / 6 0 において、そのプリチャージ期間に第 1 電源の電位を M O S トランジスタ Q p 1 1 / Q n 1 1 のドレインに供給する M O S トランジスタ Q p 1 5 / Q n 1 5 を設けたことにより、M O S トランジスタ Q p 1 3 / Q n 1 3 によるプリチャージ動作が出力信号 O U T のレベルに及ぼす影響を相殺することができるため、プリチャージ期間においても出力信号 O U T のレベルとして第 1 電源の電位を取り出すことができる。

【 0 0 5 5 】

50

ここで、インバータ回路に流れる貫通電流について、図19の従来例に係るブートストラップ型インバータ回路の場合と、第2実施形態(実施例1)に係るブートストラップ型インバータ回路の場合とを比較する。

【0056】

従来例に係るブートストラップ型インバータ回路では、図11に示すように、入力信号INのレベルがVSS電位の期間(ハッチングで示す期間)に常に貫通電流が流れる。これに対して、第2実施形態に係るブートストラップ型インバータ回路では、サンプリング信号REF2に同期したリセット動作によりノードNの電位をVDD電位まで上げることができるので、図12に示すように、プリチャージ期間(ハッチングで示す期間)を除いて貫通電流をカットすることができる。インバータ回路の消費電力は貫通電流に依存するので、貫通電流の少ない第2実施形態に係るブートストラップ型インバータ回路の方が、従来例に係るブートストラップ型インバータ回路よりも低消費電力であることがわかる。

10

【0057】

貫通電流が流れるプリチャージ期間では、出力信号OUTのレベルをVDD電位まで引き上げることはできない。MOSトランジスタQp11, Qp12のチャンネル幅Wが同じであるとするならば、MOSトランジスタQp11のチャンネル長L11に対してMOSトランジスタQp12のチャンネル長L12を大きくすることで、出力信号OUTのレベルを限りなくVDD電位に近づけることはできる。しかし、MOSトランジスタQp12のチャンネル長L12を大きくしすぎるとVSSレベルの出力時の性能が悪化する。これを解決するためには、第2実施形態に係るブートストラップ型インバータ回路のように、貫通電流が流れるプリチャージ期間にのみ動作し、VDD電位を回路出力端子12に供給するMOSトランジスタQp15が必要となる。

20

【0058】

次に、インバータ回路の消費電力について、図19の従来例に係るブートストラップ型インバータ回路の場合と、第2実施形態(実施例1)に係るブートストラップ型インバータ回路の場合とを比較する。

【0059】

ここでは、入力条件として、入力信号INの高レベルであるVDD電位を10V、低レベルであるVSS電位を-5V、高レベル状態のパルス持続時間を15 μ s、周期を40 μ sとする。また、リファレンス信号REF1, REF2の低レベル状態のパルス持続時間を5 μ s、高レベル状態のパルス持続時間を50 μ sとする。ただし、入力信号INに対するリファレンス信号REF1, REF2のタイミングは、図13に示すような関係にあるものとする。

30

【0060】

共通するトランジスタのサイズと入力信号INの波形が全て同じ条件とすると、従来例に係るブートストラップ型インバータ回路と第2実施形態に係るブートストラップ型インバータ回路の消費電力の比は、貫通電流が流れる期間の比で表すことができ、25 μ s : 5 μ sであるため1 : 0.2となる。したがって、第2実施形態に係るブートストラップ型インバータ回路の方が、従来例に係るブートストラップ型インバータ回路よりも消費電力が少ないことが分かる。

40

【0061】

(応用例)

図14は、本発明の応用例に係るブートストラップ型インバータ回路の構成を示す回路図であり、図7と同等部分には同一符号を付して示している。図14に示すように、本応用例に係るブートストラップ型インバータ回路は、PチャンネルMOSトランジスタQp11~Qp14およびキャパシタCapからなるブートストラップ部分に加えて、PチャンネルMOSトランジスタQp16, Qp17からなる出力部分を備えた構成、換言すればブートストラップ部分と出力部分とを分けた構成となっている。

【0062】

MOSトランジスタQp16は、ソースおよびゲートがMOSトランジスタQp11の

50

ソースおよびゲートにそれぞれ接続され、ドレインから回路出力端子12を通して出力信号OUTが導出される。MOSトランジスタQp17は、ゲートおよびドレインがMOSトランジスタQp11のゲートおよびドレインにそれぞれ接続されている。これらMOSトランジスタQp16, Qp17からなる出力部分において、MOSトランジスタQp15は、VDD電源と回路出力端子12(MOSトランジスタQp16のドレイン)との間に接続されている。

【0063】

上記構成の応用例に係るブートストラップ型インバータ回路において、MOSトランジスタQp16, Qp17も、MOSトランジスタQp11~Qp15と同様に、ポリシリコンプロセスまたはアモルファスシリコンプロセスで形成されたTFTである。

10

【0064】

図15に、入力信号IN、リファレンス信号REF1, REF2、ノードNの電位および出力信号OUTの各レベルおよびタイミング関係を示す。このタイミング関係から明らかのように、本応用例に係るブートストラップ型インバータ回路は、ブートストラップ部分と出力部分とを分けた構成を採っているものの、基本的な回路動作は第2実施形態に係るブートストラップ型インバータ回路の場合と同じであり、同様の作用効果を奏することができる。

【0065】

なお、本応用例に係るブートストラップ型インバータ回路では、PチャンネルのみのMOSトランジスタQp11~Qp17を用いて構成した場合を例に挙げて説明したが、第2実施形態の実施例2に係るブートストラップ型インバータ回路の場合と同様にして、PチャンネルのみのMOSトランジスタQn11~Qn17を用いて構成することも可能であることは勿論である。

20

【0066】

[適用例]

以上説明した第1, 第2実施形態あるいはその応用例に係るブートストラップ型インバータ回路は、例えば、液晶表示装置やEL(electro luminescence)あるいはLED(Light Emitting Diode)表示装置に代表されるパネル型表示装置に、その駆動回路の一部として用いることができる。ただし、この適用例は一例に過ぎず、本発明は絶縁性基板上に形成されて用いられるインバータ回路全般に対して適用可能である。

30

【0067】

図16は、本発明の適用例に係る表示装置、例えば画素の表示エレメントとして液晶セルを用いてなるアクティブマトリクス型液晶表示装置の構成の概略を示すブロック図である。

【0068】

図16に示すように、本発明の適用例に係るアクティブマトリクス型液晶表示装置は、画素71が行列状に多数配置されてなる画素アレイ部72と、この画素アレイ部72の各画素71を行単位で順次選択する垂直駆動回路73と、この垂直駆動回路73によって選択された行の各画素に映像信号を書き込む水平駆動回路74とを少なくとも有する構成となっている。垂直駆動回路73および水平駆動回路74は、画素アレイ部72と共に表示パネル75上に集積されて当該画素アレイ部72を駆動する駆動回路を構成している。これら周辺の駆動回路は、画素アレイ部72の画素トランジスタと共に、低温ポリシリコンプロセスあるいはCG(Continuous Grain;連続粒界結晶)シリコンプロセスを用いて作製される。

40

【0069】

表示パネル75には、垂直スタートパルスVST, xVST、第1の垂直クロックパルスVCK1, xVCK1、第2の垂直クロックパルスVCK2, xVCK2、水平スタートパルスHST, xHST、水平クロックパルスHCK, xHCK、第1のリファレンス信号REF1, xREF1および第2のリファレンス信号REF2, xREF2が表示パネル75の外部(以下、「パネル外部」と記す場合もある)から入力される。これら各種

50

のパルスは、各々、互いに逆相のパルス信号である。このように、互いに逆相のパルス信号を入力するようにしているのは、後述するように、これらパルス信号をレベルシフトするレベルシフト回路が互いに逆相のパルス信号に基づいて動作する回路構成を採っているからである。

【0070】

垂直スタートパルスVST，xVSTおよび水平スタートパルスHST，xHSTは、レベルシフト(L/S)回路群76およびインバータ回路群77を経た後、垂直駆動回路73および水平駆動回路74に与えられる。第1の垂直クロックパルスVCK1，xVCK1、第2の垂直クロックパルスVCK2，xVCK2および水平クロックパルスHCK，xHCKは、レベルシフト回路群76およびインバータ回路群77を経た後、バッファ回路78，79およびバッファ回路80を介して直接垂直駆動回路73および水平駆動回路74に与えられる。

10

【0071】

レベルシフト回路群76は、例えば論理レベルの低電圧振幅のパルス信号、即ち垂直スタートパルスVST，xVST、第1の垂直クロックパルスVCK1，xVCK1、第2の垂直クロックパルスVCK2，xVCK2、水平スタートパルスHST，xHSTおよび水平クロックパルスHCK，xHCKの各々を、TFTの駆動に必要な高電圧振幅のパルス信号にレベルシフト(レベル変換)する。このレベルシフト回路群76、インバータ回路群77およびバッファ回路78～80も、垂直駆動回路73および水平駆動回路74と共に、画素アレイ部72を駆動する駆動回路を構成している。

20

【0072】

なお、本例では、垂直スタートパルスVST，xVST、第1の垂直クロックパルスVCK1，xVCK1、第2の垂直クロックパルスVCK2，xVCK2、水平スタートパルスHST，xHSTおよび水平クロックパルスHCK，xHCKを表示パネル75の外部から入力する構成を採っているが、これら各種のタイミングパルスを生成するタイミングジェネレータを表示パネル75上に集積し、垂直スタートパルスVST，xVSTおよび水平スタートパルスHST，xHSTについては当該タイミングジェネレータから垂直駆動回路73および水平駆動回路74に直接与え、第1の垂直クロックパルスVCK1，xVCK1、第2の垂直クロックパルスVCK2，xVCK2および水平クロックパルスHCK，xHCKについてはバッファ回路78～80を介して垂直駆動回路73および水平駆動回路74に与える構成を採ることも可能である。

30

【0073】

表示パネル75は、画素アレイ部72において、2枚の透明な絶縁性基板(例えば、ガラス基板)の一方の基板に、画素アレイ部72の行数m分の走査線81(81-1～81-m)と列数n分の信号線82(82-1～82-n)とがマトリクス状に配線されるとともに、所定の間隙をもって対向配置された他方の基板との間に液晶層が保持され、例えばその裏面側にバックライトが配置された構造となっている。そして、走査線81とゲート線82との交点部分に画素71が配されることになる。

【0074】

画素71は、図16から明らかなように、ゲートが走査線81に接続され、ソースが信号線82に接続された薄膜トランジスタからなる画素トランジスタTFTと、この画素トランジスタTFTのドレインに画素電極が接続された液晶セルLCと、画素トランジスタTFTのドレインに一方の電極が接続された保持容量CSとを有す構成となっている。ここでは、液晶セルLCは、画素トランジスタTFTで形成される画素電極とこれに対向して形成される対向電極との間で発生する容量を意味する。液晶セルLCの対向電極は、例えば保持容量CSの他方の電極と共にコモン線83に接続されている。

40

【0075】

垂直駆動回路73は、シフトレジスタ回路などによって構成され、垂直スタートパルスVSTが与えられると、当該垂直スタートパルスVSTを垂直クロックパルスVCK1，VCK2に同期して順次シフトし、画素アレイ部72の各画素71を行単位で順次選択す

50

るための垂直走査パルス $V_1 \sim V_m$ を各段から出力する。水平駆動回路 74 も、少なくともシフトレジスタ回路を有する構成となっている。この水平駆動回路 74 において、シフトレジスタ回路は水平スタートパルス HST が与えられると、当該水平スタートパルス HST を水平クロックパルス HCK に同期して順次シフトし、各段から順次サンプリングパルスを出力する。そして、水平駆動回路 74 では、このサンプリングパルスを用いて表示パネル 75 の外部から供給される映像信号をサンプリングし、垂直駆動回路 73 によって選択された行の各画素 71 に対して点順次で、あるいは線順次で書き込む動作が行われる。

【0076】

上記構成の液晶表示装置において、インバータ回路群 77 は、前段のインバータ回路群 77A と後段のインバータ回路群 77B からなる 2 段構成となっている。そして、前段のインバータ回路群 77A の各インバータ回路として、先述した第 1, 第 2 実施形態あるいはその応用例に係るブートストラップ型インバータ回路が用いられる。これらブートストラップ型インバータ回路は、先述したように、第 1, 第 2 の 2 つのリファレンス信号 REF_1 , REF_2 に基づいて動作する回路構成となっている。これらリファレンス信号 REF_1 , REF_2 としては、互いに逆相のリファレンス信号 REF_1 , $xREF_1$ および REF_2 , $xREF_2$ がパネル外部から入力される。これらリファレンス信号 REF_1 , $xREF_1$ および REF_2 , $xREF_2$ は、信号処理回路 84 でレベルシフト等の処理が行われた後、前段のインバータ回路群 77A に供給される。

【0077】

図 17 は、垂直スタートパルス VST 、第 1, 第 2 の垂直クロックパルス VCK_1 , VCK_2 および第 1, 第 2 のリファレンス信号 REF_1 , REF_2 の各信号処理系、ならびに垂直駆動回路 73 の具体的な構成の一例を示すブロック図であり、図中、図 16 と同等部分には同一符号を付して示している。

【0078】

パネル外部から入力される互いに逆相の垂直スタートパルス VST , $xVST$ は、レベルシフト回路群 76 のレベルシフト回路 761 で低電圧振幅のパルス信号から高電圧振幅のパルス信号にレベルシフトされた後、インバータ回路群 77A, 77B の各インバータ回路 771, 772 を経由して垂直駆動回路 73 にその垂直スタートパルス VST として供給される。同様に、パネル外部から入力される互いに逆相の第 1 の垂直クロックパルス VCK_1 , $xVCK_1$ および第 2 の垂直クロックパルス VCK_2 , $xVCK_2$ は、レベルシフト回路群 76 のレベルシフト回路 762, 763 でレベルシフトされた後、インバータ回路群 77A, 77B の各インバータ回路 773, 774 および 775, 776 を経由して垂直駆動回路 73 にその第 1, 第 2 の垂直クロックパルス VCK_1 , VCK_2 として供給される。

【0079】

ここで、インバータ回路群 77A, 77B において、第 1, 第 2 の垂直クロックパルス VCK_1 , VCK_2 用の各前段のインバータ回路 773, 775 として、先述した第 1, 第 2 実施形態あるいはその応用例に係るブートストラップ型インバータ回路が用いられ、垂直スタートパルス VST 用のインバータ回路 771, 772 および第 1, 第 2 の垂直クロックパルス VCK_1 , VCK_2 用の後段のインバータ回路 774, 776 として、通常のインバータ回路、例えば従来例として挙げたタイプ A あるいはタイプ B のブートストラップ型インバータ回路が用いられる。

【0080】

第 1, 第 2 実施形態あるいはその応用例に係るブートストラップ型インバータ回路は、先述したように、出力するパルス信号の高レベル、低レベルとして VDD 電位、 VSS 電位 (最大振幅) を出力できるとともに低消費電力のインバータ回路である。したがって、これら低消費電力のブートストラップ型インバータ回路を、第 1, 第 2 の垂直クロックパルス VCK_1 , VCK_2 用の各前段のインバータ回路 773, 775 として用いることにより、垂直駆動回路 73 を構成する各シフトレジスタ回路の各シフト動作を確実に行うこ

10

20

30

40

50

とができるとともに、本液晶表示装置の低消費電力化を図ることができる。

【0081】

(垂直駆動回路)

図18は、垂直駆動回路73に用いるシフトレジスタ回路の構成の一例を示すブロック図である。図18に示すように、本例に係るシフトレジスタ回路は、N段のレジスタ(S/R)86-1~86-Nと、2つのトランスファークロックス回路87,88とを有し、いくつかのデータを並列に記憶しておき、定められた順番で直列に出力し、レジスタ86-1~86-Nの各々に格納されたデータを最下位桁から1ビットずつ加算処理する機能を持っている。

【0082】

本シフトレジスタ回路には、垂直スタートパルスVSTと第1,第2の垂直クロックパルスVCK1,VCK2が入力される。図19に、垂直スタートパルスVST、第1,第2の垂直クロックパルスVCK1,VCK2およびレジスタ86-1~86-Nの各入出力IN1(1),IN1(N),OUT(1)~OUT(N)のタイミング関係を示す。図19から明らかなように、垂直スタートパルスVSTは1フィールド期間に2回、具体的には1フィールド期間の開始部分と終了部分でアクティブな状態となる。ここでは便宜上、1フィールド期間の開始部分でアクティブとなる垂直スタートパルスVSTをVST1、1フィールド期間の終了部分でアクティブとなる垂直スタートパルスVSTをVST2とする。

【0083】

N段のレジスタ86-1~86-Nにおいて、あるn段目のレジスタ86-nを基準にして説明すると、レジスタ86-nは前段のレジスタ86-n-1の出力OUT(n-1)を第1の入力IN1とするとともに、後段のレジスタ86-n+1の出力OUT(n+1)を第2の入力IN2とする。そして、前段の出力OUT(n-1)の入力によって第1,第2の垂直クロックパルスVCK1,VCK2に同期して転送(シフト)動作を行い、後段の出力OUT(n+1)の入力によって初期化を行う。

【0084】

正側の電源電圧をVDD、負側の電源電圧をVSSとすると、垂直スタートパルスVSTおよび垂直クロックパルスVCK1,VCK2のパルス振幅はVDD~VSSであり、トランスファークロックス回路87は、垂直スタートパルスVSTと第1の垂直クロックパルスVCK1の立ち下がりによって1つ目の垂直スタートパルスVST1を選択し、当該パルスVST1を初段のレジスタ86-1に第1の入力IN1として与える。トランスファークロックス回路88は、垂直スタートパルスVSTと第2の垂直クロックパルスVCK2の立ち下がりによって2つ目の垂直スタートパルスVST2を選択し、当該パルスVST2を最終段のレジスタ86-Nに第2の入力IN2として与える。この入出力関係を実現するためには、本シフトレジスタ回路の総段数Nは偶数である必要がある。

【0085】

なお、ここでは、トランスファークロックス回路87で生成したパルスVST1を初段のレジスタ86-1に第1の入力IN1として与え、トランスファークロックス回路88で生成したパルスVST2を最終段のレジスタ86-Nに第2の入力IN2として与える構成を採用しているが、これらパルスVST1,VST2を外部から与える構成を採用する場合には、トランスファークロックス回路87,88を設ける必要はない。また、シフトレジスタの総段数Nも偶数である必要がなくなる。

【0086】

このように、本例に係るシフトレジスタ回路は、前段、後段のレジスタ(転送段)の各出力を第1,第2の入力IN1,IN2とすることによって転送動作を行うことになる。また、レジスタ86-1~86-Nとしてブートストラップ型レジスタを用い、トランスファークロックス回路87,88としてブートストラップ型トランスファークロックス回路を用いている。以下に、ブートストラップ型レジスタの構成および動作について具体例を挙げて説明

する。

【0087】

図20は、シフトレジスタ回路の基本回路(レジスタ)の構成の一例を示す回路図である。本例に係るシフトレジスタ回路は、例えばPチャンネルのMOSトランジスタのみによって構成されたブートストラップ型レジスタ回路である。ただし、PチャンネルのMOSトランジスタのみの回路構成に限られるものではなく、NチャンネルのMOSトランジスタのみを用いた回路構成を採ることも可能である。

【0088】

図20に示すように、本例に係るシフトレジスタ回路の基本回路90は、初期状態確定回路91、ブートストラップ状態確定回路92、出力回路93、ブートストラップ回路94、リーク緩和対策スイッチ回路95、ブートストラップ電位安定化回路96、ブートストラップ性能向上対策スイッチ回路97、初期状態電圧安定化回路98およびリセット回路99を備えるとともに、回路入力端子P11、P12、クロック端子P13、P14、リセット端子P15および回路出力端子P16を有する構成となっている。

10

20

30

40

50

【0089】

初期状態確定回路91は、ゲートおよびドレインが回路入力端子P11に共通に接続されたダイオード接続構成のPチャンネルMOSトランジスタQp21と、ゲートがMOSトランジスタQp21のソースに接続され、ソースがVDD電源に接続されたPチャンネルMOSトランジスタQp22とから構成されている。ブートストラップ状態確定回路92は、ソースがVDD電源に接続され、ドレインがMOSトランジスタQp21のソースに接続されたPチャンネルMOSトランジスタQp23と、ゲートおよびドレインがMOSトランジスタQp23のゲートと共に、回路入力端子P12に共通に接続され、ソースがMOSトランジスタQp22のドレインと共通に接続されたPチャンネルMOSトランジスタQp24とから構成されている。

【0090】

出力回路3は、ソースがVDD電源に、ゲートがMOSトランジスタQp21のソース、MOSトランジスタQp22のゲートおよびMOSトランジスタQp23のドレインの共通接続ノード(以下、ノードN21と記す)に、ドレインが回路出力端子P16にそれぞれ接続されたPチャンネルMOSトランジスタQp25と、ソースが回路出力端子P16に、ゲートがMOSトランジスタQp22のドレインおよびMOSトランジスタQp24のソースの共通接続ノード(以下、ノードN22と記す)に、ドレインがクロック端子P13(図1におけるCKinA端子)にそれぞれ接続されたPチャンネルMOSトランジスタQp26とから構成されている。クロック端子P13には、垂直クロックパルスVCK2(または、VCK1)が与えられる。

【0091】

ブートストラップ回路94は、出力回路93の一部を構成するMOSトランジスタQp26と、このMOSトランジスタQp26のゲートとドレインとの間に接続されるキャパシタ(図示せず)とから構成されている。なお、ブートストラップ回路94では、MOSトランジスタQp26のゲート容量のみによってブートストラップ動作を行うことが可能である。したがって、MOSトランジスタQp26のゲートとドレインとの間に接続されるキャパシタは必須のものではなく、より安定したブートストラップ動作を行うための補助用の容量となる。

【0092】

リーク緩和対策スイッチ回路95は、ソースがMOSトランジスタQp22のドレインとMOSトランジスタQp24のソースの共通接続ノード(以下、ノードN23と記す)に、ドレインがVSS電源にそれぞれ接続されたPチャンネルMOSトランジスタQp27によって構成されている。ブートストラップ電位安定化回路96は、ソースがVDD電源に、ドレインがノードN21に、ゲートがノードN23にそれぞれ接続されたPチャンネルMOSトランジスタQp28によって構成されている。ブートストラップ性能向上対策スイッチ回路97は、ノードN22とノードN23の間に接続され、ゲートがVSS電源に

接続されたPチャンネルMOSトランジスタQp29によって構成されている。

【0093】

初期状態電圧安定化回路98は、ドレインがノードN21に、ゲートがクロック端子P14(図1におけるCKinB端子)にそれぞれ接続されたPチャンネルMOSトランジスタQp30と、ゲートとドレインがMOSトランジスタQp26のドレインに共通に接続され、ソースがMOSトランジスタQp30のソースに接続されたPチャンネルMOSトランジスタQp31と、MOSトランジスタQp30, Qp31の各ソースの共通接続ノード(以下、ノードN24と記す)とVDD電源の間に接続されたキャパシタCapとから構成されている。なお、クロック端子P14には垂直クロックパルスVCK1(または、VCK2)が与えられる。

10

【0094】

リセット回路99は、ソースがノードN21に、ドレインがVSS電源に、ゲートがリセット端子P15にそれぞれ接続されたPチャンネルMOSトランジスタQp32と、ソースがノードN24、ドレインがVSS電源に、ゲートがリセット端子P15にそれぞれ接続されたPチャンネルMOSトランジスタQp33とから構成されている。リセット端子P15にはリセットパルスrstが与えられる。

【0095】

続いて、上記構成の基本回路90の回路動作について、図21のタイミングチャートを用いて説明する。ここでは、本基本回路90が図18に示すシフトレジスタ回路のn段目のレジスタ86-nである場合を例に採って説明するものとする。

20

【0096】

本基本回路90が回路動作を開始するに先立って、リセットパルスrstが“L”レベル(VSSレベル)になると、これに応答してMOSトランジスタQp32, Qp33はオン状態となることでノードN21, N22の電位を“L”レベルにリセットする。このリセット動作が終了すると、本基本回路90の回路動作が開始される。本基本回路90が動作状態にある期間では、リセットパルスrstは常時“H”レベル(VDDレベル)となっている。

【0097】

回路動作が開始すると、初期状態確定回路91において、後段(n+1段目)の出力OUT(n+1)が“L”レベルのときは、MOSトランジスタQp21がオン状態となるためにノードN21の電位が“L”レベルとなる。また、後段の出力OUT(n+1)が“H”レベルのときは、MOSトランジスタQp21がオフ状態となる。MOSトランジスタQp22は、ノードN21の電位が“L”レベルのとき、即ち初期状態でオン状態になる。したがって、初期状態ではノードN22の電位が“H”レベルとなる。

30

【0098】

次に、ブートストラップ状態確定回路92において、前段(n-1段目)の出力OUT(n-1)が“L”レベルのときは、MOSトランジスタQp23, Qp24が共にオン状態になるため、ノードN21の電位が“H”レベル、ノードN22の電位が“L”レベルとなる。これに対して、前段の出力OUT(n-1)が“H”レベルのときは、MOSトランジスタQp23, Qp24が共にオフ状態になる。

40

【0099】

初期状態確定回路91およびブートストラップ状態確定回路92の各動作から明らかのように、ノードN21の電位とノードN22の電位が互いに逆極性になる。これにより、出力回路93において、ノードN21, N22の各電位をゲート入力とするMOSトランジスタQp25, Qp26は、一方がオン状態のとき他方がオフ状態となる相補動作を行うことになる。したがって、MOSトランジスタQp25(Qp26)がオン状態のときに、MOSトランジスタQp26(Qp25)が完全にオフ状態になるため、当該MOSトランジスタQp26(Qp25)に貫通電流が流れることはない。

【0100】

ノードN22の電位が“L”レベルの状態では垂直クロックパルスVCK2が“H”レベ

50

ルから“L”レベルに遷移すると、ブートストラップ回路94において、MOSトランジスタQp26のゲート容量（または、MOSトランジスタQp26のゲート-ドレイン間に接続されるキャパシタ容量）による容量結合によってノードN22の電位を下げるブートストラップ動作が開始され、このブートストラップ動作によって、ノードN22の電位がVSS電位よりもさらに下がる。このことにより、MOSトランジスタQp26が完全にオン状態になるため、出力OUT(n)としてVSSレベルが取り出される。

【0101】

次に、ブートストラップ電位安定化回路96において、ノードN23の電位が“L”レベルのときは、MOSトランジスタQp28がオン状態になるため、常にノードN21の電位が“H”レベルとなる。ノードN21の電位は、前段の出力OUT(n-1)が入力されたときから、後段の出力OUT(n+1)が入力されるまでの期間に亘って“H”レベルの状態にある。したがって、出力OUT(n-1)が入力されてから出力OUT(n+1)が入力されるまでの期間において、出力OUT(n-1)が“L”レベル以外の期間でノードN21の電位がフローティング状態になるのを防ぐことができるため（ブートストラップ可能状態に亘ってノードN21を“H”レベルに固定できるため）、ブートストラップ動作を行う電位を安定化することができる。

10

【0102】

MOSトランジスタQp23, Qp28はOUT(n-1)が“L”レベルのときは共にオン状態であり、MOSトランジスタQp28はMOSトランジスタQp23の働きを含んでいる。したがって、MOSトランジスタQp28があれば、MOSトランジスタQp23は配置しなくても良いが、ノードN23（MOSトランジスタQp28のゲート電位）の“L”レベルはMOSトランジスタQp24の閾値電圧Vthの影響でVSS電位よりもVth分高くなっていることや、MOSトランジスタQp24のオン抵抗の影響を考えると、回路の動作信頼性（最低駆動電圧等）・高速動作の面からMOSトランジスタQp23を配置しておいた方が良い。

20

【0103】

MOSトランジスタQp29は、ブートストラップ動作時に、ブートストラップによってノードN22の電位がVSS電位よりも下がる、オフ状態になってブートストラップ動作を行う回路部分、主にMOSトランジスタQp26のゲート側をブートストラップ状態確定回路92側から回路的に切り離す。これにより、MOSトランジスタQp26のゲートとMOSトランジスタQp24のソースとの間の配線につく寄生容量のブートストラップ動作への影響を最小限に抑えることができるため、ブートストラップ動作の信頼性を向上できる。

30

【0104】

MOSトランジスタQp27は、ノードN22の電位がVSS以下のときにオン状態となってブートストラップ状態確定回路92側の電位、即ちノードN23の電位をVSS電位にする。ノードN23の“L”レベルは、MOSトランジスタQp24の閾値電圧Vthの影響でVSS電位よりもVth分高い電位にある。このノードN23の電位をMOSトランジスタQp29におけるリーク電流が問題となるブートストラップ駆動時にVSS電位にすることにより、ノードN23とノードN22の間の電位差を最小にすることができるため、当該リークを緩和することができる。

40

【0105】

次に、初期状態電圧安定化回路98において、MOSトランジスタQp31は、第2の垂直クロックパルスVCK2に同期して、即ち当該垂直クロックパルスVCK2が“L”レベルのときにオン状態になることで、キャパシタCapを“L”レベルの電位、即ちVSS電位に充電する。MOSトランジスタQp30は、第1の垂直クロックパルスVCK1に同期して、即ち当該垂直クロックパルスVCK1が“L”レベルのときにオン状態になることで、キャパシタCapの電位、即ちノードN24の電位をMOSトランジスタQp25のゲート電位、即ちノードN21とする。ここで、キャパシタCapの容量については、ノードN21における寄生容量に対して十分に大きく設定する必要がある。このよ

50

うに、キャパシタCapに定期的に“L”レベルを充電し、当該キャパシタCapの電位をノードN21の電位とすることにより、ノードN21の電位が“L”レベルとなる状態の安定化を図ることができる。

【0106】

上述したように、本例に係るシフトレジスタ回路の基本回路（ブートストラップ型レジスタ）90では、前段、後段のレジスタ（転送段）の各出力を入力IN1, IN2とすることによって転送動作を行うシフトレジスタ回路において、入力IN1として前段（n-1）の出力OUT（n-1）が与えられると、ブートストラップ状態確定回路92がMOSトランジスタQp25のゲート電位をVDDの電位に設定し、MOSトランジスタQp26のゲート電位をVSS電位に設定することにより、ブートストラップ動作を行うための電位の状態が確定し、クロックパルスCK1/CK2に同期してブートストラップ動作が行われる。このブートストラップ動作により、MOSトランジスタQp26のゲート電位がVSS電位よりもさらに下げられ、当該MOSトランジスタQp26が完全にオン状態になるため、出力OUT（n）としてVSS電位を取り出すことができる。このとき、MOSトランジスタQp25は完全にオフ状態であるため、当該MOSトランジスタQp25に貫通電流が流れることはない。

10

【0107】

また、ブートストラップ動作が行えるブートストラップ可能状態以外では、入力IN2として後段（n+1）の出力OUT（n+1）が与えられることで、初期状態確定回路91が、MOSトランジスタQp25のゲート電位をVSS電位に設定し、MOSトランジスタQp26のゲート電位をVDD電位に設定することにより、MOSトランジスタQp26が完全にオフ状態になるため、当該MOSトランジスタQp26に貫通電流が流れることはない。この動作は、基本回路（1つのレジスタ）ごとに行われることになる。したがって、本シフトレジスタ回路の消費電力を大幅に低減できる。

20

【0108】

以上により、特にPチャネルMOSトランジスタのみを用いた場合であっても、閾値電圧Vthや移動度μのパラツキに強い回路構成を実現できる。また、NチャネルMOSトランジスタのみを用いた回路構成のブートストラップ型レジスタ回路では、LDD (Lightly Doped Drain) 構造によってホットエレクトロン効果を低減する構成を採ることになるが、PチャネルMOSトランジスタのみを用いた本例に係るブートストラップ型レジスタ回路90ではその必要がなく、その分だけプロセス数を削減できたため、生産性や歩留まりの面で有利となる。

30

【0109】

また、MOSトランジスタQp26のゲート電位がVSSの電位のときに、MOSトランジスタQp25のゲート電位をVDD電位にするブートストラップ電位安定化回路96の作用により、ブートストラップ動作が行われる期間ではノードN21の電位がフローティング状態にならないために、ブートストラップの正常な動作を保証できる。さらに、ブートストラップ動作時に、MOSトランジスタQp26のゲート側を他の回路部分から回路的に切り離すブートストラップ性能向上対策スイッチ回路97の作用により、MOSトランジスタQp26のゲートとMOSトランジスタQp24のソースとの間の配線につく寄生容量のブートストラップ動作への影響を最小限に抑えることができるため、ブートストラップ動作の信頼性を向上できる。

40

【0110】

また、MOSトランジスタQp26のゲート電位がVSS電位以下のときに、ブートストラップ状態確定回路92側の電位をVSS電位にするリーク緩和対策スイッチ回路95の作用により、ブートストラップ動作時において、MOSトランジスタQp29のリークが問題となる場合に、ノードN23とノードN22の間の電位差を最小にすることができるため、当該リークを緩和することができる。さらに、第2の垂直クロックパルスVCK2に同期してキャパシタCapにVSSの電位を充電し、第1の垂直クロックパルスVCK1に同期してキャパシタCapの電位をMOSトランジスタQp25のゲート電位とす

50

る初期状態電圧安定化回路 98 の作用により、ノード N21 の電位が“L”レベルとなる状態の安定化を図ることができる。

【0111】

(レベルシフト回路)

図 22 は、レベルシフト回路の構成の一例を示す回路図である。本例に係るレベルシフト回路は、例えば P チャンネルの MOS トランジスタのみによって構成されたブートストラップ型レベルシフト回路である。ただし、P チャンネルの MOS トランジスタのみの回路構成に限られるものではなく、N チャンネルの MOS トランジスタのみを用いた回路構成を採用することも可能である。

【0112】

本例に係るレベルシフト回路は、図 17 のレベルシフト回路 761 ~ 763 やレベルシフト回路 841, 842 として用いられる。ここでは、一例として、第 1, 第 2 の垂直クロックパルス VCK1, VCK2 (以下、VCK1, VCK2 を総称して「VCK」と記す) をレベルシフト(レベル変換)する場合を例に挙げて説明するものとする。

【0113】

図 22 に示すように、本例に係るレベル変換回路 100 は、パルス入力部 101, 102、第 1, 第 2 の電源供給回路 103, 104 および出力回路 105 を備えるとともに、2 つのクロック入力端子 P21, P22 およびパルス出力端子 P23 を有する構成となっている。パルス入力端子 P21, P22 には互いに逆相の垂直クロックパルス x VCK, VCK がそれぞれ入力される。

【0114】

パルス入力部 101 は、ドレインとゲートがパルス入力端子 P21 に共通に接続されたダイオード接続構成の P チャンネル MOS トランジスタ Qp41 によって構成されている。パルス入力部 102 は、ドレインとゲートがパルス入力端子 P22 に共通に接続されたダイオード接続構成の P チャンネル MOS トランジスタ Qp42 によって構成されている。第 1 の電源供給回路 103 は、ソースが VDD 電源に、ドレインが MOS トランジスタ Qp41 のソースに、ゲートが MOS トランジスタ Qp42 のゲート・ドレインにそれぞれ接続された P チャンネル MOS トランジスタ Qp43 によって構成されている。

【0115】

第 2 の電源供給回路 104 は、4 つの P チャンネル MOS トランジスタ Qp44 ~ Qp47 によって構成されている。MOS トランジスタ Qp44 は、ソースが VDD 電源に、ゲートが MOS トランジスタ Qp42 のゲート・ドレインにそれぞれ接続されている。MOS トランジスタ Qp45 は、ソースが MOS トランジスタ Qp44 のドレインに、ゲートが MOS トランジスタ Qp41 のゲート・ドレインにそれぞれ接続されている。MOS トランジスタ Qp46 は、ソースが VDD 電源に接続され、ゲートとドレインが共通に接続されたダイオード接続構成となっている。MOS トランジスタ Qp47 は、ソースが MOS トランジスタ Qp46 のゲート・ドレインに、ドレインが MOS トランジスタ Qp42 のソースに、ゲートが MOS トランジスタ Qp44, Qp45 の共通接続ノードにそれぞれ接続されている。

【0116】

出力回路 105 は、ソースが VDD 電源に、ドレインがパルス出力端子 P23 に、ゲートが MOS トランジスタ Qp41 のソースにそれぞれ接続された P チャンネル MOS トランジスタ Qp48 と、ソースがパルス出力端子 P23 に、ドレインが VSS 電源に、ゲートが MOS トランジスタ Qp42 のソースにそれぞれ接続された P チャンネル MOS トランジスタ Qp49 とによって構成されている。MOS トランジスタ Qp49 は、ゲートとソースの間に接続されたキャパシタ Cap と共に、ゲート電位を VSS 電源の電位よりも引き下げるブートストラップ回路 106 を構成している。

【0117】

さらに、ブートストラップ回路 106 のブートストラップ動作の安定化を図るために、MOS トランジスタ Qp49 のゲートと、垂直クロックパルス VCK を伝送する信号経路

10

20

30

40

50

Lとの間には、PチャネルMOSトランジスタQp50が接続されている。このMOSトランジスタQp50のゲートには、VSS電位(-5[V])よりも高い電位(例えば、0[V])が与えられる。このVSS電位よりも高い電位は、MOSトランジスタQp45のドレインにも与えられる。

【0118】

続いて、上記構成のレベルシフト回路の回路動作について、図23のタイミングチャートを用いて説明する。図23には、互いに逆相のクロックパルスVCK, xVCK、MOSトランジスタQp48のゲート電位A、MOSトランジスタQp47のゲート電位B、信号経路Lの電位C、MOSトランジスタQp49のゲート電位Dおよび出力信号OUTの各波形およびタイミング関係を示している。

10

【0119】

最初に、垂直クロックパルスxVCKが“L”レベル(例えば、0[V])、垂直クロックパルスVCKが“H”レベル(例えば、3[V])のときの回路動作について説明する。垂直クロックパルスxVCKが“L”レベルであることで、MOSトランジスタQp41がオン状態になる。すると、垂直クロックパルスxVCKがMOSトランジスタQp41によりダイオードの順方向電圧分だけレベルシフトされてMOSトランジスタQp48のゲートに与えられる。このとき、MOSトランジスタQp48のゲート電位Aが約5[V]程度まで上昇する。これにより、MOSトランジスタQp48がオン状態となるため、当該MOSトランジスタQp48を介してVDD電位が出力信号OUTの高レベルとして取り出される。

20

【0120】

また、垂直クロックパルスVCKが“H”レベルであることによりMOSトランジスタQp42, Qp43, Qp44がオフ状態になり、垂直クロックパルスxVCKが“L”レベルであることによりMOSトランジスタQp45がオン状態になる。MOSトランジスタQp45がオン状態になることで、当該MOSトランジスタQp45を介してVSS電位がMOSトランジスタQp47のゲートに与えられる。これにより、MOSトランジスタQp47およびMOSトランジスタQp46がオン状態となるため、VDD電位がMOSトランジスタQp46, Qp47を介してMOSトランジスタQp49のゲートに与えられる。

【0121】

このとき、VDD電位はMOSトランジスタQp46によってダイオードの順方向電圧分だけレベルシフト(電圧降下)されてMOSトランジスタQp49のゲートに与えられることになるため、MOSトランジスタQp49のゲート電位Cが約7[V]程度まで引き下げられるが、MOSトランジスタQp49の閾値電圧Vthを割り込まない電位であるため、MOSトランジスタQp49は完全にオフ状態になる。したがって、MOSトランジスタQp49に貫通電流が流れることはなく、また出力信号OUTの高レベル(10[V])の貫通電流に起因する電位の引き下げも発生しない。

30

【0122】

続いて、垂直クロックパルスxVCKが“H”レベル、垂直クロックパルスVCKが“L”レベルのときの回路動作について説明する。垂直クロックパルスxVCKが“H”レベルであることで、MOSトランジスタQp41がオフ状態となる。このとき、垂直クロックパルスVCKが“L”レベルであることによって、MOSトランジスタQp43がオン状態となるため、当該MOSトランジスタQp43を介してMOSトランジスタQp48のゲートにVDD電位が供給される。これにより、MOSトランジスタQp48のゲート電位AがVDD電位近くの電位、例えば約9[V]程度まで上昇するため、MOSトランジスタQp48はオフ状態となる。したがって、MOSトランジスタQp48に貫通電流が流れることはない。

40

【0123】

このとき、垂直クロックパルスVCKが“L”レベルであることで、MOSトランジスタQp44がオン状態となるため、MOSトランジスタQp47およびMOSトランジスタ

50

タQ p 4 6 がオフ状態になる。また、垂直クロックパルスV C Kが“ L ”レベルであることで、M O SトランジスタQ p 4 2 がオン状態となる。すると、垂直クロックパルスV C KがM O SトランジスタQ p 4 2 によってダイオードの順方向電圧分だけレベルシフトされてM O SトランジスタQ p 4 9 のゲートに与えられる。このとき、M O SトランジスタQ p 4 9 のゲート電位Cは、M O SトランジスタQ p 4 6 によってV D D電位よりも下げられた状態にある。

【 0 1 2 4 】

したがって、ブートストラップ回路1 0 6のブートストラップ動作により、M O SトランジスタQ p 4 9 のゲート電位Cは、当該M O SトランジスタQ p 4 9 が完全にオン状態になる電位、具体的にはV S S電位よりも低い約 - 8 [V]程度まで引き下げられる。これにより、M O SトランジスタQ p 4 9 は完全にオン状態になるため、当該M O SトランジスタQ p 4 9 を介してV S S電位が出力信号O U Tの低レベルとして取り出される。その結果、0 [V] ~ 3 [V]の垂直クロックパルスV C K , x V C Kを、最大振幅 (V S S電位 - V D D電位) の垂直クロックパルスV C Kにレベル変換 (レベルシフト) することができる。

10

【 0 1 2 5 】

また、M O SトランジスタQ p 5 0 は、ブートストラップ回路1 0 6のブートストラップ動作時に、ブートストラップによってゲート電位DがV S S 1電位よりも下がると、オフ状態になってブートストラップ動作を行う回路部分、主にM O SトランジスタQ p 4 9 のゲート側を信号経路Lから回路的に切り離す。これにより、信号経路Lの配線につく寄生容量のブートストラップ動作への影響を最小限に抑えることができるため、ブートストラップ動作の信頼性を向上できる。

20

【 0 1 2 6 】

ここで、M O SトランジスタQ p 5 0 のゲートに対して、V S S電位 (- 5 [V])よりも高い電位 (例えば、0 [V])を与えるようにしているのは、ブートストラップによってM O SトランジスタQ p 4 9 のゲート電位DがV S S 1電位よりも下がったときに、M O SトランジスタQ p 5 0 を完全にオフ状態にするためである。ただし、この電位の上限については、ブートストラップ動作状態以外ではM O SトランジスタQ p 5 0 を常時オン状態にすることができる電位、具体的には垂直クロックパルスV C KのL o w電位 (0 [V])となる。

30

【 0 1 2 7 】

上述したように、M O SトランジスタQ p 4 8 , Q p 4 9 が互いに逆相の垂直クロックパルスx V C K , V C Kにそれぞれ同期して相補的な動作を行うとともに、M O SトランジスタQ p 4 9 がブートストラップ動作を行う出力回路1 0 5を備えたブートストラップ型レベルシフト回路1 0 0において、M O SトランジスタQ p 4 8 がオン状態のときは、第2の電源供給回路1 0 4によってM O SトランジスタQ p 4 9 のゲートにV D D電位を与えることで、当該ゲートの電位をV D D電位近くまで、即ちM O SトランジスタQ p 4 9 の閾値電圧V t hを割り込まない電位まで昇圧でき、またM O SトランジスタQ p 4 9 がオン状態のときは、第1の電源供給回路1 0 3によってM O SトランジスタQ p 4 8 のゲートにV D D電位を与えることで、当該ゲートの電位をV D Dの電位近くまで、即ちM O SトランジスタQ p 4 8 の閾値電圧V t hを割り込まない電位まで昇圧できる。これにより、M O SトランジスタQ p 4 8 がオン状態のときは、M O SトランジスタQ p 4 9 を完全にオフ状態にさせることができ、またM O SトランジスタQ p 4 9 がオン状態のときは、M O SトランジスタQ p 4 8 を完全にオフ状態にさせることができるため、M O SトランジスタQ p 4 8 , Q p 4 9 に貫通電流が流れることはない。

40

【 0 1 2 8 】

ただし、M O SトランジスタQ p 4 3 , Q p 4 4 , Q p 4 5 において貫通電流が流れることになるが、これらM O SトランジスタQ p 4 3 , Q p 4 4 , Q p 4 5 は出力信号O U Tに直接関係しないトランジスタであるため、チャンネル長を大きくしても出力性能が悪化することはない。したがって、これらM O SトランジスタQ p 4 3 , Q p 4 4 , Q p 4 5

50

に対しては、チャンネル長を大きく設定することで貫通電流に対する対策を施すことができる。その結果、回路に流れる貫通電流を最小限に抑えた回路構成を実現できる。

【0129】

このように、ブートストラップ型レベル変換回路100において、回路に流れる貫通電流を最小限に抑えた回路構成を採ることにより、貫通電流による電圧降下によって出力信号OUTのレベルが引き下げられるようなことがないため、最大振幅（本例では、-5[V]～10[V]）の出力信号OUTを取り出すことができる。また、出力回路105を構成するMOSトランジスタQp48、Qp49のチャンネル幅を大きく設定することができるため、TFTの閾値電圧V_{th}や移動度 μ 等のトランジスタ特性のバラツキに強く、最大振幅の出力信号OUTを取り出すことができる。

10

【0130】

また、MOSトランジスタQp49のゲートと、垂直クロックパルスVCKを伝送する信号経路Lとの間にMOSトランジスタQp50を接続し、当該MOSトランジスタQp50をブートストラップ動作時にオフ状態にすることにより、信号経路Lの配線につく寄生容量のブートストラップ動作への影響を最小限に抑えることができるため、ブートストラップ回路106のブートストラップ動作の安定化を図ることができる。

【0131】

以上説明した本発明に係るアクティブマトリクス型液晶表示装置において、垂直駆動回路73を構成するシフトレジスタ回路の基本回路として用いられる図20に示したブートストラップ型レジスタ回路90では、ノードN21の電位が“L”レベルとなる初期状態電圧の安定化を図るために、垂直クロックパルスとして、互いにデューティ比が異なる2種類の垂直クロックパルス、即ち第1、第2の垂直クロックパルスVCK1、VCK2を用いている。そのために、先述したように、第1、第2の垂直クロックパルスVCK1、VCK2を別々の信号処理系でレベルシフトしかつバッファリングして垂直駆動回路73に供給する構成（図16参照）が採られている。

20

【0132】

ここで、第1、第2の垂直クロックパルスVCK1、VCK2をそれぞれバッファリングする前段のインバータ回路群77Aのインバータ回路773、775（図17参照）として、先述した第1、第2実施形態あるいはその応用例に係るブートストラップ型インバータ回路が用いられている。そして、これらブートストラップ型インバータ回路では2つのリファレンス信号REF1、REF2に基づいて動作する回路構成を採っているため、本来ならば、垂直クロックパルスVCK1、VCK2用のブートストラップ型インバータ回路の各々につき2つずつ、計4つのリファレンス信号REFを用意する必要がある。

30

【0133】

これに対し、本発明に係るアクティブマトリクス型液晶表示装置では、垂直クロックパルスVCK1、VCK2が共に同じ論理レベルになる期間にアクティブとなる2つのリファレンス信号REF1、REF2を生成し、これらリファレンス信号REF1、REF2を垂直クロックパルスVCK1、VCK2用のブートストラップ型インバータ回路に対して共用することにより、使用するパルス信号数の削減を図るようにしたことを特徴としている。このことについて、以下に具体的に説明する。

40

【0134】

図24は、垂直スタートパルス、第1、第2の垂直クロックパルスVCK1、VCK2および第1、第2のリファレンス信号REF1、REF2のタイミング関係を示すタイミングチャートである。ここでは、PチャンネルMOSトランジスタのみによって構成されたブートストラップ型インバータ回路に対応した論理レベルで示している。図24から明らかのように、デューティ比が50%を越える第1の垂直クロックパルスVCK1に対し、第2の垂直クロックパルスVCK2はパルス幅、パルス間隔（周期）が同じ、即ち同じデューティであるが、位相が半周期（半クロック）分ずれた波形となっている。

【0135】

第1のリファレンス信号REF1は、第1の垂直クロックパルスVCK1が“H”レベ

50

ルで、第2の垂直クロックパルスVCK2が“H”レベルに立ち上がる時又は立ち上がる直前に立ち下って“L”レベルになり、第2の垂直クロックパルスVCK2が“H”レベルで、第1の垂直クロックパルスVCK1が立ち下って“L”レベルになるとき又は立ち下がる直前に立ち上って“H”レベルになるような波形である。同様に、第2のリファレンス信号REF2は、第2の垂直クロックパルスVCK2が“H”レベルで、第1の垂直クロックパルスVCK1が“H”レベルに立ち上がる時又は立ち上がる直前に立ち下って“L”レベルになり、第1の垂直クロックパルスVCK1が“H”レベルで、第2の垂直クロックパルスVCK2が立ち下って“L”レベルになるとき又は立ち下がる直前に立ち上って“H”レベルになるような波形である。

【0136】

すなわち、第1、第2のリファレンスREF1、REF2は共に、垂直クロックパルスVCK1、VCK2が共に同じ論理レベルのときにアクティブとなるパルス波形、ここでは、垂直クロックパルスVCK1、VCK2が共に“H”レベルになる期間で“L”レベルに立ち下がり、また“H”レベルに立ち上がるようなパルス波形となる。

【0137】

図17に示す構成において、第1のリファレンス信号REF1は互いに逆相の信号REF1、xREF1として入力され、レベルシフト回路841でレベルシフト(昇圧)された後、インバータ回路442、843を経由してブートストラップ型インバータ回路773にリセット信号Rとして、ブートストラップ型インバータ回路774にプリチャージ信号Pとして供給される。また、第2のリファレンス信号REF2は互いに逆相の信号REF2、xREF2として入力され、レベルシフト回路844でレベルシフトされた後、インバータ回路445、846を経由してブートストラップ型インバータ回路773にプリチャージ信号Pとして、ブートストラップ型インバータ回路774にリセット信号Rとして供給される。

【0138】

すなわち、ブートストラップ型インバータ回路773、774の各々として、例えば第1実施形態に係るブートストラップ型インバータ回路(図1、図5参照)を用いた場合において、第1のリファレンス信号REF1は、インバータ回路773を構成するMOSトランジスタQp14/Qn14のゲートにリセット信号(図1、図5のリファレンス信号REF2に相当)として供給され、インバータ回路775を構成するMOSトランジスタQp13/Qn13のゲートにプリチャージ信号(図1、図5のリファレンス信号REF1に相当)として供給される。また、第2のリファレンス信号REF2は、インバータ回路773を構成するMOSトランジスタQp13/Qn13のゲートにプリチャージ信号(図1、図5のリファレンス信号REF1に相当)として供給され、インバータ回路775を構成するMOSトランジスタQp14/Qn14のゲートにリセット信号(図1、図5のリファレンス信号REF2に相当)として供給される。

【0139】

すると、ブートストラップ型インバータ回路773では、第1のリファレンス信号REF1に同期してノードNの電位(即ち、MOSトランジスタQp12/Qn12のゲート電位)をVDD電位/VSS電位にリセットする動作が行われるとともに、第2のリファレンス信号REF2に同期してノードNの電位をVSS電位/VDD電位の近傍までプリチャージする動作が行われる。一方、ブートストラップ型インバータ回路775では、第2のリファレンス信号REF2に同期してノードNの電位をVDD電位/VSS電位にリセットする動作が行われるとともに、第1のリファレンス信号REF1に同期してノードNの電位をVSS電位/VDD電位の近傍までプリチャージする動作が行われる。ブートストラップ型インバータ回路773、774の各々として、先述した第2実施形態あるいはその応用例に係るブートストラップ型インバータ回路を用いた場合にも同様である。

【0140】

このように、第1、第2の垂直クロックパルスVCK1、VCK2をそれぞれバッファリングする前段のインバータ回路群77Aのインバータ回路773、775として、2つ

10

20

30

40

50

のリファレンス信号 R E F 1 , R E F 2 に基づいて動作するブートストラップ型インバータ回路を用いた場合において、垂直クロックパルス V C K 1 , V C K 2 が共に同じ論理レベルになる期間にアクティブとなる第 1 , 第 2 のリファレンス信号 R E F 1 , R E F 2 を生成し、これらリファレンス信号 R E F 1 , R E F 2 を垂直クロックパルス V C K 1 , V C K 2 用のブートストラップ型インバータ回路に対して共用することにより、本来計 4 つのリファレンス信号 R E F を必要とされるところを、2 つのリファレンス信号 R E F 1 , R E F 2 で済ませることができるため、使用するパルス信号数の削減できるとともに、表示パネル内にパルス信号を取り込むための端子数を削減できる。

【 0 1 4 1 】

特に、本発明に係る液晶表示装置では、図 1 7 に示す構成において、垂直駆動回路 7 3 を構成するシフトレジスタ回路 (図 1 8 参照)、レベルシフト回路群 7 6 の各レベルシフト回路 7 6 1 ~ 7 6 3、前段のインバータ回路群 7 7 A の各インバータ回路 7 7 1 , 7 7 3 , 7 7 5、信号処理回路 8 4 の各レベルシフト回路 8 4 1 , 8 4 4 として、低消費電力のブートストラップ型の回路を用いているため、画素アレイ部 7 2 を駆動する周辺の駆動回路で消費する電力を大幅に低減でき、よって極めて低消費電力の表示パネルを実現できることになる。

【 0 1 4 2 】

なお、本適用例では、第 1 , 第 2 実施形態あるいはその応用例に係るブートストラップ型インバータ回路を、垂直駆動回路 7 3 で使用する垂直クロックパルス V C K の信号処理系に用いるインバータ回路として用いる場合を例に挙げて説明したが、この使用例は一例に過ぎず、水平駆動回路 7 4 で使用する水平クロックパルス H C K の信号処理系に用いるインバータ回路として用いたり、さらには表示パネル 7 6 上に画素アレイ部 7 2 と共に集積される駆動回路がその一部にインバータ回路を含む場合に、当該インバータ回路として用いることが可能である。

【 0 1 4 3 】

また、本適用例では、画素 7 1 の表示エレメントとして液晶セルを用いた液晶表示装置に適用した場合を例に挙げて説明したが、この適用例に限られるものではなく、画素 7 1 の表示エレメントとして例えば E L 素子を用いた E L 表示装置など、他のアクティブマトリクス型表示装置にも同様に適用可能である。

【 産業上の利用可能性 】

【 0 1 4 4 】

本発明の第 1 , 第 2 実施形態あるいはその応用例に係るブートストラップ型インバータ回路を駆動回路の一部として用いた液晶表示装置に代表される表示装置は、携帯電話、P D A (Personal Digital Assistants)、ノート P C (Personal Computer) などの画面表示部として搭載して用いることができる。

【 図面の簡単な説明 】

【 0 1 4 5 】

【 図 1 】 第 1 実施形態の実施例 1 に係るインバータ回路の構成を示す回路図である。

【 図 2 】 第 1 実施形態の実施例 1 に係るインバータ回路の入力信号 I N、リファレンス信号 R E F 1 , R E F 2、ノード N の電位および出力信号 O U T の各レベルおよびタイミング関係を示すタイミングチャートである。

【 図 3 】 ボトムゲート型 P チャネル T F T の構造の一例を示す断面図である。

【 図 4 】 トップゲート型 P チャネル T F T の構造の一例を示す断面図である。

【 図 5 】 第 1 実施形態の実施例 2 に係るインバータ回路の構成を示す回路図である。

【 図 6 】 第 1 実施形態の実施例 2 に係るインバータ回路の入力信号 I N、リファレンス信号 R E F 1 , R E F 2、ノード N の電位および出力信号 O U T の各レベルおよびタイミング関係を示すタイミングチャートである。

【 図 7 】 第 2 実施形態の実施例 1 に係るインバータ回路の構成を示す回路図である。

【 図 8 】 第 2 実施形態の実施例 1 に係るインバータ回路の入力信号 I N、リファレンス信号 R E F 1 , R E F 2、ノード N の電位および出力信号 O U T の各レベルおよびタイミン

グ関係を示すタイミングチャートである。

【図 9】第 2 実施形態の実施例 2 に係るインバータ回路の構成を示す回路図である。

【図 10】第 2 実施形態の実施例 2 に係るインバータ回路の入力信号 I_N 、リファレンス信号 REF_1 、 REF_2 、ノード N の電位および出力信号 OUT の各レベルおよびタイミング関係を示すタイミングチャートである。

【図 11】従来例に係るインバータ回路に貫通電流が流れる期間を示すタイミングチャートである。

【図 12】第 2 実施形態に係るインバータ回路に貫通電流が流れる期間を示すタイミングチャートである。

【図 13】従来例に係るインバータ回路と第 2 実施形態に係るインバータ回路の消費電力の比較説明に供する波形図である。 10

【図 14】応用例に係るインバータ回路の構成を示す回路図である。

【図 15】応用例に係るインバータ回路の入力信号 I_N 、リファレンス信号 REF_1 、 REF_2 、ノード N の電位および出力信号 OUT の各レベルおよびタイミング関係を示すタイミングチャートである。

【図 16】適用例に係るアクティブマトリクス型液晶表示装置の構成の概略を示すブロック図である。

【図 17】垂直スタートパルス VST 、第 1、第 2 の垂直クロックパルス VCK_1 、 VCK_2 および第 1、第 2 のリファレンス信号 REF_1 、 REF_2 の各信号処理系、ならびに垂直駆動回路 73 の具体的な構成の一例を示すブロック図である。 20

【図 18】垂直駆動回路に用いるシフトレジスタ回路の構成の一例を示すブロック図である。

【図 19】垂直スタートパルス VST 、第 1、第 2 の垂直クロックパルス VCK_1 、 VCK_2 およびレジスタの各入出力 $IN_1(1)$ 、 $IN_1(N)$ 、 $OUT(1) \sim OUT(N)$ のタイミング関係を示すタイミングチャートである。

【図 20】シフトレジスタ回路の基本回路の構成の一例を示す回路図である。

【図 21】シフトレジスタ回路の基本回路の回路動作の説明に供するタイミングチャートである。

【図 22】レベルシフト回路の構成の一例を示す回路図である。

【図 23】互いに逆相のクロックパルス VCK 、 $xVCK$ 、ゲート電位 A 、ゲート電位 B 、信号経路の電位 C 、ゲート電位 D および出力信号 OUT の各波形およびタイミング関係を示すタイミングチャートである。 30

【図 24】垂直スタートパルス、第 1、第 2 の垂直クロックパルス VCK_1 、 VCK_2 および第 1、第 2 のリファレンス信号 REF_1 、 REF_2 のタイミング関係を示すタイミングチャートである。

【図 25】Pチャネルの MOS トランジスタのみによって構成されたインバータ回路の基本構成を示す回路図である。

【図 26】基本構成のインバータ回路の動作説明に供する波形図である。

【図 27】タイプ A のブートストラップ型インバータ回路の構成例を示す回路図である。

【図 28】タイプ A のブートストラップ型インバータ回路の動作説明に供する波形図である。 40

【図 29】タイプ B のブートストラップ型インバータ回路の構成例を示す回路図である。

【図 30】タイプ B のブートストラップ型インバータ回路の動作説明に供する波形図である。

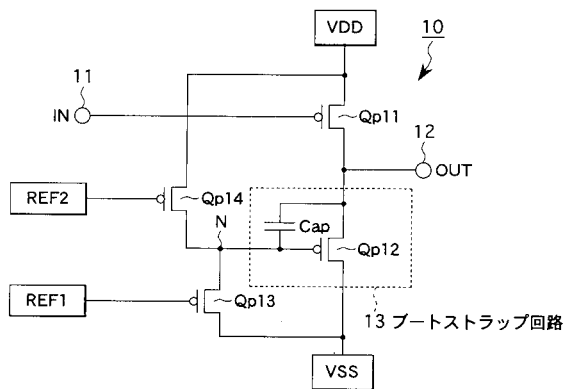
【符号の説明】

【0146】

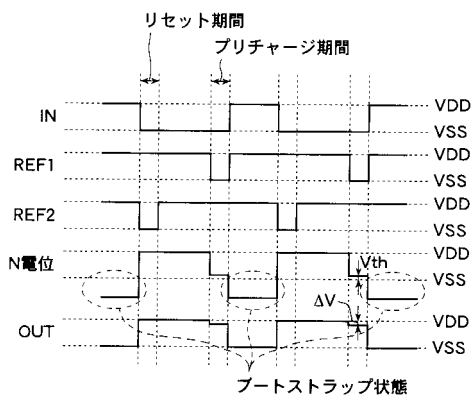
10, 40, 50, 60 ... ブートストラップ型インバータ回路、11, 41 ... 回路入力端子、12, 42 ... 回路出力端子、13, 43 ... ブートストラップ回路、71 ... 画素、72 ... 画素アレイ部、73 ... 垂直駆動回路、74 ... 水平駆動回路、75 ... 表示パネル、76 ... レベルシフト回路群、77 ... インバータ回路群、77A ... 前段のインバータ回路群、7 50

7 B ... 後段のインバータ回路群

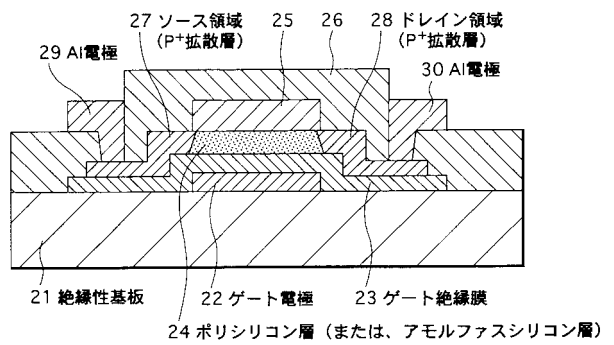
【図1】



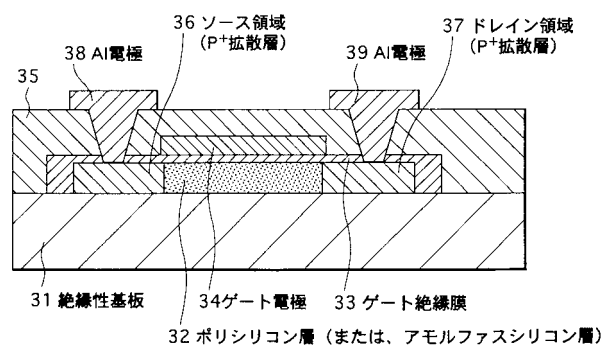
【図2】



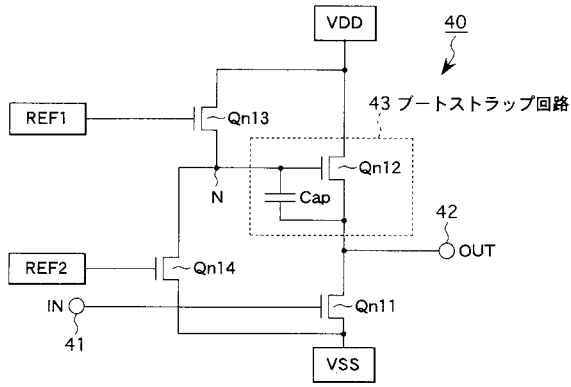
【図3】



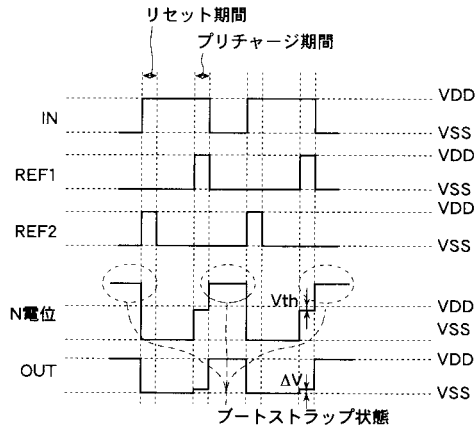
【図4】



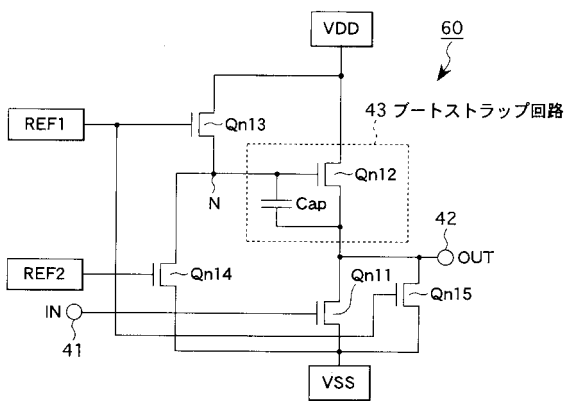
【図5】



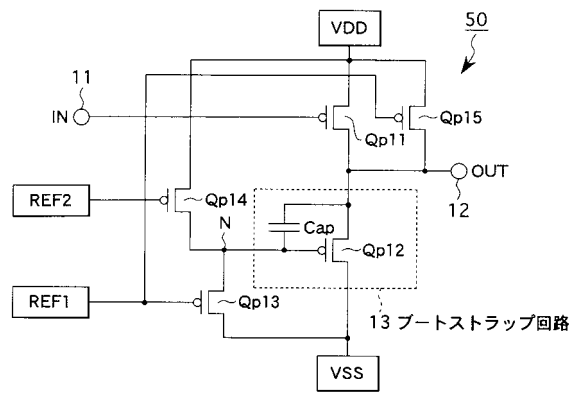
【図6】



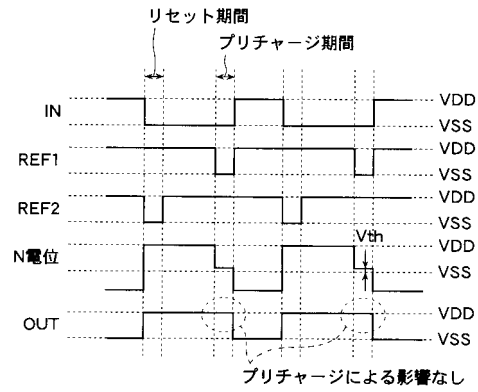
【図9】



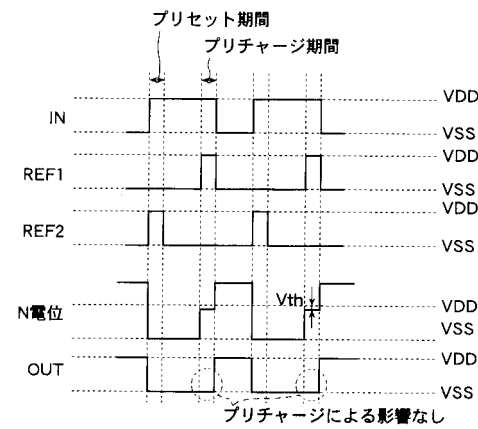
【図7】



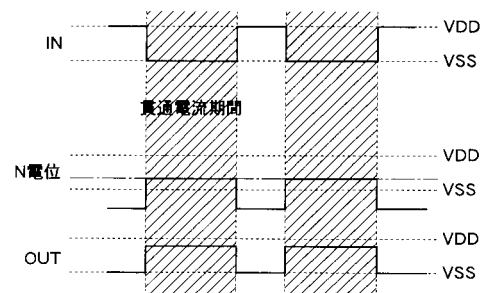
【図8】



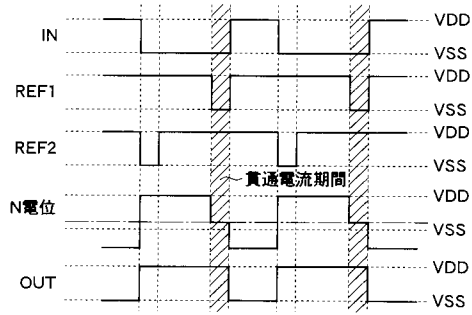
【図10】



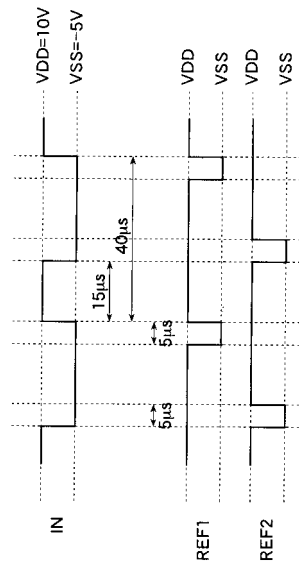
【図11】



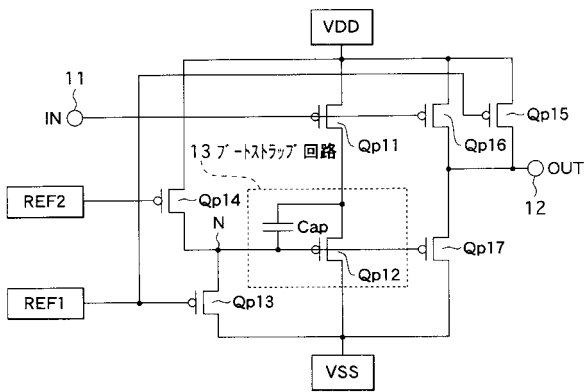
【図 1 2】



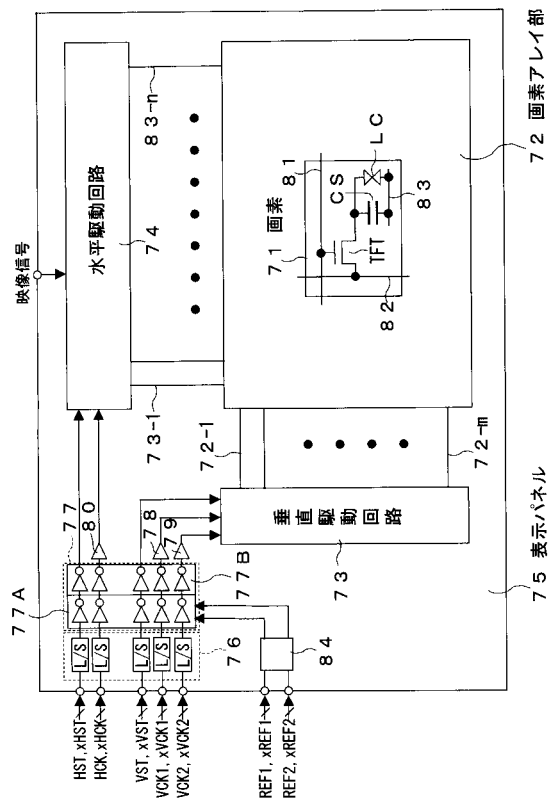
【図 1 3】



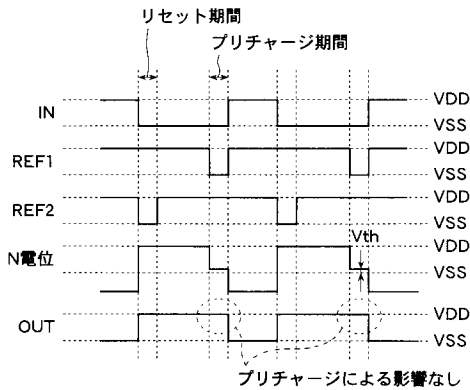
【図 1 4】



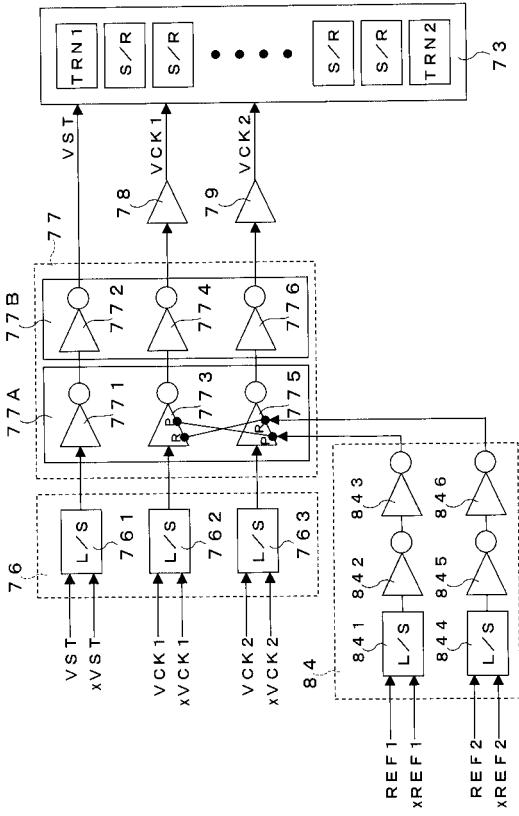
【図 1 6】



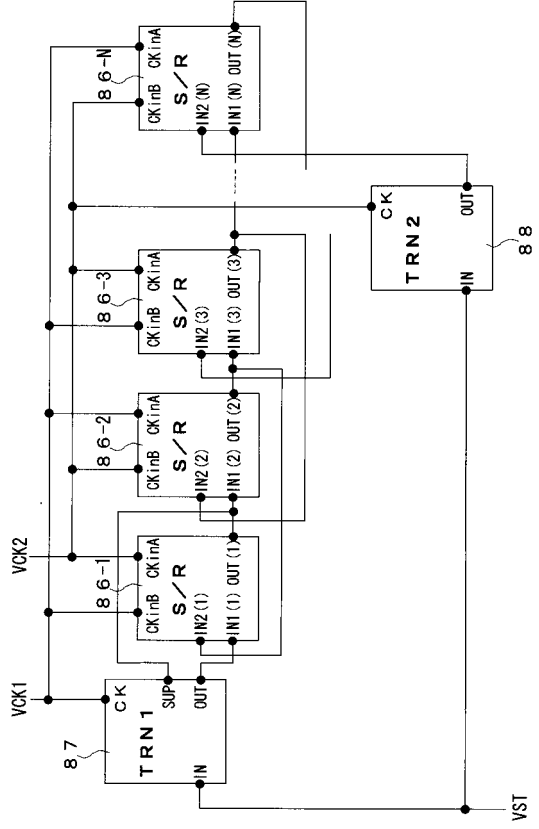
【図 1 5】



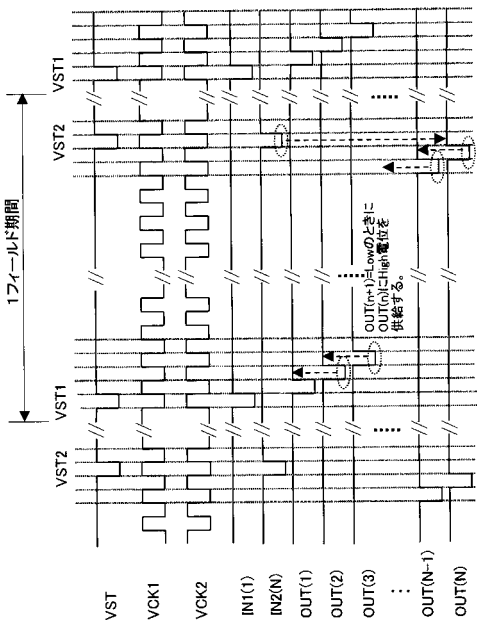
【 図 17 】



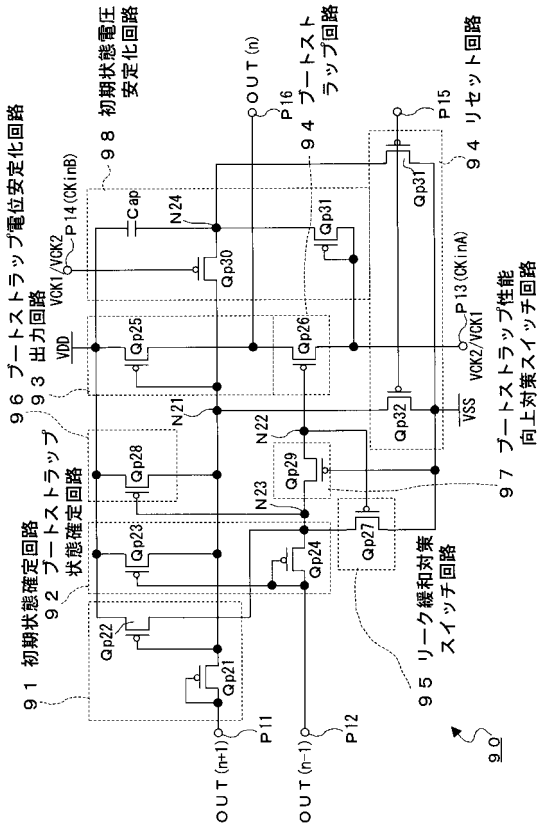
【 図 18 】



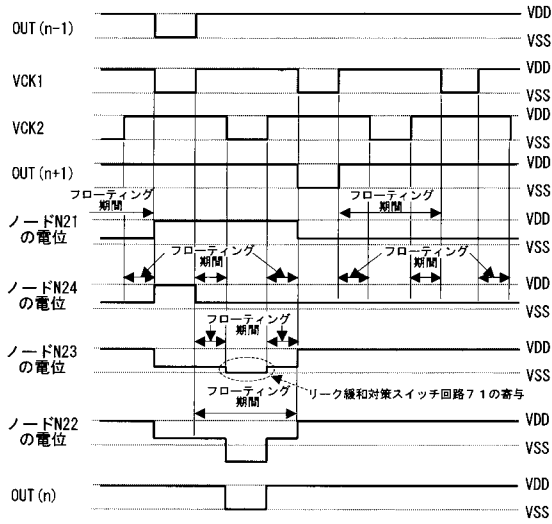
【 図 19 】



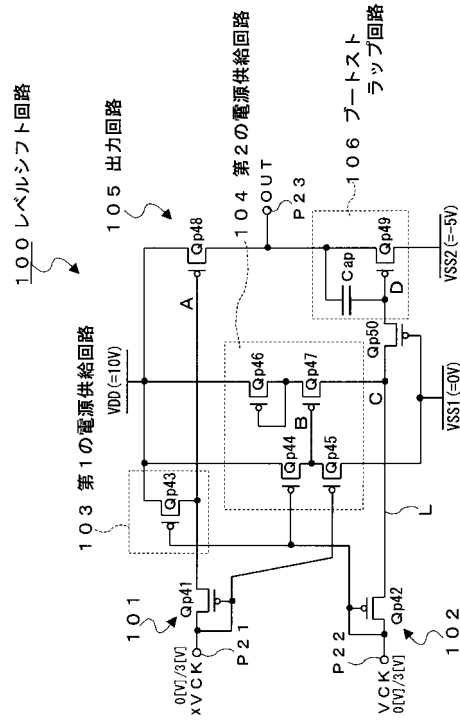
【 図 20 】



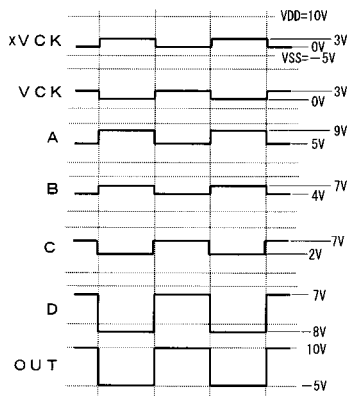
【 図 2 1 】



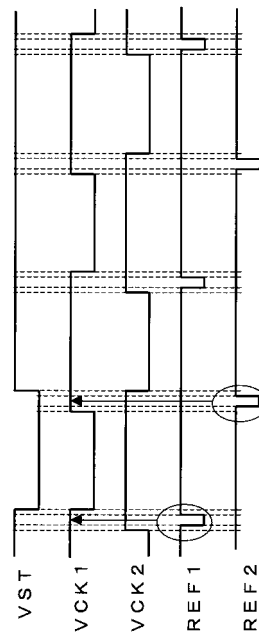
【 図 2 2 】



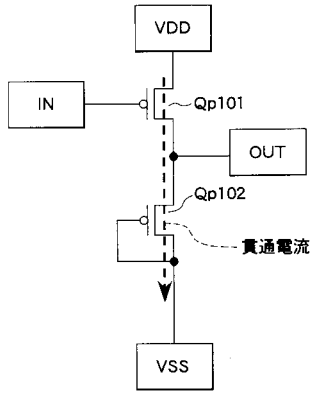
【 図 2 3 】



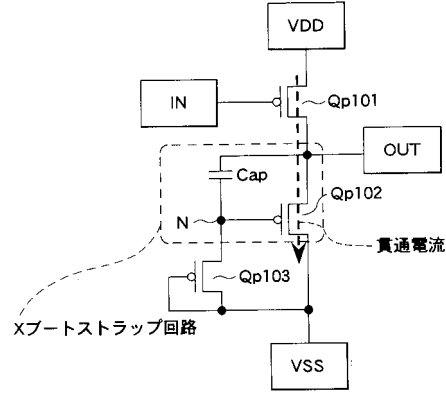
【 図 2 4 】



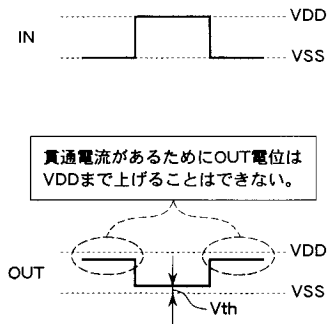
【図 25】



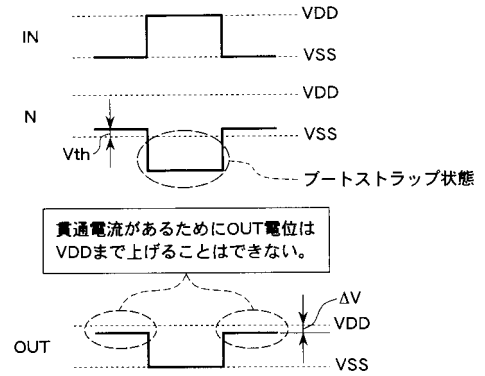
【図 27】



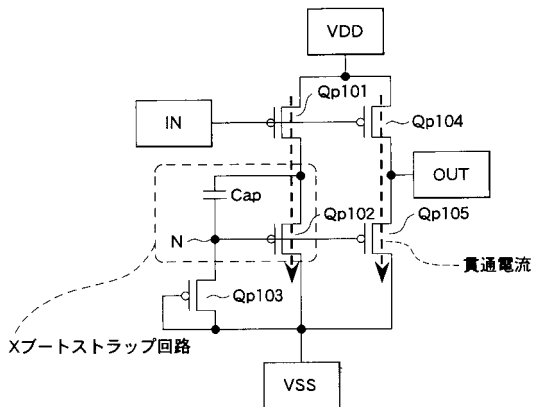
【図 26】



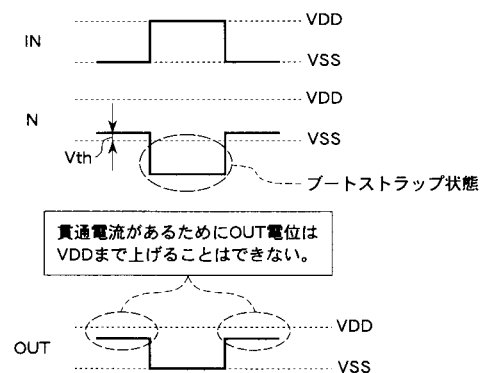
【図 28】



【図 29】



【図 30】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 27/08	G 0 9 G 3/20	6 2 3 H 5 J 0 5 5
H 0 1 L 27/088	G 0 9 G 3/20	6 8 0 G 5 J 0 5 6
H 0 1 L 29/786	G 0 9 G 3/36	
H 0 3 K 17/00	H 0 1 L 27/08	3 3 1 E
H 0 3 K 17/06	H 0 3 K 17/00	M
H 0 3 K 19/094	H 0 3 K 17/06	C
	H 0 3 K 19/094	C
	H 0 1 L 27/08	1 0 2 J
	H 0 1 L 29/78	6 1 4

F ターム(参考)	5C006	BC03	BC11	BC20	BF03	BF27	BF34	EB05	FA47		
	5C080	AA10	DD26	DD28	JJ02	JJ03	JJ04				
	5F048	AB03	AB04	AC01	BA16	BB00	BB09	BC15	BC16	BD00	BF02
		BF16	BG07								
	5F110	AA09	AA30	BB02	BB04	CC02	CC08	DD02	EE04	FF02	GG02
		GG13	GG15	HLO3	NN02	NN12					
	5J055	AX12	AX27	BX16	CX29	DX22	DX72	DX73	DX83	EX02	EY10
		EY21	EZ00	EZ12	EZ18	EZ19	EZ20	FX18	FX19	FX37	GX01
		GX02	GX04	GX05	GX07						
	5J056	AA05	BB17	BB19	CC00	CC04	CC18	CC21	CC29	DD13	DD51
		EE07	FF06	FF08	GG09	KK01	KK02				