

申請日期: 本 20. 6. 15	案號: P0114542
類別: H01L 27/115	

(以上各欄由本局填註)

發明專利說明書

492189

一、發明名稱	中文	一種電子抹除可程式唯讀記憶裝置及其抹除方法
	英文	
二、發明人	姓名 (中文)	1. 詹尚堂 2. 范德慈
	姓名 (英文)	1. 2.
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 台北縣板橋市漢生東路53巷38號 2. 桃園縣中壢市富強西街66巷5號
三、申請人	姓名 (名稱) (中文)	1. 台灣茂矽電子股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區力行路十九號
	代表人姓名 (中文)	1. 胡洪九
	代表人姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

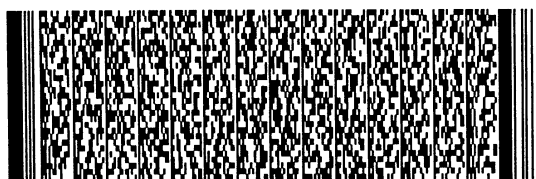
無

五、發明說明 (1)

(EEPROM) 及其抹除(erase)方法，特別有關於一種可一次抹除一個記憶單元(memory cell)之電子抹除可程式唯讀記憶裝置及其抹除方法。

第1A圖顯示了一傳統電子抹除可程式唯讀記憶裝置之上視圖。記憶裝置1係由多個成矩陣排列之記憶單元11所組成，每一個記憶單元11包括一浮接閘極(floating gate)層14、一汲極摻雜區16及位於汲極摻雜區16上之介層插塞18。一摻雜區15共同做為相鄰兩行記憶單元11之源極摻雜區。一選擇閘極(select gate)層12及控制閘極(control gate)層13則分別共同做為同一行記憶單元11之選擇閘極與控制閘極。另外，一導線層17則經由介層插塞(plug)18將同一列記憶單元11之汲極摻雜區16相互電性連接。

第1B圖顯示了上述之記憶單元11之剖面圖。記憶單元11具有一基底10，在基底10上分別層疊有控制閘極層13、浮接閘極層14及選擇閘極層12。在閘極層12、13、14與基底10之間有一薄氧化層(thin oxide)19。基底10中則具有源、汲極摻雜區15、16。汲極摻雜區16上則設有介層插塞18。在選擇閘極、控制閘極、源極及汲極上分別施加有一SG、CG、CS及D之偏壓。下表顯示了記憶單元11在各種操作情況下SG、CG、CS及D之偏壓值：

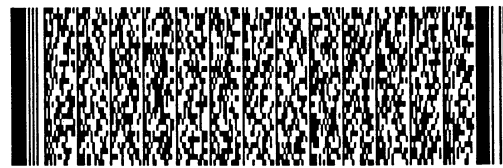
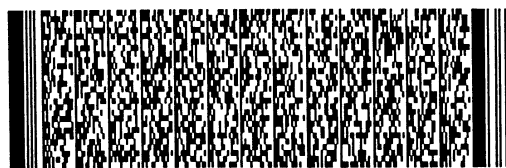


五、發明說明 (2)

	寫入	抹除		讀取
SG	1.7	0	0	4.4
CG	8.5	0	-9	1.6
CS	6	12	6	0
D	0	0/Floating		1.5

在上表所顯示之各項操作電壓中，特別值得注意的是，記憶單元11在進行抹除時，係藉由在源極摻雜區15與浮接閘極層14間產生一高電壓差，使浮接閘極層14中之電荷可以經由源極摻雜區15釋放(如第1B圖中之箭頭所示)，而達到抹除之效果。除了可以直接在源極摻雜區15上施加-12V之偏壓外，亦可以經由在控制閘極層13上施加一負電壓-9V耦合至浮接閘極層14上，再於源極摻雜區15上施加一較低之正電壓6V，亦可達到在源極摻雜區15與浮接閘極層14間產生一高電壓差之效果而執行抹除動作。因此，在將SG與D偏壓值分別保持於0及0/floating之情況下，藉由決定控制閘極層13及源極摻雜區15之偏壓值CG、CS即可決定是否抹除記憶單元11。

然而在上述傳統電子抹除可程式唯讀記憶裝置中，由於同一行記憶單元11之控制閘極層13、源極摻雜區15均電性連接，在進行抹除時，同一行記憶單元11之控制閘極層13、源極摻雜區15所接收之偏壓相同，使得一次之抹除動



五、發明說明 (3)

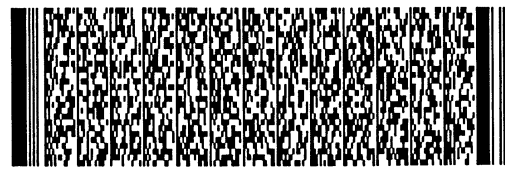
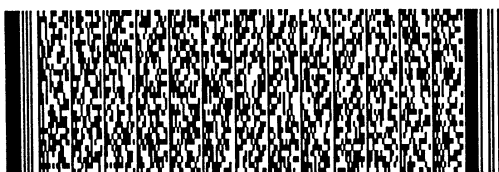
作必需對一整行記憶單元11同時進行，無法對某一個記憶單元11單獨進行，造成抹除動作之限制。

為了解決上述問題，本發明提供一種電子抹除可程式唯讀記憶裝置及其抹除方法，可一次僅對一個記憶單元進行抹除動作，消除了傳統中一次抹除一整行記憶單元之限制。

本發明之一目的在於提供一種一種電子抹除可程式唯讀記憶裝置，包括一第一及第二記憶單元。其中，每一記憶單元至少具有一控制閘極層及一源極摻雜區且該第一及第二記憶單元之源極摻雜區相互電性連接而該第一及第二記憶單元之控制閘極層則相互絕緣。該第一及第二記憶單元之源極摻雜區接收一第一電位而該第一及第二記憶單元之控制閘極層則分別接收一第二及第三電位以抹除該第一記憶單元且不改變該第二記憶單元。

本發明之另一目的在於提供一種記憶體之抹除方法，適用於一電子抹除可程式唯讀記憶裝置，該記憶裝置具有一第一及第二記憶單元，每一記憶單元至少具有一控制閘極層、一源極摻雜區及一汲極摻雜區，該方法包括以下步驟。使該第一及第二記憶單元之源極摻雜區相互電性連接並使該第一及第二記憶單元之控制閘極層相互絕緣。使該第一及第二記憶單元之源極摻雜區接收一第一電位而該第一及第二記憶單元之控制閘極層分別接收一第二及第三電位以抹除該第一記憶單元且不改變該第二記憶單元。

藉此，在本發明中，當相鄰記憶單元之源極摻雜區電



五、發明說明 (4)

性連接時，其控制閘極層係相互絕緣，而控制閘極層電性連接時，其源極摻雜區係相互絕緣，使得同一行中之記憶單元有不同之源極偏壓，而可以對單一記憶單元進行抹除之動作。

以下，就圖式說明本發明之一種電子抹除可程式唯讀記憶裝置及其抹除方法之實施例。

圖式簡單說明

第1A圖係一傳統電子抹除可程式唯讀記憶裝置之上視圖；

第1B圖係一傳統電子抹除可程式唯讀記憶裝置之剖面圖；

第2A圖係本發明一實施例之電子抹除可程式唯讀記憶裝置之上視圖；

第2B圖係本發明一實施例之電子抹除可程式唯讀記憶裝置之剖面圖。

第3圖係本發明一實施例之記憶體抹除方法之流程圖。

[符號說明]

1~傳統電子抹除可程式唯讀記憶裝置；

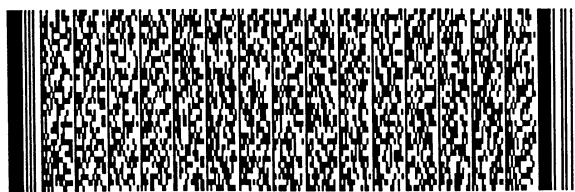
10、20~基底；

11、21~記憶單元；

12、22~選擇閘極層；

13、23~控制閘極層；

14、24~浮接閘極層；



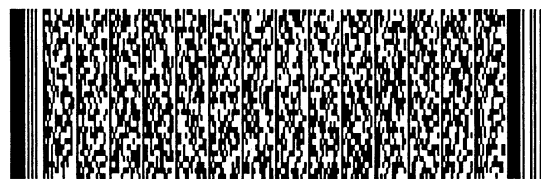
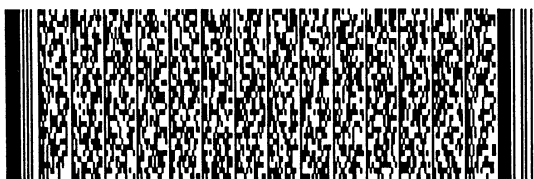
五、發明說明 (5)

- 15、25~源極摻雜區；
- 16、26~汲極摻雜區；
- 17、27~導線層；
- 18、28~介層插塞；
- 19、29~薄氧化層。

實施例

第2A圖顯示了一本發明之電子抹除可程式唯讀記憶裝置之上視圖。記憶裝置2係由多個成矩陣排列之記憶單元21所組成，其中一行記憶單元係指由一條控制閘極層23或選擇閘極層22所串連之記憶單元，而一列記憶單元係指由一條導線層27所串連之記憶單元。每一個記憶單元21包括一浮接閘極(floating gate)層24、一源極摻雜區25及位於源極摻雜區25上之介層插塞28。一摻雜區26共同做為相鄰兩行記憶單元21之汲極摻雜區。選擇閘極層22及控制閘極層23則分別共同做為同一行記憶單元21之選擇閘極與控制閘極。另外，導線層27則經由介層插塞(plug)28將同一列記憶單元21之源極摻雜區25相互電性連接。

第2B圖顯示上述記憶單元21之剖面圖。記憶單元21具有一基底20，在基底20上分別層疊有控制閘極層23、浮接閘極層24及選擇閘極層22。在閘極層22、23、24與基底20之間有一薄氧化層(thin oxide)29。基底20中則具有源、汲極摻雜區25、26。源極摻雜區25上則設有介層插塞28。在選擇閘極、控制閘極、源極及汲極上分別施加有一SG'、CG'、S及CD之偏壓。下表顯示了記憶單元21在各種



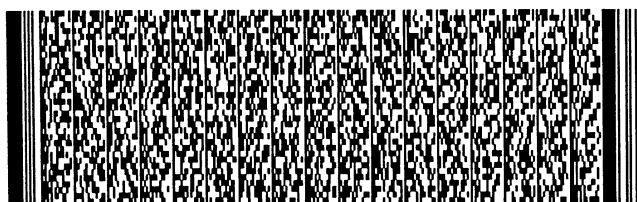
五、發明說明 (6)

操作情況下SG'、CG'、S及CD之偏壓值：

	寫入	抹除		讀取
SG'	1.7	0	0	4.4
CG'	8.5	0	-9	1.6
S	6	12	6	0
CD	0	0/Floating		1.5

在上表所顯示之各項操作電壓中，特別值得注意的是，記憶單元21在進行抹除時，係藉由在源極摻雜區25與浮接閘極層24間產生一高電壓差，使浮接閘極層24中之電荷可以經由源極摻雜區25釋放(如第2B圖中之箭頭所示)，而達到抹除之效果。除了可以直接在源極摻雜區25上(經由介層插塞28)施加一12V之偏壓外，亦可以經由在控制閘極層23上施加一負電壓-9V耦合至浮接閘極層24上，再於源極摻雜區25上(經由介層插塞28)施加一較低之正電壓6V，亦可達到在源極摻雜區25與浮接閘極層24間產生一高電壓差之效果而執行抹除動作。因此，在將SG'與CD偏壓值分別保持於0及0/floating之情況下，藉由決定控制閘極層23及源極摻雜區25之偏壓值CG'、S即可決定是否抹除記憶單元21。

由上述可知，在本發明之電子抹除可程式唯讀記憶裝



五、發明說明 (7)

置中，雖然同一行記憶單元21之控制閘極層23係電性連接但其源極摻雜區25係相互絕緣，在進行抹除時，同一行記憶單元21之控制閘極層23所接收之偏壓相同而源極摻雜區25所接收之偏壓可以不同；或者，同一列記憶單元21之控制閘極層23所接收之偏壓不同而源極摻雜區25所接收之偏壓相同，使得一次之抹除動作可藉由在同一行之記憶單元21中提供不同之源極偏壓而達成只選擇某一個記憶單元21單獨進行。例如提供一行記憶單元21中某一個記憶單元之SG'、CG'、S及CD偏壓為0、-9、6、0而該行中其餘記憶單元之SG'、CG'、S及CD偏壓為0、-9、0、0，使其餘記憶單元源極與浮接閘極間之電壓差不足以進行抹除；或提供一行記憶單元21中某一個記憶單元之SG'、CG'、S及CD偏壓為0、0、12、0而該行中其餘記憶單元之SG'、CG'、S及CD偏壓為0、0、0、0，使其餘記憶單元源極與浮接閘極間之電壓差不足以進行抹除；或提供一列記憶單元21中某一個記憶單元之SG'、CG'、S及CD偏壓為0、-9、6、0而該列中其餘記憶單元之SG'、CG'、S及CD偏壓為0、0、6、0，使其餘記憶單元源極與浮接閘極間之電壓差不足以進行抹除；或提供一列記憶單元21中某一個記憶單元之SG'、CG'、S及CD偏壓為0、0、12、0而該列中其餘記憶單元之SG'、CG'、S及CD偏壓為0、6、12、0，使其餘記憶單元源極與浮接閘極間之電壓差不足以進行抹除。如此，即可僅抹除該行中一個記憶單元。

第3圖顯示本發明一實施例中一記憶體抹除方法之流



五、發明說明 (8)

程圖。

首先，在步驟31中，提供一電子抹除可程式唯讀記憶裝置，此記憶裝置具有成矩陣排列之記憶單元。

接著，在步驟32中，使同一列記憶單元之源極摻雜區相互電性連接，而其控制閘極層、選擇閘極層則相互絕緣，同時，使同一行記憶單元之源極摻雜區相互絕緣，而其控制閘極層、選擇閘極層則相互電性連接。

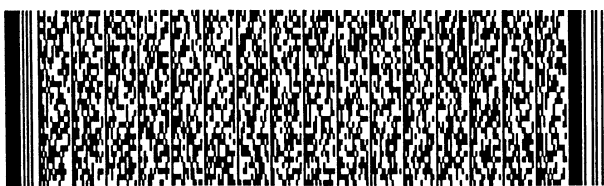
最後，在步驟33中，使每一記憶單元之汲極、選擇閘極接收一0V之偏壓，同一行記憶單元之源極接收一6V之偏壓，該行中一欲抹除記憶單元之控制閘極接收一-9V之偏壓而該行中其餘記憶單元之控制閘極則接收一0V之偏壓。

或者，在步驟34中，使每一記憶單元之汲極、選擇閘極接收一0V之偏壓，同一行記憶單元之源極接收一12V之偏壓，該行中一欲抹除記憶單元之控制閘極接收一0V之偏壓而該行中其餘記憶單元之控制閘極則接收一6V之偏壓。

或者，在步驟35中，使每一記憶單元之汲極、選擇閘極接收一0V之偏壓，同一列記憶單元之控制閘極接收一-9V之偏壓，該列中一欲抹除記憶單元之源極接收一6V之偏壓而該列中其餘記憶單元之源極則接收一0V之偏壓。

或者，在步驟36中，使每一記憶單元之汲極、選擇閘極接收一0V之偏壓，同一列記憶單元之控制閘極接收一0V之偏壓，該列中一欲抹除記憶單元之源極接收一12V之偏壓而該列中其餘記憶單元之源極則接收一0V之偏壓。

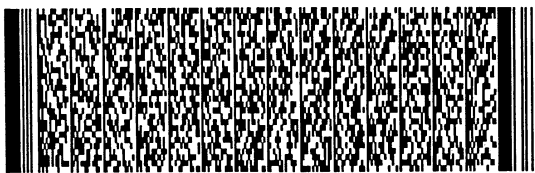
綜合上述，由於在本發明中，同一行之記憶單元不再



五、發明說明 (9)

共用一源極摻雜區，而是將每一列之源極摻雜區相互電性連接，可藉由在一列或一行中提供不同之源極與控制閘極偏壓組合而僅對一個記憶單元進行抹除。

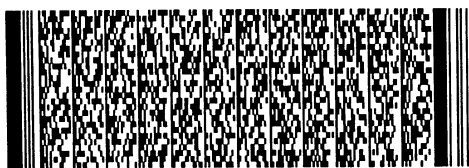
雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



四、中文發明摘要 (發明之名稱：一種電子抹除可程式唯讀記憶裝置及其抹除方法)

一種電子抹除可程式唯讀記憶裝置，包括一第一及第二記憶單元。其中，每一記憶單元至少具有一控制閘極層及一源極摻雜區且第一及第二記憶單元之源極摻雜區相互電性連接而第一及第二記憶單元之控制閘極層則相互絕緣。第一及第二記憶單元之源極摻雜區接收一第一電位而第一及第二記憶單元之控制閘極層則分別接收一第二及第三電位以抹除第一記憶單元且不改變第二記憶單元。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種電子抹除可程式唯讀記憶裝置，包括：

一第一及第二記憶單元，每一記憶單元至少具有一控制閘極層及一源極摻雜區且該第一及第二記憶單元之該源極摻雜區相互電性連接而該第一及第二記憶單元之該控制閘極層則相互絕緣；

其中，該第一及第二記憶單元之該源極摻雜區接收一第一電位而該第一及第二記憶單元之該控制閘極層則分別接收一第二及第三電位以抹除該第一記憶單元且不改變該第二記憶單元。

2. 如申請專利範圍第1項所述之裝置，其中該第一及第二記憶單元更具有一浮接閘極層、一選擇閘極層及一汲極摻雜區。

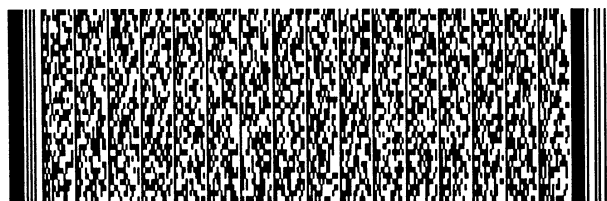
3. 如申請專利範圍第2項所述之裝置，其中該第一及第二記憶單元之汲極摻雜區係相互連接。

4. 如申請專利範圍第1項所述之裝置，其中該第一及第二記憶單元之源極摻雜區係相互連接。

5. 如申請專利範圍第1項所述之裝置，其中該第一、第二及第三電位分別為6V、-9V及0V。

6. 如申請專利範圍第1項所述之裝置，其中該第一、第二及第三電位分別為12V、0V及6V。

7. 一種記憶體之抹除方法，適用於一電子抹除可程式唯讀記憶裝置，該記憶裝置具有一第一及第二記憶單元，每一記憶單元至少具有一控制閘極層、一源極摻雜區及一汲極摻雜區，該方法包括以下步驟：



六、申請專利範圍

使該第一及第二記憶單元之源極摻雜區相互電性連接並使該第一及第二記憶單元之控制閘極層相互絕緣；以及

使該第一及第二記憶單元之源極摻雜區接收一第一電位而該第一及第二記憶單元之控制閘極層分別接收一第二及第三電位以抹除該第一記憶單元且不改變該第二記憶單元。

8. 如申請專利範圍第7項所述之方法，其中該第一及第二記憶單元更具有一浮接閘極層、一選擇閘極層及一汲極摻雜區。

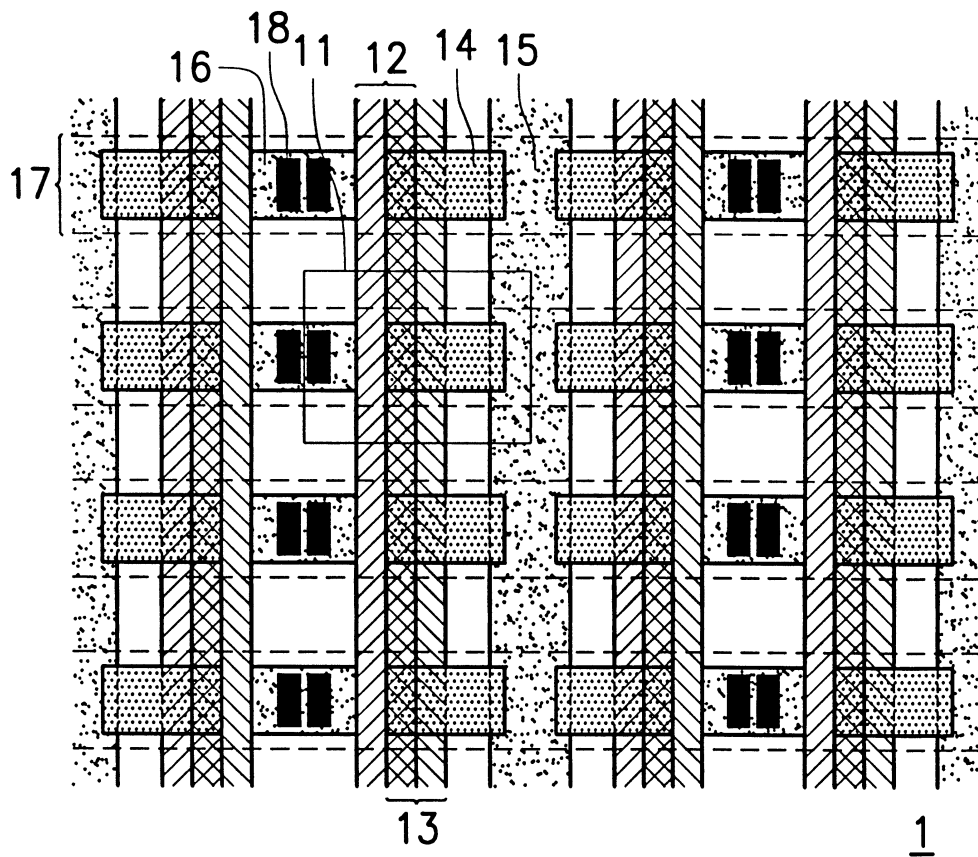
9. 如申請專利範圍第7項所述之方法，其中該第一及第二記憶單元之汲極摻雜區係相互連接。

10. 如申請專利範圍第7項所述之方法，其中該第一及第二記憶單元之源極摻雜區係相互連接。

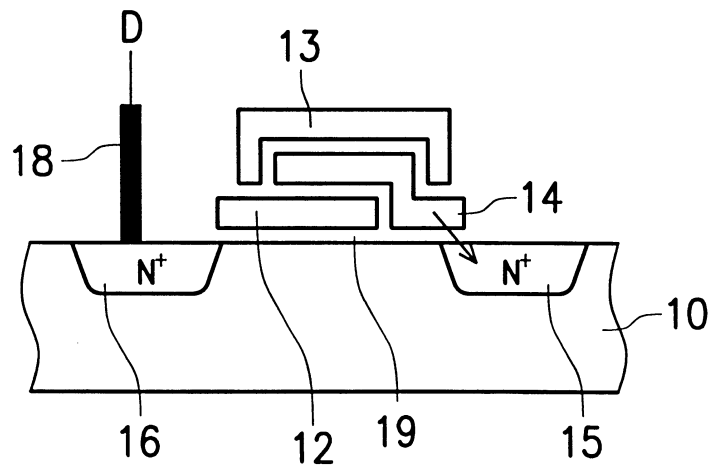
11. 如申請專利範圍第7項所述之方法，其中該第一、第二及第三電位分別為6V、-9V及0V。

12. 如申請專利範圍第7項所述之方法，其中該第一、第二及第三電位分別為12V、0V及6V。

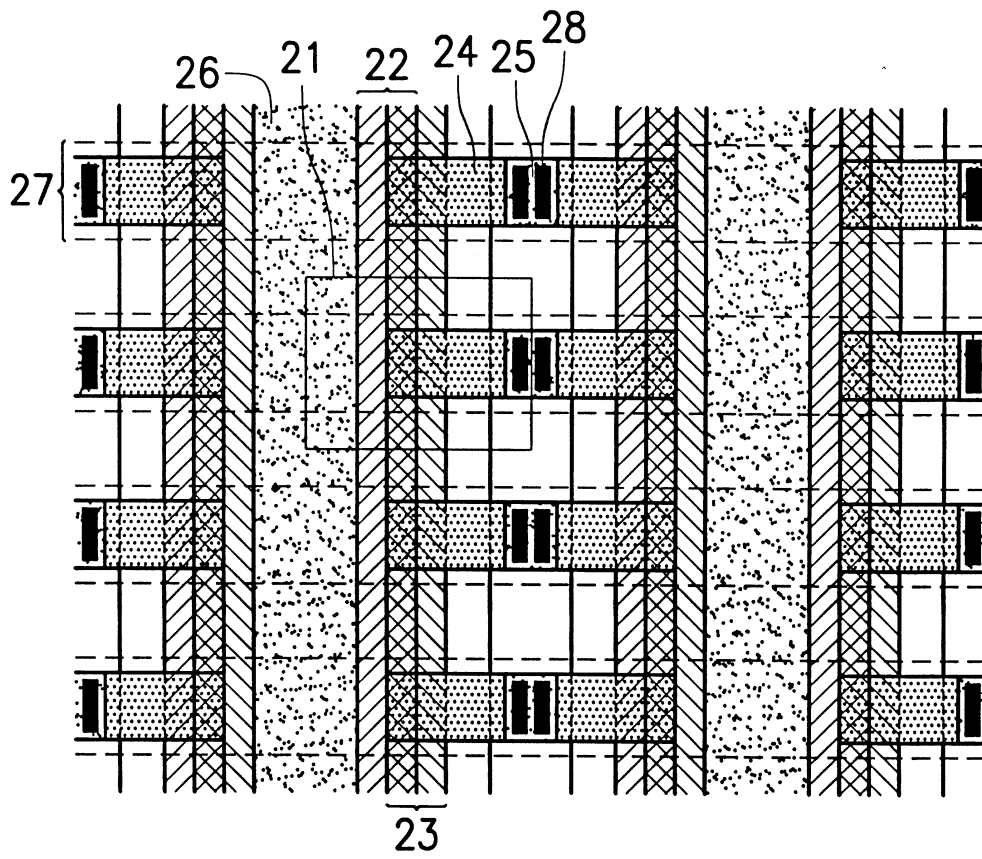




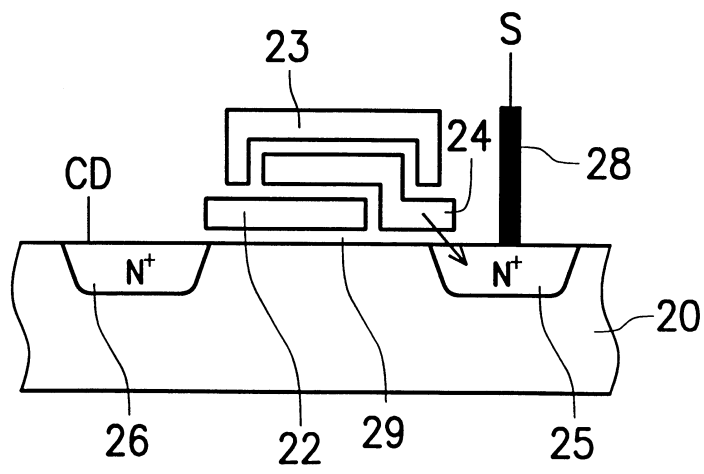
第1A圖



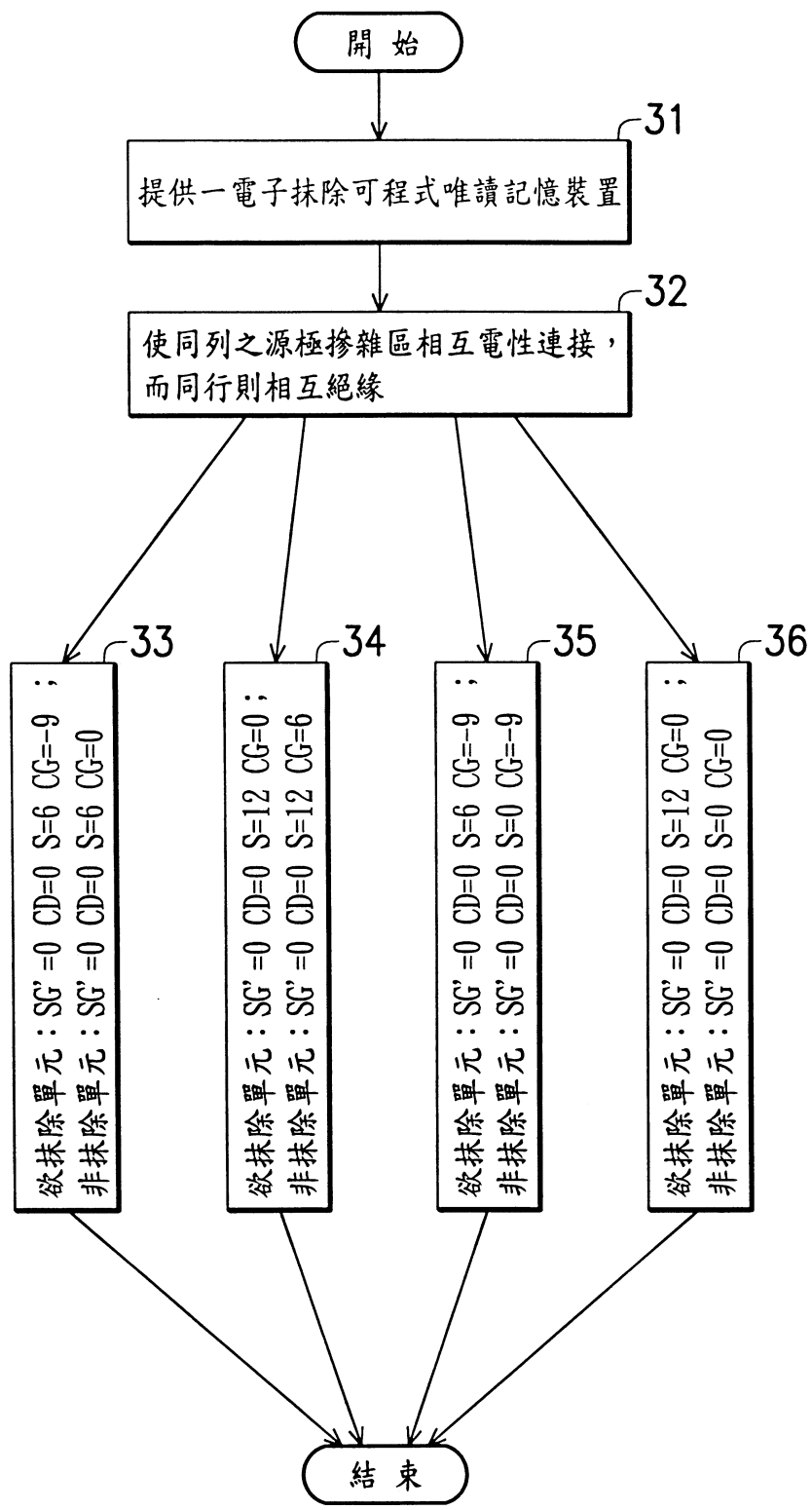
第1B圖



第2A圖



第2B圖



第 3 圖