



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I502649 B

(45) 公告日：中華民國 104 (2015) 年 10 月 01 日

(21) 申請案號：100140869

(22) 申請日：中華民國 100 (2011) 年 11 月 09 日

(51) Int. Cl. : *H01L21/336 (2006.01)**H01L21/28 (2006.01)*(71) 申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)
新竹市新竹科學工業園區力行二路 3 號

(72) 發明人：王志榮 WANG, CHIH JUNG (TW) ; 陳東郁 CHEN, TONG YU (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

US 7531437B2

US 8048723B2

US 2005/0051825A1

審查人員：陳志遠

申請專利範圍項數：13 項 圖式數：10 共 19 頁

(54) 名稱

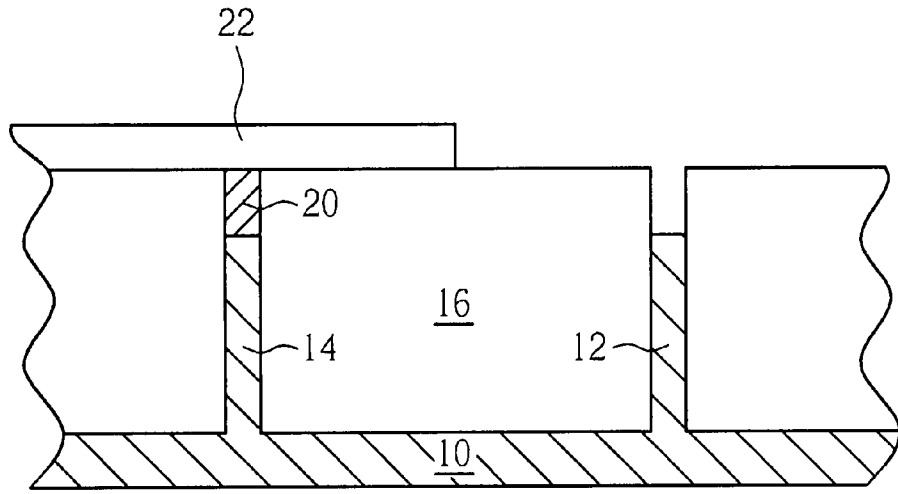
於共同基底上製造雙閘極與三閘極電晶體的方法

METHOD OF FABRICATING DOUBLE-GATE AND TRI-GATE TRANSISTORS ON COMMON SUBSTRATE

(57) 摘要

一種於共同基底上製造雙閘極與三閘極電晶體的方法，其中，基底包括覆蓋著第一遮罩層的第一鰭狀結構及覆蓋著第二遮罩層的第二鰭狀結構。移除第一遮罩層。形成閘極材料層覆蓋第一鰭狀結構及第二遮罩層。將閘極材料層圖案化而獲得包覆第一鰭狀結構的三閘極結構及包覆第二鰭狀結構與第二遮罩層的雙閘極結構。各於三閘極結構二側的第一鰭狀結構中及雙閘極結構二側的第二鰭狀結構中形成二源/汲極。

A method of fabricating a double-gate and a tri-gate transistors on a common substrate, in which, a substrate includes a first fin structure covered with a first mask layer and a second fin structure covered with a second mask layer, the first mask layer is removed, a gate material layer is formed to cover the first fin structure and the second mask layer, the gate material layer is patterned to result in a tri-gate structure covering the first fin structure and a double-gate structure covering the second fin structure and the second mask layer, and a source and a drain are formed in each of the first fin structure at two sides of the tri-gate structure and the second fin structure at two sides of the double-gate structure.



- 10 . . . 基底
- 12 . . . 第一鳍状结构
- 14 . . . 第二鳍状结构
- 16 . . . 绝缘层
- 20 . . . 第二遮罩层
- 22 . . . 光阻层

第3圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100140869

※ 申請日：100.11.09

※IPC 分類：

H01L 21/336 2006.01

一、發明名稱：(中文/英文)

H01L 21/38 2006.01

於共同基底上製造雙閘極與三閘極電晶體的方法/Method of fabricating double-gate and tri-gate transistors on common substrate

二、中文發明摘要：

一種於共同基底上製造雙閘極與三閘極電晶體的方法，其中，基底包括覆蓋著第一遮罩層的第一鰭狀結構及覆蓋著第二遮罩層的第二鰭狀結構。移除第一遮罩層。形成閘極材料層覆蓋第一鰭狀結構及第二遮罩層。將閘極材料層圖案化而獲得包覆第一鰭狀結構的三閘極結構及包覆第二鰭狀結構與第二遮罩層的雙閘極結構。各於三閘極結構二側的第一鰭狀結構中及雙閘極結構二側的第二鰭狀結構中形成二源/汲極。

三、英文發明摘要：

A method of fabricating a double-gate and a tri-gate transistors on a common substrate, in which, a substrate includes a first fin structure covered with a first mask layer and a second fin structure covered with a second mask layer, the first mask layer is removed, a gate material layer is formed to cover the first fin structure and the second mask layer, the gate material layer is patterned to result in a tri-gate structure covering the first fin structure and a double-gate structure covering the second fin

structure and the second mask layer, and a source and a drain are formed in each of the first fin structure at two sides of the tri-gate structure and the second fin structure at two sides of the double-gate structure.

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

10	基底	12	第一鱗狀結構
14	第二鱗狀結構	16	絕緣層
20	第二遮罩層	22	光阻層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明有關一種具有鰭狀結構之場效電晶體的製法，及特別是有關一種於共同基底上製造雙閘極與三閘極電晶體的方法。

【先前技術】

隨著金氧半導體(metal-oxide-semiconductor, MOS)電晶體元件尺寸持續地縮小，習知技術提出以例如鰭狀場效電晶體(fin field effect transistor, Fin-FET)元件取代平面電晶體元件，其具有薄的鰭狀體而縮小尺寸，除了可增加閘極與鰭狀矽基體的接觸面積，並且可以改進短通道效應的問題。在若干積體電路中，可於一共同基底上同時設置雙閘極與三閘極電晶體，以提高性能及良率。雙閘極電晶體係於做為閘極通道(二個獨立的閘極通道)的鰭狀結構的二個相對側壁上各具有閘極，可獨立控制其電性。三閘極電晶體則於做為閘極通道(為一複合閘極通道)的鰭狀結構的二個相對側壁及頂部表面上包覆著連續的閘極材料層，而做為單一的閘極。

隨著於共同基底上同時設置雙閘極與三閘極電晶體的需要，對於新穎的製造雙閘極與三閘極電晶體的方法，仍有所需求，以期更便利及經濟。

【發明內容】

本發明之一目的是提供一種具有鰭狀結構之場效電晶體的製法，以於一共同製程中在一共同基底上製造雙閘極與三閘極電晶體。

依據本發明之一具體實施例之一方面，於共同基底上製造雙閘極與三閘極電晶體的方法包括下列步驟。首先，提供一基底，其包括一第一鰭狀結構及一第二鰭狀結構，並且一第一遮罩層覆蓋第一鰭狀結構，一第二遮罩層覆蓋第二鰭狀結構。然後，移除第一遮罩層。形成一閘極材料層覆蓋第一鰭狀結構及第二遮罩層。將閘極材料層圖案化而獲得一包覆第一鰭狀結構的三閘極結構及一包覆第二鰭狀結構與第二遮罩層的雙閘極結構。各於三閘極結構二側的第一鰭狀結構中及雙閘極結構二側的第二鰭狀結構中形成二源/汲極。

於本發明中，可於一製造流程中於一共同基底上使用一個製造流程而同時製造雙閘極與三閘極電晶體，此製程可與目前的製程相容，便利及經濟。

【實施方式】

為詳細揭示本發明的技術實質，下面結合附圖舉實施例詳細說明。第 1 至 8 圖之示意圖說明一依據本發明之實施例之於共同基底上製造雙閘極與三閘極電晶體的方法。如第 1 圖所示，首先，提供一基底 10。基底 10 可為例如半導體基底，其為例如矽基底。藉由例如於基底上形成一硬遮罩層，其包括例如氮化矽，藉由例如微影蝕刻製程將硬遮罩層圖案化，經由此圖案化之遮罩層對基底蝕刻，

以形成第一鰭狀結構 12 及第二鰭狀結構 14，而二者上方仍覆蓋著硬遮罩層的圖案層，即，第一遮罩層 18 覆蓋第一鰭狀結構 12，及第二遮罩層 20 覆蓋第二鰭狀結構 14。

然後，形成一平坦化之絕緣層覆蓋基底，而露出第一遮罩層及第二遮罩層。此可藉由例如第 1 圖所示之於基底 10 上形成絕緣層 16，使其覆蓋第一遮罩層 18 及第二遮罩層 20。然後，請參閱第 2 圖，於基底 10 上對絕緣層 16 進行一平坦化製程，例如化學機械研磨(CMP)製程，以露出第一遮罩層 18 及第二遮罩層 20。絕緣層 16 可為例如氧化物，其可為例如氧化矽。可使用例如化學氣相沉積製程以形成絕緣層 16。

然後，請參閱第 3 圖，僅移除第一遮罩層 18，留下第二遮罩層 20。其步驟可包括例如以黃光製程形成圖案化之光阻層 22，使其覆蓋第二遮罩層 20 而露出第一遮罩層 18，進行蝕刻以移除第一遮罩層 18。然後，移除光阻層 22。

然後，請參閱第 4 圖，對絕緣層 16 回蝕刻至一厚度，而曝露第一鰭狀結構 12 的上部與第二鰭狀結構 14 的上部及覆蓋於第二鰭狀結構 14 上的第二遮罩層 20。經過回蝕刻後的絕緣層 16，可做為淺溝隔離結構(STI)，因此，絕緣層 16 的材料、回蝕刻製程與回蝕刻後的預定厚度可依據 STI 的需求而予以選擇。

隔離結構的製作亦可經由其他方式達成。例如，可於移除第一遮罩層 18 之前或是之後，先形成一絕緣層覆蓋基底，可進行平坦化或不進行平坦化，此係視需要而定，然後將絕緣層回蝕刻至一厚度，露出第一鰭狀結構 12 的上部及第二鰭狀結構 14 的上部，而使此厚度的絕緣層做為一隔離結構。

可於第一鰭狀結構 12 之二側壁與頂表面上及第二鰭狀結構 14 之二側壁上，即閘極通道區域表面，形成一閘極介電層(未示出)。閘極介電層可包含氧化矽、氮化矽、氮氧化矽等之介電材料或其他高介電常數材料。

然後，請參閱第 5 圖，於絕緣層 16 上形成一閘極材料層 24，並使閘極材料層 24 覆蓋第一鰭狀結構 12 及第二遮罩層 20。閘極材料層 24 可包括例如多晶矽或金屬等適合做為閘極的材料。可依材料選擇適合的習知技術，例如 CVD 或 PVD 製程等，以形成此閘極材料層。

然後，可有多種方式將閘極材料層圖案化。例如，第 6 圖顯示其中一種實施例，將閘極材料層 24 平坦化，並露出第二遮罩層 20，此時第一鰭狀結構 12 係被閘極材料層 24 所覆蓋。此平坦化，可利用例如 CMP 製程達成。然後於平坦化的閘極材料層 24 上形成圖案化的遮罩層 26，其遮蓋所欲閘極結構的位置。

然後，如第 7 圖所示，經由遮罩層 26 蝕刻閘極材料層 24，以形成包覆第一鰭狀結構 12 的三閘極結構 28 及包覆第二鰭狀結構 14 與第二遮罩層 20 的雙閘極結構。雙閘極結構可包括獨立控制的閘極 30 與 32。第 8 圖顯示一對應於第 7 圖的立體示意圖。然後，可將第一鰭狀結構或第二鰭狀結構的預定源/汲極區上仍殘留的遮罩層 18 或 20 移除。然後，例如進行離子佈植，而可同時於三閘極結構 28 二側的第一鰭狀結構 12 中形成二源/汲極 S/D、以及於雙閘極結構的閘極 30 及 32 二側的第二鰭狀結構 14 中形成二源/汲極 S/D。或可在形成源/汲極 S/D 之前，先形成輕摻雜汲極(light doped drain, LDD)。如上述，以於共同基底上形成雙閘極電晶體與三閘極電晶體。

第 9 圖說明將閘極材料層圖案化的另一具體實施例，與第 6 圖所示之實施例不同處，在於將閘極材料層 24 平坦化時，不使第二遮罩層 20 露出，亦即，使第一鰭狀結構 12 以及第二遮罩層 20 均被閘極材料層 24 所覆蓋。然後於平坦化的閘極材料層 24 上形成圖案化的遮罩層 34，其遮蓋所欲閘極結構的位置。

然後，如第 10 圖所示，經由遮罩層 34 蝕刻閘極材料層 24，以形成包覆第一鰭狀結構 12 的三閘極結構 36 及包覆第二鰭狀結構 14 與第二遮罩層 20 的雙閘極結構 38。此雙閘極結構 38 的構形類似三閘極結構，但是由於第二鰭狀結構 14 與上方的閘極材料層之間尚有第二遮罩層 20 存在，在第二遮罩層 20 具有適當厚度的情形下，雙閘極結構 38 包覆於第二鰭狀結構 14 二側壁表面的二個部分，仍可

做為可獨立控制的二個閘極。但於本發明之精神與範疇中，並不排除第二遮罩層 20 具有薄的厚度的情形，當第二遮罩層 20 具有薄的厚度時，雙閘極結構 38 可視為單一閘極。然後，如上述，於三閘極結構 36 二側的第一鰭狀結構 12 中形成二源/汲極 S/D、以及於雙閘極結構 38 的二側的第二鰭狀結構 14 中形成二源/汲極 S/D。或可在形成源/汲極 S/D 之前，先形成 LDD。如上述，以於共同基底上形成雙閘極電晶體與三閘極電晶體。

再者，依據本發明之於共同基底上製造雙閘極與三閘極電晶體的方法，可適用於閘極優先(gate first)製程或閘極後置(gate last)製程。閘極優先製程即如上述，先形成所欲之閘極後，進行源/汲極的製作。閘極後置製程，即先形成犧牲閘極，然後形成源/汲極，然後，再以所欲之閘極材料取代犧牲閘極；例如，接續上述閘極優先製程，其閘極材料可選擇例如多晶矽，以做為犧牲閘極，然後可如習知技術進行一閘極取代製程，例如以金屬取代多晶矽以做為金屬閘極，或是可於通道區域上依序覆蓋有至少一高介電常數閘極介電層(圖未示)、至少一功函數金屬層(圖未示)、以及至少一金屬導電層(圖未示)，以做為閘極結構。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 至 7 圖顯示一依據本發明之實施例之於共同基底上製造雙閘極與三閘極電晶體的方法的剖面示意圖。

第 8 圖顯示一對應於第 7 圖的立體示意圖。

第 9 圖顯示一依據本發明之另一實施例之於共同基底上製造雙閘極與三閘極電晶體的方法的剖面示意圖。

第 10 圖顯示一對應於第 9 圖的立體示意圖。

【主要元件符號說明】

10	基底	12	第一鰭狀結構
14	第二鰭狀結構	16	絕緣層
18	第一遮罩層	20	第二遮罩層
22	光阻層	24	閘極材料層
26、34	遮罩層	28、36	三閘極結構
30、32	閘極	38	雙閘極結構

七、申請專利範圍：

1. 一種於共同基底上製造雙閘極與三閘極電晶體的方法，包括：
提供一基底，其包括一第一鰭狀結構及一第二鰭狀結構，並且一第一遮罩層覆蓋該第一鰭狀結構，一第二遮罩層覆蓋該第二鰭狀結構；
移除該第一遮罩層；

形成一閘極材料層以覆蓋該第一鰭狀結構及該第二遮罩層；

將該閘極材料層圖案化以形成一包覆該第一鰭狀結構的三閘極結構及一包覆該第二鰭狀結構與該第二遮罩層的雙閘極結構；及

各於該三閘極結構二側的該第一鰭狀結構中及該雙閘極結構二側的該第二鰭狀結構中形成二源/汲極。

2. 如請求項 1 所述之方法，其中，提供一基底的步驟包括：

於該基底上形成一圖案化之遮罩，其包括該第一遮罩層及該第二遮罩層；及

經由該圖案化之遮罩對該基底蝕刻，以形成該第一鰭狀結構及該第二鰭狀結構，其中該第一遮罩層覆蓋該第一鰭狀結構，及該第二遮罩層覆蓋該第二鰭狀結構。

3. 如請求項 1 所述之方法，進一步，於移除該第一遮罩層之前，包括：

形成一平坦化之絕緣層覆蓋該基底，而露出該第一遮罩層及該第二遮罩層；

以及，於移除該第一遮罩層之後，包括：

將該絕緣層回蝕刻至一厚度，以做為一隔離結構，並露出該第一鰭狀結構的上部及該第二鰭狀結構的上部。

4. 如請求項 3 所述之方法，其中，形成該平坦化之絕緣層的步驟包括：

於該基底上形成一絕緣層覆蓋該第一遮罩層及該第二遮罩層；及
進行一化學機械研磨製程以形成該平坦化之絕緣層並露出該第一遮罩層及該第二遮罩層。

5. 如請求項 3 所述之方法，其中，移除該第一遮罩層的步驟包括：
於該第二遮罩層上形成一光阻層；

進行一蝕刻製程以移除該第一遮罩層；及
移除該光阻層。

6. 如請求項 1 所述之方法，進一步，於移除該第一遮罩層之前，包括：

形成一絕緣層覆蓋該基底；及

將該絕緣層回蝕刻至一厚度，以做為一隔離結構，並露出該第一鰭狀結構的上部及該第二鰭狀結構的上部。

7. 如請求項 1 所述之方法，進一步，於移除該第一遮罩層之後，包括：

形成一絕緣層覆蓋該基底；及

將該絕緣層回蝕刻至一厚度，以做為一隔離結構，並露出該第一鰭狀結構的上部及該第二鰭狀結構的上部。

8. 如請求項 1 所述之方法，其中，移除該第一遮罩層的步驟包括：

於該第二遮罩層上形成一光阻層；

進行一蝕刻製程以移除該第一遮罩層；及

移除該光阻層。

9. 如請求項 1 所述之方法，其中，將該閘極材料層圖案化以形成該

三閘極結構及該雙閘極結構的步驟包括：

將該閘極材料層平坦化；

於該閘極材料層上形成一圖案化的第三遮罩層；及

經由該第三遮罩層蝕刻該閘極材料層。

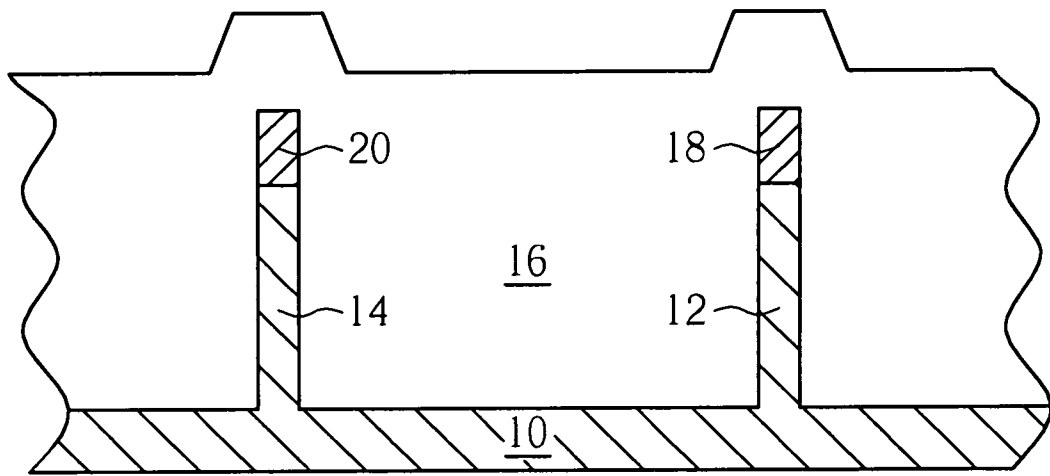
10. 如請求項 9 所述之方法，其中，將該閘極材料層平坦化並露出該第二遮罩層。

11. 如請求項 9 所述之方法，其中，將該閘極材料層平坦化但不露出該第二遮罩層。

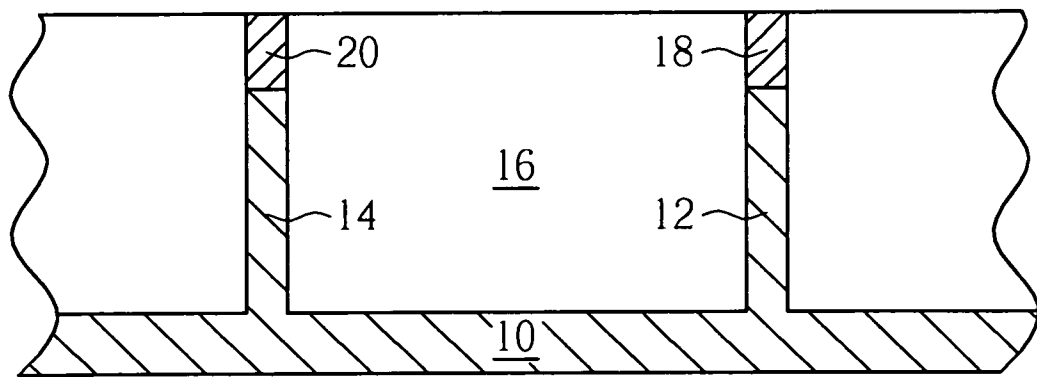
12. 如請求項 9、10 或 11 所述之方法，其中，將該閘極材料層平坦化的步驟包括對該閘極材料層進行一化學機械研磨製程。

13. 如請求項 1 所述之方法，進一步，於該第一鰭狀結構之二側壁與頂表面上及該第二鰭狀結構之二側壁上形成一閘極介電層。

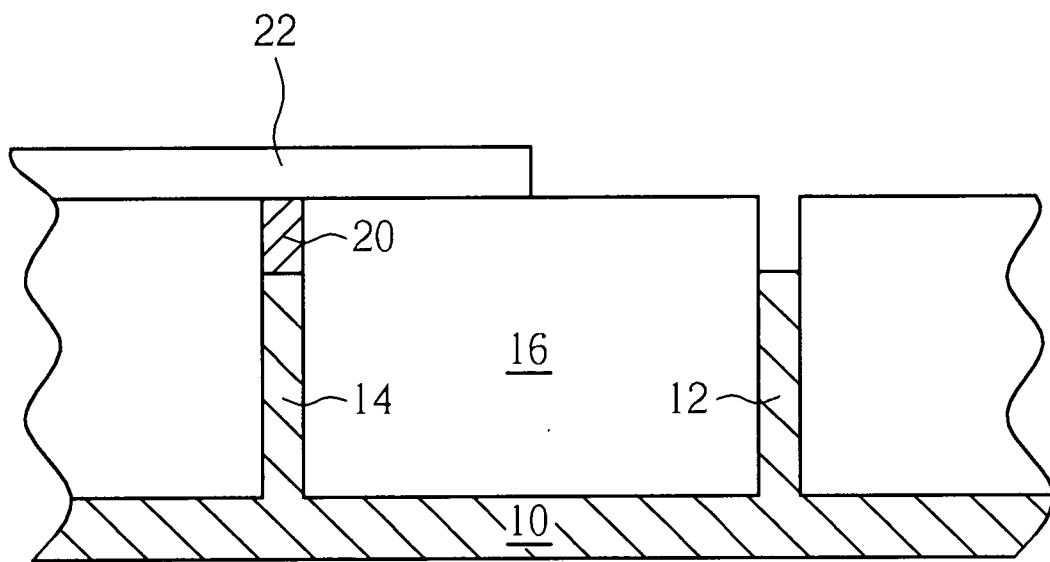
八、圖式：



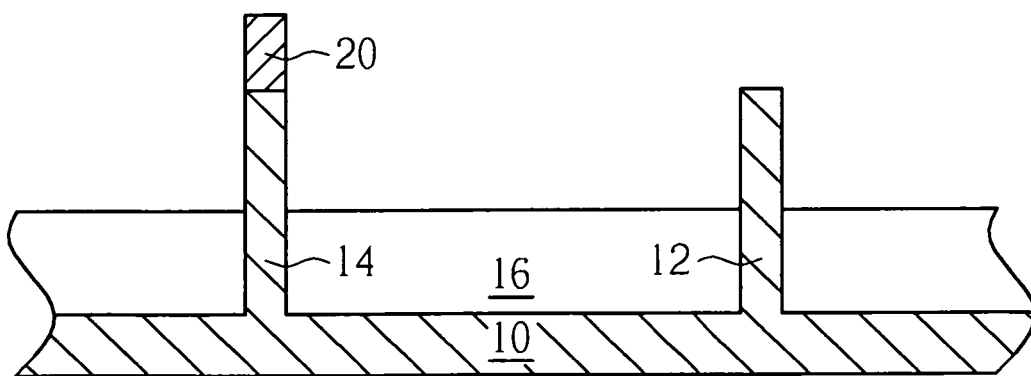
第1圖



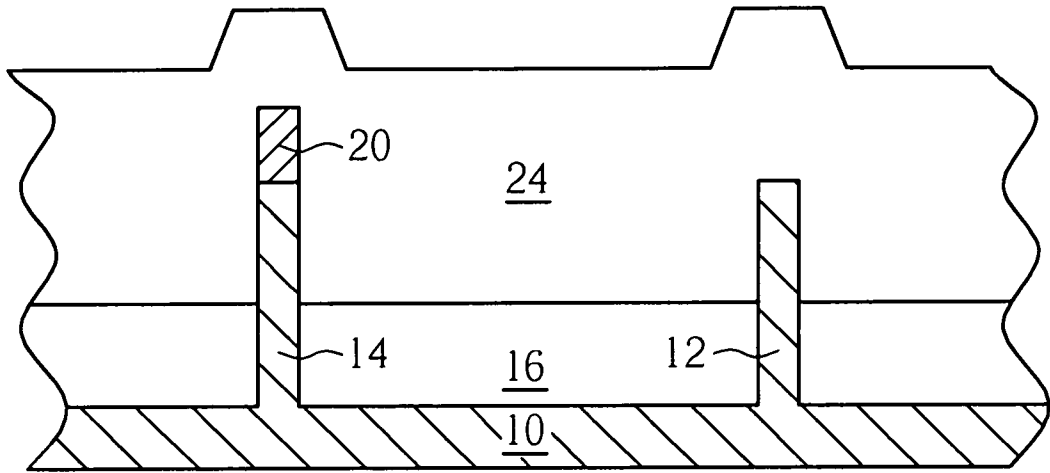
第2圖



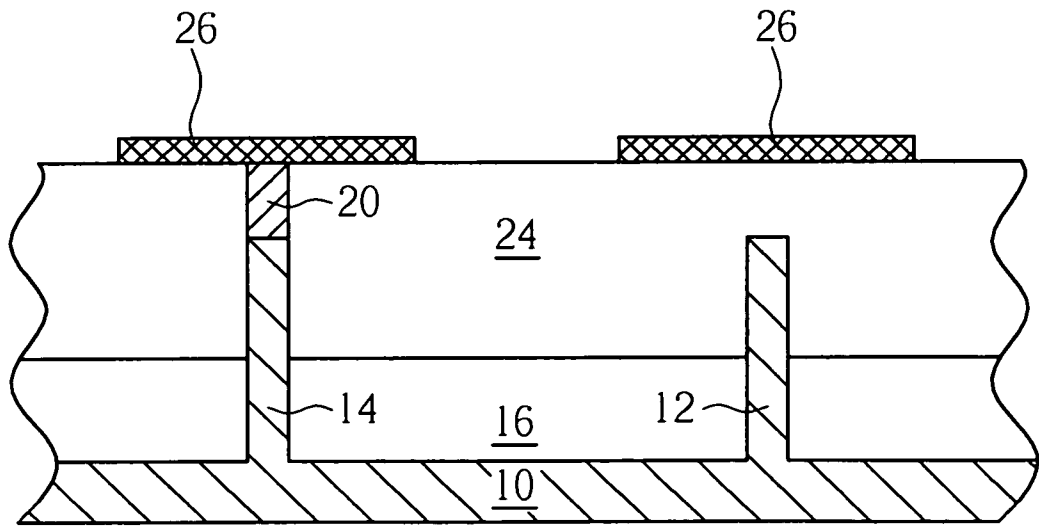
第3圖



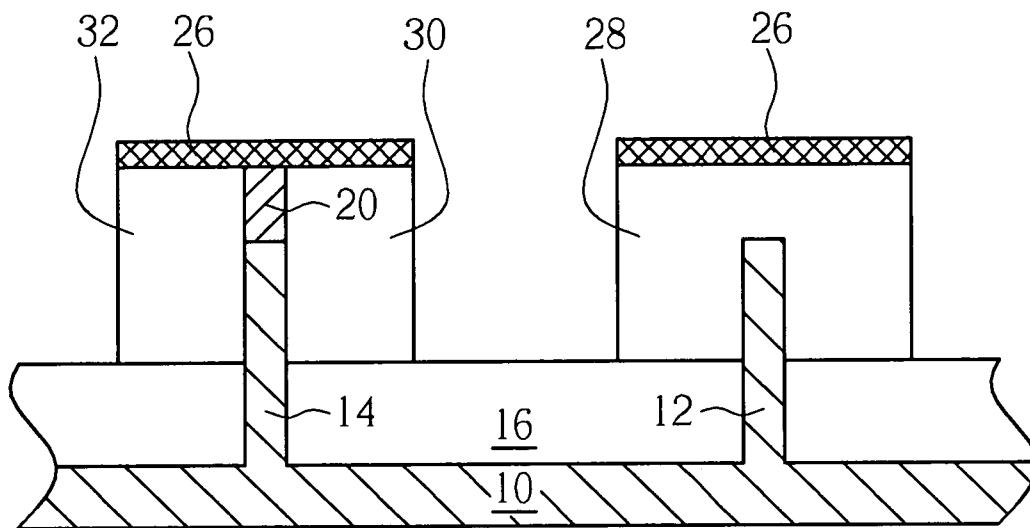
第4圖



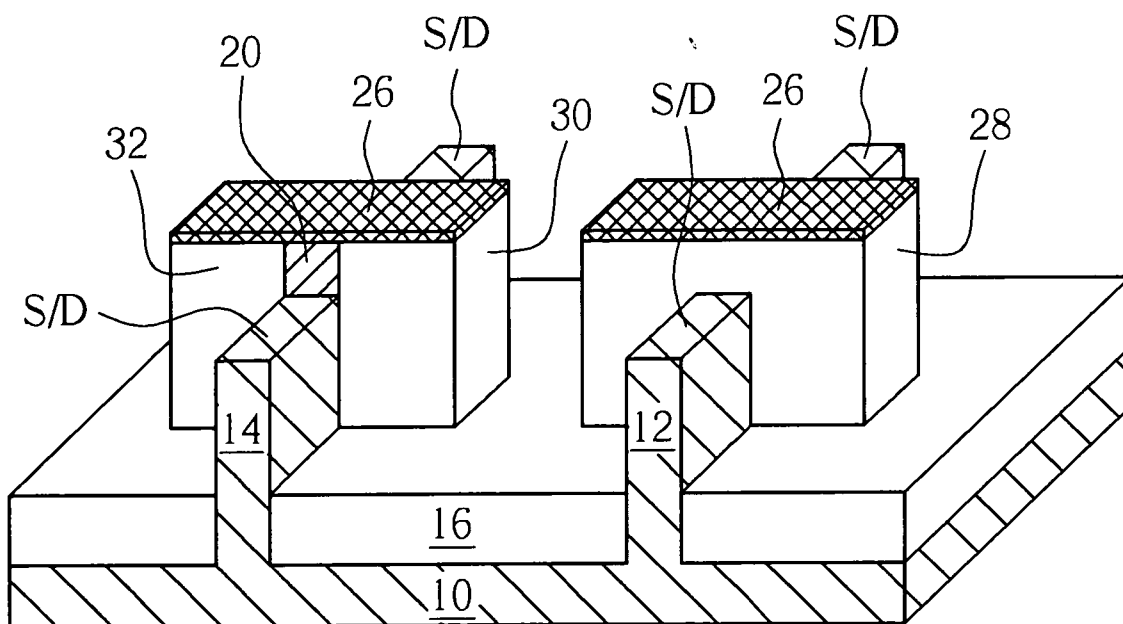
第5圖



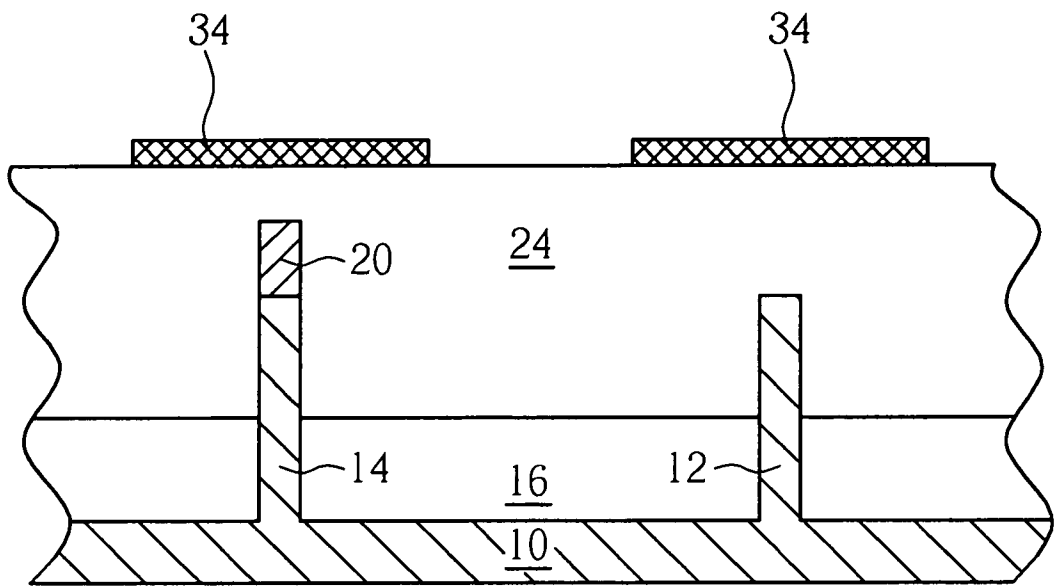
第6圖



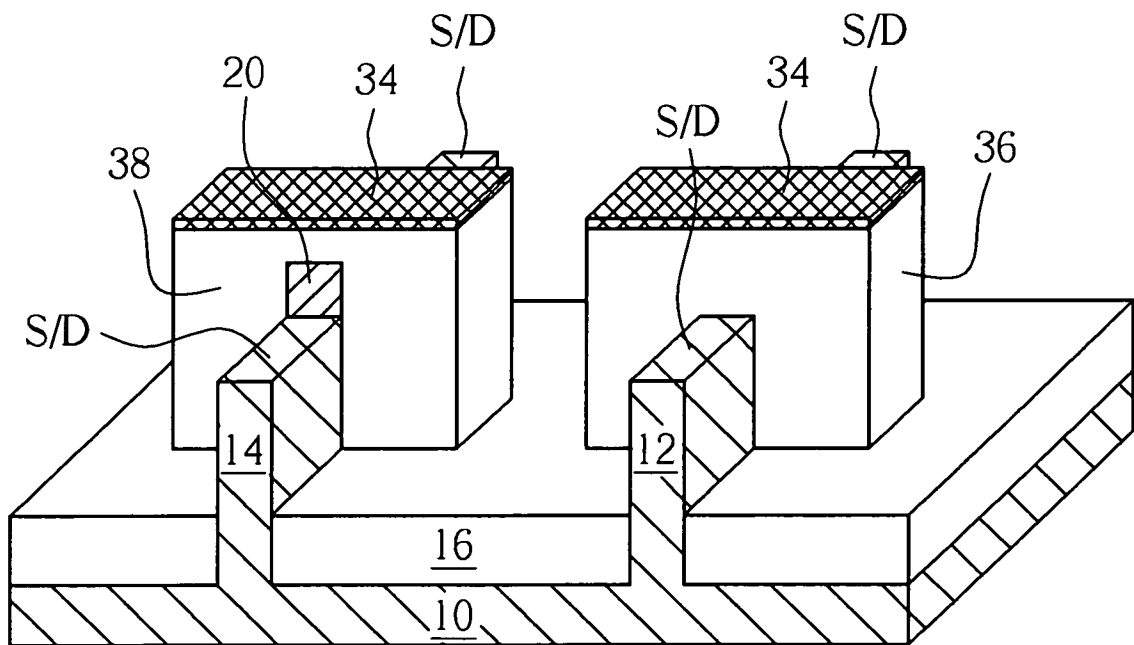
第7圖



第8圖



第9圖



第10圖