

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/768

H01L 21/28 H01L 21/302



[12] 发明专利说明书

[21] ZL 专利号 98115222.8

[43] 授权公告日 2003 年 7 月 23 日

[11] 授权公告号 CN 1115724C

[22] 申请日 1998.6.24 [21] 申请号 98115222.8

[71] 专利权人 台湾积体电路制造股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 何青原

审查员 张 莉

[74] 专利代理机构 北京市柳沈律师事务所

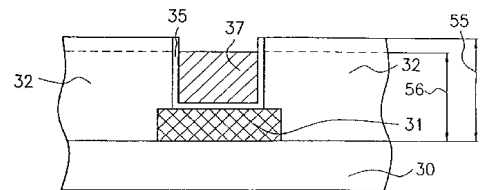
代理人 陶凤波

权利要求书 2 页 说明书 3 页 附图 4 页

[54] 发明名称 插塞的制造方法

[57] 摘要

一种插塞的制造方法，包括下列步骤：首先提供基底，此基底上形成有介电层，介电层上形成有开口，开口暴露出基底上用来导通其它结构的区域。然后形成黏着层覆盖开口中用来导通其它结构的区域。接着形成插塞物质层于开口中，并且蚀刻插塞物质层以形成插塞，使插塞的高度约低于介电层，以及以对介电层比对该插塞物质层具有高选择比的蚀刻法蚀介电层，使介电层的高度约等于插塞。



ISSN 1008-4274

1. 一种插塞的制造方法，包括下列步骤：
提供一基底，该基底上形成有一介电层，其中该介电层上形成有一开口，并且该开口暴露出所述基底上一设置用来电性导通的区域；
形成一黏着层，覆盖所述基底上的设置用来电性导通的区域，所述开口中介电层的侧壁，以及介电层；
在开口中形成一插塞物质层，插塞物质层填满所述开口；
回蚀插塞物质层，使开口中插塞物质层的高度低于介电层，借以形成插塞；以及
蚀刻介电层，使该介电层的高度相当于插塞的高度。
2. 如权利要求1所述的插塞的制造方法，其中，所述基底上形成有一底部金属层，以及所述介电层覆盖该底部金属层。
3. 如权利要求2所述的插塞的制造方法，其中，所述设置用来电性导通的区域为一底部金属层。
4. 如权利要求1所述的插塞的制造方法，其中，所述插塞物质层的材质包括钨。
5. 如权利要求1所述的插塞的制造方法，其中，所述插塞物质层的材质包括铝。
6. 如权利要求1所述的插塞的制造方法，其中，所述介电层的材质为二氧化硅。
7. 如权利要求1所述的插塞的制造方法，其中，所述黏着层的材质为钛/氮化钛。
8. 如权利要求1所述的插塞的制造方法，其中，形成所述黏着层的方法包括下列步骤：
于所述开口中沉积一钛层，覆盖所述设置用来电性导通的区域、开口中所述介电层的侧壁与所述介电层；以及
形成一氮化钛层覆盖所述钛层表面。
9. 如权利要求8所述的插塞的制造方法，其中，形成所述氮化钛层的方法包括反应溅射法。

10. 如权利要求8所述的插塞的制造方法,其中,形成所述氮化钛层的方法包括氮化反应法。

11. 如权利要求1所述的插塞的制造方法,其中,形成所述插塞物质层的方法为化学气相沉积法。

5 12. 如权利要求1所述的插塞的制造方法,其中,回蚀所述插塞物质层的方法为干蚀刻法。

13. 如权利要求1所述的插塞的制造方法,其中,蚀刻所述介电层的方法包括使用对所述介电层比对所述插塞物质层具有高选择比的蚀刻法。

10 14. 如权利要求13所述的插塞的制造方法,其中,所述蚀刻法包括以 $C_4F_8/CO/Ar/O_2$ 气体作为蚀刻气体。

15. 如权利要求1所述的插塞的制造方法,其中,蚀刻所述介电层的步骤之后,还包括形成一金属层覆盖所述插塞。

15

插塞的制造方法

5 本发明涉及一种半导体的制作工艺，特别涉及一种插塞(plug)的制造方法，可避免插塞表面产生凹槽现象。

钨插塞广泛地应用于超大型集成电路的多重内连线(Interconnection)上。而且目前最重要的就是如何控制钨回蚀(etch back)制作工艺所产生的凹槽(recess)现象。在钨回蚀过程中，为了完全去除晶片上的残留钨金属，需要进行长时间的过蚀刻(overetching)步骤，以避免产生电流短路。然而，过蚀刻的时间越长，则钨插塞的凹槽现象越严重。而且当半导体结构需要多层的堆叠结构时，则凹槽现象会越来越严重。凹槽现象会导致半导体元件的电性变差或者合格率降低。而现有的化学机械研磨法(chemical mechanical polishing, CMP)虽然可以减轻这种凹槽现象，但是由于化学机械研磨法的机械太昂贵，
10 因此会增加制造成本。
15

图 1A ~ 1D 表示现有插塞的制造流程剖面图。请参照图 1，首先提供一基底 10，此基底 10 例如形成有一底部金属层 12，底部金属层 12 是设置用来导通其它结构的区域。然后以化学气相沉积(CVD)法形成一层介电层 14 覆盖基底结构。接着，以传统的微影蚀刻技术对介电层 14 构图以形成一开口 16 暴露出底部金属层 12。
20

请参照图 1B，形成一层黏着层(glue layer)18，覆盖开口 16 中的底部金属层 12 与介电层 14 以及介电层 14 的侧壁。黏着层 18 的目的在于增加后续制作工艺中插塞物质的黏着性，以及作为蚀刻中止层之用。其中，黏着层的材质例如为钛(Ti)/氮化钛(TiN)。其形成方法为先沉积一层钛覆盖该底部金属层 12、开口 16 中介电层 14 的侧壁与介电层 14。然后以氮化反应的方式或者是以反应溅射的方式来沉积一层氮化钛覆盖钛层。接着，以化学气相沉积法沉积插塞物质 20 覆盖介电层 14 上的黏着层 18 与开口 16 中的黏着层 18。其中插塞物质 20 的材质例如为钨，或者为铝。
25

请参照图 1C，以各向异性的干蚀刻法或化学机械研磨法回蚀插塞物质 20，并完全去除插塞物质 20 以暴露出介电层 14，使得插塞物质 20 形成插
30

塞，然而此现有技术的缺点为插塞的表面上会产生凹槽 22。

5 请参照图 1D，接着，进行后续的制作工艺，例如形成一层金属层 24 覆盖插塞，以形成底部金属层 12/插塞/金属层 24 的堆叠结构。由于插塞上产生凹槽 22，因此覆盖插塞的金属层 24 上也会有凹槽 26 产生。当半导体结构需要多层的堆叠结构时，则凹槽现象会越来越严重。而且在后续的沉积另一层介电层覆盖此具有凹槽的金属层 24 时，则会导致介电物质残留在金属层 24 的凹槽中，而无法清除干净，导致电性变差或者合格率降低。

10 因此，本发明的主要目的在于提供一种插塞的制造方法，以改善插塞的凹槽现象，以避免电性变差或者合格率降低，而且不须使用化学机械研磨法的机械装置，即可制造无凹陷现象的插塞。

15 根据本发明的主要目的，提供一种插塞的制造方法，包括下列步骤：首先提供一基底，此基底上形成有一介电层，其中介电层上形成有一开口，并且此开口暴露出基底上一用来导通其它结构的区域。然后形成一黏着层覆盖开口中用来导通其它结构的区域、开口中介电层的侧壁与介电层。接着于开口中形成插塞物质层，并填满开口。然后回蚀插塞物质层，使开口中的插塞物质层的高度约低于介电层的高度，以及使用对介电层比对插塞物质层具有高选择比的蚀刻法蚀刻介电层，使介电层的高度约等于插塞物质层。

20 本发明的特征是利用介电层对插塞物质的高选择性蚀刻法，将介电层回蚀至插塞的高度，如此可避免开口中的插塞表面与后续制作工艺所沉积的金属层表面产生凹槽现象。并避免半导体元件的电性变差与合格率降低。而且不须使用化学机械研磨法的机械装置，即可制造无凹槽现象的插塞。

下面结合附图和实施例对本发明作进一步详细的说明，其中：

图 1A ~ 1D 表示传统插塞的制造流程剖面图；以及

图 2A ~ 2E 表示本发明一优选实施例的一种插塞的制造流程剖面图。

25 请参照图 2A，图 2A ~ 2E 表示本发明一优选实施例的一种插塞的制造流程剖面图。首先提供一基底 30，此基底 30 例如形成有一底部金属层 31，底部金属层 31 是设置用来导通其它结构的区域，其材质例如可为铝合金。然后使用相同于现有技术的化学气相沉积法形成一层介电层 32 覆盖基底结构，介电层 32 的材质例如可为二氧化硅。然而在本发明中，介电层 32 的高度(标号 55)约高于预设的高度(标号 56)。接着，以传统的微影蚀刻技术对介电层 32 构图以形成一开口 33 从而暴露出底部金属层 31。本实施例中用来

30

导通其它结构的区域以底部金属层 31 为例。然而本发明不限于此，开口 33 也可以例如用来暴露出基底 30 上的源/漏极区(未显示)，此源/漏极区是设置用来导通其它结构的区域。

5 请参照图 2B，接着，形成一层黏着层 35 于开口 33 中，覆盖底部金属层 31、开口 33 中介电层 32 的侧壁与介电层 32。黏着层 35 的目的在于增加后续制作工艺中插塞物质的黏着性，以及作为蚀刻中止层之用。其中，黏着层的材质例如为钛/氮化钛堆叠结构。其形成方法为先沉积一层钛覆盖该底部金属层 31、开口 33 中介电层 32 的侧壁与介电层 32，然后以氮化反应的方式或者是以反应溅射的方式来沉积一层氮化钛覆盖钛层。接着，例如以化学气相沉积法沉积插塞物质 37 覆盖介电层 32 上的黏着层 35 与开口 33 中的黏着层 35。其中插塞物质 37 的材质例如为钨，或者为铝。

请参照图 2C，以各向异性的干蚀刻法回蚀插塞物质 37 以形成插塞。在本发明中，回蚀后的插塞物质 37 的高度约等于介电层 32 的预设高度 56。换句话说，插塞的高度约等于介电层 32 的预设高度 56。

15 请参照图 2D，然后使用对介电层 32 的选择比比对插塞物质 37 的选择比高的蚀刻法。若介电层 32 的材质为二氧化硅，且插塞物质 37 为钨，则例如可以使用 $C_4F_8/CO/Ar/O_2$ 气体作为蚀刻气体。由于这些蚀刻气体蚀刻介电层 32 的速度较快，因此可使得介电层 32 的高度约等于插塞的高度，亦即等于介电层 32 的预设高度 56。

20 请参照图 2E，接着进行后续的制作工艺，例如以化学气相沉积法沉积一层金属层 39 覆盖插塞，金属层 39 的材质例如为铝合金。

25 本发明的特征是利用介电层 32 相对于插塞物质 37 的高选择性蚀刻法，将介电层 32 回蚀至插塞的高度，如此可避免开口 33 中的插塞表面与后续制作工艺所沉积的金属层 39 表面产生凹槽现象。并避免半导体元件的电性偏差与合格率降低。而且不须使用昂贵的进行化学机械研磨的机械，即可制造无凹槽现象的插塞，以降低制造成本。

虽然本发明已结合一优选实施例进行了说明，然其并非用以限定本发明，对于本领域技术人员来说，在不脱离本发明的精神和范围的情况下，可以作出各种改进。

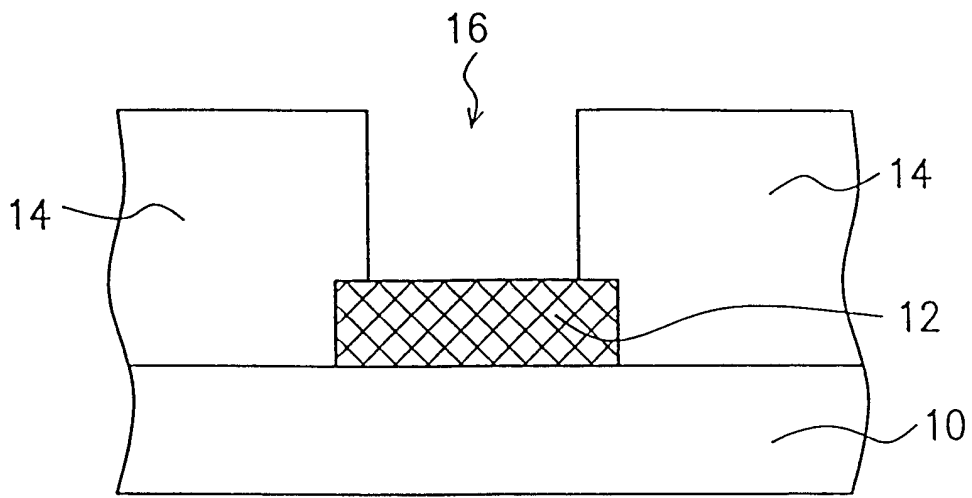


图 1A

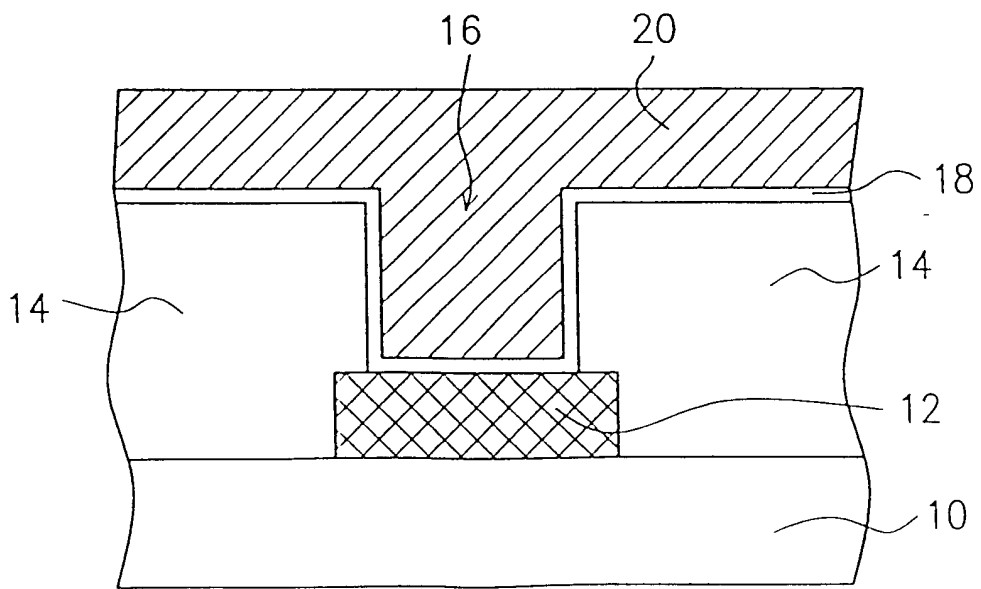


图 1B

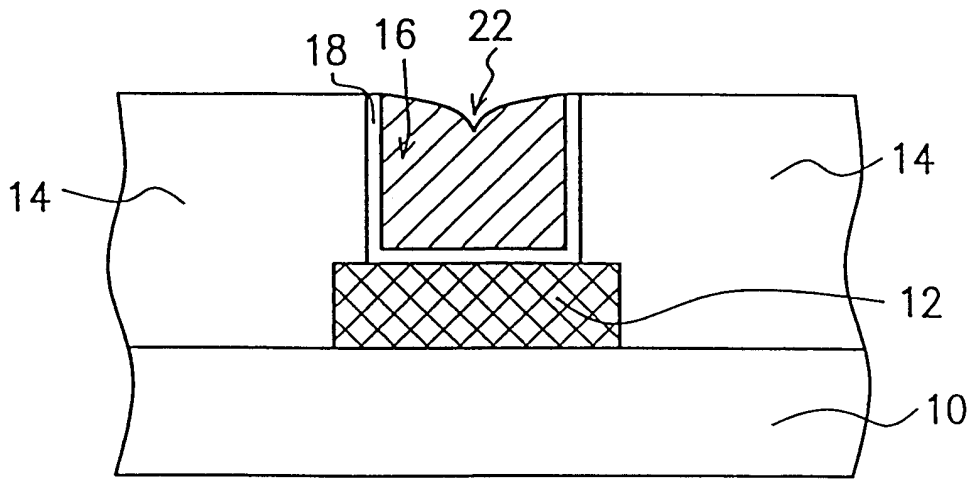


图 1C

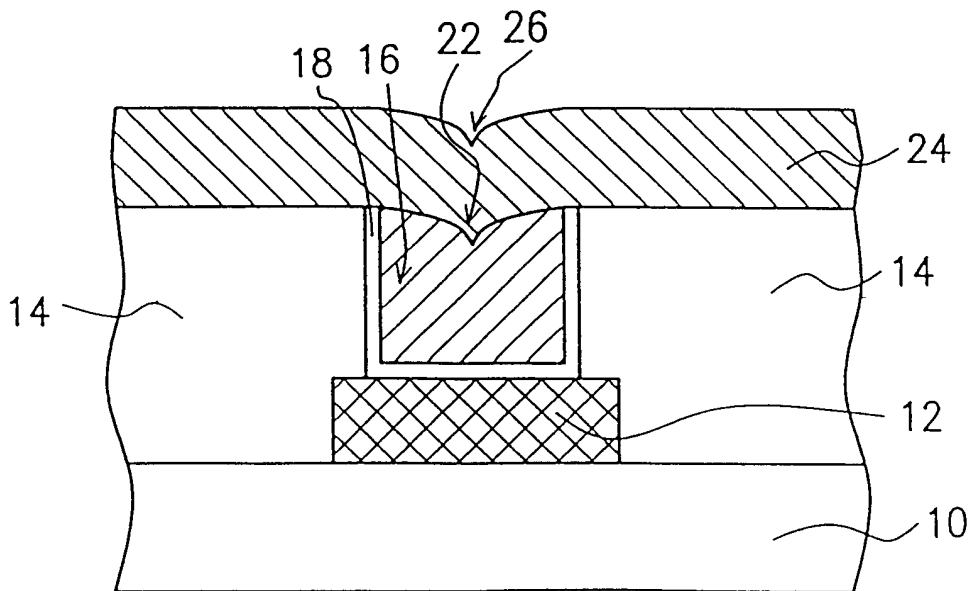


图 1D

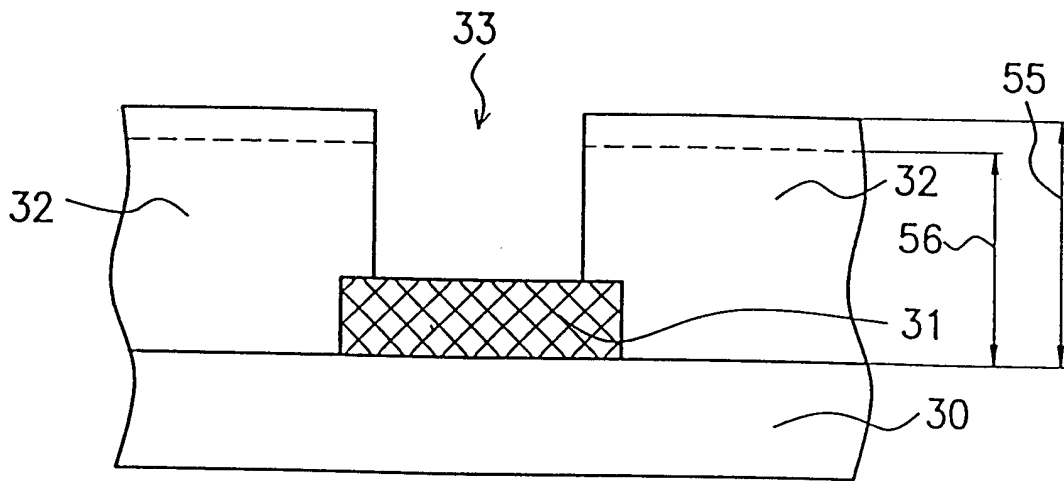


图 2A

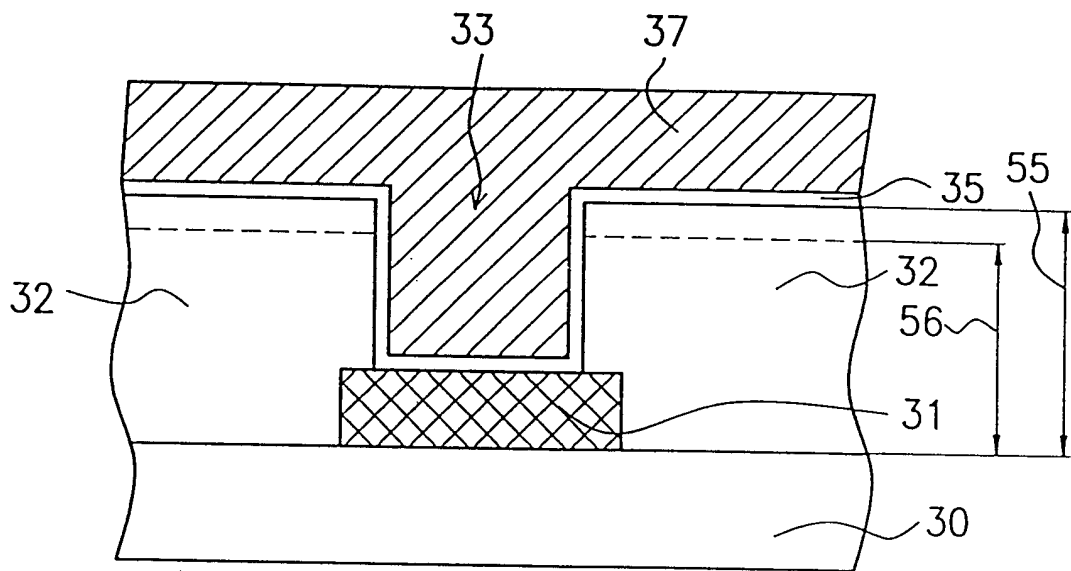


图 2B

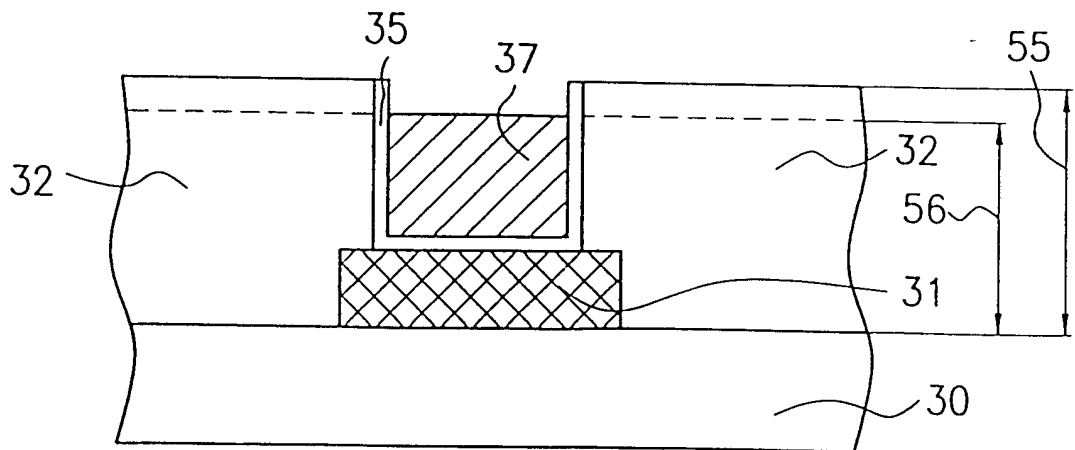


图 2C

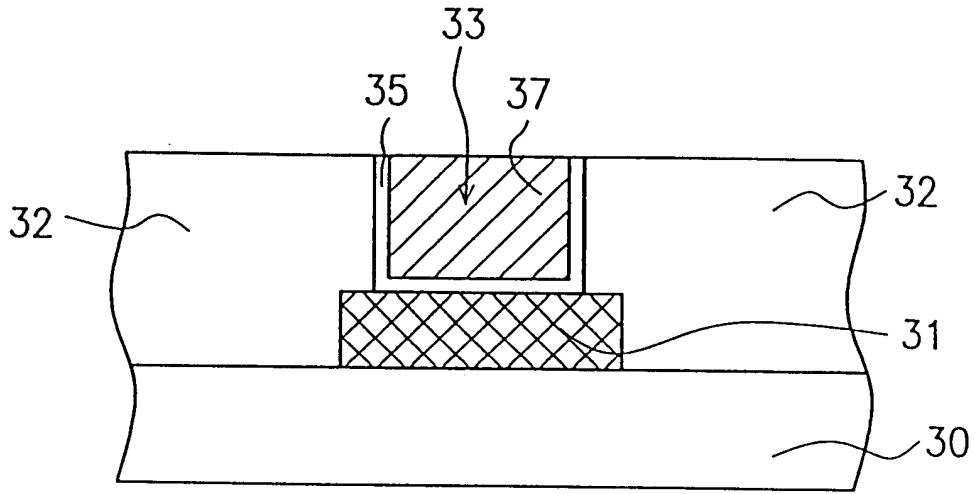


图 2D

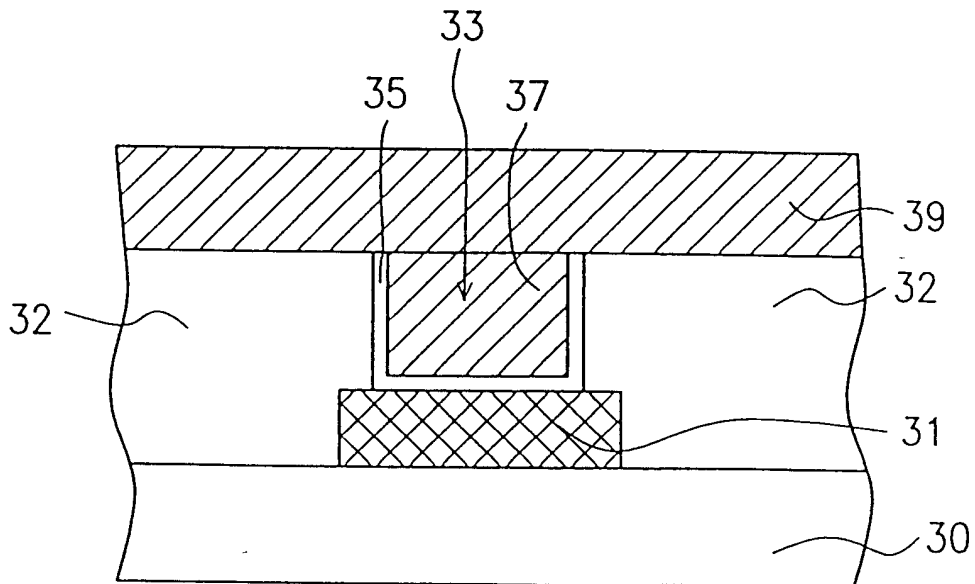


图 2E