

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5562631号
(P5562631)

(45) 発行日 平成26年7月30日(2014.7.30)

(24) 登録日 平成26年6月20日(2014.6.20)

(51) Int.Cl.	F I
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 C
HO 1 L 21/822 (2006.01)	HO 1 L 27/06 I O 2 A
HO 1 L 27/06 (2006.01)	HO 1 L 21/88 R
HO 1 L 21/8234 (2006.01)	
HO 1 L 21/3205 (2006.01)	

請求項の数 6 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2009-295242 (P2009-295242)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成21年12月25日(2009.12.25)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2011-134997 (P2011-134997A)	(74) 代理人	100080001 弁理士 筒井 大和
(43) 公開日	平成23年7月7日(2011.7.7)	(72) 発明者	金子 義之 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
審査請求日	平成24年8月20日(2012.8.20)	(72) 発明者	能宗 弘安 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
		(72) 発明者	堀田 勝彦 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板の主面上に形成された下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とからなる容量素子を備えた半導体装置であって、

前記下部電極は、前記半導体基板の主面上の絶縁膜に形成された電極溝の内部に埋め込まれた第1金属膜によって構成されており、

前記電極溝は、第1角度の傾斜を有して加工された上部と、第1角度よりも大きい角度の第2角度を有して加工された下部とからなり、

前記上部電極は、第2金属膜と、前記第2金属膜上に形成された第3金属膜との積層膜によって構成されており、

前記第3金属膜自体が酸化されて、前記第2金属膜への大気中の酸素の拡散を抑制することを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、前記第3金属膜はTi膜、またはTi膜とTiN膜とからなる積層膜であることを特徴とする半導体装置。

【請求項3】

請求項1記載の半導体装置において、前記第3金属膜の厚さは5~15nmであることを特徴とする半導体装置。

【請求項4】

請求項1記載の半導体装置において、前記第2金属膜はTiN膜であることを特徴とする半導体装置。

【請求項5】

請求項1記載の半導体装置において、前記第1金属膜と前記電極溝の側面との間にバリアメタル膜が形成されていることを特徴とする半導体装置。

【請求項6】

請求項5記載の半導体装置において、前記第1金属膜はW膜であり、前記バリアメタル膜は、TiN膜、またはTi膜とTiN膜とからなる積層膜であることを特徴とする半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、MIM (Metal Insulator Metal) 構造の容量素子を有する半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

例えば特開2003-218214号公報(特許文献1)には、下部電極と容量絶縁膜と上部電極とを備えたMIM型容量素子を有し、上部電極は多結晶構造を有して少なくとも2層以上の結晶粒形状の異なる導電膜を積層した積層膜から構成された半導体装置が開示されている。

20

【0003】

また、特開2008-210996号公報(特許文献2)には、容量素子を構成する金属材料からなる下部電極の上層に設けられた上層バリア膜の膜厚を、110nm以上とすることにより、上層バリア膜のクラックに起因する容量絶縁膜の絶縁耐圧の低下を防止する技術が開示されている。

【0004】

また、特開2007-23380号公報(特許文献3)には、基板処理システムにおいて、化学気相蒸着処理チャンバで基板上に1つまたは複数のシリコン含有層を蒸着した後、真空を破ることなく基板を移動し、さらに物理気相蒸着処理チャンバでシリコン含有層の表面に1つまたは複数の金属含有層を含む積層膜を処理する方法が開示されている。

30

【0005】

また、特開2005-142337号公報(特許文献4)には、上部電極上に酸化防止膜が形成されたMIM構造の容量素子が開示されている。

【0006】

また、特開2006-319174号公報(特許文献5)には、層間絶縁膜の電極溝内に形成された下部電極と、下部電極上に形成された誘電膜と、誘電膜上に形成された上部電極とからなるMIM構造を有する容量素子が開示されており、上部電極および誘電膜は下部電極よりも大きい面積で形成され、下部電極の全体が上部電極および誘電膜の内側に配置されることが記載されている。

【先行技術文献】

40

【特許文献】

【0007】

【特許文献1】特開2003-218214号公報

【特許文献2】特開2008-210996号公報

【特許文献3】特開2007-23380号公報

【特許文献4】特開2005-142337号公報

【特許文献5】特開2006-319174号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

50

近年、LSI (Large Scale Integration) システムの高速性能化および低消費電力化などのニーズから、寄生抵抗および寄生容量を低減できるMIM構造の容量素子が半導体装置に用いられている。

【0009】

しかしながら、MIM構造の容量素子については、以下に説明する種々の技術的課題が存在する。

【0010】

MIM構造の容量素子は、金属膜からなる下部電極と、下部電極上に形成された容量絶縁膜と、容量絶縁膜上に形成された金属膜からなる上部電極とから構成される。本発明者らは、上部電極に、例えばスパッタリング法により形成されるTiN (窒化チタン) 膜、下部電極に、例えばCVD (Chemical Vapor Deposition) により形成されるW (タンゲステン) 膜、容量絶縁膜に、例えばプラズマCVD法により形成される窒化シリコン膜を用いたMIM構造の容量素子を製造している。

【0011】

ところが、上記MIM構造を有する複数の容量素子を製造した後、大気中に室温で放置すると、容量素子のなかには、放置時間に依存してリーク電流が増加するものがあることが明らかとなった。すなわち、製造直後では、全ての容量素子のリーク電流は 1×10^{-11} A以下であり、問題とはならなかった。しかし、例えば100時間放置したときの複数の容量素子のリーク電流は 1×10^{-12} A ~ 1×10^{-7} Aの範囲でばらつき、さらに200時間放置したときの複数の容量素子のリーク電流は 1×10^{-12} A ~ 1×10^{-5} Aの範囲でばらつき、放置時間が長くなるに従ってリーク電流が増加し、ばらつきの幅も大きくなることが分かった。

【0012】

本発明の目的は、MIM構造の容量素子を有する半導体装置において、容量素子の信頼性を向上させることのできる技術を提供することにある。

【0013】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0014】

本願において開示される発明のうち、代表的なものの一実施の形態を簡単に説明すれば、次のとおりである。

【0015】

この実施の形態は、半導体基板の主面上に形成された下部電極と、下部電極上に形成された容量絶縁膜と、容量絶縁膜上に形成された上部電極とからなるMIM構造の容量素子を備えた半導体装置である。下部電極は、半導体基板の主面上の絶縁膜に形成された電極溝の内部に埋め込まれたW膜によって構成され、上部電極は、TiN膜と、TiN膜上に形成されたTi膜との積層膜によって構成されている。

【0016】

また、この実施の形態は、半導体基板の主面上に形成された下部電極と、下部電極上に形成された容量絶縁膜と、容量絶縁膜上に形成された上部電極とからなるMIM構造の容量素子を備えた半導体装置である。下部電極は、半導体基板の主面上の絶縁膜に形成された電極溝の内部に埋め込まれたW膜によって構成され、上部電極は、TiN膜と、Ti膜と、TiN膜とを大気中にさらすことなく連続して堆積した積層膜によって構成されている。

【0017】

また、この実施の形態は、半導体基板の主面上に形成された下部電極と、下部電極上に形成された容量絶縁膜と、容量絶縁膜上に形成された上部電極とからなるMIM構造の容量素子を備えた半導体装置である。下部電極は、半導体基板の主面上の絶縁膜に形成された電極溝の内部に埋め込まれたW膜によって構成されており、その電極溝の側面上部に傾

10

20

30

40

50

斜が形成されている。

【発明の効果】

【0018】

本願において開示される発明のうち、代表的なものの一実施の形態によって得られる効果を簡単に説明すれば以下のとおりである。

【0019】

MIM構造の容量素子を有する半導体装置において、上部電極の酸化により生じるストレス変動に起因した容量絶縁膜の劣化を防いで容量素子の信頼性を向上させることができる。

【図面の簡単な説明】

10

【0020】

【図1】本発明者らが検討したMIM構造の容量素子の要部平面図である。

【図2】図1のA-A線に沿った要部断面図である。

【図3】本発明者らが検討した複数のMIM構造の容量素子で得られたリーク電流と放置時間との関係を示すグラフ図である。

【図4】リーク電流が増加したMIM構造の容量素子の一部を拡大して示す要部断面の模式図である。

【図5】本発明の実施の形態1によるMIM構造の容量素子の製造工程の一例を示す工程フロー図である。

【図6】本発明の実施の形態1によるMIM構造の容量素子を有する半導体装置の製造方法を示す半導体装置の要部断面図である。

20

【図7】図6に続く半導体装置の製造工程中の図6と同じ箇所の要部断面図である。

【図8】図7に続く半導体装置の製造工程中の図6と同じ箇所の要部断面図である。

【図9】図8に続く半導体装置の製造工程中の図6と同じ箇所の要部断面図である。

【図10】図9に続く半導体装置の製造工程中の図6と同じ箇所の要部断面図である。

【図11】本発明の実施の形態1によるMIM構造の容量素子のリーク電流のばらつき分布を説明するグラフ図である。

【図12】図10に続く半導体装置の製造工程中の図6と同じ箇所の要部断面図である。

【図13】図12に続く半導体装置の製造工程中の図6と同じ箇所の要部断面図である。

【図14】本発明の実施の形態2によるMIM構造の容量素子を示す要部断面図である。

30

【図15】本発明の実施の形態2によるMIM構造の容量素子のリーク電流のばらつき分布を説明するグラフ図である。

【図16】本発明の実施の形態3によるMIM構造の容量素子の配線溝を説明する配線溝の要部断面の拡大模式図である。

【図17】本発明の実施の形態3によるMIM構造の容量素子を示す要部断面図である。

【図18】本発明の実施の形態4によるMIM構造の容量素子を示す要部断面図である。

【発明を実施するための形態】

【0021】

以下の実施の形態において、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

40

【0022】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとす

50

る。このことは、上記数値および範囲についても同様である。

【0023】

また、以下の実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。また、以下の実施の形態においては、電界効果トランジスタを代表するMISFET (Metal Insulator Semiconductor Field Effect Transistor) をMISと略し、pチャネル型MISFETをpMISと略し、nチャネル型MISFETをnMISと略す。なお、上記Metalは、金属のみならず、多結晶シリコン等の導電膜をも含むものである。また、以下の実施の形態において、ウエハと言うときは、Si (Silicon) 単結晶ウエハを主とするが、そのみではなく、SOI (Silicon On Insulator) ウエハ、集積回路をその上に形成するための絶縁膜基板等を指すものとする。その形も円形またはほぼ円形のみでなく、正方形、長方形等も含むものとする。また、以下の実施の形態において、窒化シリコン膜と言うときは、化学量論的組成 (Si_3N_4) の絶縁膜は勿論であるが、そのみではなく、シリコンの窒化物で類似組成の絶縁膜を含むものとし、酸化シリコン膜と言うときは、化学量論的組成 (SiO_2) の絶縁膜は勿論であるが、そのみではなく、シリコンの酸化物で類似組成の絶縁膜を含むものとする。

10

【0024】

また、以下の実施の形態を説明するための全図において、同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0025】

20

まず、本発明の実施の形態によるMIM構造の容量素子がより明確となると思われるため、比較例として、本発明者らによって検討された、本発明が適用される前のMIM構造の容量素子において生じるリーク電流の原因について、図1～図4を用いて以下に説明する。図1は本発明者らが検討したMIM構造の容量素子の要部平面図、図2は図1のA-A線に沿った要部断面図、図3は本発明者らが検討した複数のMIM構造の容量素子で得られたリーク電流と放置時間との関係を示すグラフ図、図4はリーク電流が増加したMIM構造の容量素子の一部を拡大して示す要部断面の模式図である。

【0026】

図1および図2に示すように、MIM構造の容量素子は、絶縁膜51に形成した電極溝52の内部に埋め込まれたW膜からなる下部電極53と、下部電極53上に形成された窒化シリコン膜からなる容量絶縁膜54と、容量絶縁膜54上に形成されたTiN膜からなる上部電極55とで構成されている。下部電極53の一部は、電氣的な取り出しに必要な部分を設けるために、絶縁膜51上に乗り上げている。

30

【0027】

上記W膜は、例えばWF₆ (六フッ化タンゲステン) ガスを用いたCVD法により形成され、上記窒化シリコン膜は、例えばプラズマCVD法により形成され、上記TiN膜は、例えばスパッタリング法により形成される。絶縁膜51と下部電極53との間には、下部電極53を形成する際に用いるWF₆ ガスからのWの拡散を防止するためおよび下部電極53を構成するW膜の剥がれを防止するために、Ti (チタン) 膜とTiN膜とを下層から順次積層したバリアメタル膜56が形成されている。

40

【0028】

しかしながら、前述したように、MIM構造の容量素子を製造した後、大気中に室温で放置しておくと、MIM構造の容量素子のなかには、放置時間の経過と共にリーク電流が徐々に増加するものが現れる。リーク電流が増加したMIM構造の容量素子を調べたところ、絶縁膜51上に乗り上げておらず、上部電極55に覆われた下部電極53の端部 (図1および図2に“x”で示す電極溝52の側面上部) において容量絶縁膜54が劣化することが分かった。

【0029】

図3に、複数のMIM構造の容量素子で得られたリーク電流と放置時間との関係を示す。容量絶縁膜 (窒化シリコン膜) の厚さは39nm (比誘電率を考慮したSiO₂膜厚換

50

算値)、上部電極(TiN膜)の厚さは50nmである。また、上部電極と下部電極との間には3.6Vの電圧を印加している。

【0030】

製造直後は、全てのMIM構造の容量素子のリーク電流は 1×10^{-11} A以下である。しかし、放置時間が24時間を超えると、一部のMIM構造の容量素子にリーク電流の増加が見られ、放置時間が100時間を超えると、MIM構造の容量素子のリーク電流は 1×10^{-12} A~ 1×10^{-5} Aの範囲でばらつく。

【0031】

本発明者らは、リーク電流が増加したMIM構造の容量素子について発光解析、TEM(Transmission Electron Microscope)解析、およびシミュレーションによる応力解析等を行った。これら解析結果から、以下に説明する現象が明らかとなった。

10

【0032】

図4に示すように、リーク電流が増加したMIM構造の容量素子では、上部電極55を構成するTiN膜の結晶粒界(grain boundary)57に沿って酸素が検出された。TiN膜は柱状結晶構造であり、結晶粒径が比較的大きい。そのため、大気中の酸素がTiN膜の結晶粒界57に沿って容易に侵入し、上部電極55を酸化したと考えられる。また、シミュレーションによる解析結果からは、上部電極55の酸化が進むと、上部電極55に覆われた下部電極53の端部においてストレス(圧縮応力)が集中し、その圧縮応力を緩和するために、容量絶縁膜54は引っ張られる方向(図2に示す矢印方向)に応力が働くことが分かった。

20

【0033】

ところで、下部電極53を構成するW膜は、絶縁膜51に形成された電極溝52の内部に埋め込まれている。この下部電極53を形成するには、まず、絶縁膜51に形成された電極溝52の内部にバリアメタル膜56を形成する。バリアメタル膜56は、例えばTi膜およびTiN膜を下層からスパッタリング法により順次堆積した積層膜であり、その厚さは、例えば3~5nm程度である。続いて、W膜をCVD法で堆積する。W膜により電極溝52の内部は完全に埋め込まれる。その後、電極溝52の外部のW膜およびバリアメタル膜56をCMP(Chemical Mechanical Polishing)法により除去する。

【0034】

上記CMPの際、電極溝52の側面上部においてスラリが溜まり易いため、この部分において研磨速度が速くなり、W膜およびバリアメタル膜56の一部が他の部分よりも数nm程度深く削られることがある。また、上記CMPの後、スラリを取り除くために行う洗浄においても、露出したバリアメタル膜56が削られることがある。その結果、下部電極53上に形成される容量絶縁膜54は、W膜またはバリアメタル膜56が削られた形状に倣って堆積されるため、電極溝52の側面上部において容量絶縁膜54の一部に窪み、すなわち凹部が形成されることがある。

30

【0035】

そのため、前述した容量絶縁膜54に掛かる引っ張り応力が、主に、電極溝52の側面上部に位置し、他の部分よりも窪んでいる容量絶縁膜54の一部に掛かり、そして、この部分において容量絶縁膜54が劣化して、MIM構造の容量素子のリーク電流が増加すると考えられる。下部電極53上に堆積する容量絶縁膜54の厚さを現状の厚さ(39nm(比誘電率を考慮したSiO₂膜厚換算値))よりも厚い40nm(比誘電率を考慮したSiO₂膜厚換算値)以上とすることにより、容量絶縁膜54の劣化を防ぐことは可能である。しかし、容量絶縁膜54の厚さが厚くなると、容量値が減少するという課題が生じる。

40

【0036】

そこで、本願発明では、上部電極55の酸化を抑制する、または下部電極53のストレス変動に対して容量絶縁膜54が劣化し難いMIM構造とすることにより、容量素子の信頼性を向上する。

【0037】

50

(実施の形態1)

本実施の形態1によるMIM構造の容量素子を有する半導体装置を、その製造方法に従って説明する。図5はMIM構造の容量素子の製造工程の一例を示す工程フロー図、図6～図10、図12および図13は半導体装置の要部断面図、図11はMIM構造の容量素子のリーク電流のばらつき分布を説明するグラフ図である。半導体装置には、種々の半導体素子が形成されるが、ここでは、その一例としてCMOS(Complementary Metal Oxide Semiconductor)デバイスおよびMIM構造の容量素子を示す。

【0038】

まず、図6に示すように、例えば単結晶シリコンからなる半導体基板(円形の薄い板状に加工した半導体ウエハ)1の主面にnMIS(Qn)およびpMIS(Qp)を形成する。図中の符号2は素子分離部、符号3はp型ウェル、符号4はn型ウェルである。素子分離部2は、半導体基板1に形成した溝の内部に絶縁膜を埋め込むことにより形成する。p型ウェル3は半導体基板1にp型不純物(例えばボロン)をイオン注入した後、半導体基板1に熱処理を施してp型不純物を活性化することにより形成する。n型ウェル4は半導体基板1にn型不純物(例えばリン)をイオン注入した後、半導体基板1に熱処理を施してn型不純物を活性化することにより形成する。

【0039】

nMIS(Qn)は、p型ウェル3の表面に形成されたゲート絶縁膜5、ゲート絶縁膜5上に形成されたゲート電極6、ゲート電極6の側壁に形成されたサイドウォール7、ゲート電極6の両側のp型ウェル3に形成された一対のn型半導体領域(ソース、ドレイン)8などによって構成される。同様に、pMIS(Qp)は、n型ウェル4の表面に形成されたゲート絶縁膜5、ゲート絶縁膜5上に形成されたゲート電極6、ゲート電極6の側壁に形成されたサイドウォール7、ゲート電極6の両側のn型ウェル4に形成された一対のp型半導体領域(ソース、ドレイン)9などによって構成される。ゲート絶縁膜5は、例えば酸化シリコン膜または窒化シリコン膜からなる。nMIS(Qn)のゲート電極6は、例えばn型不純物(例えばリン)が導入された多結晶シリコン膜からなり、pMIS(Qp)のゲート電極6は、例えばp型不純物(例えばボロン)が導入された多結晶シリコン膜からなる。サイドウォール7は、例えば窒化シリコン膜からなる。

【0040】

また、nMIS(Qn)のゲート電極6およびn型半導体領域8のそれぞれの表面およびpMIS(Qp)のゲート電極6およびp型半導体領域9のそれぞれの表面には、例えばCoSi(コバルトシリサイド)膜からなるシリサイド膜10が形成されている。

【0041】

次に、図7に示すように、半導体基板1の主面上にCVD法によりエッチングストップ膜11および絶縁膜12を順次堆積した後、絶縁膜12の表面をCMP法により平坦化する。エッチングストップ膜11は、例えば窒化シリコン膜からなり、絶縁膜12は、例えば酸化シリコン膜からなる。続いて、レジストパターンをマスクにして絶縁膜12およびエッチングストップ膜11を順次エッチングすることによりnMIS(Qn)のn型半導体領域8およびpMIS(Qp)のp型半導体領域9などに達する接続孔13を形成した後、接続孔13の内部にプラグ14を形成する。プラグ14は、例えばTiN膜(またはTi膜とTiN膜との積層膜)とW膜とを順次堆積した積層膜で構成する。

【0042】

次に、図8に示すように、半導体基板1の主面上にプラズマCVD法によりエッチングストップ膜15および絶縁膜16を順次堆積する(図5の工程101)。エッチングストップ膜15は、例えば窒化シリコン膜からなり、絶縁膜16は、例えば酸化シリコン膜からなる。続いて、レジストパターンをマスクにして絶縁膜16およびエッチングストップ膜15を順次エッチングすることにより、容量素子の形成領域に電極溝17aを形成し(図5の工程102および103)、また、プラグ14に達する配線溝17bを形成する。配線溝17bの底部にはプラグ14が露出する。

【0043】

10

20

30

40

50

次に、図9に示すように、容量素子の下部電極DEおよび第1層目の配線20を形成する。まず、半導体基板1の主面上にバリアメタル膜18および金属膜19を順次堆積して、電極溝17aおよび配線溝17bの内部を完全に埋め込む(図5の工程104)。バリアメタル膜18は、例えばTi膜およびTiN膜をスパッタリング法により下層から順次堆積した積層膜からなり、金属膜19は、例えばCVD法により形成されたW膜からなる。続いて、電極溝17aおよび配線溝17bの外部の金属膜19およびバリアメタル膜18をCMP法により除去する。これにより、電極溝17aの内部に金属膜19を主材料とする下部電極DEが形成され(図5の工程105)、配線溝17bの内部に金属膜19を主材料とする第1層目の配線20が形成される。すなわち、本実施の形態1では、容量素子の下部電極DEはダマシン法により形成される。

10

【0044】

次に、図10に示すように、下部電極DEの上部に容量絶縁膜CELおよび上部電極UEを順次形成する。まず、半導体基板1の主面上に絶縁膜21を堆積する(図5の工程106)。絶縁膜21は、例えばスパッタリング法により形成された窒化シリコン膜であり、その厚さは、例えば39nm(比誘電率を考慮したSiO₂膜厚換算値)である。続いて、半導体基板1の主面上(絶縁膜21上)に下層金属膜およびキャップ金属膜を順次堆積する(図5の工程107および工程108)。下層金属膜は、例えばスパッタリング法により形成されたTiN膜22であり、その厚さは、例えば50nmである。キャップ金属膜は、例えばスパッタリング法により形成されたTi膜23であり、その厚さは、例えば5~15nmである。下層金属膜であるTiN膜22およびキャップ金属膜であるTi膜23の成膜は、TiN膜22の酸化を防ぐためと、TiN膜22とTi膜23との密着性を良くするために、大気中にさらすことなく、連続してスパッタリング法により形成する。

20

【0045】

続いて、Ti膜23の上面を洗浄した後(図5の工程109)、レジストパターンをマスクにしてTi膜23、TiN膜22、および絶縁膜21を順次エッチングすることにより、絶縁膜21からなる容量絶縁膜CEL、TiN膜22とTi膜23との積層膜からなる上部電極UEを形成する(図5の工程110および工程111)。

【0046】

図11は、MIM構造の容量素子を製造し、大気中において室温で557時間放置した後測定したリーク電流のばらつき分布を説明するグラフ図である。図11には、上部電極UEをTiN膜のみで構成した容量素子(#08, #10, #11)、TiN膜とTi膜との積層膜で構成した容量素子(#06, #07)のリーク電流のばらつき分布を示している。容量素子(#08)の上部電極UEは、厚さ25nmのTiN膜を2層重ねた積層膜から構成され、容量素子(#10)の上部電極UEは、厚さ50nmのTiN膜から構成され、容量素子(#11)の上部電極UEは、厚さ25nmのTiN膜から構成され、容量素子(#06)の上部電極UEは、厚さ50nmのTiN膜と厚さ15nmのTi膜とを重ねた積層膜から構成され、容量素子(#07)の上部電極UEは、厚さ50nmのTiN膜と厚さ5nmのTi膜とを重ねた積層膜から構成される。また、全ての容量素子(#06, #07, #08, #10, #11)の容量絶縁膜CELには、厚さ39nm(比誘電率を考慮したSiO₂膜厚換算値)の窒化シリコン膜を用いている。

30

40

【0047】

図11に示すように、上部電極UEをTiN膜単層またはTiN膜積層により構成した容量素子(#08, #10, #11)では、リーク電流が $5 \times 10^{-12} \text{ A} \sim 5 \times 10^{-5} \text{ A}$ となり、多くの容量素子においてリーク電流の増加が見られる。これに対して、上部電極UEをTiN膜とTi膜とを重ねた積層膜により構成した容量素子(#06, #07)では、リーク電流は $2 \times 10^{-11} \text{ A}$ 以下であり、リーク電流の増加は見られない。

【0048】

すなわち、TiN膜22上にTi膜23を重ねることにより、リーク電流の増加を抑えることができる。これは、大気中の酸素がTi膜23と反応してTiO膜が形成され、こ

50

のTiO膜が、TiN膜22への大気中の酸素の侵入を防ぐことによって、TiN膜22の結晶粒界に沿った酸化が抑えられたと考えられる。従って、TiN膜22の酸化は進まないで、前述したような容量絶縁膜CELに掛かる引っ張り方向が緩和されて、容量絶縁膜CELの劣化を防止することができる。

【0049】

なお、本発明者らは、TiN膜が柱状結晶であることから、TiN膜を2層重ねることにより上層のTiN膜と下層のTiN膜の境界で、大気中の酸素の侵入を防ぐことができると考えて、厚さ25nmのTiN膜を2層重ねた積層膜から構成される上部電極UEを検討した。しかし、この上部電極UEを用いた容量素子では、図11の容量素子(#08)に示すように、リーク電流が増加する落ちこぼれがあり、容量絶縁膜CELの劣化を防止することはできなかった。

10

【0050】

次に、図12に示すように、半導体基板1の主面上にプラズマCVD法によりエッチングストップ膜30および絶縁膜31を順次堆積する。エッチングストップ膜30は、例えば窒化シリコン膜からなり、絶縁膜31は、例えば酸化シリコン膜からなる。続いて、レジストパターンをマスクにして絶縁膜31およびエッチングストップ膜30を順次エッチングすることにより、容量素子の上部電極UEに達する接続孔32および下部電極DEに達する接続孔(図示は省略)を形成し、同時に、第1層目の配線20に達する接続孔32を形成する。

【0051】

20

次に、半導体基板1の主面上にバリアメタル膜33および金属膜34を順次堆積して、接続孔32の内部を完全に埋め込む。バリアメタル膜33は、例えばTi膜およびTiN膜をスパッタリング法により下層から順次堆積した積層膜からなり、金属膜34は、例えばW膜からなる。続いて、接続孔32の外部の金属膜34およびバリアメタル膜33をCMP法により除去することにより、接続孔32の内部に金属膜34を主材料とするプラグ35が形成される。

【0052】

次に、図13に示すように、プラグ35を介在して容量素子の上部電極UEまたは下部電極DEと電氣的に接続される第2層目の配線36を形成する。このとき、プラグ35を介在して第1層目の配線20と電氣的に接続される第2層目の配線36も形成される。その後、さらに上層の配線を形成することにより、本実施の形態1によるMIM構造の容量素子を有する半導体装置が略完成する。

30

【0053】

なお、本実施の形態1では、キャップ金属膜にTi膜23を用いたが、これに限定されるものではなく、自らが大気中の酸素と反応することにより酸化されて、その下のTiN膜22への酸素の拡散を抑制する金属膜であればよい。

【0054】

このように、本実施の形態1によれば、MIM構造の容量素子の上部電極UEを、TiN膜22からなる下層金属膜と、Ti膜23からなるキャップ金属膜とを積層した構成とすることにより、大気中の酸素とTi膜23とが反応してTiO膜が形成され、このTiO膜が、TiN膜22への大気中の酸素の侵入を防ぐことによって、TiN膜22の結晶粒界に沿った酸化を抑えることができる。従って、Ti膜23下のTiN膜22の酸化は進まないで、下部電極DEの端部においてストレス(圧縮応力)が集中することがなく、その圧縮応力を低減するために容量絶縁膜CELに掛かる引っ張り方向が緩和されて、容量絶縁膜CELの劣化を防止することができる。

40

【0055】

(実施の形態2)

本発明の実施の形態2による半導体装置は、前述した実施の形態1と同様であり、MIM構造の容量素子を有するものであるが、容量素子の上部電極UEの構成が前述の実施の形態1と相違する。すなわち、前述した実施の形態1では、下層金属膜(TiN膜22)

50

およびキャップ金属膜 (Ti膜23) の2層の金属膜から構成された上部電極UEについて説明した。これに対して、本実施の形態2では、下層金属膜、キャップ金属膜、および上層金属膜の3層の金属膜から構成された上部電極UEについて説明している。

【0056】

このような本実施の形態2のMIM構造の容量素子について図14を用いて説明する。図14はMIM構造の容量素子の要部断面図である。MIM構造の容量素子の下部電極DEおよび容量絶縁膜CELの構成は、前述した実施の形態1と同様であるため、その説明を省略する。

【0057】

図14に示すように、本実施の形態2によるMIM構造の容量素子の上部電極UEは、下層金属膜、キャップ金属膜、および上層金属膜を順次堆積することにより形成された3層の金属膜から構成される。下層金属膜は、例えばTiターゲットおよびN₂ガスを用いたスパッタリング法により形成された下層TiN膜37であり、その厚さは、例えば20~50nmである。キャップ金属膜は、例えばTiターゲットおよびArガスを用いたスパッタリング法により形成されたTi膜38であり、その厚さは、例えば15nmである。上層金属膜は、例えばTiターゲットおよびN₂ガスを用いたスパッタリング法により形成された上層TiN膜39であり、その厚さは、例えば20~30nmである。下層金属膜である下層TiN膜37、キャップ金属膜であるTi膜38、および上層金属膜である上層TiN膜39の成膜は、下層TiN膜37の酸化を防ぐためと、下層TiN膜37とTi膜38との密着性またはTi膜38と上層TiN膜39との密着性を良くするために、大気中にさらすことなく、連続してスパッタリング法により形成する。

【0058】

図15は、MIM構造の容量素子を製造し、大気中において室温で658時間放置した後測定したリーク電流のばらつき分布を説明するグラフ図である。図15には、上層TiN膜とTi膜と下層TiN膜の積層膜で構成した容量素子(#05, #07, #08)のリーク電流のばらつき分布を示している。容量素子(#05)の上部電極UEは、厚さ20nmの上層TiN膜と厚さ15nmのTi膜と厚さ20nmの下層TiN膜とを重ねた積層膜から構成され、容量素子(#07)の上部電極UEは、厚さ30nmの上層TiN膜と厚さ15nmのTi膜と厚さ50nmの下層TiN膜とを重ねた積層膜から構成され、容量素子(#08)の上部電極UEは、厚さ20nmの上層TiN膜と厚さ15nmのTi膜と厚さ50nmの下層TiN膜とを重ねた積層膜から構成される。

【0059】

図15に示すように、上部電極UEを下層TiN膜とTi膜と上層TiN膜とを重ねた積層膜により構成した容量素子(#05, #07, #08)では、リーク電流は 2×10^{-11} A以下であり、リーク電流の顕著な増加は見られない。

【0060】

すなわち、前述した実施の形態1で説明したように、下層TiN膜37にTi膜38のみを重ねることによっても、下層TiN膜37の酸化を防ぐことができる。しかし、さらにTi膜38上に上層TiN膜39を重ねることにより、上層TiN膜39の結晶粒界に沿った酸化とTi膜38の酸化によるTiO膜の形成とが生じることにより、下層TiN膜37にTi膜38のみを重ねた場合よりも下層TiN膜37への大気中の酸素の侵入を減らすことができる。従って、下層TiN膜37の酸化は進まないため、前述した実施の形態1と同等またはそれ以上の効果が得られる。

【0061】

(実施の形態3)

本発明の実施の形態3による半導体装置は、前述した実施の形態1と同様であり、MIM構造の容量素子を有するものであるが、容量素子の下部電極DEを埋め込む電極溝の形状が前述の実施の形態1と相違する。すなわち、前述した実施の形態1では、下部電極DEを埋め込む電極溝17aの上部の角部が90°に近い角度を有する容量素子について説明した。これに対して、本実施の形態3では、下部電極DEを埋め込む電極溝17aの側

10

20

30

40

50

面上部に傾斜を有する容量素子について説明している。

【0062】

本実施の形態3によるMIM構造の容量素子について図16および図17を用いて説明する。図16はMIM構造の容量素子の配線溝を説明する配線溝の要部断面の拡大模式図、図17はMIM構造の容量素子の要部断面図である。MIM構造の容量素子の下部電極DE、容量絶縁膜CEL、および上部電極UEの構成は、前述した実施の形態1と同様であるため、その説明を省略する。

【0063】

図16に示すように、絶縁膜42に形成された電極溝40は、第1角度 θ_1 の傾斜を有して加工された上部(傾斜部)43bと、第1角度 θ_1 よりも大きい角度の第2角度 θ_2 を有して加工された下部43cとからなる。ここで、第1角度 θ_1 は、電極溝40が形成されていない絶縁膜42の上面43aに平行な面と、傾斜が形成された電極溝40の上部(傾斜部)43bの絶縁膜42の側面とが成す角度であり、例えば30~80°程度である。また、第2角度 θ_2 は、電極溝40が形成されていない絶縁膜42の上面43aに平行な面と、電極溝40の下部43cの絶縁膜42の側面とが成す角度である。なお、前記上部43bの側面は、電極溝40を形成した後、スパッタエッチングまたはHF(フッ酸)処理等を用いることにより形成することができる。

【0064】

図17に示すように、電極溝40の内部には、下部電極DEが埋め込まれ、さらに、下部電極DE上に容量絶縁膜CELおよび上部電極UEが形成される。

【0065】

下部電極DEを構成するW膜は、絶縁膜42に形成された電極溝40の内部に埋め込まれている。この下部電極DEを形成するには、まず、絶縁膜42に形成された電極溝40の内部にバリアメタル膜44を形成する。バリアメタル膜44は、例えばTi膜およびTiN膜を下層からスパッタリング法により順次堆積した積層膜であり、その厚さは、例えば3~5nm程度である。続いて、電極溝40の内部を完全に埋め込むW膜をCVD法で堆積する。その後、電極溝40の外部のW膜およびバリアメタル膜44をCMP法により除去する。

【0066】

ところが、前述の図4を用いて説明したように、下部電極DEを埋め込む電極溝40の上部の角部が90°に近い角度を有していると、上記CMPの際、電極溝40の側面上部においてスラリが溜まり易いため、この部分において研磨速度が速くなり、W膜およびバリアメタル膜44の一部が他の部分よりも数nm程度深く削られることがある。また、上記CMPの後、スラリを取り除くために行う洗浄においても、露出したバリアメタル膜44が削られることがある。その結果、下部電極DE上に形成された容量絶縁膜CELは、W膜またはバリアメタル膜44が削られた形状に倣って堆積されるため、電極溝40の側面上部において容量絶縁膜CELの一部が薄くなってしまふ。これにより、電極溝40の側面上部においてストレスが集中して、リーク電流が増加し易くなる。

【0067】

しかし、本実施の形態3では、下部電極DEを埋め込む電極溝40の側面上部に所定の角度を有する傾斜を設けていることから、上記CMPの際、電極溝40の側面上部においてスラリが溜まりにくくなり、この部分においてW膜またはバリアメタル膜44が深く削られることがない。従って、容量絶縁膜CELは下部電極DEの形状に倣って形成されるので、電極溝40の側面上部において、ほぼ均一な厚さの容量絶縁膜CELを形成することができる。そして、電極溝40の側面上部の容量絶縁膜CELにストレスが掛かったとしても、そのストレスは傾斜面全体の容量絶縁膜CELに掛かるので、容量絶縁膜CELの一部にストレスが集中することを回避できる。

【0068】

このように、本実施の形態3によれば、下部電極DEを埋め込む電極溝40の側面上部に傾斜を設けることにより、容量絶縁膜CELの一部にストレスが集中することを回避で

10

20

30

40

50

きるので、容量絶縁膜CELのリーク電流の増加を防ぐことができる。

【0069】

(実施の形態4)

本発明の実施の形態4による半導体装置は、前述した実施の形態1と同様であり、MIM構造の容量素子を有するものであるが、容量素子の上部電極UEの構成が前述の実施の形態1と相違する。すなわち、前述した実施の形態1では、プラズマCVD法により形成された下層金属膜(TiN膜22)およびキャップ金属膜(Ti膜23)の2層の金属膜から構成された上部電極UEについて説明した。これに対して、本実施の形態4では、MOCVD(Metal Organic Chemical Vapor Deposition)法により形成された1層の金属膜(例えばTi膜またはTiN膜)から構成された上部電極UEについて説明している。

10

【0070】

図18に、本実施の形態4によるMIM構造の容量素子の要部断面図を示す。

【0071】

MOCVD法により形成された金属膜は、プラズマCVD法により形成された金属膜よりも組成や構造等を制御しやすいことから緻密な膜を形成することができる。従って、上部電極UEを1層の金属膜45により構成しても、金属膜45への大気中の酸素が侵入するのを防ぐことができ、金属膜45の結晶粒界に沿った酸化を抑えることができる。上部電極UEは酸化され難いので、下部電極DEの端部においてストレス(圧縮応力)が集中することがなく、その圧縮応力を低減するために容量絶縁膜CELに掛かる引っ張り方向が緩和されて、容量絶縁膜CELの劣化を防止することができる。

20

【0072】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0073】

本発明は、MIM構造の容量素子を有する半導体装置に適用して有効なものである。

【符号の説明】

【0074】

- 1 半導体基板
- 2 素子分離部
- 3 p型ウェル
- 4 n型ウェル
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 サイドウォール
- 8 n型半導体領域(ソース、ドレイン)
- 9 p型半導体領域(ソース、ドレイン)
- 10 シリサイド膜
- 11 エッチングストッパ膜
- 12 絶縁膜
- 13 接続孔
- 14 プラグ
- 15 エッチングストッパ膜
- 16 絶縁膜
- 17 a 電極溝
- 17 b 配線溝
- 18 バリアメタル膜
- 19 金属膜
- 20 第1層目の配線

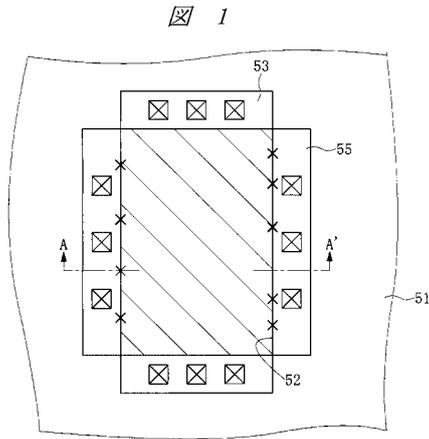
30

40

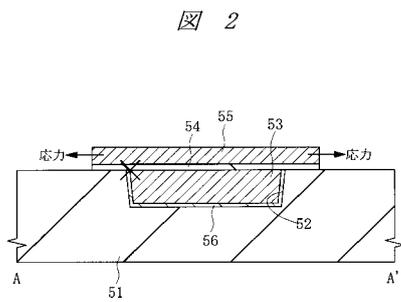
50

2 1	絶縁膜	
2 2	T i N膜(下層金属膜)	
2 3	T i膜(キャップ金属膜)	
3 0	エッチングストッパ膜	
3 1	絶縁膜	
3 2	接続孔	
3 3	バリアメタル膜	
3 4	金属膜	
3 5	プラグ	
3 6	第2層目の配線	10
3 7	下層T i N膜(下層金属膜)	
3 8	T i膜(キャップ金属膜)	
3 9	上層T i N膜(上層金属膜)	
4 0	電極溝	
4 2	絶縁膜	
4 3 a	上面	
4 3 b	上部	
4 3 c	下部	
4 4	バリアメタル膜	
4 5	金属膜	20
5 1	絶縁膜	
5 2	電極溝	
5 3	下部電極	
5 4	容量絶縁膜	
5 5	上部電極	
5 6	バリアメタル膜	
5 7	結晶粒界	
C E L	容量絶縁膜	
D E	下部電極	
P L	プラグ	30
Q n	nチャネル型M I S F E T	
Q p	pチャネル型M I S F E T	
U E	上部電極	

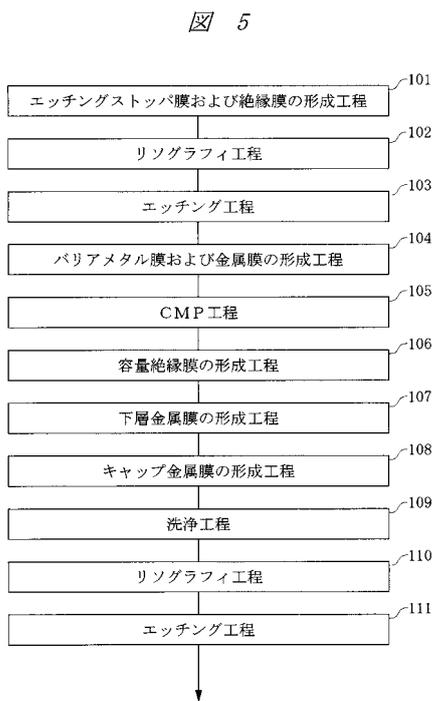
【図1】



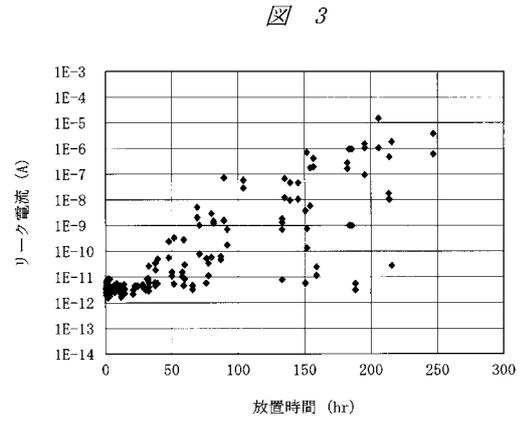
【図2】



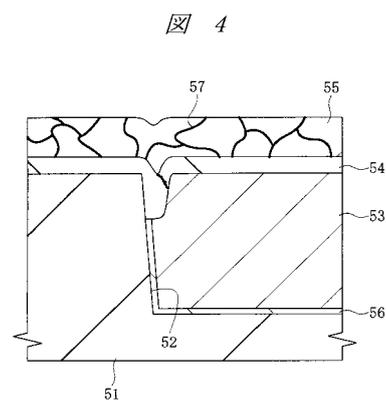
【図5】



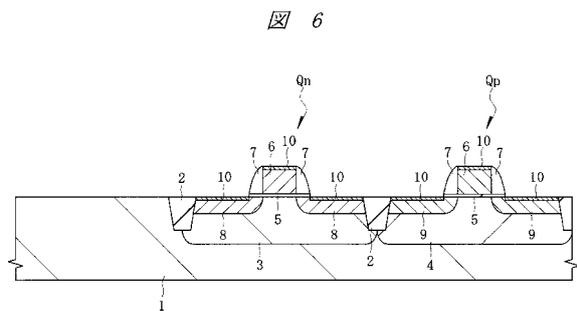
【図3】



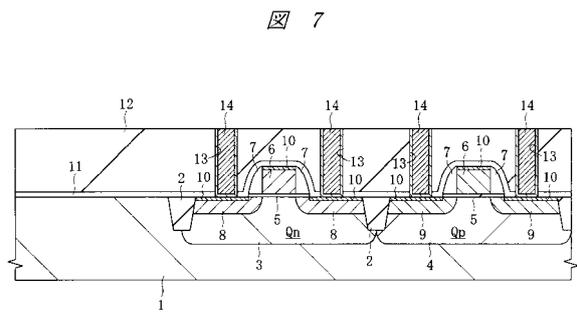
【図4】



【図6】

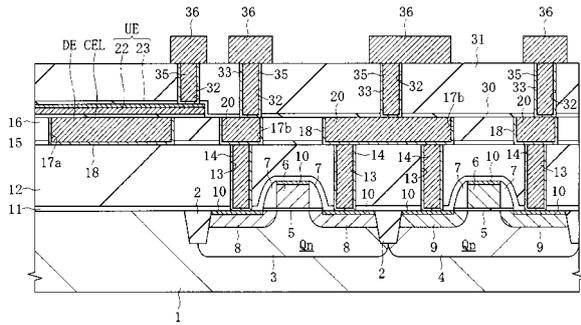


【図7】



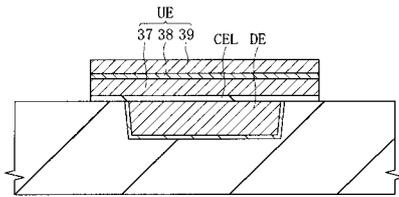
【図13】

図13



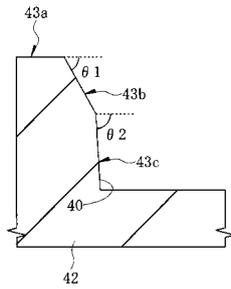
【図14】

図14



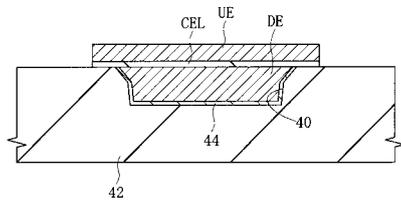
【図16】

図16



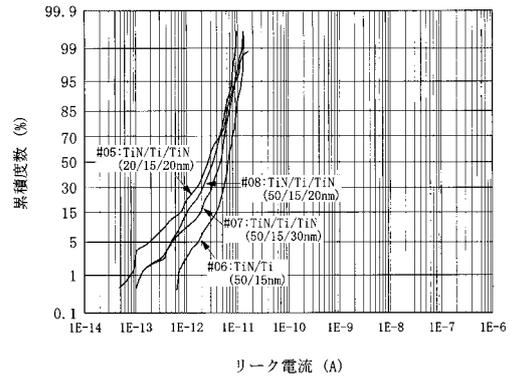
【図17】

図17



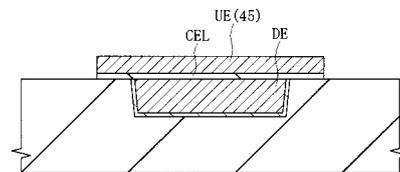
【図15】

図15



【図18】

図18



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/768 (2006.01)

H 0 1 L 23/532 (2006.01)

(72)発明者 石田 進一

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

(72)発明者 鈴木 秀典

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

(72)発明者 立石 貞整

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

審査官 須原 宏光

(56)参考文献 米国特許出願公開第2001/0019144(US,A1)

再公表特許第02/003458(JP,A1)

特開2004-221446(JP,A)

特開平11-261023(JP,A)

特開2006-319174(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H 0 1 L 27/04

H 0 1 L 21/3205

H 0 1 L 27/06