



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년10월26일
(11) 등록번호 10-1562969
(24) 등록일자 2015년10월19일

(51) 국제특허분류(Int. Cl.)

H01L 27/02 (2006.01)

(21) 출원번호 10-2009-0018135

(22) 출원일자 2009년03월03일

심사청구일자 2014년03월03일

(65) 공개번호 10-2010-0099578

(43) 공개일자 2010년09월13일

(56) 선행기술조사문헌

JP11297700 A*

US20070229210 A1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

김종원

경기 화성시 동탄공원로 21-40, 931동 1101호 (능동, 동탄푸른마을두산위브아파트)

(74) 대리인

특허법인 고려

전체 청구항 수 : 총 7 항

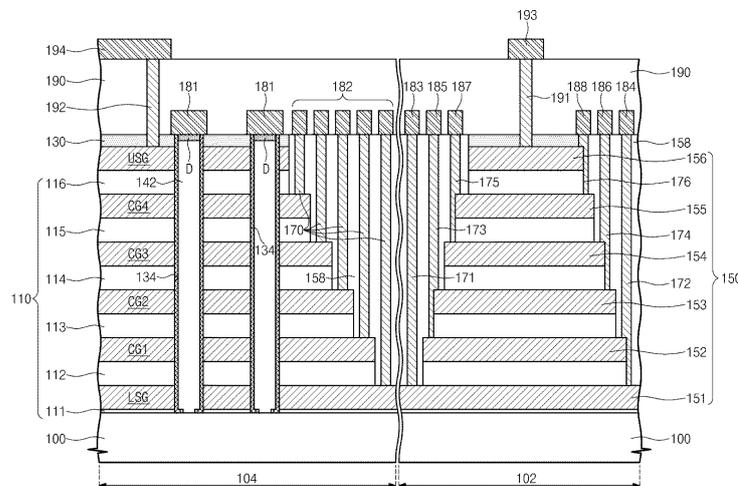
심사관 : 최정민

(54) 발명의 명칭 반도체 장치

(57) 요약

반도체 장치가 제공된다. 이 반도체 장치는 셀 영역과 주변회로 영역을 포함하는 반도체 기판, 주변회로 영역의 반도체 기판상에 서로 이격되어 적층된 제1 저항막 및 제2 저항막, 제1 저항막에 연결된 제1 플러그, 제1 저항막과 제2 저항막에 공통으로 연결된 제2 플러그를 포함할 수 있다.

대표도



명세서

청구범위

청구항 1

제1 영역과 제2 영역을 포함하는 반도체 기판;
상기 제1 영역의 반도체 기판상에 서로 이격되어 차례로 적층된 제1 저항막 및 제2 저항막;
상기 제2 저항막 상에 상기 제2 저항막과 이격되어 적층된 제3 저항막;
상기 제1 저항막에 연결된 제1 플러그;
상기 제1 저항막과 상기 제2 저항막에 공통으로 연결된 제2 플러그;
상기 제2 저항막에 연결된 제3 플러그를 포함하되,
상기 제3 저항막은 상기 제3 플러그에 연결되며,
상기 제2 저항막은 상기 제1 저항막의 일부분을 노출하도록, 상기 제1 저항막보다 좁은 폭을 갖는 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1항에 있어서,
상기 플러그들 중에서 2개의 플러그들을 연결하여 저항소자를 제공하는 반도체 장치.

청구항 5

삭제

청구항 6

제1 항에 있어서,
상기 제1 플러그는 상기 제1 저항막의 일단에 제공되는 것을 포함하는 반도체 장치.

청구항 7

제 6항에 있어서,
상기 제2 플러그는 상기 제1 저항막의 상기 일단에 대향하는 타단에 제공되는 것을 포함하는 반도체 장치.

청구항 8

제 1항에 있어서,
상기 플러그들은 상기 저항막들보다 전도성이 큰 물질로 형성되는 것을 포함하는 반도체 장치.

청구항 9

제 1항에 있어서,
상기 제2 영역의 반도체 기판상에 차례로 적층된 하부 선택 게이트, 복수개의 제어 게이트 및 상부 선

택 게이트를 더 포함하고,

상기 제1 저항막은 상기 하부 선택 게이트와 동일한 증착 공정에 의해서 제공되는 물질을 포함하는 반도체 장치.

청구항 10

제 9항에 있어서,

상기 제2 저항막 상에 형성된 복수개의 다른 저항막들을 더 포함하고,

상기 복수개의 다른 저항막들에서 최상층의 저항막은 상기 상부 선택 게이트와 동일한 증착 공정에 의해서 제공되는 물질을 포함하는 반도체 장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 보다 구체적으로는 저항소자를 포함하는 반도체 장치에 관한 것이다.

배경 기술

[0002] 반도체 산업이 고도로 발전함에 따라, 반도체 장치의 고집적화, 저소비 전력화 및/또는 고속화 등이 심화되고 있다. 특히, 반도체 장치의 고집적화는 다양한 전자기기들의 사양을 증가시킬 수 있고, 제품의 가격을 결정하는 중요한 요인이기 때문에 최근 들어 그 중요성을 더해 가고 있다. 반도체 장치의 고집적화를 달성하기 위해서는 반도체 장치를 구성하는 개개의 소자가 차지하는 면적을 줄이는 것이 중요한 과제이다.

[0003] 반도체 소자 중에서 저항소자는 반도체 장치에서 RC 딜레이 조절 및 고전압 조절 등의 역할을 수행한다. 이를 위해, 경우에 따라 반도체 장치에서 큰 저항값을 갖는 저항소자 및/또는 다양한 값을 갖는 저항소자가 요구된다. 큰 저항값을 갖는 저항소자 및/또는 다양한 값을 갖는 저항소자의 구현을 위해서는 반도체 장치에서 저항소자가 차지하는 면적이 증가할 수 있다. 이에 따라, 반도체 장치의 고집적화에 대한 한계가 발생하는 문제점이 있다. 따라서, 반도체 장치의 고집적화를 위해 저항소자의 면적을 줄이는 방안들로서 다양한 패턴 및 구조를 갖는 저항소자들이 제안되고 있다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명이 이루고자 하는 일 기술적 과제는 고집적화에 최적화된 반도체 장치를 제공하는 데 있다.

[0005] 본 발명이 이루고자 하는 다른 기술적 과제는 다층 구조의 저항소자를 포함하는 반도체 장치를 제공하는 데 있다.

[0006] 본 발명이 이루고자 하는 다른 기술적 과제는 다양한 저항값을 구현할 수 있는 저항소자를 포함하는 반도체 장치를 제공하는 데 있다.

과제 해결수단

[0007] 상기 기술적 과제를 달성하기 위하여, 본 발명은 반도체 장치를 제공한다. 반도체 장치는 제1 영역과 제2 영역을 포함하는 반도체 기판; 및 상기 제1 영역의 반도체 기판상에 서로 이격되어 차례로 적층된 제1 저항막 및 제2 저항막; 및 상기 제1 저항막에 연결된 제1 플러그; 및 상기 제1 저항막과 상기 제2 저항막에 공통으로 연결된 제2 플러그를 포함할 수 있다.

[0008] 상기 반도체 장치는 상기 제2 저항막에 연결된 제3 플러그를 더 포함할 수 있다.

[0009] 상기 반도체 장치는 상기 제2 저항막 상에 상기 제2 저항막과 이격되어 적층된 제3 저항막을 더 포함하되, 상기 제3 저항막은 상기 제3 플러그에 연결될 수 있다.

- [0010] 상기 반도체 장치는 상기 플러그들 중에서 2개의 플러그들을 연결하여 가변 플러그 저항체를 제공할 수 있다.
- [0011] 상기 제2 저항막은 상기 제1 저항막의 일부분을 노출하도록, 상기 제1 저항막보다 좁은 폭을 갖을 수 있다.
- [0012] 상기 제1 플러그는 상기 제1 저항막의 일단에 제공되는 것을 포함할 수 있다.
- [0013] 상기 제2 플러그는 상기 제1 저항막의 상기 일단에 대향하는 타단에 제공되는 것을 포함할 수 있다.
- [0014] 상기 플러그들은 상기 저항막들보다 전도성이 큰 물질로 형성되는 것을 포함할 수 있다.
- [0015] 상기 제2 영역의 반도체 기판상에 차례로 적층된 하부 선택 게이트, 복수개의 제어 게이트 및 상부 선택 게이트를 더 포함하고, 상기 제1 저항막은 상기 하부 선택 게이트와 동일한 증착 공정에 의해서 제공되는 물질을 포함할 수 있다.
- [0016] 상기 반도체 장치는 상기 제2 저항막 상에 형성된 복수개의 다른 저항막들을 더 포함하고, 상기 복수개의 다른 저항막들에서 최상층의 저항막은 상기 상부 선택 게이트와 동일한 증착 공정에 의해서 제공되는 물질을 포함할 수 있다.

효 과

- [0017] 다층 구조의 저항소자를 구현하여 저항소자의 면적을 줄임으로써 고집적화된 반도체 장치를 제공할 수 있다.
- [0018] 다양한 저항값을 구현할 수 있는 저항소자를 형성하여 품질이 우수한 반도체 장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0019] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다. 그러나 본 발명은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해 질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 또한, 바람직한 실시 예에 따른 것이기 때문에, 설명의 순서에 따라 제시되는 참조 부호는 그 순서에 반드시 한정되지는 않는다. 도면들에 있어서, 막 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 막이 다른 막 또는 기판상에 있다고 언급되는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막이 개재될 수도 있다. 본 명세서에서 '및/또는' 이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다.
- [0020] 도 1 은 본 발명의 실시 예에 따른 반도체 장치를 설명하기 위한 단면도이고, 도 2 는 본 발명의 실시 예에 따른 반도체 장치를 설명하기 위한 평면도이다. 구체적으로, 도 1 의 제1 영역(102)은 도 2 의 I-I'에 따른 단면도이다.
- [0021] 도 1 및 도 2 를 참조하여, 본 발명의 실시 예에 따른 반도체 장치를 설명한다.
- [0022] 도 1 및 도2 를 참조하면, 제1 영역(102) 및 제2 영역(104)을 포함하는 반도체 기판(100)이 준비될 수 있다. 상기 제1 영역(102)에는 주변회로, 예를 들면, 저항소자가 배치될 수 있고, 상기 제2 영역(104)에는 셀들이 배치될 수 있다. 상기 제1 영역(102)의 상기 반도체 기판(100) 상에 서로 이격되어 차례로 적층된 제1 저항막(151) 및 제2 저항막(152)이 배치될 수 있다. 상기 반도체 기판(100) 및 제1 저항막(151) 사이에 제1 층간 절연 패턴(111)이 개재될 수 있고, 상기 제1 및 제2 저항막(151, 152) 사이에 제2 층간 절연 패턴(112)이 개재될 수 있다. 상기 제2 저항막(152)은 상기 제1 저항막(151)의 일부분을 노출시키도록, 상기 제1 저항막(151)보다 좁은 폭을 가질 수 있다. 구체적으로, 상기 제1 및 제2 저항막(151, 152)은 계단 구조를 가질 수 있다. 상기 반도체 기판(100) 및 상기 제1 저항막(151) 사이에 개재된 상기 제1 층간 절연 패턴(111)은 상기 제1 저항막(151)과 동일한 폭을 가질 수 있고, 상기 제1 및 제2 저항막(151, 152) 사이에 개재된 상기 제2 층간 절연 패턴(112)은 제2 저항막(152)과 동일한 폭을 가질 수 있다.
- [0023] 상기 제1 저항막(151)에 연결된 제1 플러그(171)가 상기 제2 저항막(152)과 이격되어 배치될 수 있다. 상기 제1 플러그(171)는 상기 제1 저항막(151)의 일단에 제공될 수 있다. 상기 제1 저항막(151) 과 상기 제2 저항막(152)을 공통으로 연결하는 제2 플러그(172)가 배치될 수 있다. 상기 제2 플러그(172)는 상기 제1 저항막(151)의 상기 일단에 대향하는 타단에 제공될 수 있다. 상기 제2 저항막(152)에 연결된 제 3 플러그(173)가 더 배치될 수 있다. 상기 제 3 플러그(173)는 상기 제 2 플러그(172)가 형성된 상기 제2 저항막(152)의 일단과 대향하는 타단에 제공될 수 있다. 상기 제1 내지 3 플러그(171~173), 상기 제1 및 제2 저항막(151, 152)은 저항소자를 구성할 수 있다. 다시 말하면, 상기 제1 내지 제3 플러그들(171~173) 중에서 2개의 플러그를 연결하여 저항소자가

제공될 수 있다. 예를 들어, 상기 제1 및 제3 플러그들(171, 173)이 선택된 경우, 상기 제1 플러그(171)가 형성된 상기 제1 저항막(151)의 일단에서 상기 제3 플러그(173)가 형성된 상기 제2 저항막(152)의 타단까지 연결된 저항소자가 제공될 수 있다. 상기 저항소자는 수직으로 이격되어 적층된 상하부의 저항막을 포함하되 상기 상하부의 저항막을 연결하는 플러그로 구성될 수 있다. 즉, 상기 저항소자는 하부 저항막의 일단에서 상기 하부 저항막의 타단, 상기 상부 저항막의 일단 및 상기 상부 저항막의 타단으로 이어지는 수직 다층 구조를 가질 수 있다. 이에 따라, 동일한 면적내에서 큰 저항값의 구현이 가능하여 반도체 장치의 집적도가 증가될 수 있다.

[0024] 상기 제2 저항막(152) 상에 제3 저항막(153)이 더 배치되되, 상기 제3 저항막(153)은 상기 제3 플러그(173)에 연결될 수 있다. 상기 제2 및 제3 저항막(152, 153) 사이에 제3 층간 절연 패턴(113)이 개재되어, 상기 제2 및 제3 저항막(152, 153)이 이격될 수 있다. 상기 제3 저항막(153)은 상기 제2 저항막(152)의 일부분을 노출하도록, 상기 제2 저항막(152)보다 좁은 폭을 가질 수 있다. 구체적으로, 상기 제2 및 제3 저항막(152, 153)은 계단구조를 가질 수 있고, 상기 제3 층간 절연 패턴(113)은 제3 저항막(153)과 동일한 폭을 가질 수 있다. 또한, 상기 제3 저항막(153)에 연결된 제4 플러그(174)가 배치될 수 있다. 상기 제4 플러그(174)는 상기 제3 플러그(172)가 형성된 상기 제3 저항막(152)의 일단과 대향하는 타단에 제공될 수 있다. 이 경우, 상기 제1 및 제4 플러그(171, 174)를 선택하여 저항소자를 제공하는 경우, 상기 제1 저항막(151), 상기 제2 저항막(152) 및 상기 제3 저항막(153)으로 이어지는 수직 다층 구조의 저항소자가 제공될 수 있다.

[0025] 상기 제3 저항막(153) 상에 상기 제3 저항막(153)과 제4 내지 제6 층간 절연 패턴(114~116)에 의해 이격되어 적층되는 제4 내지 제6 저항막(154~156)이 더 배치될 수 있다. 상기 제4 내지 제6 저항막(154~156)은 제5 및 제6 플러그(175, 176)와 상술된바와 동일한 방식으로 연결될 수 있다. 상기 제1 내지 제6 저항막(151~156)은 저항막들(150)을 구성할 수 있고, 상기 제1 내지 제6 층간 절연 패턴(111~116)은 층간 절연 패턴들(110)을 구성할 수 있다. 상기 저항막들(150) 및 제1 내지 제6 플러그들(171~176)은 상술된 방법에 의해 저항소자를 제공할 수 있다. 도면에는 6개의 저항막들이 배치되었으나, 그 이상의 저항막들이 더 존재할 수 있고, 이를 연결하는 플러그들이 더 배치될 수 있다.

[0026] 또한, 상기 저항소자는 상기 저항막들(150) 및 상기 저항막들(150)을 연결하는 상기 제1 내지 제6 플러그들(171~176)을 포함하기 때문에, 상기 제1 내지 제6 플러그들(171~176)의 선택에 따라서 상기 저항소자가 포함하는 저항막(150)의 수가 달라질 수 있다. 이에 따라, 상기 제1 내지 제6 플러그들(171~176)의 선택에 따라 상기 저항소자의 저항값이 달라질 수 있고, 동일한 저항소자를 이용하여 다양한 저항값을 구현할 수 있다.

[0027] 상기 제1 내지 제6 플러그들(171~176)은 상기 저항막들(150) 보다 전도성이 큰 물질로 형성되는 것을 포함할 수 있다. 상기 제1 내지 제6 플러그들(171~176)은 제1 절연막(158) 상의 제1 영역 도전패턴들(183~188)과 연결될 수 있다. 상기 저항막들(150)에서 최상부에 위치한 상기 제6 저항막(156) 상에 마스크막(130)이 배치될 수 있다. 상기 마스크막(130)은 식각 정지막으로 사용될 수 있다. 상기 제6 저항막(156)은 제2 절연막(190)을 관통하는 제1 영역 비아 플러그(191)와 연결될 수 있고, 상기 제1 영역 비아 플러그(191)는 제1 영역 배선 패턴(193)과 연결될 수 있다.

[0028] 상기 제2 영역(104)의 상기 반도체 기판(100) 상에 하부 선택 게이트(LSG), 복수개의 제어 게이트(CG1~CG4) 및 상부 선택 게이트(USG)가 배치될 수 있다. 도면에는 4개의 제어 게이트가 도시되었지만, 그 이상의 제어 게이트가 더 배치될 수 있다.

[0029] 상기 제1 영역(102)에 형성된 최하층의 상기 제1 저항막(151)은 상기 제2 영역(104)에 형성된 상기 하부 선택 게이트(LSG)와 동일한 증착 공정에 의해서 제공되는 물질을 포함할 수 있다. 또한, 최상층의 상기 제6 저항막(156)은 상기 상부 선택 게이트(USG)와 동일한 증착 공정에 의해서 제공되는 물질을 포함할 수 있다. 상기 제1 저항막(152) 상에 복수의 저항막이 더 존재하는 경우, 최상층의 저항막은 상기 상부 선택 게이트(USG)와 동일한 증착 공정에 의해서 제공되는 물질을 포함할 수 있다.

[0030] 상기 층간 절연 패턴들(110)에 의해 서로 이격되어 적층된 게이트들(USG, CG1~CG4, LSG)은 상부의 게이트 및 층간 절연 패턴이 하부의 게이트 및 층간 절연 패턴의 일부분을 노출하도록 그 폭이 상기 하부의 게이트 및 층간 절연 패턴의 폭보다 좁을 수 있다. 예를 들어, 상기 게이트들(USG, CG1~CG4, LSG) 및 층간 절연 패턴들(111~116)은 상부로 갈수록 계단 모양으로 좁아지는 형태의 구조가 될 수 있다. 상기 상부 선택 게이트(USG) 상에 마스크막(130)이 배치될 수 있다.

[0031] 상기 반도체 장치는 상기 층간 절연 패턴들(110) 및 상기 게이트들(USG, CG1~CG4, LSG)을 관통하는 활성기둥들(142)을 포함하되, 상기 활성기둥들(142)은 상기 반도체 기판(100)의 상부면과 접촉하도록 배치될 수 있다. 상

기 활성기둥들(142)과 상기 게이트들(USG, CG1~CG4, LSG)의 측벽 사이에 게이트 절연막(134)이 개재될 수 있다. 상기 활성기둥들(142)과 상기 층간 절연 패턴들(110)의 측벽 사이에 상기 게이트 절연막(134)이 개재될 수 있다. 상기 활성기둥들(142)의 상부 영역에는 드레인 영역(D)이 배치될 수 있다. 상기 드레인 영역(D) 상에 비드라인 도전 패턴들(181)이 배치될 수 있다.

[0032] 상기 제어 게이트들(CG1~CG4) 및 하부 선택 게이트(LSG)는 게이트 플러그들(170)에 의해 상기 제1 절연막(158) 상에 배치된 제2 영역 도전패턴들(182)과 연결될 수 있다. 상기 상부 선택 게이트(USG)는 제2 층간 절연막(190)을 관통하는 제2 영역 비아 플러그(192)에 의해 제 2 영역 배선 패턴(194)과 연결될 수 있다.

[0033] 도 3a 내지 도 3h 는 본 발명의 실시 예에 따른 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.

[0034] 도 3a 를 참조하면, 제1 영역(102) 및 제2 영역(104)을 갖는 반도체 기판(100)이 준비된다. 상기 제1 영역(102)에는 주변회로, 예를 들면, 저항소자가 형성될 수 있고, 상기 제2 영역(104)에는 셀들이 형성될 수 있다. 상기 반도체 기판(100)은 단결정 구조의 반도체(예를 들어, P형 실리콘 웨이퍼)를 포함할 수 있다. 상기 반도체 기판(100) 상에 층간 절연 패턴들(110) 및 물질막들(120)이 교대로 형성될 수 있다. 이에 따라, 상기 층간 절연 패턴들(110)에 의해 서로 이격되면서 적층되는 상기 물질막들(120)이 형성될 수 있다.

[0035] 상기 물질막들(120)은 도전성 물질들 중의 한가지로 형성될 수 있다.(예를 들어, 도핑된 다결정 실리콘.) 도면에는 6개의 물질막들(150)이 도시되었지만, 그 이상의 물질막들이 더 제공될 수 있다.

[0036] 최상층의 물질막(126) 상에 마스크막(130)이 형성될 수 있다. 상기 마스크막(130)은 식각 정지막으로 사용할 수 있는 실리콘 질화막을 포함할 수 있다. 상기 층간 절연막들(110)은 화학 기상 증착법(CVD), 물리 기상 증착법(PVD) 또는 원자층 화학 증착법(ALD) 중에서 어느 하나의 방법을 사용하여 형성된 실리콘 산화막을 포함할 수 있다.

[0037] 도 3b 를 참조하면, 상기 마스크막(130), 상기 물질막들(120) 및 상기 층간 절연 패턴들(110)을 패터닝하여, 상기 제2 영역(104)에서 상기 반도체 기판(100)의 상부면을 노출시키는 제1 개구부들(132)이 형성될 수 있다.

[0038] 상기 개구부들(132)이 경사지게 형성될 경우, 상기 제2 영역(104) 상에 형성될 셀의 채널의 길이가 달라질 수 있다. 이를 최소화하기 위해, 상기 개구부들(132)이 수직인 측벽을 가질 수 있도록, 상기 개구부들(132)의 형성을 위한 패터닝 공정은 이방성 식각 기술을 이용하여 실시될 수 있다.

[0039] 도 3c 를 참조하면, 상기 개구부들(132)의 내부면 상에 게이트 절연막(134)이 콘포말하게 형성될 수 있다. 상기 게이트 절연막(134)은 제 1 영역(102) 및 제2 영역(104)의 마스크막(130) 상에도 형성될 수 있다. 상기 게이트 절연막(134)은 실리콘 산화막, 실리콘 산질화막 중의 적어도 어느 한가지일 수 있다. 상기 게이트 절연막(134)은 정보 저장을 위한 박막을 포함할 수 있다. 예를 들어, 상기 게이트 절연막(134)은 차례로 적층된 블로킹 절연막, 전하 저장막, 터널 절연막을 포함할 수 있다. 상기 전하 저장막은 전하 트랩사이트들을 갖는 실리콘 질화막 또는 실리콘 산질화막을 포함할 수 있고, 상기 정보 저장을 위한 박막으로 사용될 수 있다. 상기 터널 절연막은 열산화막 또는 화학 기상 증착법(CVD)에 의해 형성된 실리콘 산화막을 포함할 수 있다. 상기 블로킹 절연막은 상기 터널 절연막보다 높은 유전상수를 갖는 물질들 중의 적어도 한 가지를 포함할 수 있다.

[0040] 도 3d 를 참조하면, 상기 개구부들(132) 내에 식각 마스크로써 스페이서(140)가 형성될 수 있다. 상기 스페이서(140)는 상기 개구부들(132) 내에서 상기 게이트 절연막(134)을 덮도록 형성될 수 있다. 이에 따라, 상기 게이트 절연막(134)을 식각하는 후속 패터닝 공정에서 상기 게이트 절연막(134)에 대한 식각 손상이 최소화될 수 있다. 예를 들어, 상기 스페이서(140)는 상기 게이트 절연막(134)에 대한 식각손상을 최소화하면서 제거될 수 있는 물질들 중의 한가지일 수 있다. 예를 들어, 상기 게이트 절연막(134)이 실리콘 산화막일 경우, 상기 스페이서(140)는 실리콘 질화막으로 형성될 수 있다.

[0041] 도 3e 를 참조하면, 상기 스페이서(140)를 식각 마스크로 사용하여 노출된 상기 게이트 절연막(134)이 제거될 수 있다. 이에 따라, 상기 개구부들(132)의 바닥에서, 상기 반도체 기판(100)의 상부면이 노출될 수 있다. 이후, 상기 스페이서(140)가 제거될 수 있다.

[0042] 이어서, 상기 개구부들(132)을 채우는 활성기둥들(142)이 형성될 수 있다. 상기 활성기둥들(142)은 상기 반도체 기판(100)과 동일한 물질로 형성될 수 있다. 예를 들어, 상기 활성기둥들(142) 및 상기 반도체 기판(100)은 결정의 결함없이 연속적으로 이어지는 단결정 구조의 실리콘일 수 있다. 이를 위해, 상기 활성기둥들(142)은 에피택시얼 기술들 중의 한가지를 사용할 수 있다. 이에 따라, 상기 활성기둥들(142)은 상기 반도체 기판(100)으로

부터 성장될 수 있다.

- [0043] 도 3f 를 참조하면, 상기 제1 영역(102) 및 상기 제2 영역(104) 상에 형성된 상기 물질막들(120) 및 상기 층간 절연 패턴들(110)에 식각 공정이 수행될 수 있다. 상기 식각 공정으로 인해, 상기 물질막들(120) 및 상기 층간 절연 패턴들(110)은 상부로 갈수록 좁아지는 계단 구조의 형태를 가질 수 있다. 상기 제1 영역(102)의 계단 구조를 갖는 상기 물질막들(120)은 저항막들(150)을 구성할 수 있다. 상기 제2 영역(104)의 최상층의 물질막(126)은 상부 선택 게이트(USG)를 구성할 수 있고, 상기 제2 영역(104)의 최하층의 물질막(121)은 하부 선택 게이트(LSG)를 구성할 수 있다. 상기 제2 영역(104)의 최상층 및 최하층의 상기 물질막(121, 126) 사이에 개재된 상기 물질막들(122~125)은 제어 게이트(CG1~CG4)를 구성할 수 있다.
- [0044] 상기 제1 영역(102) 및 상기 제2 영역(104)의 상기 반도체 기판(100) 상에 제1 절연막(158)이 형성될 수 있다. 상기 제1 절연막(158)은 화학 기상 증착법(CVD), 물리 기상 증착법(PVD) 또는 원자층 화학 증착법(ALD)에 의해 형성된 실리콘 산화막을 포함할 수 있다. 상기 제1 절연막(158)의 형성 후, 상기 마스크막(130)을 식각 정지막으로 하여 평탄화 공정이 수행될 수 있다. 상기 평탄화 공정은 화학적 기계적 연마법(CMP) 또는 에치백 공정을 이용하여 수행될 수 있다.
- [0045] 상기 노출된 활성기둥들(142)의 상부 영역에 불순물들을 주입하여 드레인 영역(D)이 형성될 수 있다. 상기 제2 영역(104)의 최상부의 상기 물질막(126)을 패터닝 하여 상부 선택 게이트(USG) 라인이 형성될 수 있다. 상기 상부 선택 게이트는 활성기둥들(142)을 1차원적으로 연결할 수 있다. 상기 상부 선택 게이트(USG) 상에 절연막을 형성하고, 평탄화 공정을 수행하여 상기 상부 선택 게이트(USG) 라인들이 전기적으로 분리될 수 있다.
- [0046] 도 3g 를 참조하면, 상기 제1 절연막(158)을 패터닝하여 상기 제1 영역(102) 상에 제1 내지 제6 컨택홀들(161~166)이 형성될 수 있다. 상기 저항막들(150)은 일단과 상기 일단에 대향하는 타단을 포함할 수 있다. 상기 제1 영역(102)의 상기 제1 절연막(158)을 관통하되, 상기 제1 저항막(151)의 일단을 노출시키는 상기 제1 컨택홀(161)이 형성될 수 있다. 상기 제2 컨택홀은 상기 제1 저항막(151)의 타단과 상기 제2 저항막(152)의 일단을 동시에 노출시키도록 형성될 수 있다. 상기 제3 컨택홀(163)은 상기 제2 저항막(152)의 타단과 상기 제3 저항막(153)의 일단을 동시에 노출시키도록 형성될 수 있다. 상기 제4 컨택홀(164)은 상기 제3 저항막(153)의 타단과 상기 제4 저항막(154)의 일단을 동시에 노출시키도록 형성될 수 있다. 상기 제5 컨택홀(165)은 상기 제4 저항막(154)의 타단과 상기 제5 저항막(155)의 일단을 동시에 노출시키도록 형성될 수 있다. 상기 제6 컨택홀(166)은 상기 제5 저항막(155)의 타단과 상기 제6 저항막(156)의 일단을 동시에 노출시키도록 형성될 수 있다. 도면에는 6개의 저항막이 도시되었지만, 그 이상의 저항막이 더 제공될 수 있고, 따라서, 상기의 컨택홀들은 더 형성될 수 있다.
- [0047] 상기 제1 절연막(158)을 패터닝하여 상기 제어 게이트들(CG1~CG4) 및 하부 선택 게이트(LSG)의 일부를 노출시키는 게이트 컨택홀들(160)이 형성될 수 있다.
- [0048] 도 3h 를 참조하면, 상기 제1 내지 제6 컨택홀(161~166) 및 상기 게이트 컨택홀들(160)이 형성된 상기 반도체 기판(100) 상에 제1 도전막이 형성될 수 있다. 상기 제1 도전막은 화학 기상 증착(CVD), 물리 기상 증착(PVD) 또는 원자층 화학 증착(ALD) 중에서 어느 하나의 방법에 의해 형성된 텅스텐을 포함할 수 있다. 이어서, 상기 마스크막(130)을 식각 정지막으로 평탄화 공정을 수행할 수 있다. 상기 평탄화 공정은 화학적 기계적 연마(CMP) 또는 에치백 공정에 의해 수행될 수 있다. 이에 따라, 상기 제1 내지 제6 컨택홀(161~166)을 매립하여 제1 내지 제6 플러그들(171~176)이 형성될 수 있다. 또한 상기 게이트 컨택홀들(160)을 매립하여 게이트 플러그들(170)이 형성될 수 있다. 상기 제1 내지 제6 플러그들(171~176) 및 상기 게이트 플러그들(170)은 상기 저항막들(150) 보다 전도성이 더 큰 물질로 형성될 수 있다.
- [0049] 상기 반도체 기판(100) 상에 제2 도전막이 형성될 수 있다. 상기 제2 도전막은 화학 기상 증착(CVD), 물리 기상 증착(PVD) 또는 원자층 화학 증착(ALD) 중에서 어느 하나의 방법에 의해 형성된 알루미늄을 포함할 수 있다. 상기 제1 영역(102)의 상기 제2 도전막을 패터닝하여, 상기 제1 내지 제6 플러그들(171~176)과 연결되는 제1 영역 도전 패턴들(183~188)을 형성할 수 있다. 또한, 상기 제2 영역(104)의 상기 제2 도전막을 패터닝하여, 상기 게이트 플러그들(170)과 연결되는 제2 영역 도전패턴들(182)이 형성될 수 있고, 상기 드레인 영역(D)과 연결되는 비트라인 도전패턴들(181)이 형성될 수 있다.
- [0050] 이어서, 도 1 을 재차 참조하여 본 발명의 일 실시 예에 따른 반도체 장치의 형성 방법을 설명한다.
- [0051] 도 1 을 참조하면, 상기 비트라인 도전패턴들(181), 제2 영역 도전패턴들(182) 및 제1 영역 도전 패턴들(183~188)이 형성된 상기 반도체 기판(100) 상에 제2 절연막(190)이 형성될 수 있다. 상기 제2 절연막(190)은

화학 기상 증착(CVD), 물리 기상 증착(PVD) 또는 원자층 화학 증착(ALD) 중에서 어느 하나의 방법에 의해 형성된 실리콘 산화막을 포함할 수 있다.

- [0052] 상기 제1 영역(102)의 상기 제2 절연막(190) 및 상기 마스크막(130)을 패터닝하여 상기 최상층의 상기 제6 저항막(156)을 노출시키는 제1 영역 비아 콘택홀이 형성될 수 있다. 또한, 상기 제2 영역(102)의 상기 제2 절연막(190) 및 상기 마스크막(130)을 패터닝하여 상기 상부 선택 게이트(USG)를 노출시키는 제2 영역 비아 콘택홀이 형성될 수 있다.
- [0053] 이어서, 상기 제2 절연막(190) 상에 제3 도전막을 형성할 수 있다. 상기 제3 도전막은 화학 기상 증착(CVD), 물리 기상 증착(PVD) 또는 원자층 화학 증착(ALD) 중에서 어느 하나의 방법에 의해 형성된 텅스텐을 포함할 수 있다. 상기 제2 절연막(190)을 식각 정지막으로 평탄화 공정을 수행하여, 상기 제1 영역 비아 플러그(191) 및 제2 영역 비아 플러그(192)가 형성될 수 있다.
- [0054] 상기 제2 절연막(190) 상에 제4 도전막을 형성할 수 있다. 상기 제4 도전막은 화학 기상 증착(CVD), 물리 기상 증착(PVD) 또는 원자층 화학 증착(ALD) 중에서 어느 하나의 방법에 의해 형성된 알루미늄을 포함할 수 있다. 상기 제4 도전막을 패터닝하여 제1 영역 비아 플러그(191)와 연결된 제1 영역 배선 패턴(193) 및 제2 영역 비아 플러그(192)와 연결된 제2 영역 배선 패턴(194)이 형성될 수 있다.
- [0055] 이로써, 상기 제1 영역(102)에서 수직으로 서로 이격되어 적층된 상기 저항막들(150) 및 상기 저항막들(150)을 연결하는 상기 제1 내지 제6 플러그들(171~176)을 포함하는 저항소자가 형성될 수 있다. 상기 제1 내지 제6 플러그들(171~176)에서 임의의 2개의 플러그들 선택하여 저항소자가 제공될 수 있다. 예를 들어, 제1 플러그(171) 및 제3 플러그(173)를 선택하는 경우, 상기 저항소자는 상기 제1 플러그(171)가 연결된 상기 제1 저항막(151), 상기 제2 저항막으로 연결되는 저항체를 구현할 수 있다. 상기 저항소자는 복수개의 저항막들(150)이 수직으로 이격되어 적층된 구조를 포함하여, 동일한 면적내에서 큰 저항값을 구현할 수 있다. 이로써, 저항패턴의 면적이 감소시킬 수 있고, 고집적화된 반도체 장치가 구현될 수 있다.
- [0056] 이에 더하여, 상기 제1 내지 제6 플러그들(171~176)의 선택에 따라서, 상기 저항소자의 저항값이 달라질 수 있다. 상술된 예와는 달리, 상기 제1 및 제4 플러그들(171, 174)이 선택되는 경우, 상기 저항소자는 제1 플러그(171)가 연결된 제1 저항막(151)에서, 상기 제2 저항막(152), 제3 저항막(153)으로 연결되는 저항체를 구현할 수 있고, 상기 저항소자는 상술된 예와는 달리 제3 저항막(153)을 더 포함할 수 있다. 따라서, 상기 저항소자는 상술된 예의 저항소자보다 큰 저항값을 가질 수 있다. 이와 같이, 본 발명의 실시 예에 따른 반도체 장치는 플러그들의 선택에 따라 다양한 저항값을 구현할 수 있다.
- [0057] 또한, 상술된 바와 같이, 상기 저항막들(150)은 셀의 형성과 동시에 형성될 수 있다. 이에 따라, 저항막들(150)을 형성하기 위하여 추가적인 공정이 불필요하며, 반도체 장치의 생산단가가 낮아질 수 있다.
- [0058] 도 4 는 본 발명의 실시 예들에 따른 반도체 소자를 포함하는 메모리 시스템을 나타내는 블록도이다.
- [0059] 도 4 를 참조하면, 본 발명에 따른 메모리 시스템(1000)은 메모리 장치(1100), 메모리 컨트롤러(1100), 시스템 버스(1250)에 전기적으로 연결된 중앙처리장치(1500), 사용자 인터페이스(1600), 전원 공급 장치(1700)를 포함한다. 상기 메모리 장치(1100)는 상술된 실시 예에 개시된 반도체 장치를 포함할 수 있다.
- [0060] 메모리 장치(1100)에는 사용자 인터페이스(1600)를 통해서 제공되거나 또는, 중앙처리장치(1500)에 의해서 처리된 데이터가 메모리 컨트롤러(1100)를 통해 저장된다. 메모리 장치(1100)는 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 메모리 시스템(1000)의 쓰기 속도가 획기적으로 빨라질 것이다. 전술한 메모리 장치(1100), 메모리 컨트롤러(1100), 중앙처리장치(1500) 등에 본 발명의 실시 예에 따른 반도체 장치가 적용될 수 있다.
- [0061] 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 시스템(1000)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor), 모바일 디램 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- [0062] 또한, 메모리 시스템(1000)은 PDA, 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 소자에 적용될 수 있다.

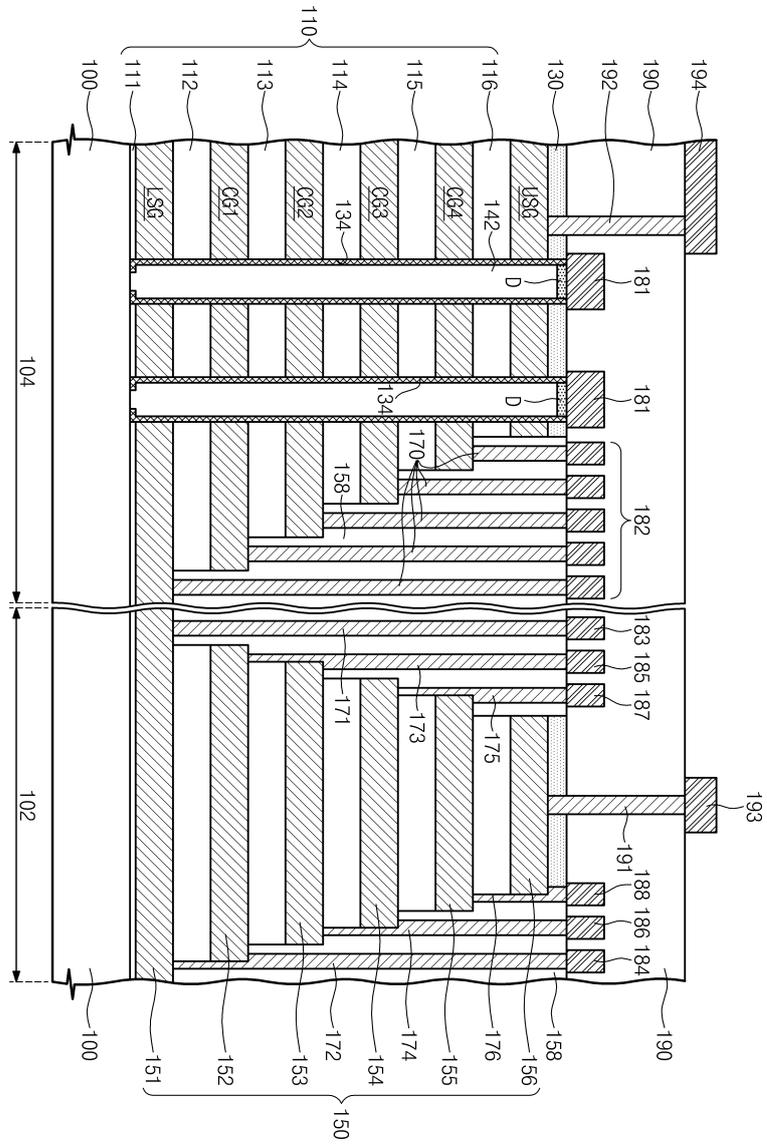
도면의 간단한 설명

- [0063] 도 1 은 본 발명의 일 실시 예에 따른 반도체 장치를 설명하기 위한 단면도 이다.

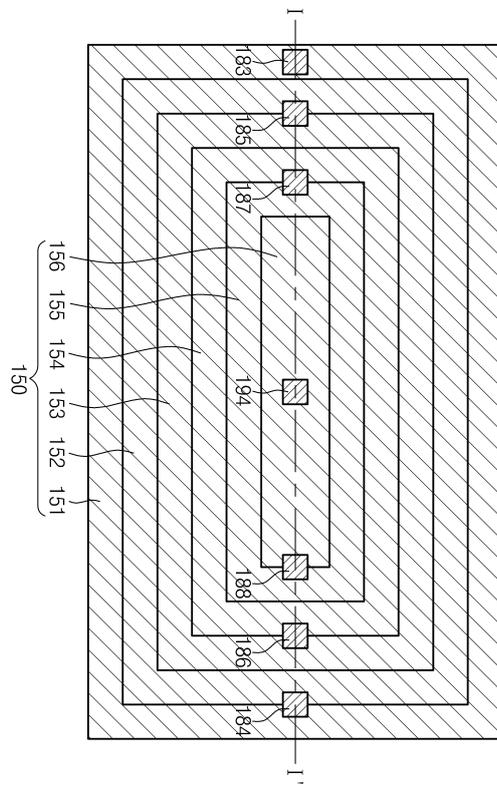
- [0064] 도 2 는 본 발명의 일 실시 예에 따른 반도체 장치를 설명하기 위한 평면도 이다.
- [0065] 도 3a 내지 도 3h 는 본 발명의 일 실시 예에 따른 반도체 장치의 형성 방법을 설명하기 위한 단면도들이다.
- [0066] 도 4 는 본 발명의 실시 예에 따른 반도체 장치를 포함하는 메모리 시스템 을 나타내는 블록도이다.
- [0067] <도면의 주요 부분에 대한 부호의 설명>
- [0068] 100: 반도체 기판
- [0069] 110: 층간 절연 패턴들
- [0070] 134: 게이트 절연막
- [0071] 142: 활성기둥
- [0072] 150: 저항막들
- [0073] 171~176: 제1 내지 제6 플러그들

도면

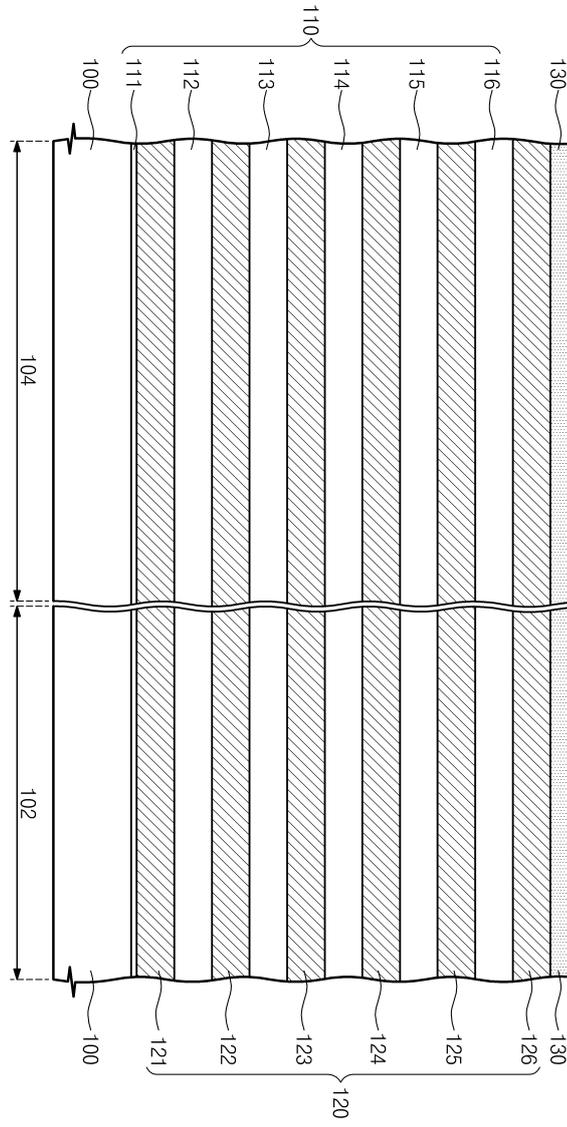
도면1



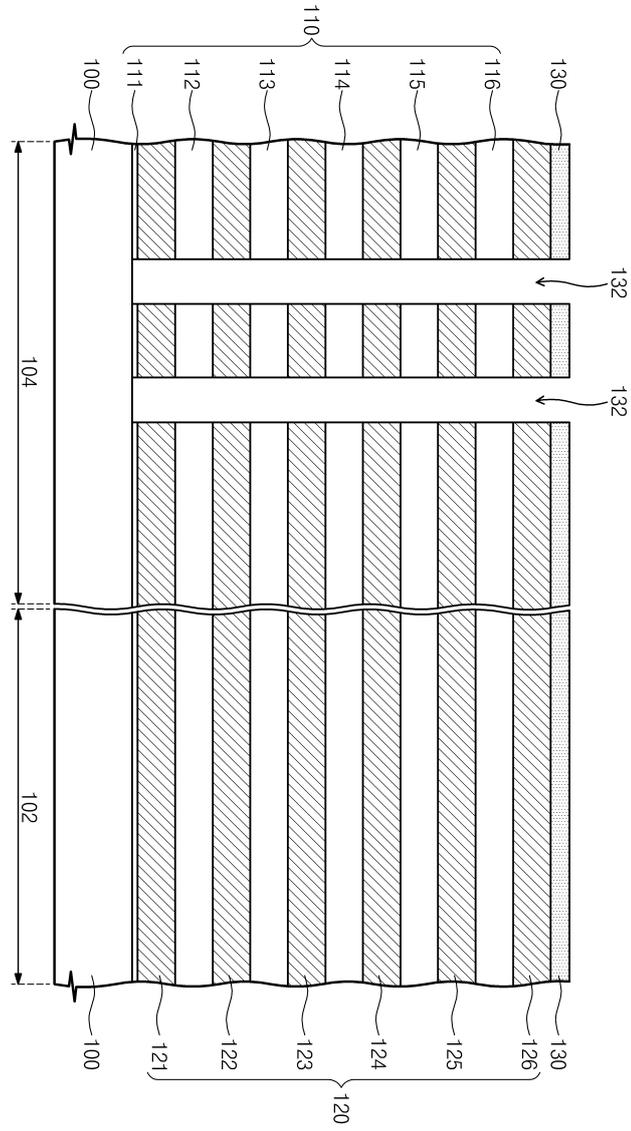
도면2



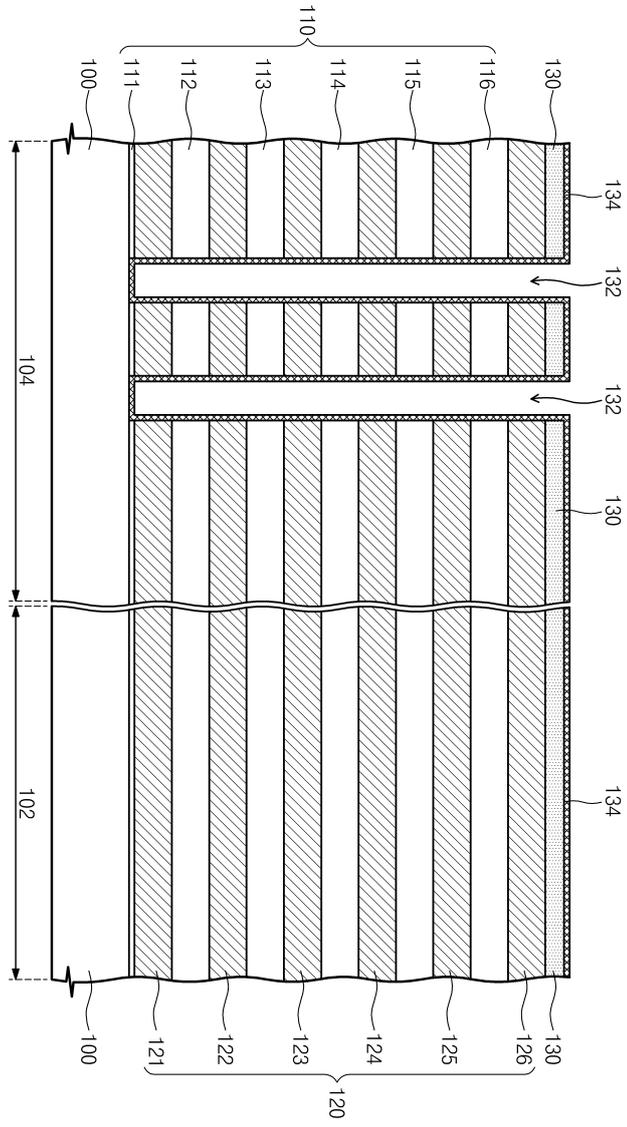
도면3a



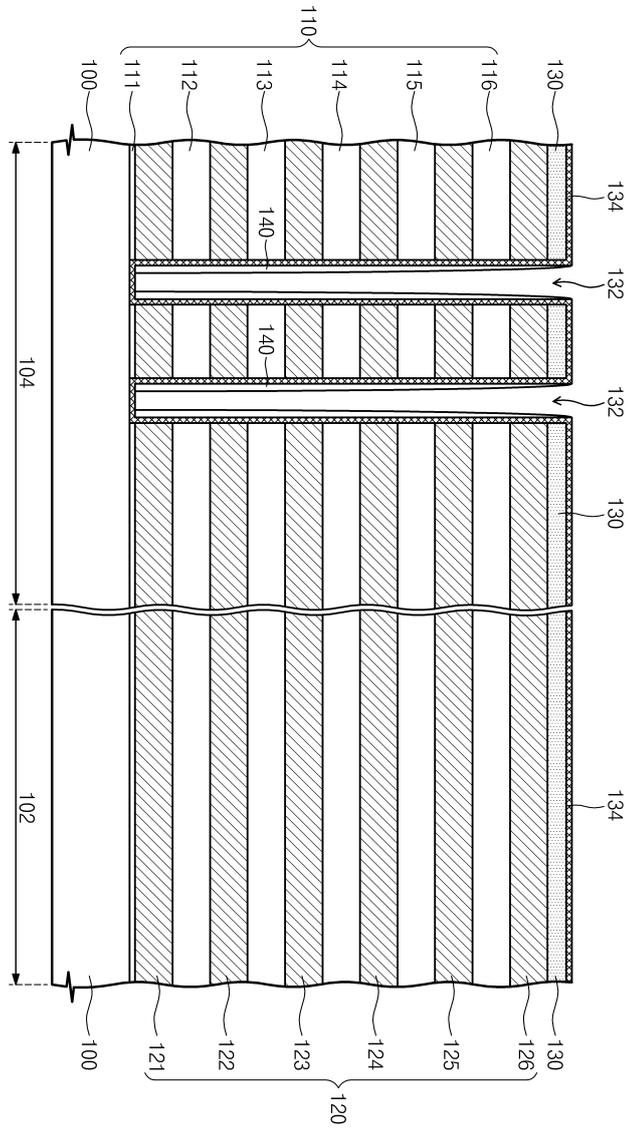
도면3b



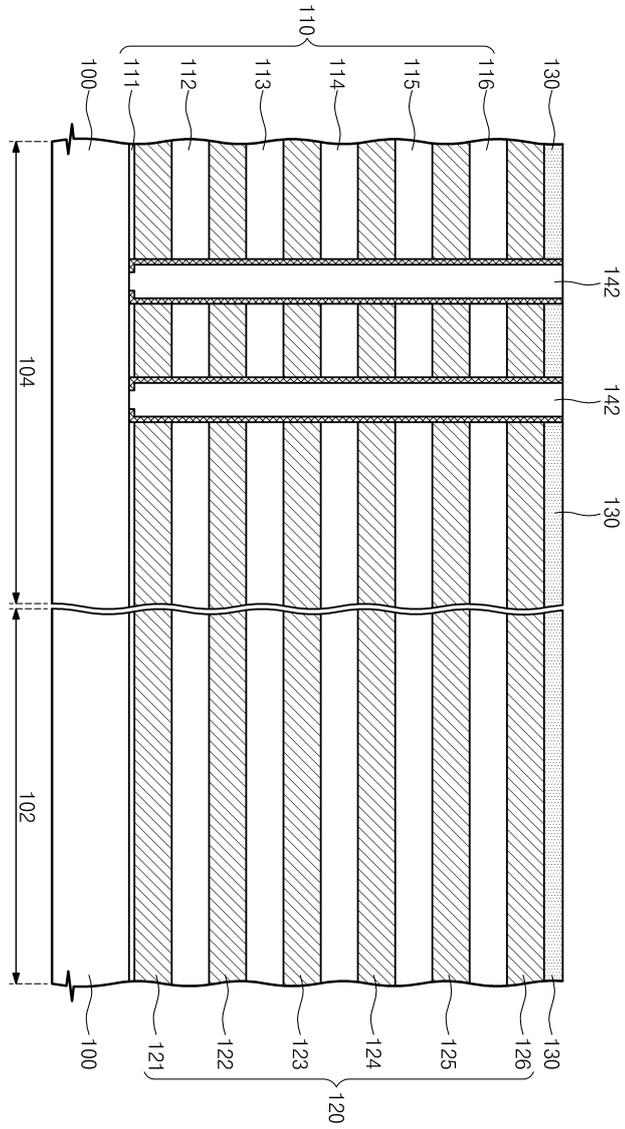
도면3c



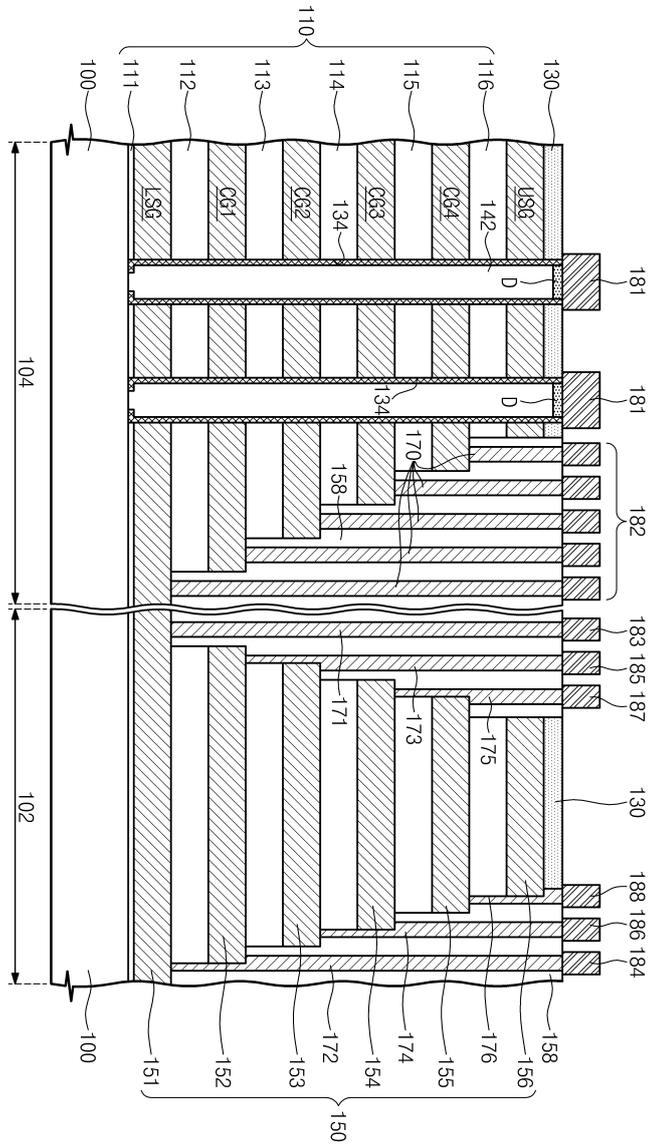
도면3d



도면3e



도면3h



도면4

