

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-66788

(P2016-66788A)

(43) 公開日 平成28年4月28日(2016.4.28)

(51) Int.Cl.	F I	テーマコード(参考)
HO 1 L 21/66 (2006.01)	HO 1 L 21/66 N	4M106
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 624	4M118
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 618B	5F048
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 102E	5F083
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 321G	5F110

審査請求 未請求 請求項の数 6 O L (全 78 頁) 最終頁に続く

(21) 出願番号	特願2015-180322 (P2015-180322)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成27年9月14日(2015.9.14)	(72) 発明者	下村 明久 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2014-191058 (P2014-191058)	(72) 発明者	奥野 直樹 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(32) 優先日	平成26年9月19日(2014.9.19)	(72) 発明者	一條 充弘 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	鈴木 規悦 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

最終頁に続く

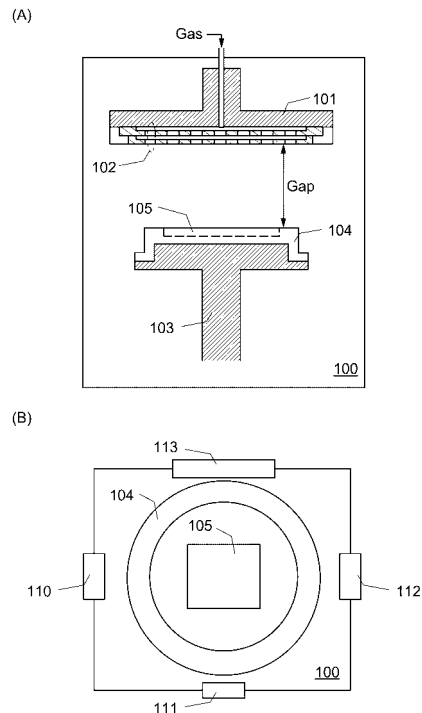
(54) 【発明の名称】 半導体膜の評価方法および半導体装置の作製方法

(57) 【要約】

【課題】非接触による半導体膜の諸特性の評価方法を提供する。または、半導体膜の面内ばらつき小さいトランジスタを提供する。または、半導体膜の欠陥準位密度の低いトランジスタを提供する。または、電気特性の安定したトランジスタを提供する。または、高い周波数特性を有するトランジスタを提供する。または、オフ時の電流の小さいトランジスタを提供する。または、該トランジスタを有する半導体装置を提供する。

【解決手段】絶縁膜と、半導体膜と、導電膜と、を有し、半導体膜は、絶縁膜を介して、半導体膜と導電膜とが互いに重なる領域を有し、絶縁膜形成後にプラズマ処理を行い、プラズマ処理後、マイクロ波光導電減衰法により半導体膜のマイクロ波の反射率のピーク値を求めて半導体膜中の水素濃度を見積もることを特徴とする半導体装置の半導体膜の評価方法である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁膜と、半導体膜と、導電膜と、を有する半導体装置において、
前記半導体膜は、前記絶縁膜を介して、前記半導体膜と前記導電膜とが互いに重なる領域を有し、

前記絶縁膜形成後にプラズマ処理を行い、

前記プラズマ処理後、マイクロ波光導電減衰法により前記半導体膜のマイクロ波の反射率のピーク値を求めて前記半導体膜中の水素濃度を見積もることを特徴とする半導体装置の半導体膜の評価方法。

【請求項 2】

請求項 1 において、

前記マイクロ波光導電減衰法は、波長が 349 nm 以下の励起光を用いることを特徴とする半導体膜の評価方法。

【請求項 3】

請求項 1 または請求項 2 において、

前記半導体膜は、インジウム、亜鉛および元素 M（元素 M はアルミニウム、ガリウム、イットリウムまたはズ）から選ばれた一種以上を有する酸化物を有することを特徴とする半導体膜の評価方法。

【請求項 4】

半導体膜を形成し、

前記半導体膜上に絶縁膜を形成し、

前記絶縁膜に対してプラズマ処理を行い、

前記絶縁膜上に導電膜を形成し、

前記プラズマ処理は、90 秒以上 180 秒未満行うことを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 4 において、

前記プラズマ処理は、酸素を含むガスを用いることを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 4 または請求項 5 において、

前記半導体膜は、インジウム、亜鉛および元素 M（元素 M はアルミニウム、ガリウム、イットリウムまたはズ）から選ばれた一種以上を有する酸化物を有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、絶縁膜、トランジスタおよび半導体装置に関する。または、本発明は、例えば、絶縁膜、トランジスタおよび半導体装置の評価方法に関する。または、本発明は、例えば、絶縁膜、トランジスタおよび半導体装置の製造方法に関する。または、本発明は、例えば、絶縁膜、表示装置、発光装置、照明装置、蓄電装置、記憶装置、プロセッサ、電子機器に関する。または、絶縁膜、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の製造方法に関する。または、半導体装置、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の駆動方法に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【0003】

10

20

30

40

50

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

絶縁表面を有する基板上の半導体膜を用いて、トランジスタを構成する技術が注目されている。当該トランジスタは集積回路や表示装置のような半導体装置に広く応用されている。トランジスタに適用可能な半導体膜としてシリコンが知られている。

【0005】

トランジスタの半導体膜に用いられるシリコンは、用途によって非晶質シリコンと多結晶シリコンとが使い分けられている。例えば、大型の表示装置を構成するトランジスタに適用する場合、大面積基板への成膜技術が確立されている非晶質シリコンを用いると好適である。一方、駆動回路を一体形成した高機能の表示装置を構成するトランジスタに適用する場合、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコンを用いると好適である。多結晶シリコンは、非晶質シリコンに対し高温での熱処理、またはレーザー光処理を行うことで形成する方法が知られる。

10

【0006】

その後、酸化物半導体膜を用いたトランジスタが開示されている（特許文献1参照。）。酸化物半導体膜は、スパッタリング法などを用いて成膜できるため、大型の表示装置を構成するトランジスタの半導体に用いることができる。また、酸化物半導体膜を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路を一体形成した高機能の表示装置を実現できる。また、非晶質シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

20

【0007】

また、酸化物半導体膜の諸特性を非接触で評価する方法として、酸化物半導体膜に励起光およびマイクロ波を照射し、励起光の照射により変化するマイクロ波の反射波を測定する方法が開示されている（特許文献2および特許文献3参照。）。特許文献2には、非晶質の酸化物半導体膜は、波長349nmの励起光の浸透長（侵入長または進入長などとも呼ばれる。）が10nm程度であることが示されている。

【0008】

また、非特許文献1には、代表的な酸化物半導体であるIn-Ga-Zn酸化物の電子スピン共鳴（ESR：Electron Spin Resonance）によるスピン密度と導電率との関係が開示されている。また、In-Ga-Zn酸化物のキャリア発生源として、酸素欠損および水素に起因する欠陥準位が示されている。

30

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特表平11-505377

【特許文献2】特開2012-33857号公報

【特許文献3】特開2014-19931号公報

40

【非特許文献】

【0010】

【非特許文献1】Y. Nonaka, et al.: Journal of Applied Physics 2014 vol. 115, 163707

【発明の概要】

【発明が解決しようとする課題】

【0011】

非接触による半導体膜の諸特性の評価方法を提供することを課題の一とする。または、非接触によるワイドギャップ半導体膜の諸特性の評価方法を提供することを課題の一とする。または、非接触による酸化物半導体膜の諸特性の評価方法を提供することを課題の一

50

とする。または、新規な評価方法を提供することを課題の一とする。または、新規な測定方法を提供することを課題の一とする。

【0012】

または、半導体膜の面内ばらつきの小さいトランジスタを提供することを課題の一とする。または、半導体膜の欠陥準位密度の低いトランジスタを提供することを課題の一とする。または、電気特性の良好なトランジスタを提供することを課題の一とする。または、電気特性の安定したトランジスタを提供することを課題の一とする。または、オフ時の電流の小さいトランジスタを提供することを課題の一とする。または、該トランジスタを有する半導体装置を提供することを課題の一とする。または、該半導体装置を有するモジュールを提供することを課題の一とする。または、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。または、新規なモジュールを提供することを課題の一とする。または、新規な電子機器を提供することを課題の一とする。

10

【0013】

または、トランジスタにおいて、半導体膜の水素濃度の分布の評価方法を提供することを課題の一とする。

【0014】

または、トランジスタを歩留まり高く作製することを課題の一とする。または、トランジスタを生産性高く作製することを課題の一とする。または、トランジスタを安く作製することを課題の一とする。または、該トランジスタを有する半導体装置を歩留まり高く作製することを課題の一とする。または、該トランジスタを有する半導体装置を生産性高く作製することを課題の一とする。または、該トランジスタを有する半導体装置を安く作製することを課題の一とする。

20

【0015】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0016】

本発明の一態様は、絶縁膜と、半導体膜と、導電膜と、を有する半導体装置において、半導体膜は、絶縁膜を介して、半導体膜と導電膜とが互いに重なる領域を有し、絶縁膜形成後にプラズマ処理を行い、プラズマ処理後、マイクロ波光導電減衰法により半導体膜のマイクロ波の反射率のピーク値を求めて半導体膜中の水素濃度を見積もることを特徴とする半導体装置の半導体膜の評価方法である。

30

【0017】

また、上記評価方法において、マイクロ波光導電減衰法は、波長が349nm以下の励起光を用いる。

【0018】

また、上記評価方法において、半導体膜は、インジウム、亜鉛および元素M（元素Mはアルミニウム、ガリウム、イットリウムまたはスズ）から選ばれた一種以上を有する酸化物を有する。

40

【0019】

また、本発明の他の一態様は、半導体膜を形成し、半導体膜上に絶縁膜を形成し、絶縁膜に対してプラズマ処理を行い、絶縁膜上に導電膜を形成し、プラズマ処理は、90秒以上180秒未満行うことを特徴とする半導体装置の作製方法である。

【0020】

また、上記作製方法において、プラズマ処理は、酸素を含むガスを用いることが好ましい。

【0021】

50

また、上記作製方法において、半導体膜は、インジウム、亜鉛および元素M（元素Mはアルミニウム、ガリウム、イットリウムまたはスズ）から選ばれた一種以上を有する酸化物を有する。

【発明の効果】

【0022】

非接触による半導体膜の諸特性の評価方法を提供することができる。または、非接触によるワイドギャップ半導体膜の諸特性の評価方法を提供することができる。または、非接触による酸化物半導体膜の諸特性の評価方法を提供することができる。または、新規な評価方法を提供することができる。または、新規な測定方法を提供することができる。

【0023】

半導体膜の面内ばらつきの小さいトランジスタを提供することができる。または、半導体膜の欠陥準位密度の低いトランジスタを提供することができる。または、電気特性の良好なトランジスタを提供することができる。または、電気特性の安定したトランジスタを提供することができる。または、高い周波数特性を有するトランジスタを提供することができる。または、オフ時の電流の小さいトランジスタを提供することができる。または、該トランジスタを有する半導体装置を提供することができる。または、該半導体装置を有するモジュールを提供することができる。または、該半導体装置、または該モジュールを有する電子機器を提供することができる。または、新規な半導体装置を提供することができる。または、新規なモジュールを提供することができる。または、新規な電子機器を提供することができる。

【0024】

または、トランジスタにおいて、半導体膜の水素濃度の分布の評価方法を提供することができる。

【0025】

または、トランジスタを歩留まり高く作製することができる。または、トランジスタを生産性高く作製することができる。または、トランジスタを安く作製することができる。または、該トランジスタを有する半導体装置を歩留まり高く作製することができる。または、該トランジスタを有する半導体装置を生産性高く作製することができる。または、該トランジスタを有する半導体装置を安く作製することができる。

【0026】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0027】

【図1】成膜装置のチャンバー内の一部の模式図。

【図2】マイクロ波光導電減衰法による評価を行う装置の模式図。

【図3】マイクロ波光導電減衰法による評価を行う装置の模式図。

【図4】CAAC-OSの断面におけるCs補正高分解能TEM像、およびCAAC-OSの断面模式図。

【図5】CAAC-OSの平面におけるCs補正高分解能TEM像。

【図6】CAAC-OSおよび単結晶酸化物半導体のXRDによる構造解析を説明する図。

【図7】CAAC-OSの電子回折パターンを示す図。

【図8】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。

【図9】本発明の一態様に係るトランジスタを示す上面図および断面図。

【図10】本発明の一態様に係るトランジスタを示す断面図。

【図11】本発明の一態様に係るトランジスタを示す上面図および断面図。

【図12】本発明の一態様に係るトランジスタを示す上面図および断面図。

10

20

30

40

50

- 【図 1 3】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図 1 4】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図 1 5】本発明の一態様に係るトランジスタを示す断面図。
- 【図 1 6】本発明の一態様に係るトランジスタの作製方法を示す断面図。
- 【図 1 7】本発明の一態様に係るトランジスタの作製方法を示す断面図。
- 【図 1 8】本発明の一態様に係るトランジスタの作製方法を示す断面図。
- 【図 1 9】本発明の一態様に係る半導体装置を示す回路図。
- 【図 2 0】本発明の一態様に係る半導体装置を示す断面図。
- 【図 2 1】本発明の一態様に係る半導体装置を示す断面図。
- 【図 2 2】本発明の一態様に係る半導体装置を示す断面図。 10
- 【図 2 3】本発明の一態様に係る記憶装置を示す回路図。
- 【図 2 4】本発明の一態様に係る半導体装置を示す断面図。
- 【図 2 5】本発明の一態様に係る半導体装置を示す断面図。
- 【図 2 6】本発明の一態様に係る半導体装置を示す断面図。
- 【図 2 7】本発明の一態様に係る半導体装置を示す上面図。
- 【図 2 8】本発明の一態様に係る半導体装置を示すブロック図。
- 【図 2 9】本発明の一態様に係る半導体装置を示す断面図。
- 【図 3 0】本発明の一態様に係る半導体装置を示す断面図。
- 【図 3 1】本発明の一態様に係る半導体装置を示す斜視図。
- 【図 3 2】本発明の一態様に係る半導体装置を示すブロック図。 20
- 【図 3 3】本発明の一態様に係る半導体装置を示す回路図。
- 【図 3 4】本発明の一態様に係る半導体装置を示す回路図、上面図および断面図。
- 【図 3 5】本発明の一態様に係る半導体装置を示す回路図および断面図。
- 【図 3 6】本発明の一態様に係る電子機器を示す図。
- 【図 3 7】マイクロ波光導電減衰法で評価したマイクロ波の反射率のピーク値の面内分布を示す図。
- 【図 3 8】マイクロ波の反射率のピーク値と Gap との関係を示す図。
- 【図 3 9】マイクロ波反射強度の減衰曲線を説明する図。
- 【図 4 0】実施例における試料の水素濃度のデプスプロファイルを説明する図。
- 【図 4 1】酸化物半導体膜中の水素濃度とマイクロ波の反射率のピーク値との関係を示す 30
図。
- 【図 4 2】電子スピン共鳴で評価したスピン密度を示す図。
- 【図 4 3】電子スピン共鳴で評価したスピン密度を示す図。
- 【図 4 4】電子スピン共鳴で評価したスピン密度を示す図。
- 【図 4 5】実施例における試料の水素濃度のデプスプロファイルを説明する図。
- 【図 4 6】トランジスタの断面図。
- 【図 4 7】トランジスタの電気特性を示す図。
- 【図 4 8】トランジスタのゲート BT ストレス試験前後の電気特性を示す図。
- 【図 4 9】トランジスタのゲート BT ストレス試験前後の電気特性を示す図。
- 【発明を実施するための形態】 40
- 【0028】
- 本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。
- 【0029】
- なお、図において、大きさ、膜（層）の厚さ、または領域は、明瞭化のために誇張されている場合がある。 50

【0030】

なお、本明細書において、「膜」という表記と、「層」という表記と、を互いに入れ替えることが可能である。また、「絶縁体」という表記と、「絶縁膜（または絶縁層）」という表記と、を互いに入れ替えることが可能である。また、「導電体」という表記と、「導電膜（または導電層）」という表記と、を互いに入れ替えることが可能である。また、「半導体」という表記は、「半導体膜（または半導体層）」という表記と、を互いに入れ替えることが可能である。

【0031】

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。

10

【0032】

なお、第1、第2として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書などに記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0033】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体膜（またはトランジスタがオン状態のときに半導体膜の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

20

【0034】

チャンネル幅とは、例えば、半導体膜（またはトランジスタがオン状態のときに半導体膜の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースまたはドレインの幅をいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

30

【0035】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャンネル領域の割合に対して、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

40

【0036】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0037】

50

そこで、本明細書では、トランジスタの上面図において、半導体膜とゲート電極とが互いに重なる領域における、ソースまたはドレインの幅である見かけ上のチャンネル幅を、「囲い込みチャンネル幅 (SCW: Surrounded Channel Width)」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

【0038】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0039】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0040】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0041】

<絶縁膜の面内ばらつきを抑制する方法>

以下に、半導体膜上に設ける絶縁膜の面内ばらつきを抑制する方法について説明する。

【0042】

半導体膜上に絶縁膜を成膜する際、絶縁膜の面内ばらつきが大きいとトランジスタの電気特性に影響をもたらしてしまう。特に、半導体膜がワイドギャップ半導体である酸化物半導体膜である場合、絶縁膜にプラズマ処理を行って酸素を添加して、絶縁膜から酸化物半導体膜への酸素を供給している。絶縁膜の成膜時の圧力が高い方が絶縁膜へ酸素が供給されやすく、かつ水素が入りにくいがプラズマが広がりにくくなり、プラズマ処理が絶縁膜の面内でばらついてしまう。このようになると酸化物半導体膜への酸素の供給量にばらつきが生じ、酸化物半導体膜中の酸素欠損の密度が膜の面内でばらつく。このため、絶縁膜からの酸素が供給される量が少ない酸化物半導体膜中の領域では、酸素欠損のサイトに入った水素(VoHともいう)を酸素で置換することができず、キャリア密度が増大し、トランジスタのしきい値電圧のマイナスシフトの異常が発生してしまう。

【0043】

絶縁膜の成膜時のプラズマ処理の面内ばらつきを小さくするためには、プラズマの分布が膜に対して十分に広がっている必要がある。プラズマの分布が膜全体に広がるようにするためには、膜の原料となるガスが出てくる側の上部電極を大きくしてプラズマの分布を広くすることができるが、この場合、成膜装置の構成を変更する必要があるため装置のコストが発生してしまう。

【0044】

そこで、既存の成膜装置を用いてプラズマの分布が膜全体に広がるようにする方法を説明する。

【0045】

<成膜装置>

まず、成膜装置について図を用いて説明する。

【0046】

10

20

30

40

50

図1は、成膜装置として用いることができるプラズマ化学気相成長(PECVD: Plasma Enhanced Chemical Vapor Deposition)装置のチャンパー内の一部を示す模式図である。図1(A)は、チャンパー内の一部を示す断面模式図であり、図1(B)は、チャンパー内の一部を示す上面模式図である。図1(A)、図1(B)に示す装置のチャンパー100内は、上部電極101と、シャワー板102と、下部電極103と、支持台104と、基板105と、窓110と、窓111と、窓112と、ゲートバルブ113と、を有する。

【0047】

シャワー板102は、ガスをより均一に拡散させるため2層構造となっているがこれに限られず、1層や3層以上であってもよい。また、下部電極103は、基板105を均熱保持するためのヒーター機能を有している。

10

【0048】

上部電極101に設けられた配管からシャワー板102を介して均一にキャリアガスをチャンパー100内に流し、支持台104上の基板105を加熱し、対向して配置した上部電極101および下部電極103間に高周波電力を印加し、キャリアガスをプラズマ状態にし、上部電極101に設けられた配管からシャワー板102を介して均一に出る原料ガスをチャンパー内に流すことでプラズマにより支持台104上の基板に原料ガスの成分が析出して薄膜が成膜される。

【0049】

成膜される膜は、シャワー板102の表面と支持台104の表面との距離(Gapともいう)を、下部電極103を移動させて調整することでプラズマの分布のばらつきを抑制することができる。また、Gapが大きいと、プラズマの分布のばらつきが大きくなってしまい、Gapが小さいと、基板105との距離が近くなるためプラズマの分布のばらつきは小さくなるが、半導体膜上にPECVD装置を用いて成膜すると半導体膜全体において、マイクロ波光導電減衰法のマイクロ波の反射率のピーク値が小さくなってしまふ。

20

【0050】

なお、マイクロ波の反射率のピーク値とは、照射されたレーザ光によって半導体膜の膜中でレーザ光が吸収されて過剰キャリアを生成する速度と過剰キャリアが消滅していく速度が等しくなり、飽和して一定となる値のことをいう。

【0051】

また、チャンパー100内の側壁は、図1(B)に示すように、窓110と、窓111と、窓112と、ゲートバルブ113と、が設けられている。窓110乃至窓112は、絶縁体、ゲートバルブ113は導電体となっているため、プラズマの分布が導電体であるゲートバルブ113の方向に寄ってしまい、プラズマの分布のばらつきが大きくなる可能性がある。この対策として、窓110乃至窓112の部分に導電体を設けて、チャンパー100内の側壁の四方を全て導電体にすることでプラズマの分布が均一に広がるようにすることができる。

30

【0052】

PECVD装置を用いて絶縁膜を成膜した後におけるマイクロ波の反射率のピーク値は、半導体膜に含まれる水素(水、水素イオン又は水酸化イオンなどを含む。)等の不純物量との相関がある。よって、マイクロ波の反射率のピーク値の分布を測定することで半導体膜に含まれる水素等の不純物量の分布を評価することができる。

40

【0053】

<NO_xとVOH>

また、半導体膜に接する絶縁膜中の窒素酸化物(以下、NO_xと表記する(x=0より大きく2以下、好ましくは1以上2以下))の含有量が多いと、絶縁膜と半導体膜の界面におけるキャリアのトラップが増大し、トランジスタのしきい値電圧のシフトが大きくなり、トランジスタの電気特性の変動が大きくなってしまふ。つまり、絶縁膜中のNO_xは、絶縁膜中において欠陥となる。NO_x起因の欠陥は、ESR測定において、NO_x起因のシグナルのスピン密度として測定することができる。NO_x起因のスピン密度を低減す

50

るためには、絶縁膜を薄く（成膜時間を短くする）ことが有効であるが半導体膜中のV o H起因のスピン密度が増大してしまう。

【0054】

絶縁膜中のNO_x起因のスピン密度を低減しつつ、半導体膜中のV o H起因のスピン密度を低減させるために、半導体膜中の水素を低減する必要がある。特に、半導体膜として、酸化物半導体膜を用いた場合、酸化物半導体膜中の水素濃度は、 $7 \times 10^{19} \text{ atoms/cm}^3$ 未満にすることが好ましく、 $1 \times 10^{19} \text{ atoms/cm}^3$ 未満にすることがさらに好ましい。半導体膜中の水素を低減するためには、絶縁膜中に酸素を供給し、絶縁膜中の酸素を接する半導体膜に供給することで半導体膜中の水素と供給された酸素が結合し、水となり、その後、熱処理する。このようにすることで半導体膜中の水素（または水）を外部に放出することができる。

10

【0055】

絶縁膜に酸素を供給する方法としては、絶縁膜成膜後にプラズマ処理を行うことが有効である。プラズマ処理としては、酸素プラズマ処理、亜酸化窒素プラズマ処理などがあり、特に酸素プラズマ処理を用いることが好ましい。さらに、プラズマ処理は、長時間行うことで半導体膜中のV o H起因のスピン密度をより低減させることができる。一方、酸素プラズマ処理を長時間行うと絶縁膜中のNO_x起因のスピン密度が増大してしまうため、たとえば、プラズマ処理時間は、90秒以上180秒未満とすると好ましい。また、プラズマ処理の代わりにイオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いて絶縁膜に酸素を供給してもよい。

20

【0056】

<マイクロ波光導電減衰法>

マイクロ波光導電減衰法について図を用いて説明する。

【0057】

図2は、マイクロ波光導電減衰法を行うための装置の一例を示す模式図である。図2に示す装置は、ワイドギャップ半導体の薄膜の評価に好適である。特に、トランジスタの半導体に用いられる、1nm以上1μm以下、2nm以上500nm以下、3nm以上200nm以下または5nm以上100nm以下のワイドギャップ半導体の評価に好適である。

30

【0058】

図2に示す装置は、パルスレーザ発振器301と、マイクロ波発振器302と、方向性結合器303と、導波管305と、ミキサ306と、信号処理装置307と、試料ステージ311と、を有する。なお、図2において、導波管305は、コーナー部が曲率を有する形状を示しているが、これに限定されるものではない。試料ステージ311上には、試料320を配置することができる。試料320は、例えば、基板320bと、基板320b上の半導体膜320aと、を有する。

【0059】

試料ステージ311の上面には、導電体が配置されている。導電体としては、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、鉄、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、ステンレス鋼などの合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

40

【0060】

なお、試料320と試料ステージ311との間にスペーサ310を配置しても構わない。スペーサ310は、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または

50

積層で用いられればよい。例えば、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルを用いられればよい。

【0061】

スペーサ310は、例えば、半導体膜320aの上面と、試料ステージ311の上面との距離が基板320bおよびスペーサ310におけるマイクロ波の波長の1/4程度となるように厚さを選択すればよい。なお、スペーサ310を配置することにより、試料320を上下逆さまに配置した場合でも評価が可能となる場合がある。試料320を上下逆さまに配置することで、例えば、基板320bと半導体膜320aとの界面の影響を多く含んだ情報が得られる場合がある。

10

【0062】

以下に、半導体膜320aのマイクロ波光導電減衰法による評価方法を示す。

【0063】

まず、マイクロ波発振器302より、マイクロ波を放射する。放射されたマイクロ波を特に進行波（入射波ともいう。）と呼ぶ。方向性結合器303を介して進行波が、導波管305と位相器315とに分かれる。導波管305を通った進行波は、試料320に入射する。このとき、試料320の半導体膜320aで反射したマイクロ波（特に反射波と呼ぶ。）が、再び導波管305を通る。反射波は、ミキサ306にて、位相器315を介して分かれた進行波と混合される。混合された信号は、信号処理装置307において検出される。

20

【0064】

このとき、信号処理装置307で検出される信号の強度は、半導体膜320aにおけるマイクロ波の反射率によって変化する。例えば、半導体膜320aにおいて光照射で注入される余剰キャリアのキャリア密度が高いほど、マイクロ波の反射率は高くなる。

【0065】

また、半導体膜320aは、励起光を吸収することで正孔および電子を生成する。即ち、励起光を半導体膜320aに照射することで、半導体膜320aのキャリア密度は高くなる。励起光は、ミラー313およびレンズ314を介して半導体膜320aに照射させればよい。

30

【0066】

マイクロ波の反射率はキャリア密度と正の相関を有することから、励起光を半導体膜320aに照射することで、半導体膜320aにおけるマイクロ波の反射率は高くなる。ある程度の時間、半導体膜320aに励起光を当て続けると、マイクロ波の反射率は、励起光によるキャリアの生成と、再結合などによるキャリアの消失と、のバランスによって一定値をとる。この値が、マイクロ波の反射率の最も高い値であることから、反射率のピーク値と呼ぶことができる。反射率のピーク値は、半導体膜320aの欠陥準位密度によって変化する場合がある。具体的には、半導体膜320aの欠陥準位密度が高いときは、反射率のピーク値が低くなる。また、半導体膜320aの浅い欠陥準位密度が低いときは、反射率のピーク値が高くなる。これは、該欠陥準位が、キャリアの消失を助長するためと考えられる。

40

【0067】

なお、励起光としては、例えば、パルスレーザー発振器301から放射されたレーザー光を用いることができる。レーザー光は、半導体膜320aのエネルギーギャップよりも十分に高いエネルギーの波長を用いると好ましい。特に、半導体膜320aへの進入長が250nm未満、100nm未満、70nm未満または50nm未満のレーザー光を用いられればよい。例えば、波長が349nm以下、337nm未満、315nm未満、300nm未満または270nm未満のレーザー光を用いられればよい。また、光学系のコストの上昇を抑えるためには、レーザー光の波長は200nm以上とすることが好ましい。ただし、波長が200nm未満のレーザー光を用いても構わない。なお、ネオジウムを添加したフッ化イットリウム

50

リチウムをレーザ媒質に用いたレーザ（YLFレーザともいう。）の4倍高長波の波長は266nmである。なお、光の進入長は、光の強度が1/eに減衰する深さであり、下式で表すことができる。

【0068】

【数1】

$$d = \frac{\lambda}{4\pi k}$$

【0069】

ここで、dは進入長[nm]を示し、 λ は波長[nm]を示し、kは減衰係数を示す。

【0070】

例えば、半導体膜320aのエネルギーギャップよりも十分に高いエネルギーの波長のレーザ光を用いない場合、検出感度を高めるためにレーザ光の出力をある程度高くしなくてはならない。そのため、半導体膜320aを変質させてしまう場合があった。半導体膜320aのエネルギーギャップよりも十分に高いエネルギーの波長のレーザ光を用いることで、レーザ光の出力を小さくした場合でも半導体膜320aのキャリア密度を十分に高くすることができる。したがって、上述したような、半導体膜320aの変質を抑制することができる。

【0071】

また、半導体膜320aへの進入長の浅いレーザ光を用いることで、基板320bなど下地の情報が測定結果に反映されることを抑制することができる。また、干渉効果により、半導体膜320aの厚さに応じて測定結果にムラが生じることを抑制することができる。

【0072】

次に、半導体膜320aへの励起光の照射を止めると、キャリアの生成が止まり、半導体膜320aのキャリア密度は低減していく。即ち、マイクロ波の反射率は低くなる。なお、マイクロ波の反射率はキャリア密度と正の相関を有するため、半導体膜320aにおけるキャリアの寿命（ライフタイム）を測定することもできる。キャリアの寿命は、マイクロ波の反射率のピーク値から、速やかに減衰する成分（1ともいう。）と、緩やかに減衰する成分（2ともいう。）と、に分けることができる。マイクロ波光導電減衰法による1および2の導出方法は、S. Yasuno, et al.: Journal of Applied Physics 2012 vol. 112, 053715の記載を参照する。

【0073】

以上のようにして、半導体膜320aをマイクロ波光導電減衰法による評価を行うことができる。なお、試料ステージ311をX方向およびY方向に動かすことで、基板320bの面内において、複数箇所の評価を行うことができる。

【0074】

なお、図3のように、導波管305aおよび導波管305bの二つの導波管と、マジックT304と、有する装置を用いても構わない。なお、導波管305aと導波管305bとが、対称性を有すると好ましい。または、導波管305aと導波管305bとのマイクロ波の経路長が同じであればよい。なお、図3において、導波管305aおよび導波管305bは、コーナー部が曲率を有する形状を示しているが、これに限定されるものではない。

【0075】

図3の場合も、まず、マイクロ波発振器302より、マイクロ波を放射する。方向性結合器303を介して進行波が、マジックT304と位相器315とに分かれる。マジックT304において、進行波は、導波管305aおよび導波管305bに分かれる。導波管305aを通った進行波は、励起光とともに試料320に入射する。また、導波管305

10

20

30

40

50

bを通った進行波、そのまま試料320に入射する。このとき、試料320の半導体膜320aで反射したマイクロ波が、再び導波管305aおよび導波管305bを通り、マジックT304に戻る。導波管305aと導波管305bと、を通った反射波は、マジックT304において再び合流する、そして、マジックT304はそれらの和信号を出力する。そして、ミキサ306にて、位相器315を介して分かれた進行波と混合される。混合された信号は、信号処理装置307において検出される。

【0076】

このとき、導波管305bを通った反射波は、マイクロ波発振器302に起因したノイズ、および機械的振動による外乱などを、導波管305aを通った反射波と同じだけ含む。したがって、その和信号をとることで、ノイズなどの影響を低減することができる。そのため、図3に示す装置は、励起光によるマイクロ波の反射率の変化を、さらに感度よく検出することができる。

10

【0077】

<ワイドギャップ半導体>

ワイドギャップ半導体は、シリコンなどと比べてエネルギーギャップが大きい半導体である。具体的には、エネルギーギャップが2 eV以上5 eV以下、2.2 eV以上4.6 eV以下、特に2.5 eV以上4.0 eV以下の半導体を指す。

【0078】

ワイドギャップ半導体は、エネルギーギャップが大きいことにより、マイクロ波光導電減衰法において、シリコンなどで用いられてきた波長349 nmなどのレーザ光の進入長が深くなる。したがって、上述したような不具合が生じる場合があった。特に、欠陥準位密度が低いワイドギャップ半導体においては、レーザ光の進入長が従来考えられていた以上に深くなる場合がある。

20

【0079】

例えば、代表的なワイドギャップ半導体としては、酸化物半導体が挙げられる。以下に酸化物半導体の構造などを説明する。

【0080】

<酸化物半導体の構造について>

以下では、酸化物半導体の構造について説明する。

【0081】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。

30

【0082】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

【0083】

<CAAC-OS>

まずは、CAAC-OSについて説明する。なお、CAAC-OSを、CANO (C Axis Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

40

【0084】

CAAC-OSは、c軸配向した複数の結晶部(ペレットともいう。)を有する酸化物半導体の一つである。

【0085】

透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OSの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一

50

方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない。そのため、CAAC-Osは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0086】

以下では、TEMによって観察したCAAC-Osについて説明する。図4(A)に、試料面と略平行な方向から観察したCAAC-Osの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正（Spherical Aberration Corrector）機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

10

【0087】

図4(A)の領域(1)を拡大したCs補正高分解能TEM像を図4(B)に示す。図4(B)より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-Osの膜を形成する面（被形成面ともいう。）または上面の凹凸を反映しており、CAAC-Osの被形成面または上面と平行となる。

【0088】

図4(B)に示すように、CAAC-Osは特徴的な原子配列を有する。図4(C)は、特徴的な原子配列を、補助線で示したものである。図4(B)および図4(C)より、ペレット一つの大きさは1nm以上3nm以下程度であり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶（nc:nanocrystal）と呼ぶこともできる。

20

【0089】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-Osのペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる（図4(D)参照。）。図4(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図4(D)に示す領域5161に相当する。

【0090】

また、図5(A)に、試料面と略垂直な方向から観察したCAAC-Osの平面のCs補正高分解能TEM像を示す。図5(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図5(B)、図5(C)および図5(D)に示す。図5(B)、図5(C)および図5(D)より、ペレットは、金属原子が三角形、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

30

【0091】

次に、X線回折（XRD：X-Ray Diffraction）によって解析したCAAC-Osについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-Osに対し、out-of-plane法による構造解析を行うと、図6(A)に示すように回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-Osの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

40

【0092】

なお、CAAC-Osのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-Os中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-Osは、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さない。

【0093】

一方、CAAC-Osに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、I

50

InGaZnO_4 の結晶の (110) 面に帰属される。CAAC-OSS の場合は、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (c 軸) として試料を回転させながら分析 (スキャン) を行っても、図 6 (B) に示すように明瞭なピークは現れない。これに対し、 InGaZnO_4 の単結晶酸化物半導体であれば、 2θ を 56° 近傍に固定してスキャンした場合、図 6 (C) に示すように (110) 面と等価な結晶面に帰属されるピークが 6 本観察される。したがって、XRD を用いた構造解析から、CAAC-OSS は、a 軸および b 軸の配向が不規則であることが確認できる。

【0094】

次に、電子回折によって解析した CAAC-OSS について説明する。例えば、 InGaZnO_4 の結晶を有する CAAC-OSS に対し、試料面に平行にプローブ径が 300 nm の電子線を入射させると、図 7 (A) に示すような回折パターン (制限視野透過電子回折パターンともいう。) が現れる場合がある。この回折パターンには、 InGaZnO_4 の結晶の (009) 面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSS に含まれるペレットが c 軸配向性を有し、c 軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が 300 nm の電子線を入射させたときの回折パターンを図 7 (B) に示す。図 7 (B) より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-OSS に含まれるペレットの a 軸および b 軸は配向性を有さないことがわかる。なお、図 7 (B) における第 1 リングは、 InGaZnO_4 の結晶の (010) 面および (100) 面などに起因すると考えられる。また、図 7 (B) における第 2 リングは (110) 面などに起因すると考えられる。

10

20

【0095】

また、CAAC-OSS は、欠陥準位密度の低い酸化物半導体である。酸化物半導体の欠陥としては、例えば、不純物に起因する欠陥や、酸素欠損などがある。したがって、CAAC-OSS は、不純物濃度の低い酸化物半導体ということもできる。また、CAAC-OSS は、酸素欠損の少ない酸化物半導体ということもできる。

【0096】

酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

30

【0097】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径 (または分子半径) が大きいいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0098】

また、欠陥準位密度の低い (酸素欠損が少ない) 酸化物半導体は、キャリア密度を低くすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSS は、不純物濃度が低く、欠陥準位密度が低い。即ち、高純度真性または実質的に高純度真性な酸化物半導体となりやすい。したがって、CAAC-OSS を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性 (ノーモリーオンともいう。) になることが少ない。また、高純度真性または実質的に高純度真性な酸化物半導体は、キャリアトラップが少ない。酸化物半導体のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体を用いたトランジスタは、電気特性が不安定となる場合がある。一方、CAAC-OSS を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

40

【0099】

50

また、C A A C - O S は欠陥準位密度が低いため、光の照射などによって生成されたキャリアが、欠陥準位に捕獲されることが少ない。したがって、C A A C - O S を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0100】

< 微結晶酸化物半導体 >

次に、微結晶酸化物半導体について説明する。

【0101】

微結晶酸化物半導体は、高分解能 T E M 像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体に含まれる結晶部は、1 nm 以上 100 nm 以下、または 1 nm 以上 10 nm 以下の大きさであることが多い。特に、1 nm 以上 10 nm 以下、または 1 nm 以上 3 nm 以下の微結晶であるナノ結晶を有する酸化物半導体を、n c - O S (n a n o c r y s t a l l i n e O x i d e S e m i c o n d u c t o r) と呼ぶ。n c - O S は、例えば、高分解能 T E M 像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、C A A C - O S におけるペレットと起源を同じくする可能性がある。そのため、以下では n c - O S の結晶部をペレットと呼ぶ場合がある。

10

【0102】

n c - O S は、微小な領域（例えば、1 nm 以上 10 nm 以下の領域、特に 1 nm 以上 3 nm 以下の領域）において原子配列に周期性を有する。また、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O S に対し、ペレットよりも大きい径の X 線を用いる X R D 装置を用いて構造解析を行うと、o u t - o f - p l a n e 法による解析では、結晶面を示すピークが検出されない。また、n c - O S に対し、ペレットよりも大きいプローブ径（例えば 50 nm 以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S に対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、n c - O S に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

20

30

【0103】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、n c - O S を、R A N C (R a n d o m A l i g n e d n a n o c r y s t a l s) を有する酸化物半導体、または N A N C (N o n - A l i g n e d n a n o c r y s t a l s) を有する酸化物半導体と呼ぶこともできる。

【0104】

n c - O S は、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、n c - O S は、非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、n c - O S は、C A A C - O S と比べて欠陥準位密度が高くなる。

40

【0105】

< 非晶質酸化物半導体 >

次に、非晶質酸化物半導体について説明する。

【0106】

非晶質酸化物半導体は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体である。石英のような無定形状態を有する酸化物半導体が一例である。

【0107】

非晶質酸化物半導体は、高分解能 T E M 像において結晶部を確認することができない。

【0108】

非晶質酸化物半導体に対し、X R D 装置を用いた構造解析を行うと、o u t - o f - p

50

lane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンのみが観測される。

【0109】

非晶質構造については、様々な見解が示されている。例えば、原子配列に全く秩序性を有さない構造を完全な非晶質構造 (completely amorphous structure) と呼ぶ場合がある。また、最近接原子間距離または第2近接原子間距離まで秩序性を有し、かつ長距離秩序性を有さない構造を非晶質構造と呼ぶ場合もある。したがって、最も厳格な定義によれば、僅かでも原子配列に秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。また、少なくとも、長距離秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。よって、結晶部を有することから、例えば、CAAC-OSおよびnc-OSを、非晶質酸化物半導体または完全な非晶質酸化物半導体と呼ぶことはできない。

10

【0110】

<非晶質ライク酸化物半導体>

なお、酸化物半導体は、nc-OSと非晶質酸化物半導体との間の構造を有する場合がある。そのような構造を有する酸化物半導体を、特に非晶質ライク酸化物半導体 (a-like OS: amorphous-like Oxide Semiconductor) と呼ぶ。

20

【0111】

a-like OSは、高分解能TEM像において鬆(ポイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0112】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0113】

電子照射を行う試料として、a-like OS(試料Aと表記する。)、nc-OS(試料Bと表記する。)およびCAAC-OS(試料Cと表記する。)を準備する。いずれの試料もIn-Ga-Zn酸化物である。

30

【0114】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0115】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、InGaZnO₄の結晶部と見なすことができる。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

40

【0116】

図8は、各試料の結晶部(22箇所から45箇所)の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図8より、a-like OS(図中の試料A)は、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図8中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が4.2×10⁸ e⁻/nm²においては2.6nm程度の大きさまで成長していることがわかる。一方

50

、nc-OS（図中の試料B）およびCAAC-OS（図中の試料C）は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図8中の（2）および（3）で示すように、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.4 nm程度および2.1 nm程度であることがわかる。

【0117】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

10

【0118】

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

【0119】

例えば、In:Ga:Zn=1:1:1 [原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO₄の密度は 6.357 g/cm^3 となる。よって、例えば、In:Ga:Zn=1:1:1 [原子数比]を満たす酸化物半導体において、a-like OSの密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、In:Ga:Zn=1:1:1 [原子数比]を満たす酸化物半導体において、nc-OSの密度およびCAAC-OSの密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

20

【0120】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせるにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせて見積もることが好ましい。

30

【0121】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a-like OS、微結晶酸化物半導体、CAAC-OSのうち、二種以上を有する積層膜であってもよい。

【0122】

以上が、酸化物半導体の構造の説明である。

【0123】

<トランジスタ>

以下では、本発明の一態様に係るトランジスタについて説明する。

【0124】

<トランジスタ構造>

図9(A)および図9(B)は、本発明の一態様のトランジスタの上面図および断面図である。図9(A)は上面図であり、図9(B)は、図9(A)に示す一点鎖線A1-A2、および一点鎖線A3-A4に対応する断面図である。なお、図9(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0125】

図9(A)および図9(B)に示すトランジスタは、基板500上の導電膜513と、基板500上および導電膜513上の凸部を有する絶縁膜502と、絶縁膜502の凸部上の半導体膜506aと、半導体膜506a上の半導体膜506bと、半導体膜506bの上面および側面と接し、間隔を空けて配置された層509aおよび層509bと、層5

40

50

09a上の導電膜516aと、層509b上の導電膜516bと、半導体膜506b上、層509a上、層509b上、導電膜516a上および導電膜516b上の半導体膜506cと、半導体膜506c上の絶縁膜512と、絶縁膜512上の導電膜504と、導電膜516a上、導電膜516b上および導電膜504上の絶縁膜508と、絶縁膜508上の絶縁膜518と、を有する。なお、ここでは、導電膜513をトランジスタの一部としているが、これに限定されない。例えば、導電膜513がトランジスタとは独立した構成要素であるとしてもよい。

【0126】

なお、半導体膜506cは、一点鎖線A3 - A4断面において、少なくとも半導体膜506bの上面および側面と接する。また、導電膜504は、一点鎖線A3 - A4断面において、半導体膜506cおよび絶縁膜512を介して半導体膜506bの上面および側面と面する。また、導電膜513は、絶縁膜502を介して半導体膜506bの下面と面する。また、絶縁膜502が凸部を有さなくても構わない。また、導電膜513を有さなくても構わない。また、半導体膜506aを有さなくても構わない。また、半導体膜506cを有さなくても構わない。また、絶縁膜508を有さなくても構わない。また、絶縁膜518を有さなくても構わない。また、層509aを有さなくても構わない。また、層509bを有さなくても構わない。

10

【0127】

なお、半導体膜506bは、トランジスタのチャネル形成領域としての機能を有する。また、導電膜504は、トランジスタの第1のゲート電極（フロントゲート電極ともいう。）としての機能を有する。また、導電膜513は、トランジスタの第2のゲート電極（バックゲート電極ともいう。）としての機能を有する。また、導電膜516aおよび導電膜516bは、トランジスタのソース電極およびドレイン電極としての機能を有する。また、絶縁膜508は、バリア層としての機能を有する。絶縁膜508は、例えば、酸素または/および水素をブロックする機能を有する。または、絶縁膜508は、例えば、半導体膜506aまたは/および半導体膜506cよりも、酸素または/および水素をブロックする機能が高い。

20

【0128】

なお、絶縁膜502は過剰酸素を含む絶縁膜であると好ましい。

【0129】

例えば、過剰酸素を含む絶縁膜は、加熱処理によって酸素を放出する機能を有する絶縁膜である。例えば、過剰酸素を含む酸化シリコン膜は、加熱処理などによって酸素を放出することができる酸化シリコン膜である。したがって、絶縁膜502は膜中を酸素が移動可能な絶縁膜である。即ち、絶縁膜502は酸素透過性を有する絶縁膜とすればよい。例えば、絶縁膜502は、半導体膜506aよりも酸素透過性の高い絶縁膜とすればよい。

30

【0130】

過剰酸素を含む絶縁膜は、半導体膜506b中の酸素欠損を低減させる機能を有する場合がある。半導体膜506b中で酸素欠損は、DOSを形成し、正孔トラップなどとなる。また、酸素欠損のサイトに水素が入ることによって、キャリアである電子を生成することがある。したがって、半導体膜506b中の酸素欠損を低減することで、トランジスタに安定した電気特性を付与することができる。

40

【0131】

ここで、加熱処理によって酸素を放出する絶縁膜は、TDS分析にて、 100 以上 700 以下または 100 以上 500 以下の表面温度の範囲で 1×10^{18} atoms/cm³ 以上、 1×10^{19} atoms/cm³ 以上または 1×10^{20} atoms/cm³ 以上の酸素（酸素原子数換算）を放出することもある。

【0132】

ここで、TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

【0133】

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に

50

比例する。そして標準試料との比較により、気体の全放出量を計算することができる。

【0134】

例えば、標準試料である所定の密度の水素を含むシリコン基板のTDS分析結果、および測定試料のTDS分析結果から、測定試料の酸素分子の放出量(N_{O_2})は、下に示す式で求めることができる。ここで、TDS分析で得られる質量電荷比32で検出されるガスの全てが酸素分子由来と仮定する。 CH_3OH の質量電荷比は32であるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0135】

【数2】

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha$$

【0136】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、測定試料をTDS分析したときのイオン強度の積分値である。 α は、TDS分析におけるイオン強度に影響する係数である。上に示す式の詳細に関しては、特開平6-275697公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として 1×10^{16} atoms/cm²の水素原子を含むシリコン基板を用いて測定した。

【0137】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【0138】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0139】

または、加熱処理によって酸素を放出する絶縁膜は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因するスピン密度が、 5×10^{17} spins/cm³以上であることをいう。なお、過酸化ラジカルを含む絶縁膜は、ESRにて、g値が2.01近傍に非対称の信号を有することもある。

【0140】

または、過剰酸素を含む絶縁膜は、酸素が過剰な酸化シリコン(SiO_x ($X > 2$))であってもよい。酸素が過剰な酸化シリコン(SiO_x ($X > 2$))は、シリコン原子数の2倍より多い酸素原子を単位体積あたりに含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)により測定した値である。

【0141】

図9(B)に示すように、半導体膜506bの側面は、層509aおよび層509bと接する。また、導電膜504の電界によって、半導体膜506bを電氣的に取り囲むことができる(導電膜から生じる電界によって、半導体膜を電氣的に取り囲むトランジスタの構造を、surrounded channel(s-channel)構造とよぶ。)そのため、半導体膜506bの全体(バルク)にチャンネルが形成される場合がある。s-channel構造では、トランジスタのソース-ドレイン間に大電流を流すことがで

10

20

30

40

50

き、導通時の電流（オン電流）を高くすることができる。

【0142】

高いオン電流が得られるため、s-channel構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタは、チャンネル長が好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下の領域を有し、かつ、トランジスタは、チャンネル幅が好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下の領域を有する。

【0143】

また、導電膜513に、ソース電極よりも低い電圧または高い電圧を印加し、トランジスタのしきい値電圧をプラス方向またはマイナス方向へ変動させてもよい。例えば、トランジスタのしきい値電圧をプラス方向に変動させることで、ゲート電圧が0Vであってもトランジスタが非導通状態（オフ状態）となる、ノーマリーオフが実現できる場合がある。なお、導電膜513に印加する電圧は、可変であってもよいし、固定であってもよい。導電膜513に印加する電圧を可変にする場合、電圧を制御する回路を導電膜513と電氣的に接続してもよい。

【0144】

次に、半導体膜506a、半導体膜506b、半導体膜506cなどに適用可能な半導体膜について説明する。なお、半導体膜506a、半導体膜506b、半導体膜506cなどには、例えば、前述したワイドギャップ半導体を適用しても構わない。

【0145】

半導体膜506bは、例えば、インジウムを含む酸化物半導体である。半導体膜506bは、例えば、インジウムを含むと、キャリア移動度（電子移動度）が高くなる。また、半導体膜506bは、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、イットリウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、半導体膜506bは、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

【0146】

ただし、半導体膜506bは、インジウムを含む酸化物半導体に限定されない。半導体膜506bは、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

【0147】

半導体膜506bは、例えば、エネルギーギャップが大きい酸化物を用いる。半導体膜506bのエネルギーギャップは、例えば、2.5eV以上4.2eV以下、好ましくは2.8eV以上3.8eV以下、さらに好ましくは3eV以上3.5eV以下とする。

【0148】

例えば、半導体膜506aおよび半導体膜506cは、半導体膜506bを構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体である。半導体膜506bを構成する酸素以外の元素一種以上、または二種以上から半導体膜506aおよび半導体膜506cが構成されるため、半導体膜506aと半導体膜506bとの界面、および半導体膜506bと半導体膜506cとの界面において、欠陥準位が形成されにくい。

10

20

30

40

50

【0149】

半導体膜506a、半導体膜506bおよび半導体膜506cは、少なくともインジウムを含むと好ましい。なお、半導体膜506aがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高いとする。また、半導体膜506bがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが25atomic%より高く、Mが75atomic%未満、さらに好ましくはInが34atomic%より高く、Mが66atomic%未満とする。また、半導体膜506cがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高くする。なお、半導体膜506cは、半導体膜506aと同種の酸化物を用いても構わない。ただし、半導体膜506aまたは/および半導体膜506cがインジウムを含まなくても構わない場合がある。例えば、半導体膜506aまたは/および半導体膜506cが酸化ガリウムであっても構わない。なお、半導体膜506a、半導体膜506bおよび半導体膜506cに含まれる各元素の原子数が、整数比にならなくても構わない。

10

【0150】

半導体膜506bは、半導体膜506aおよび半導体膜506cよりも電子親和力の大きい酸化物を用いる。例えば、半導体膜506bとして、半導体膜506aおよび半導体膜506cよりも電子親和力の0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

20

【0151】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、半導体膜506cがインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。

【0152】

このとき、ゲート電圧を印加すると、半導体膜506a、半導体膜506b、半導体膜506cのうち、電子親和力の大きい半導体膜506bにチャネルが形成される。

30

【0153】

ここで、半導体膜506aと半導体膜506bとの間には、半導体膜506aと半導体膜506bとの混合領域を有する場合がある。また、半導体膜506bと半導体膜506cとの間には、半導体膜506bと半導体膜506cとの混合領域を有する場合がある。混合領域は、欠陥準位密度が低くなる。そのため、半導体膜506a、半導体膜506bおよび半導体膜506cの積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する(連続接合ともいう。)バンド構造となる。

【0154】

このとき、電子は、半導体膜506a中および半導体膜506c中ではなく、半導体膜506b中を主として移動する。上述したように、半導体膜506aおよび半導体膜506bの界面における欠陥準位密度、半導体膜506bと半導体膜506cとの界面における欠陥準位密度を低くすることによって、半導体膜506b中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることができる。

40

【0155】

トランジスタのオン電流は、電子の移動を阻害する要因を低減するほど、高くすることができる。例えば、電子の移動を阻害する要因のない場合、効率よく電子が移動すると推定される。電子の移動は、例えば、チャネル形成領域の物理的な凹凸が大きい場合にも阻害される。

【0156】

50

トランジスタのオン電流を高くするためには、例えば、半導体膜506bの上面または下面(被形成面、ここでは半導体406a)の、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における二乗平均平方根(RMS: Root Mean Square)粗さが1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における平均面粗さ(Raともいう。)が1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における最大高低差(P-Vともいう。)が10nm未満、好ましくは9nm未満、さらに好ましくは8nm未満、より好ましくは7nm未満とすればよい。RMS粗さ、RaおよびP-Vは、エスアイアイ・ナノテクノロジー株式会社製走査型プローブ顕微鏡システムSPA-500などを用いて測定することができる。

10

【0157】

または、例えば、チャンネルが形成される領域中の欠陥準位密度が高い場合にも、電子の移動は阻害される。

【0158】

例えば、半導体膜506bが酸素欠損(V_{O} とも表記。)を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。以下では酸素欠損のサイトに水素が入り込んだ状態を $V_{\text{O}}\text{H}$ と表記する場合がある。 $V_{\text{O}}\text{H}$ は電子を散乱するため、トランジスタのオン電流を低下させる要因となる。なお、酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、半導体膜506b中の酸素欠損を低減することで、トランジスタのオン電流を高くすることができる場合がある。

20

【0159】

また、チャンネルの形成される領域中の欠陥準位密度が高いと、トランジスタの電気特性を変動させる場合がある。例えば、欠陥準位がキャリア発生源となる場合、トランジスタのしきい値電圧を変動させる場合がある。

【0160】

半導体膜506bの酸素欠損を低減するために、例えば、絶縁膜502に含まれる過剰酸素を、半導体膜506aを介して半導体膜506bまで移動させる方法などがある。この場合、半導体膜506aは、酸素透過性を有する層(酸素を通過または透過させる層)であることが好ましい。

30

【0161】

酸化物半導体中の欠陥準位密度は、例えば、マイクロ波光導電減衰法またはESRなどによって評価することができる。例えば、欠陥準位を有する酸化物半導体は、マイクロ波光導電減衰法によって観測されるマイクロ波の反射率のピーク値が低くなる場合がある。また、ESRによって、g値が1.89以上1.96以下(代表的には、1.93または1.94)にシグナルが現れる場合がある。

【0162】

なお、トランジスタがs-channel構造を有する場合、半導体膜506bの全体にチャンネルが形成される。したがって、半導体膜506bが厚いほどチャンネル領域は大きくなる。即ち、半導体膜506bが厚いほど、トランジスタのオン電流を高くすることができる。例えば、10nm以上、20nm以上、好ましくは40nm以上、さらに好ましくは60nm以上、より好ましくは100nm以上の厚さの領域を有する半導体膜506bとすればよい。ただし、半導体装置の生産性が低下する場合があるため、例えば、300nm以下、好ましくは200nm以下、さらに好ましくは150nm以下の厚さの領域を有する半導体膜506bとすればよい。なお、チャンネル形成領域が縮小していくと、半導体膜506bが薄いほうがトランジスタの電気特性が向上する場合もある。よって、半導体膜506bの厚さが10nm未満であってもよい。

40

【0163】

また、トランジスタのオン電流を高くするためには、半導体膜506cの厚さは小さいほど好ましい。例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3nm

50

以下の領域を有する半導体膜506cとすればよい。一方、半導体膜506cは、チャネルの形成される半導体膜506bへ、隣接する絶縁膜を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようにブロックする機能を有する。そのため、半導体膜506cは、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有する半導体膜506cとすればよい。また、半導体膜506cは、絶縁膜502などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

【0164】

また、信頼性を高くするためには、半導体膜506aは厚く、半導体膜506cは薄いことが好ましい。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上の厚さの領域を有する半導体膜506aとすればよい。半導体膜506aの厚さを、厚くすることで、隣接する絶縁膜との界面からチャネルの形成される半導体膜506bまでの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、例えば、200nm以下、好ましくは120nm以下、さらに好ましくは80nm以下の厚さの領域を有する半導体膜506aとすればよい。

10

【0165】

例えば、半導体膜506bと半導体膜506aとの間に、例えば、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）において、 1×10^{19} atoms/cm³以下、好ましくは 5×10^{18} atoms/cm³以下、さらに好ましくは 2×10^{18} atoms/cm³以下のシリコン濃度となる領域を有する。また、半導体膜506aと半導体膜506bとの間に、SIMSにおいて、 1×10^{19} atoms/cm³以下、好ましくは 5×10^{18} atoms/cm³以下、さらに好ましくは 2×10^{18} atoms/cm³以下のシリコン濃度となる領域を有する。

20

【0166】

また、半導体膜506bの水素濃度を低減するために、半導体膜506aおよび半導体膜506cの水素濃度を低減すると好ましい。半導体膜506aおよび半導体膜506cは、SIMSにおいて、 2×10^{20} atoms/cm³以下、好ましくは 5×10^{19} atoms/cm³以下、より好ましくは 1×10^{19} atoms/cm³以下、さらに好ましくは 5×10^{18} atoms/cm³以下の水素濃度となる領域を有する。また、半導体膜506bの窒素濃度を低減するために、半導体膜506aおよび半導体膜506cの窒素濃度を低減すると好ましい。半導体膜506aおよび半導体膜506cは、SIMSにおいて、 5×10^{19} atoms/cm³以下、好ましくは 5×10^{18} atoms/cm³以下、より好ましくは 1×10^{18} atoms/cm³以下、さらに好ましくは 5×10^{17} atoms/cm³以下の窒素濃度となる領域を有する。

30

【0167】

上述の3層構造は一例である。例えば、半導体膜506aまたは半導体膜506cのない2層構造としても構わない。または、半導体膜506aの上もしくは下、または半導体膜506c上もしくは下に、半導体膜506a、半導体膜506bおよび半導体膜506cとして例示した半導体膜のいずれか一を有する4層構造としても構わない。または、半導体膜506aの上、半導体膜506aの下、半導体膜506cの上、半導体膜506cの下のいずれか二箇所以上に、半導体膜506a、半導体膜506bおよび半導体膜506cとして例示した半導体膜のいずれか一を有するn層構造（nは5以上の整数）としても構わない。

40

【0168】

基板500としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シ

50

リコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0169】

また、基板500として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板500に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板500として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板500が伸縮性を有してもよい。また、基板500は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板500の厚さは、例えば、5 μ m以上700 μ m以下、好ましくは10 μ m以上500 μ m以下、さらに好ましくは15 μ m以上300 μ m以下とする。基板500を薄くすると、半導体装置を軽量化することができる。また、基板500を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板500上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

【0170】

可とう性基板である基板500としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板500は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板500としては、例えば、線膨張率が $1 \times 10^{-3} / K$ 以下、 $5 \times 10^{-5} / K$ 以下、または $1 \times 10^{-5} / K$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミドなど)、ポリイミド、ポリカーボネート、アクリル、ポリテトラフルオロエチレン(PTFE)などがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板500として好適である。

【0171】

導電膜513としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電膜を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電膜、銅およびチタンを含む導電膜、銅およびマンガンを含む導電膜、インジウム、スズおよび酸素を含む導電膜、チタンおよび窒素を含む導電膜などを用いてもよい。

【0172】

絶縁膜502としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁膜を、単層で、または積層で用いればよい。例えば、絶縁膜502としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルを用いればよい。

【0173】

10

20

30

40

50

絶縁膜 502 は、基板 500 からの不純物の拡散を防止する役割を有してもよい。また、半導体膜 506 b が酸化物半導体膜である場合、絶縁膜 502 は、半導体膜 506 b に酸素を供給する役割を担うことができる。

【0174】

層 509 a および層 509 b としては、例えば、透明導電膜、酸化物半導体膜、窒化物半導体膜または酸化窒化物半導体膜を用いればよい。層 509 a および層 509 b としては、例えば、インジウム、スズおよび酸素を含む層、インジウムおよび亜鉛を含む層、インジウム、タングステンおよび亜鉛を含む層、スズおよび亜鉛を含む層、亜鉛およびガリウムを含む層、亜鉛およびアルミニウムを含む層、亜鉛およびフッ素を含む層、亜鉛およびホウ素を含む層、スズおよびアンチモンを含む層、スズおよびフッ素を含む層またはチタンおよびニオブを含む層などを用いればよい。または、これらの層が水素、炭素、窒素、シリコン、ゲルマニウムまたはアルゴンを含んでも構わない。

10

【0175】

層 509 a および層 509 b は、可視光線を透過する性質を有しても構わない。または、層 509 a および層 509 b は、可視光線、紫外線、赤外線もしくは X 線を、反射もしくは吸収することで透過させない性質を有しても構わない。このような性質を有することで、迷光によるトランジスタの電気特性の変動を抑制できる場合がある。

【0176】

また、層 509 a および層 509 b は、半導体膜 506 b などとの間にショットキー障壁を形成しない層を用いると好ましい場合がある。こうすることで、トランジスタのオン特性を向上させることができる。

20

【0177】

導電膜 516 a および導電膜 516 b としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電膜を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電膜、銅およびチタンを含む導電膜、銅およびマンガンを含む導電膜、インジウム、スズおよび酸素を含む導電膜、チタンおよび窒素を含む導電膜などを用いてもよい。

【0178】

なお、層 509 a および層 509 b は、導電膜 516 a および導電膜 516 b よりも高抵抗の層を用いると好ましい場合がある。また、層 509 a および層 509 b は、トランジスタのチャネルよりも低抵抗の層を用いると好ましい場合がある。例えば、層 509 a および層 509 b の抵抗率を、 0.1 cm 以上 100 cm 以下、 0.5 cm 以上 50 cm 以下、または 1 cm 以上 10 cm 以下とすればよい。層 509 a および層 509 b の抵抗率を上述の範囲とすることにより、チャネルとドレインとの境界部における電界集中を緩和することができる。そのため、トランジスタの電気特性の変動を低減することができる。また、ドレインから生じる電界に起因したパンチスルー電流を低減することができる。そのため、チャネル長の短いトランジスタにおいても、飽和特性を良好にすることができる。なお、ソースとドレインとが入れ替わらない回路構成であれば、層 509 a または層 509 b のいずれか一方のみ（例えば、ドレイン側）を配置するほうが好ましい場合がある。

30

40

【0179】

絶縁膜 512 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁膜を、単層で、または積層で用いればよい。例えば、絶縁膜 512 としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

50

【0180】

導電膜504としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電膜を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電膜、銅およびチタンを含む導電膜、銅およびマンガンを含む導電膜、インジウム、スズおよび酸素を含む導電膜、チタンおよび窒素を含む導電膜などを用いてもよい。

【0181】

絶縁膜508としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁膜を、単層で、または積層で用いればよい。絶縁膜508は、好ましくは酸化アルミニウム、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルを含む絶縁膜を、単層で、または積層で用いればよい。

10

【0182】

絶縁膜518としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁膜を、単層で、または積層で用いればよい。例えば、絶縁膜518としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルを用いればよい。

20

【0183】

なお、図9では、トランジスタの第1のゲート電極である導電膜504と第2のゲート電極である導電膜513とが、電氣的に接続しない例を示したが、本発明の一態様に係るトランジスタの構造はこれに限定されない。例えば、図10(A)に示すように、導電膜504と導電膜513とが電氣的に接続する構造であっても構わない。このような構成とすることで、導電膜504と導電膜513とに同じ電位が供給されるため、トランジスタのスイッチング特性を向上させることができる。または、図10(B)に示すように、導電膜513を有さない構造であっても構わない。

30

【0184】

また、図11(A)は、トランジスタの上面図の一例である。図11(A)の一点鎖線F1-F2および一点鎖線F3-F4に対応する断面図の一例を図11(B)に示す。なお、図11(A)では、理解を容易にするため、絶縁膜などの一部を省略して示す。

【0185】

また、図9などではソース電極およびドレイン電極として機能する導電膜516aおよび導電膜516bが半導体膜506bの上面および側面、絶縁膜502の上面などと接する例を示したが、本発明の一態様に係るトランジスタの構造はこれに限定されない。例えば、図11に示すように、導電膜516aおよび導電膜516bが半導体膜506bの上面のみと接する構造であっても構わない。

40

【0186】

また、図11(B)に示すように、絶縁膜518上に絶縁膜528を有してもよい。絶縁膜528は、上面が平坦な絶縁膜であると好ましい。なお、絶縁膜528は、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁膜を、単層で、または積層で用いればよい。例えば、絶縁膜528としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム

50

、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。絶縁膜 5 2 8 の上面を平坦化するために、化学機械研磨 (CMP: Chemical Mechanical Polishing) 法などによって平坦化処理を行ってもよい。

【0187】

または、絶縁膜 5 2 8 は、樹脂を用いてもよい。例えば、ポリイミド、ポリアミド、アクリル、シリコンなどを含む樹脂を用いればよい。樹脂を用いることで、絶縁膜 5 2 8 の上面を平坦化処理しなくてもよい場合がある。また、樹脂は短い時間で厚い膜を成膜することができるため、生産性を高めることができる。

【0188】

また、図 1 1 (A) および図 1 1 (B) に示すように、絶縁膜 5 2 8 上に導電膜 5 2 4 a および導電膜 5 2 4 b を有してもよい。導電膜 5 2 4 a および導電膜 5 2 4 b は、例えば、配線としての機能を有する。また、絶縁膜 5 2 8 が開口部を有し、該開口部を介して導電膜 5 1 6 a と導電膜 5 2 4 a とが電氣的に接続しても構わない。また、また、絶縁膜 5 2 8 が別の開口部を有し、該開口部を介して導電膜 5 1 6 b と導電膜 5 2 4 b とが電氣的に接続しても構わない。このとき、それぞれの開口部内に導電膜 5 2 6 a、導電膜 5 2 6 b を有しても構わない。

【0189】

導電膜 5 2 4 a および導電膜 5 2 4 b としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電膜を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電膜、銅およびチタンを含む導電膜、銅およびマンガンを含む導電膜、インジウム、スズおよび酸素を含む導電膜、チタンおよび窒素を含む導電膜などを用いてもよい。

【0190】

図 1 1 に示すトランジスタは、層 5 0 9 a および層 5 0 9 b は、半導体膜 5 0 6 b の側面と接しない。したがって、第 1 のゲート電極として機能する導電膜 5 0 4 から半導体膜 5 0 6 b の側面に向けて印加される電界が、層 5 0 9 a および層 5 0 9 b などによって遮蔽されにくい構造である。また、層 5 0 9 a および層 5 0 9 b は、絶縁膜 5 0 2 の上面と接しない。そのため、絶縁膜 5 0 2 から放出される過剰酸素 (酸素) が層 5 0 9 a および層 5 0 9 b を酸化させるために消費されない。したがって、絶縁膜 5 0 2 から放出される過剰酸素 (酸素) を、半導体膜 5 0 6 b の酸素欠損を低減するために効率的に利用することができる構造である。即ち、図 1 1 に示す構造のトランジスタは、高いオン電流、高い電界効果移動度、低いサブスレッショルドスイング値、高い信頼性などを有する電気特性の優れたトランジスタである。

【0191】

図 1 2 (A) および図 1 2 (B) は、本発明の一態様のトランジスタの上面図および断面図である。図 1 2 (A) は上面図であり、図 1 2 (B) は、図 1 2 (A) に示す一点鎖線 G 1 - G 2、および一点鎖線 G 3 - G 4 に対応する断面図である。なお、図 1 2 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0192】

トランジスタは、図 1 2 に示すように、層 5 0 9 a、層 5 0 9 b、導電膜 5 1 6 a および導電膜 5 1 6 b を有さず、導電膜 5 2 6 a および導電膜 5 2 6 b と、半導体膜 5 0 6 b と、が接する構造であっても構わない。この場合、半導体膜 5 0 6 b または / および半導体膜 5 0 6 a の、少なくとも導電膜 5 2 6 a および導電膜 5 2 6 b と接する領域に低抵抗領域 5 2 3 a (低抵抗領域 5 2 3 b) を設けると好ましい。低抵抗領域 5 2 3 a および低抵抗領域 5 2 3 b は、例えば、導電膜 5 0 4 などをマスクとし、半導体膜 5 0 6 b または / および半導体膜 5 0 6 a に不純物を添加することで形成すればよい。なお、導電膜 5 2 6 a および導電膜 5 2 6 b が、半導体膜 5 0 6 b の孔 (貫通しているもの) または窪み (

10

20

30

40

50

貫通していないもの)に設けられていても構わない。導電膜526aおよび導電膜526bが、半導体膜506bの孔または窪みに設けられることで、導電膜526aおよび導電膜526bと、半導体膜506bとの接触面積が大きくなるため、接触抵抗の影響を小さくすることができる。即ち、トランジスタのオン電流を大きくすることができる。

【0193】

また、図13(A)および図13(B)は、本発明の一態様のトランジスタの上面図および断面図である。図13(A)は上面図であり、図13(B)は、図13(A)に示す一点鎖線J1-J2、および一点鎖線J3-J4に対応する断面図である。なお、図13(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0194】

図13(A)および図13(B)に示すトランジスタは、基板600上の導電膜604と、導電膜604上の絶縁膜612と、絶縁膜612上の半導体膜606aと、半導体膜606a上の半導体膜606bと、半導体膜606b上の半導体膜606cと、半導体膜606a、半導体膜606bおよび半導体膜606cと接し、間隔を空けて配置された層609aおよび層609bと、層609a上の導電膜616aと、層609b上の導電膜616bと、半導体膜606c上、導電膜616a上および導電膜616b上の絶縁膜618と、を有する。なお、導電膜604は、絶縁膜612を介して半導体膜606bの下面と面する。また、絶縁膜612が凸部を有しても構わない。また、基板600と導電膜604の間に絶縁膜を有しても構わない。該絶縁膜は、絶縁膜502や絶縁膜508についての記載を参照する。また、半導体膜606aを有さなくても構わない。また、絶縁膜618を有さなくても構わない。また、層609aを有さなくても構わない。また、層609bを有さなくても構わない。

【0195】

なお、半導体膜606bは、トランジスタのチャネル形成領域としての機能を有する。また、導電膜604は、トランジスタの第1のゲート電極(フロントゲート電極ともいう。)としての機能を有する。また、導電膜616aおよび導電膜616bは、トランジスタのソース電極およびドレイン電極としての機能を有する。

【0196】

なお、絶縁膜618は過剰酸素を含む絶縁膜であると好ましい。

【0197】

なお、基板600は、基板500についての記載を参照する。また、導電膜604は、導電膜504についての記載を参照する。また、絶縁膜612は、絶縁膜512についての記載を参照する。また、半導体膜606aは、半導体膜506aについての記載を参照する。また、半導体膜606bは、半導体膜506bについての記載を参照する。また、半導体膜606cは、半導体膜506cについての記載を参照する。また、層609aおよび層609bは、層509aおよび層509bについての記載を参照する。また、導電膜616aおよび導電膜616bは、導電膜516aおよび導電膜516bについての記載を参照する。また、絶縁膜618は、絶縁膜502についての記載を参照する。

【0198】

なお、絶縁膜618上には、表示素子が設けられていてもよい。例えば、画素電極、液晶層、共通電極、発光層、有機EL層、陽極、陰極などが設けられていてもよい。表示素子は、例えば、導電膜616aなどと接続されている。

【0199】

また、図14(A)は、トランジスタの上面図の一例である。図14(A)の一点鎖線K1-K2および一点鎖線K3-K4に対応する断面図の一例を図14(B)に示す。なお、図14(A)では、理解を容易にするため、絶縁膜などの一部を省略して示す。

【0200】

なお、半導体膜の上に、チャネル保護膜として機能させることができる絶縁膜を配置してもよい。例えば、図14に示すように、層609aおよび層609bと、半導体膜606cとの間に、絶縁膜620を配置してもよい。その場合、層609a(層609b)と

10

20

30

40

50

半導体膜 606c とは、絶縁膜 620 中の開口部を介して接続される。絶縁膜 620 は、絶縁膜 618 についての記載を参照すればよい。

【0201】

なお、図 13 (B) や図 14 (B) において、絶縁膜 618 の上に、導電膜 613 を配置してもよい。その場合の例を図 15 (A) および図 15 (B) に示す。なお、導電膜 613 については、導電膜 513 についての記載を参照する。また、導電膜 613 には、導電膜 604 と同じ電位や同じ信号が供給されてもよいし、異なる電位や信号が供給されてもよい。例えば、導電膜 613 に、一定の電位を供給して、トランジスタのしきい値電圧を制御してもよい。つまり、導電膜 613 は、第 2 のゲート電極としての機能を有することができる。また、導電膜 613 などによって s - channel 構造を形成していても構わない。

10

【0202】

< トランジスタ作製方法 >

以下では、本発明の一態様に係る図 9 に示したトランジスタの作製方法を図 16、図 17 および図 18 を用いて説明する。なお、ここでは、理解を容易にするため、導電膜 513、層 509a および層 509b を形成しない例を示す。また、図 9 では、半導体膜 506a、半導体膜 506b および半導体膜 506c の積層構造を有する例を示しているが、ここではそれらに代えて半導体膜 506 単層を有する例を示す。

【0203】

まずは、基板 500 を準備する。

20

【0204】

次に、絶縁膜 502 を成膜する。絶縁膜 502 の成膜は、スパッタリング法、化学気相成長 (CVD: Chemical Vapor Deposition) 法、分子線エピタキシー (MBE: Molecular Beam Epitaxy) 法またはパルスレーザー堆積 (PLD: Pulsed Laser Deposition) 法、原子層堆積 (ALD: Atomic Layer Deposition) 法などを用いて行うことができる。

【0205】

なお、CVD 法は、プラズマを利用するプラズマ CVD (PECVD: Plasma Enhanced CVD) 法、熱を利用する熱 CVD (TCVD: Thermal CVD) 法、光を利用する光 CVD (Photo CVD) 法などに分類できる。さらに用いる原料ガスによって金属 CVD (MCVD: Metal CVD) 法、有機金属 CVD (MOCVD: Metal Organic CVD) 法に分けることができる。

30

【0206】

プラズマ CVD 法は、比較的低温で高品質の膜が得られる。また、熱 CVD 法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子 (トランジスタ、容量素子など) などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱 CVD 法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱 CVD 法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

40

【0207】

また、ALD 法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD 法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0208】

CVD 法および ALD 法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特

50

に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

【0209】

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

10

【0210】

次に、半導体膜を成膜する。該半導体膜は、後の工程を経て半導体膜506となる半導体膜である。該半導体膜の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0211】

次に、該半導体膜をフォトリソグラフィ法などによって加工し、半導体膜506を形成する。なお、半導体膜506を形成する際、絶縁膜502もエッチングされ、一部の領域が薄くなる場合がある。即ち、絶縁膜502は、半導体膜506と接する領域に凸部を有する形状となる場合がある。

20

【0212】

なお、フォトリソグラフィ法では、まず、フォトマスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電膜、半導体膜または絶縁膜などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV(Extreme Ultraviolet)光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体(例えば水)を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、フォトマスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理または/およびウェットエッチング処理を用いることができる。

30

【0213】

次に、導電膜516aおよび導電膜516bとなる導電膜を成膜する。該導電膜の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0214】

次に、該導電膜をフォトリソグラフィ法などによって加工し、導電膜516aおよび導電膜516bを形成する(図16(A)参照。)

40

【0215】

次に、絶縁膜512となる絶縁膜532を成膜する(図16(B)参照。)。絶縁膜532の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0216】

次に、上述したマイクロ波光導電減衰法を用いて、半導体膜506を評価する。半導体膜506の評価には、励起光530を用いる(図17(A)参照。)。マイクロ波光導電減衰法による評価は、半導体膜506へのダメージをほとんど与えないといわれている。さらに、半導体膜506上に絶縁膜532が設けられており、絶縁膜532を介して半導体膜506に励起光530が照射されるためより半導体膜506へのダメージは軽減され

50

る。

ところが、評価の条件によっては、励起光 530 の照射によって半導体膜 506 が変質する場合がある。したがって、励起光 530 は、半導体膜 506 のチャネル形成領域となる領域を避けて照射することが好ましい。また、予め決められた領域に対し、基板 500 面内の複数個所で同様の評価を行っても構わない。

【0217】

また、絶縁膜 532 は、励起光 530 を吸収しない膜を用いることができる。例えば、絶縁膜 532 に酸化窒化シリコン膜（バンドギャップが 8.6 eV）を用い、酸化窒化シリコン膜に対して波長 349 nm（3.55 eV）の励起光 530 を照射しても励起光 530 は、酸化窒化シリコン膜で吸収されず、半導体膜 506 に到達することができる。

10

【0218】

次に、導電膜 504 となる導電膜を成膜する。該導電膜の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0219】

次に、該導電膜をフォトリソグラフィ法などによって加工し、導電膜 504 を形成する（図17（B）参照。）。

【0220】

次に、絶縁膜 532 をフォトリソグラフィ法などによって加工し、絶縁膜 512 を形成する。（図18（A）参照。）なお、絶縁膜 512 を形成する際、絶縁膜 502 もエッチングされ、一部の領域が薄くなる場合がある。

20

【0221】

次に、絶縁膜 508 を成膜する。絶縁膜 508 の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0222】

次に、絶縁膜 518 を成膜することでトランジスタを作製することができる（図18（B）参照）。絶縁膜 518 の成膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。

【0223】

以上に示したように、トランジスタのチャネル形成領域となる半導体膜をトランジスタの作製工程中に評価することができる。したがって、製造時の品質管理を工程の一環として行うことができる。また、抜き取り評価も不要となる。そのため、トランジスタを歩留まり高く作製することができる。また、トランジスタを生産性高く作製することができる。また、該トランジスタを有する半導体装置を生産性高く作製することができる。また、該トランジスタを有する半導体装置を生産性高く作製することができる。

30

【0224】

<半導体装置>

以下では、本発明の一態様に係る半導体装置を例示する。

【0225】

<回路>

以下では、本発明の一態様に係るトランジスタを利用した回路の一例について説明する。

40

【0226】

<CMOSインバータ>

図19（A）に示す回路図は、pチャネル型のトランジスタ 2200 と nチャネル型のトランジスタ 2100 を直列に接続し、かつそれぞれのゲートを接続した、いわゆる CMOSインバータ回路の構成を示している。

【0227】

<半導体装置の構造 1>

図20は、図19（A）に対応する半導体装置の断面図である。図20に示す半導体装置は、トランジスタ 2200 と、トランジスタ 2100 と、を有する。また、トランジス

50

タ 2 1 0 0 は、トランジスタ 2 2 0 0 の上方に配置する。なお、トランジスタ 2 1 0 0 として、図 9 に示したトランジスタを用いた例を示しているが、本発明の一態様に係る半導体装置は、これに限定されるものではない。例えば、図 1 1、図 1 2 または図 1 3 に示したトランジスタなどを、トランジスタ 2 1 0 0 として用いても構わない。よって、トランジスタ 2 1 0 0 については、適宜上述したトランジスタについての記載を参酌する。

【 0 2 2 8 】

図 2 0 に示すトランジスタ 2 2 0 0 は、半導体基板 5 5 0 を用いたトランジスタである。トランジスタ 2 2 0 0 は、半導体基板 5 5 0 中の領域 5 7 2 a と、半導体基板 5 5 0 中の領域 5 7 2 b と、絶縁膜 5 6 2 と、導電膜 5 5 4 と、を有する。

【 0 2 2 9 】

トランジスタ 2 2 0 0 において、領域 5 7 2 a および領域 5 7 2 b は、ソース領域およびドレイン領域としての機能を有する。また、絶縁膜 5 6 2 は、ゲート絶縁膜としての機能を有する。また、導電膜 5 5 4 は、ゲート電極としての機能を有する。したがって、導電膜 5 5 4 に印加する電位によって、チャネル形成領域の抵抗を制御することができる。即ち、導電膜 5 5 4 に印加する電位によって、領域 5 7 2 a と領域 5 7 2 b との間の導通・非導通を制御することができる。

【 0 2 3 0 】

半導体基板 5 5 0 としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などを用いればよい。好ましくは、半導体基板 5 5 0 として単結晶シリコン基板を用いる。

【 0 2 3 1 】

半導体基板 5 5 0 は、n 型の導電型を付与する不純物を有する半導体基板を用いる。ただし、半導体基板 5 5 0 として、p 型の導電型を付与する不純物を有する半導体基板を用いても構わない。その場合、トランジスタ 2 2 0 0 となる領域には、n 型の導電型を付与する不純物を有するウェルを配置すればよい。または、半導体基板 5 5 0 が i 型であっても構わない。

【 0 2 3 2 】

半導体基板 5 5 0 の上面は、(1 1 0) 面を有することが好ましい。こうすることで、トランジスタ 2 2 0 0 のオン特性を向上させることができる。

【 0 2 3 3 】

領域 5 7 2 a および領域 5 7 2 b は、p 型の導電型を付与する不純物を有する領域である。このようにして、トランジスタ 2 2 0 0 は p チャネル型トランジスタを構成する。

【 0 2 3 4 】

なお、トランジスタ 2 2 0 0 は、領域 5 6 0 などによって隣接するトランジスタと分離される。領域 5 6 0 は、絶縁性を有する領域である。

【 0 2 3 5 】

図 2 0 に示す半導体装置は、絶縁膜 5 6 4 と、絶縁膜 5 6 6 と、絶縁膜 5 6 8 と、導電膜 5 8 0 a と、導電膜 5 8 0 b と、導電膜 5 8 0 c と、導電膜 5 7 8 a と、導電膜 5 7 8 b と、導電膜 5 7 8 c と、導電膜 5 7 6 a と、導電膜 5 7 6 b と、導電膜 5 7 4 a と、導電膜 5 7 4 b と、導電膜 5 7 4 c と、導電膜 5 9 6 a と、導電膜 5 9 6 b と、導電膜 5 9 6 c と、導電膜 5 9 6 d と、導電膜 5 9 8 a と、導電膜 5 9 8 b と、導電膜 5 9 8 c と、絶縁膜 5 9 0 と、絶縁膜 5 9 2 と、絶縁膜 5 9 4 と、を有する。

【 0 2 3 6 】

絶縁膜 5 6 4 は、トランジスタ 2 2 0 0 上に配置する。また、絶縁膜 5 6 6 は、絶縁膜 5 6 4 上に配置する。また、絶縁膜 5 6 8 は、絶縁膜 5 6 6 上に配置する。また、絶縁膜 5 9 0 は、絶縁膜 5 6 8 上に配置する。また、トランジスタ 2 1 0 0 は、絶縁膜 5 9 0 上に配置する。また、絶縁膜 5 9 2 は、トランジスタ 2 1 0 0 上に配置する。また、絶縁膜 5 9 4 は、絶縁膜 5 9 2 上に配置する。

【 0 2 3 7 】

10

20

30

40

50

絶縁膜 564 は、領域 572 a に達する開口部と、領域 572 b に達する開口部と、導電膜 554 に達する開口部と、を有する。また、開口部には、それぞれ導電膜 580 a、導電膜 580 b または導電膜 580 c が埋め込まれている。

【0238】

また、絶縁膜 566 は、導電膜 580 a に達する開口部と、導電膜 580 b に達する開口部と、導電膜 580 c に達する開口部と、を有する。また、開口部には、それぞれ導電膜 578 a、導電膜 578 b または導電膜 578 c が埋め込まれている。

【0239】

また、絶縁膜 568 は、導電膜 578 b に達する開口部と、導電膜 578 c に達する開口部と、を有する。また、開口部には、それぞれ導電膜 576 a または導電膜 576 b が埋め込まれている。

10

【0240】

また、絶縁膜 590 は、トランジスタ 2100 のチャンネル形成領域と重なる開口部と、導電膜 576 a に達する開口部と、導電膜 576 b に達する開口部と、を有する。また、開口部には、それぞれ導電膜 574 a、導電膜 574 b または導電膜 574 c が埋め込まれている。

【0241】

導電膜 574 a は、トランジスタ 2100 のボトムゲート電極としての機能を有しても構わない。または、例えば、導電膜 574 a に一定の電位を印加することで、トランジスタ 2100 のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電膜 574 a とトランジスタ 2100 のトップゲート電極である導電膜 504 とを電氣的に接続しても構わない。こうすることで、トランジスタ 2100 のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ 2100 の飽和領域における電気特性を安定にすることができる。

20

【0242】

また、絶縁膜 592 は、トランジスタ 2100 のソース電極またはドレイン電極の一方である導電膜 516 b を通って、導電膜 574 b に達する開口部と、トランジスタ 2100 のソース電極またはドレイン電極の他方である導電膜 516 a に達する開口部と、トランジスタ 2100 のゲート電極である導電膜 504 に達する開口部と、導電膜 574 c に達する開口部と、を有する。また、開口部には、それぞれ導電膜 596 a、導電膜 596 b、導電膜 596 c または導電膜 596 d が埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ 2100 などの構成要素のいずれかが有する開口部を介する場合がある。

30

【0243】

また、絶縁膜 594 は、導電膜 596 a に達する開口部と、導電膜 596 b および導電膜 596 d に達する開口部と、導電膜 596 c に達する開口部と、を有する。また、開口部には、それぞれ導電膜 598 a、導電膜 598 b または導電膜 598 c が埋め込まれている。

【0244】

絶縁膜 564、絶縁膜 566、絶縁膜 568、絶縁膜 590、絶縁膜 592 および絶縁膜 594 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁膜を、単層で、または積層で用いればよい。例えば、絶縁膜としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルを用いればよい。

40

【0245】

絶縁膜 564、絶縁膜 566、絶縁膜 568、絶縁膜 590、絶縁膜 592 または絶縁膜 594 の一以上は、水素などの不純物および酸素をブロックする機能を有する絶縁膜を

50

有することが好ましい。トランジスタ 2100 の近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁膜を配置することによって、トランジスタ 2100 の電気特性を安定にすることができる。

【0246】

水素などの不純物および酸素をブロックする機能を有する絶縁膜としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁膜を、単層で、または積層で用いればよい。

【0247】

導電膜 580a、導電膜 580b、導電膜 580c、導電膜 578a、導電膜 578b、導電膜 578c、導電膜 576a、導電膜 576b、導電膜 574a、導電膜 574b、導電膜 574c、導電膜 596a、導電膜 596b、導電膜 596c、導電膜 596d、導電膜 598a、導電膜 598b および 導電膜 598c としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタンゲステンを一種以上含む導電膜を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電膜、銅およびチタンを含む導電膜、銅およびマンガンを含む導電膜、インジウム、スズおよび酸素を含む導電膜、チタンおよび窒素を含む導電膜などを用いてもよい。

10

【0248】

なお、図 21 に示す半導体装置は、図 20 に示した半導体装置のトランジスタ 2200 の構造が異なるのみである。よって、図 21 に示す半導体装置については、図 20 に示した半導体装置の記載を参酌する。具体的には、図 21 に示す半導体装置は、トランジスタ 2200 が Fin 型である場合を示している。トランジスタ 2200 を Fin 型とすることにより、実効上のチャンネル幅が増大することによりトランジスタ 2200 のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ 2200 のオフ特性を向上させることができる。

20

【0249】

また、図 22 に示す半導体装置は、図 20 に示した半導体装置のトランジスタ 2200 の構造が異なるのみである。よって、図 22 に示す半導体装置については、図 20 に示した半導体装置の記載を参酌する。具体的には、図 22 に示す半導体装置は、トランジスタ 2200 が SOI 基板である半導体基板 550 に設けられた場合を示している。図 22 には、絶縁膜 552 によって領域 556 が半導体基板 550 と分離されている構造を示す。半導体基板 550 として SOI 基板を用いることによって、パンチスルー現象などを抑制することができるためトランジスタ 2200 のオフ特性を向上させることができる。なお、絶縁膜 552 は、半導体基板 550 を絶縁体化させることによって形成することができる。例えば、絶縁膜 552 としては、酸化シリコンを用いることができる。

30

【0250】

図 20 乃至図 22 に示した半導体装置は、半導体基板を用いて p チャンネル型トランジスタを作製し、その上方に n チャンネル型トランジスタを作製するため、素子の占有面積を縮小することができる。即ち、半導体装置の集積度を高くすることができる。また、n チャンネル型トランジスタと、p チャンネル型トランジスタとを同一の半導体基板を用いて作製した場合と比べて、工程を簡略化することができるため、半導体装置の生産性を高くすることができる。また、半導体装置の歩留まりを高くすることができる。また、p チャンネル型トランジスタは、LDD (Lightly Doped Drain) 領域、シャロートレンチ構造、歪み設計などの複雑な工程を省略できる場合がある。そのため、n チャンネル型トランジスタを、半導体基板を用いて作製する場合と比べて、生産性および歩留まりを高くすることができる場合がある。

40

【0251】

< CMOS アナログスイッチ >

50

また、図19(B)に示す回路図は、トランジスタ2100とトランジスタ2200のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるCMOSアナログスイッチとして機能させることができる。

【0252】

<記憶装置1>

本発明の一態様に係るトランジスタを用いた、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置(記憶装置)の一例を図23に示す。

【0253】

図23(A)に示す半導体装置は、第1の半導体膜を用いたトランジスタ3200と第2の半導体膜を用いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、上述したトランジスタを用いることができる。

10

【0254】

トランジスタ3300は、オフ電流の小さいトランジスタが好ましい。トランジスタ3300は、例えば、酸化物半導体膜を用いたトランジスタを用いることができる。トランジスタ3300のオフ電流が小さいことにより、半導体装置の特定のノードに長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、またはリフレッシュ動作の頻度が極めて少なくすることが可能となるため、消費電力の低い半導体装置となる。

【0255】

図23(A)において、第1の配線3001はトランジスタ3200のソースと電氣的に接続され、第2の配線3002はトランジスタ3200のドレインと電氣的に接続される。また、第3の配線3003はトランジスタ3300のソース、ドレインの一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲートと電氣的に接続されている。そして、トランジスタ3200のゲート、およびトランジスタ3300のソース、ドレインの他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3005は容量素子3400の電極の他方と電氣的に接続されている。

20

【0256】

図23(A)に示す半導体装置は、トランジスタ3200のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

30

【0257】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300が導通状態となる電位にして、トランジスタ3300を導通状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート、および容量素子3400の電極の一方と電氣的に接続するノードFGに与えられる。即ち、トランジスタ3200のゲートには、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という。)のどちらかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300が非導通状態となる電位とすることで、ノードFGに電荷が保持される(保持)。

40

【0258】

トランジスタ3300のオフ電流が小さいため、ノードFGの電荷は長期間にわたって保持される。

【0259】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位(定電位)を与えた状態で、第5の配線3005に適切な電位(読み出し電位)を与えると、第2の配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ3200をnチャンネル型とすると、トランジスタ3200のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ3200

50

のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ3200を「導通状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($> V_{th_H}$)となれば、トランジスタ3200は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($< V_{th_L}$)となっても、トランジスタ3200は「非導通状態」のままである。このため、第2の配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

10

【0260】

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。ほかのメモリセルの情報を読み出さないためには、ノードFGに与えられた電荷によらずトランジスタ3200が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を第5の配線3005に与えればよい。または、ノードFGに与えられた電荷によらずトランジスタ3200が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を第5の配線3005に与えればよい。

【0261】

<半導体装置の構造2>

20

図24は、図23(A)に対応する半導体装置の断面図である。図24に示す半導体装置は、トランジスタ3200と、トランジスタ3300と、容量素子3400と、を有する。また、トランジスタ3300および容量素子3400は、トランジスタ3200の上方に配置する。なお、トランジスタ3300としては、上述したトランジスタ2100についての記載を参照する。また、トランジスタ3200としては、図20に示したトランジスタ2200についての記載を参照する。なお、図20では、トランジスタ2200がpチャネル型トランジスタである場合について説明したが、トランジスタ3200がnチャネル型トランジスタであっても構わない。

【0262】

図24に示すトランジスタ2200は、半導体基板550を用いたトランジスタである。トランジスタ2200は、半導体基板550中の領域572aと、半導体基板550中の領域572bと、絶縁膜562と、導電膜554と、を有する。

30

【0263】

図24に示す半導体装置は、絶縁膜564と、絶縁膜566と、絶縁膜568と、導電膜580aと、導電膜580bと、導電膜580cと、導電膜578aと、導電膜578bと、導電膜578cと、導電膜576aと、導電膜576bと、導電膜574aと、導電膜574bと、導電膜574cと、導電膜596aと、導電膜596bと、導電膜596cと、導電膜596dと、導電膜598aと、導電膜598bと、導電膜598cと、導電膜598dと、絶縁膜590と、絶縁膜592と、絶縁膜594と、を有する。

【0264】

絶縁膜564は、トランジスタ3200上に配置する。また、絶縁膜566は、絶縁膜564上に配置する。また、絶縁膜568は、絶縁膜566上に配置する。また、絶縁膜590は、絶縁膜568上に配置する。また、トランジスタ3300は、絶縁膜590上に配置する。また、絶縁膜592は、トランジスタ3300上に配置する。また、絶縁膜594は、絶縁膜592上に配置する。

40

【0265】

絶縁膜564は、領域572aに達する開口部と、領域572bに達する開口部と、導電膜554に達する開口部と、を有する。また、開口部には、それぞれ導電膜580a、導電膜580bまたは導電膜580cが埋め込まれている。

【0266】

50

また、絶縁膜 566 は、導電膜 580 a に達する開口部と、導電膜 580 b に達する開口部と、導電膜 580 c に達する開口部と、を有する。また、開口部には、それぞれ導電膜 578 a、導電膜 578 b または導電膜 578 c が埋め込まれている。

【0267】

また、絶縁膜 568 は、導電膜 578 b に達する開口部と、導電膜 578 c に達する開口部と、を有する。また、開口部には、それぞれ導電膜 576 a または導電膜 576 b が埋め込まれている。

【0268】

また、絶縁膜 590 は、トランジスタ 3300 のチャネル形成領域と重なる開口部と、導電膜 576 a に達する開口部と、導電膜 576 b に達する開口部と、を有する。また、開口部には、それぞれ導電膜 574 a、導電膜 574 b または導電膜 574 c が埋め込まれている。

10

【0269】

導電膜 574 a は、トランジスタ 3300 のボトムゲート電極としての機能を有しても構わない。または、例えば、導電膜 574 a に一定の電位を印加することで、トランジスタ 3300 のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電膜 574 a とトランジスタ 3300 のトップゲート電極である導電膜 504 とを電氣的に接続しても構わない。こうすることで、トランジスタ 3300 のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ 3300 の飽和領域における電気特性を安定にすることができる。

20

【0270】

また、絶縁膜 592 は、トランジスタ 3300 のソース電極またはドレイン電極の一方である導電膜 516 b を通って、導電膜 574 b に達する開口部と、トランジスタ 3300 のソース電極またはドレイン電極の他方である導電膜 516 a と絶縁膜 512 を介して重なる導電膜 514 に達する開口部と、トランジスタ 3300 のゲート電極である導電膜 504 に達する開口部と、トランジスタ 3300 のソース電極またはドレイン電極の他方である導電膜 516 a を通って、導電膜 574 c に達する開口部と、を有する。また、開口部には、それぞれ導電膜 596 a、導電膜 596 b、導電膜 596 c または導電膜 596 d が埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ 3300 などの構成要素のいずれかが有する開口部を介する場合がある。

30

【0271】

また、絶縁膜 594 は、導電膜 596 a に達する開口部と、導電膜 596 b に達する開口部と、導電膜 596 c に達する開口部と、導電膜 596 d に達する開口部と、を有する。また、開口部には、それぞれ導電膜 598 a、導電膜 598 b、導電膜 598 c または導電膜 598 d が埋め込まれている。

【0272】

絶縁膜 564、絶縁膜 566、絶縁膜 568、絶縁膜 590、絶縁膜 592 または絶縁膜 594 の一以上は、水素などの不純物および酸素をブロックする機能を有する絶縁膜を有することが好ましい。トランジスタ 3300 の近傍に、水素などの不純物および酸素をブロックする機能を有する絶縁膜を配置することによって、トランジスタ 3300 の電気特性を安定にすることができる。

40

【0273】

導電膜 598 d としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電膜を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電膜、銅およびチタンを含む導電膜、銅およびマンガンを含む導電膜、インジウム、スズおよび酸素を含む導電膜、チタンおよび窒素を含む導電膜などを用いてもよい。

【0274】

50

トランジスタ3200のソースまたはドレインは、導電膜580aと、導電膜578aと、導電膜576aと、導電膜574bと、導電膜596cと、を介してトランジスタ3300のソース電極またはドレイン電極の一方である導電膜516bと電氣的に接続する。また、トランジスタ3200のゲート電極である導電膜554は、導電膜580cと、導電膜578cと、導電膜576bと、導電膜574cと、導電膜596dと、を介してトランジスタ3300のソース電極またはドレイン電極の他方である導電膜516aと電氣的に接続する。

【0275】

容量素子3400は、トランジスタ3300のソース電極またはドレイン電極の他方と電氣的に接続する電極と、導電膜514と、絶縁膜512と、を有する。なお、絶縁膜512は、トランジスタ3300のゲート絶縁膜と同一工程を経て形成できるため、生産性を高めることができて好ましい場合がある。また、導電膜514として、トランジスタ3300のゲート電極と同一工程を経て形成した層を用いると、生産性を高めることができて好ましい場合がある。

10

【0276】

そのほかの構造については、適宜図20などについての記載を参酌することができる。

【0277】

なお、図25に示す半導体装置は、図24に示した半導体装置のトランジスタ3200の構造が異なるのみである。よって、図25に示す半導体装置については、図23に示した半導体装置の記載を参酌する。具体的には、図25に示す半導体装置は、トランジスタ3200がFin型である場合を示している。Fin型であるトランジスタ3200については、図21に示したトランジスタ2200の記載を参照する。なお、図21では、トランジスタ2200がpチャンネル型トランジスタである場合について説明したが、トランジスタ3200がnチャンネル型トランジスタであっても構わない。

20

【0278】

また、図26に示す半導体装置は、図24に示した半導体装置のトランジスタ3200の構造が異なるのみである。よって、図26に示す半導体装置については、図24に示した半導体装置の記載を参酌する。具体的には、図26に示す半導体装置は、トランジスタ3200がSOI基板である半導体基板550に設けられた場合を示している。SOI基板である半導体基板550に設けられたトランジスタ3200については、図22に示したトランジスタ2200の記載を参照する。なお、図22では、トランジスタ2200がpチャンネル型トランジスタである場合について説明したが、トランジスタ3200がnチャンネル型トランジスタであっても構わない。

30

【0279】

<記憶装置2>

図23(B)に示す半導体装置は、トランジスタ3200を有さない点で図23(A)に示した半導体装置と異なる。この場合も図23(A)に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

【0280】

図23(B)に示す半導体装置における、情報の読み出しについて説明する。トランジスタ3300が導通状態になると、浮遊状態である第3の配線3003と容量素子3400とが導通し、第3の配線3003と容量素子3400の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子3400の電極の一方の電位(または容量素子3400に蓄積された電荷)によって、異なる値をとる。

40

【0281】

例えば、容量素子3400の電極の一方の電位をV、容量素子3400の容量をC、第3の配線3003が有する容量成分をCB、電荷が再分配される前の第3の配線3003の電位をVB0とすると、電荷が再分配された後の第3の配線3003の電位は、 $(CB \times VB0 + CV) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素

50

子3400の電極の一方の電位が V_1 と V_0 ($V_1 > V_0$)の2つの状態をとるとすると、電位 V_1 を保持している場合の第3の配線3003の電位 ($= (C_B \times V_{B0} + C_V V_1) / (C_B + C)$) は、電位 V_0 を保持している場合の第3の配線3003の電位 ($= (C_B \times V_{B0} + C_V V_0) / (C_B + C)$) よりも高くなることわかる。

【0282】

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

【0283】

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体膜が適用されたトランジスタを用い、トランジスタ3300として第2の半導体膜が適用されたトランジスタを駆動回路上に積層して配置する構成とすればよい。

10

【0284】

以上に示した半導体装置は、酸化物半導体膜を用いたオフ電流の小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合(ただし、電位は固定されていることが好ましい)であっても、長期にわたって記憶内容を保持することが可能である。

【0285】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁膜の劣化といった問題が生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

20

【0286】

<撮像装置>

以下では、本発明の一態様に係る撮像装置について説明する。

【0287】

30

<撮像装置の構成例>

図27(A)は、本発明の一態様に係る撮像装置200の構成例を示す平面図である。撮像装置200は、画素部210と、画素部210を駆動するための周辺回路260と、周辺回路270、周辺回路280と、周辺回路290と、を有する。画素部210は、 p 行 q 列(p および q は2以上の整数)のマトリクス状に配置された複数の画素211を有する。周辺回路260、周辺回路270、周辺回路280および周辺回路290は、それぞれ複数の画素211に接続し、複数の画素211を駆動するための信号を供給する機能を有する。なお、本明細書等において、周辺回路260、周辺回路270、周辺回路280および周辺回路290などの全てを指して「周辺回路」または「駆動回路」と呼ぶ場合がある。例えば、周辺回路260は周辺回路の一部といえる。

40

【0288】

また、撮像装置200は、光源291を有することが好ましい。光源291は、検出光P1を放射することができる。

【0289】

また、周辺回路は、少なくとも、論理回路、スイッチ、バッファ、増幅回路、または変換回路の1つを有する。また、周辺回路は、画素部210を形成する基板上に配置してもよい。また、周辺回路は、その一部または全部をIC等の半導体装置で実装してもよい。なお、周辺回路は、周辺回路260、周辺回路270、周辺回路280および周辺回路290のいずれか一以上を省略してもよい。

【0290】

50

また、図 27 (B) に示すように、撮像装置 200 が有する画素部 210 において、画素 211 を傾けて配置してもよい。画素 211 を傾けて配置することにより、行方向および列方向の画素間隔 (ピッチ) を短くすることができる。これにより、撮像装置 200 における撮像の品質をより高めることができる。

【0291】

<画素の構成例 1>

撮像装置 200 が有する 1 つの画素 211 を複数の副画素 212 で構成し、それぞれの副画素 212 に特定の波長帯域の光を透過するフィルタ (カラーフィルタ) を組み合わせることで、カラー画像表示を実現するための情報を取得することができる。

【0292】

図 28 (A) は、カラー画像を取得するための画素 211 の一例を示す平面図である。図 28 (A) に示す画素 211 は、赤 (R) の波長帯域を透過するカラーフィルタが設けられた副画素 212 (以下、「副画素 212 R」ともいう)、緑 (G) の波長帯域を透過するカラーフィルタが設けられた副画素 212 (以下、「副画素 212 G」ともいう) および青 (B) の波長帯域を透過するカラーフィルタが設けられた副画素 212 (以下、「副画素 212 B」ともいう) を有する。副画素 212 は、フォトセンサとして機能させることができる。

【0293】

副画素 212 (副画素 212 R、副画素 212 G、および副画素 212 B) は、配線 231、配線 247、配線 248、配線 249、配線 250 と電氣的に接続される。また、副画素 212 R、副画素 212 G、および副画素 212 B は、それぞれが独立した配線 253 に接続している。また、本明細書等において、例えば n 行目の画素 211 に接続された配線 248 および配線 249 を、それぞれ配線 248 [n] および配線 249 [n] と記載する。また、例えば m 列目の画素 211 に接続された配線 253 を、配線 253 [m] と記載する。なお、図 28 (A) において、 m 列目の画素 211 が有する副画素 212 R に接続する配線 253 を配線 253 [m] R、副画素 212 G に接続する配線 253 を配線 253 [m] G、および副画素 212 B に接続する配線 253 を配線 253 [m] B と記載している。副画素 212 は、上記配線を介して周辺回路と電氣的に接続される。

【0294】

また、撮像装置 200 は、隣接する画素 211 の、同じ波長帯域を透過するカラーフィルタが設けられた副画素 212 同士がスイッチを介して電氣的に接続する構成を有する。図 28 (B) に、 n 行 (n は 1 以上 p 以下の整数) m 列 (m は 1 以上 q 以下の整数) に配置された画素 211 が有する副画素 212 と、該画素 211 に隣接する $n+1$ 行 m 列に配置された画素 211 が有する副画素 212 の接続例を示す。図 28 (B) において、 n 行 m 列に配置された副画素 212 R と、 $n+1$ 行 m 列に配置された副画素 212 R がスイッチ 201 を介して接続されている。また、 n 行 m 列に配置された副画素 212 G と、 $n+1$ 行 m 列に配置された副画素 212 G がスイッチ 202 を介して接続されている。また、 n 行 m 列に配置された副画素 212 B と、 $n+1$ 行 m 列に配置された副画素 212 B がスイッチ 203 を介して接続されている。

【0295】

なお、副画素 212 に用いるカラーフィルタは、赤 (R)、緑 (G)、青 (B) に限定されず、それぞれシアン (C)、黄 (Y) およびマゼンダ (M) の光を透過するカラーフィルタを用いてもよい。1 つの画素 211 に 3 種類の異なる波長帯域の光を検出する副画素 212 を設けることで、フルカラー画像を取得することができる。

【0296】

または、それぞれ赤 (R)、緑 (G) および青 (B) の光を透過するカラーフィルタが設けられた副画素 212 に加えて、黄 (Y) の光を透過するカラーフィルタが設けられた副画素 212 を有する画素 211 を用いてもよい。または、それぞれシアン (C)、黄 (Y) およびマゼンダ (M) の光を透過するカラーフィルタが設けられた副画素 212 に加えて、青 (B) の光を透過するカラーフィルタが設けられた副画素 212 を有する画素 2

10

20

30

40

50

11を用いてもよい。1つの画素211に4種類の異なる波長帯域の光を検出する副画素212を設けることで、取得した画像の色の再現性をさらに高めることができる。

【0297】

また、例えば、図28(A)において、赤の波長帯域を検出する副画素212、緑の波長帯域を検出する副画素212、および青の波長帯域を検出する副画素212の画素数比(または受光面積比)は、1:1:1でなくても構わない。例えば、画素数比(受光面積比)を赤:緑:青=1:2:1とするBayer配列としてもよい。または、画素数比(受光面積比)を赤:緑:青=1:6:1としてもよい。

【0298】

なお、画素211に設ける副画素212は1つでもよいが、2つ以上が好ましい。例えば、同じ波長帯域を検出する副画素212を2つ以上設けることで、冗長性を高め、撮像装置200の信頼性を高めることができる。

10

【0299】

また、可視光を吸収または反射して、赤外光を透過するIR(IR:Infrared)フィルタを用いることで、赤外光を検出する撮像装置200を実現することができる。

【0300】

また、ND(ND:Neutral Density)フィルタ(減光フィルタ)を用いることで、光電変換素子(受光素子)に大光量光が入射した時に生じる出力飽和することを防ぐことができる。減光量の異なるNDフィルタを組み合わせることで、撮像装置のダイナミックレンジを大きくすることができる。

20

【0301】

また、前述したフィルタ以外に、画素211にレンズを設けてもよい。ここで、図29の断面図を用いて、画素211、フィルタ254、レンズ255の配置例を説明する。レンズ255を設けることで、光電変換素子が入射光を効率よく受光することができる。具体的には、図29(A)に示すように、画素211に形成したレンズ255、フィルタ254(フィルタ254R、フィルタ254Gおよびフィルタ254B)、および画素回路230等を通して光256を光電変換素子220に入射させる構造とすることができる。

【0302】

ただし、二点鎖線で囲んだ領域に示すように、矢印で示す光256の一部が配線257の一部によって遮光されてしまうことがある。したがって、図29(B)に示すように光電変換素子220側にレンズ255およびフィルタ254を配置して、光電変換素子220が光256を効率良く受光させる構造が好ましい。光電変換素子220側から光256を光電変換素子220に入射させることで、検出感度の高い撮像装置200を提供することができる。

30

【0303】

図29に示す光電変換素子220として、pn型接合またはpin型の接合が形成された光電変換素子を用いてもよい。

【0304】

また、光電変換素子220を、放射線を吸収して電荷を発生させる機能を有する物質を用いて形成してもよい。放射線を吸収して電荷を発生させる機能を有する物質としては、セレン、ヨウ化鉛、ヨウ化水銀、ヒ化ガリウム、テルル化カドミウム、カドミウム亜鉛合金等がある。

40

【0305】

例えば、光電変換素子220にセレンを用いると、可視光や、紫外光、赤外光に加えて、X線や、ガンマ線といった幅広い波長帯域にわたって光吸収係数を有する光電変換素子220を実現できる。

【0306】

ここで、撮像装置200が有する1つの画素211は、図28に示す副画素212に加えて、第1のフィルタを有する副画素212を有してもよい。

【0307】

50

< 画素の構成例 2 >

以下では、シリコンを用いたトランジスタと、酸化物半導体を用いたトランジスタと、を用いて画素を構成する一例について説明する。

【0308】

図30(A)、図30(B)は、撮像装置を構成する素子の断面図である。図30(A)に示す撮像装置は、シリコン基板400に設けられたシリコンを用いたトランジスタ451、トランジスタ451上に積層して配置された酸化物半導体を用いたトランジスタ452およびトランジスタ453、ならびにシリコン基板400に設けられたフォトダイオード460を含む。各トランジスタおよびフォトダイオード460は、種々のプラグ470および配線471と電気的な接続を有する。また、フォトダイオード460のアノード461は、低抵抗領域463を介してプラグ470と電気的に接続を有する。

10

【0309】

また、撮像装置は、シリコン基板400に設けられたトランジスタ451およびフォトダイオード460を有する層410と、層410と接して設けられ、配線471を有する層420と、層420と接して設けられ、トランジスタ452およびトランジスタ453を有する層430と、層430と接して設けられ、配線472および配線473を有する層440を備えている。

【0310】

なお、図30(A)の断面図の一例では、シリコン基板400において、トランジスタ451が形成された面とは逆側の面にフォトダイオード460の受光面を有する構成とする。該構成とすることで、各種トランジスタや配線などの影響を受けずに光路を確保することができる。そのため、高開口率の画素を形成することができる。なお、フォトダイオード460の受光面をトランジスタ451が形成された面と同じとすることもできる。

20

【0311】

なお、トランジスタを用いて画素を構成する場合には、層410を、トランジスタを有する層とすればよい。または層410を省略し、トランジスタのみで画素を構成してもよい。

【0312】

なおトランジスタを用いて画素を構成する場合には、層430を省略すればよい。層430を省略した断面図の一例を図30(B)に示す。

30

【0313】

なお、シリコン基板400は、SOI基板であってもよい。また、シリコン基板400に替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、ヒ化アルミニウムガリウム、リン化インジウム、窒化ガリウムまたは有機半導体を有する基板を用いることもできる。

【0314】

ここで、トランジスタ451およびフォトダイオード460を有する層410と、トランジスタ452およびトランジスタ453を有する層430と、の間には絶縁膜480が設けられる。ただし、絶縁膜480の位置は限定されない。

【0315】

トランジスタ451のチャンネル形成領域近傍に設けられる絶縁膜中の水素はシリコンのダングリングボンドを末端し、トランジスタ451の信頼性を向上させる効果がある。一方、トランジスタ452およびトランジスタ453などの近傍に設けられる絶縁膜中の水素は、酸化物半導体膜中にキャリアを生成する要因の一つとなる。そのため、トランジスタ452およびトランジスタ453などの信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体膜を用いたトランジスタの上層に酸化物半導体膜を用いたトランジスタを積層して設ける場合、これらの間に水素をブロックする機能を有する絶縁膜480を設けることが好ましい。絶縁膜480より下層に水素を閉じ込めることで、トランジスタ451の信頼性が向上させることができる。さらに、絶縁膜480より下層から、絶縁膜480より上層に水素が拡散することを抑制できるため、トランジスタ452お

40

50

よびトランジスタ453などの信頼性を向上させることができる。

【0316】

絶縁膜480としては、例えば、絶縁膜508の記載を参照する。

【0317】

また、図30(A)の断面図において、層410に設けるフォトダイオード460と、層430に設けるトランジスタとを重なるように形成することができる。そうすると、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。

【0318】

また、図31(A1)および図31(B1)に示すように、撮像装置の一部または全部を湾曲させてもよい。図31(A1)は、撮像装置を同図中の二点鎖線X1-X2の方向に湾曲させた状態を示している。図31(A2)は、図31(A1)中の二点鎖線X1-X2で示した部位の断面図である。図31(A3)は、図31(A1)中の二点鎖線Y1-Y2で示した部位の断面図である。

10

【0319】

図31(B1)は、撮像装置を同図中の二点鎖線X3-X4の方向に湾曲させ、かつ、同図中の二点鎖線Y3-Y4の方向に湾曲させた状態を示している。図31(B2)は、図31(B1)中の二点鎖線X3-X4で示した部位の断面図である。図31(B3)は、図31(B1)中の二点鎖線Y3-Y4で示した部位の断面図である。

【0320】

撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができる。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置を用いた電子機器などの小型化や軽量化を実現することができる。また、撮像された画像の品質を向上させる事ができる。

20

【0321】

<CPU>

以下では、上述したトランジスタや上述した記憶装置などの半導体装置を含むCPUについて説明する。

【0322】

図32は、上述したトランジスタを一部に用いたCPUの一例の構成を示すブロック図である。

30

【0323】

図32に示すCPUは、基板1190上に、ALU1191(ALU:Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198、書き換え可能なROM1199、およびROMインターフェース1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図32に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図32に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

40

【0324】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0325】

50

A L Uコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にA L Uコントローラ1192は、A L U1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、C P Uのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、C P Uの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

【0326】

また、タイミングコントローラ1195は、A L U1191、A L Uコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

10

【0327】

図32に示すC P Uでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

【0328】

図32に示すC P Uにおいて、レジスタコントローラ1197は、A L U1191からの指示に従い、レジスタ1196における保持動作の選択を行う。即ち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

20

【0329】

図33は、レジスタ1196として用いることのできる記憶素子の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

30

【0330】

ここで、回路1202には、上述した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートにはG N D (0 V)、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

40

【0331】

スイッチ1203は、一導電型(例えば、nチャネル型)のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型(例えば、pチャネル型)のトランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2の端子はトランジスタ1213のソースとドレインの他方に対応し、スイッチ1203はトランジスタ1213のゲートに入力される制御信号R Dによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1213の導通状態または非導通状態)が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソー

50

スとドレインの他方に対応し、スイッチ 1204 はトランジスタ 1214 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1214 の導通状態または非導通状態）が選択される。

【0332】

トランジスタ 1209 のソースとドレインの一方は、容量素子 1208 の一对の電極のうち的一方、およびトランジスタ 1210 のゲートと電氣的に接続される。ここで、接続部分をノード M2 とする。トランジスタ 1210 のソースとドレインの一方は、低電源電位を供給することのできる配線（例えば GND 線）に電氣的に接続され、他方は、スイッチ 1203 の第 1 の端子（トランジスタ 1213 のソースとドレインの一方）と電氣的に接続される。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）はスイッチ 1204 の第 1 の端子（トランジスタ 1214 のソースとドレインの一方）と電氣的に接続される。スイッチ 1204 の第 2 の端子（トランジスタ 1214 のソースとドレインの他方）は電源電位 VDD を供給することのできる配線と電氣的に接続される。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）と、スイッチ 1204 の第 1 の端子（トランジスタ 1214 のソースとドレインの一方）と、論理素子 1206 の入力端子と、容量素子 1207 の一对の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノード M1 とする。容量素子 1207 の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND 等）または高電源電位（VDD 等）が入力される構成とすることができる。容量素子 1207 の一对の電極のうち他方は、低電源電位を供給することのできる配線（例えば GND 線）と電氣的に接続される。容量素子 1208 の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND 等）または高電源電位（VDD 等）が入力される構成とすることができる。容量素子 1208 の一对の電極のうち他方は、低電源電位を供給することのできる配線（例えば GND 線）と電氣的に接続される。

10

20

【0333】

なお、容量素子 1207 および容量素子 1208 は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0334】

トランジスタ 1209 のゲートには、制御信号 WE が入力される。スイッチ 1203 およびスイッチ 1204 は、制御信号 WE とは異なる制御信号 RD によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。

30

【0335】

トランジスタ 1209 のソースとドレインの他方には、回路 1201 に保持されたデータに対応する信号が入力される。図 33 では、回路 1201 から出力された信号が、トランジスタ 1209 のソースとドレインの他方に入力される例を示した。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）から出力される信号は、論理素子 1206 によってその論理値が反転された反転信号となり、回路 1220 を介して回路 1201 に入力される。

40

【0336】

なお、図 33 では、スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）から出力される信号は、論理素子 1206 および回路 1220 を介して回路 1201 に入力する例を示したがこれに限定されない。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路 1201 に入力されてもよい。例えば、回路 1201 内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

50

【0337】

また、図33において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板1190にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン膜またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャンネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャンネルが酸化物半導体で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることもできる。

10

【0338】

図33における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックインバータ等を用いることができる。

【0339】

本発明の一態様に係る半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

【0340】

また、酸化物半導体膜にチャンネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体膜にチャンネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャンネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ1209として用いることによって、記憶素子1200に電源電圧が供給されない間も容量素子1208に保持された信号は長期間にわたり保たれる。こうして、記憶素子1200は電源電圧の供給が停止した間も記憶内容(データ)を保持することが可能である。

20

【0341】

また、スイッチ1203およびスイッチ1204を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。

30

【0342】

また、回路1202において、容量素子1208によって保持された信号はトランジスタ1210のゲートに入力される。そのため、記憶素子1200への電源電圧の供給が再開された後、容量素子1208によって保持された信号を、トランジスタ1210の状態(導通状態、または非導通状態)に変換して、回路1202から読み出すことができる。それ故、容量素子1208に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0343】

このような記憶素子1200を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

40

【0344】

記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP(Digital Signal Processor)、カスタムLSI、PLD(Programmable Logic Device)等のLSI、RF(Radio Frequency)デバイスにも応用可能である。

【0345】

50

< 表示装置 >

以下では、本発明の一態様に係る表示装置について、図34および図35を用いて説明する。

【0346】

表示装置に用いられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL（Electroluminescence）、有機ELなどを含む。以下では、表示装置の一例としてEL素子を用いた表示装置（EL表示装置）および液晶素子を用いた表示装置（液晶表示装置）について説明する。

10

【0347】

なお、以下に示す表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むICなどを実装した状態にあるモジュールとを含む。

【0348】

また、以下に示す表示装置は画像表示デバイス、または光源（照明装置含む）を指す。また、コネクタ、例えばFPC、TCPが取り付けられたモジュール、TCPの先にプリント配線板を有するモジュールまたは表示素子にCOG方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0349】

図34は、本発明の一態様に係るEL表示装置の一例である。図34(A)に、EL表示装置の画素の回路図を示す。図34(B)は、EL表示装置全体を示す上面図である。また、図34(C)は、図34(B)の一点鎖線M-Nの一部に対応するM-N断面である。

20

【0350】

図34(A)は、EL表示装置に用いられる画素の回路図の一例である。

【0351】

図34(A)に示すEL表示装置は、スイッチ素子743と、トランジスタ741と、容量素子742と、発光素子719と、を有する。

【0352】

なお、図34(A)などは、回路構成の一例であるため、さらに、トランジスタを追加することが可能である。逆に、図34(A)の各ノードにおいて、トランジスタ、スイッチ、受動素子などを追加しないようにすることも可能である。

30

【0353】

トランジスタ741のゲートはスイッチ素子743の一端および容量素子742の一方の電極と電氣的に接続される。トランジスタ741のソースは容量素子742の他方の電極と電氣的に接続され、発光素子719の一方の電極と電氣的に接続される。トランジスタ741のソースは電源電位VDDが与えられる。スイッチ素子743の他端は信号線744と電氣的に接続される。発光素子719の他方の電極は定電位が与えられる。なお、定電位は接地電位GNDまたはそれより小さい電位とする。

【0354】

スイッチ素子743としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高いEL表示装置とすることができる。また、スイッチ素子743として、トランジスタ741と同一工程を経て作製されたトランジスタを用いると、EL表示装置の生産性を高めることができる。なお、トランジスタ741または/およびスイッチ素子743としては、例えば、上述したトランジスタを適用することができる。

40

【0355】

図34(B)は、EL表示装置の上面図である。EL表示装置は、基板700と、基板750と、シール材734と、駆動回路735と、駆動回路736と、画素737と、FPC732と、を有する。シール材734は、画素737、駆動回路735および駆動回

50

路 736 を囲むように基板 700 と基板 750 との間に配置される。なお、駆動回路 735 または / および駆動回路 736 をシール材 734 の外側に配置しても構わない。

【0356】

図 34 (C) は、図 34 (B) の一点鎖線 M - N の一部に対応する EL 表示装置の断面図である。

【0357】

図 34 (C) には、トランジスタ 741 として、基板 700 上の導電膜 704 a と、導電膜 704 a 上の絶縁膜 712 a と、絶縁膜 712 a 上の絶縁膜 712 b と、絶縁膜 712 b 上にあり導電膜 704 a と重なる半導体膜 706 と、半導体膜 706 と接する導電膜 716 a および導電膜 716 b と、半導体膜 706 上、導電膜 716 a 上および導電膜 716 b 上の絶縁膜 718 a と、絶縁膜 718 a 上の絶縁膜 718 b と、絶縁膜 718 b 上の絶縁膜 718 c と、絶縁膜 718 c 上にあり半導体膜 706 と重なる導電膜 714 a と、を有する構造を示す。なお、トランジスタ 741 の構造は一例であり、図 34 (C) に示す構造と異なる構造であっても構わない。

10

【0358】

したがって、図 34 (C) に示すトランジスタ 741 において、導電膜 704 a はゲート電極としての機能を有し、絶縁膜 712 a および絶縁膜 712 b はゲート絶縁膜としての機能を有し、導電膜 716 a はソース電極としての機能を有し、導電膜 716 b はドレイン電極としての機能を有し、絶縁膜 718 a、絶縁膜 718 b および絶縁膜 718 c はゲート絶縁膜としての機能を有し、導電膜 714 a はゲート電極としての機能を有する。なお、半導体膜 706 は、光が当たることで電気特性が変動する場合がある。したがって、導電膜 704 a、導電膜 716 a、導電膜 716 b、導電膜 714 a のいずれか一以上が遮光性を有すると好ましい。

20

【0359】

なお、絶縁膜 718 a および絶縁膜 718 b の界面を破線で表したが、これは両者の境界が明確でない場合があることを示す。例えば、絶縁膜 718 a および絶縁膜 718 b として、同種の絶縁膜を用いた場合、観察手法によっては両者の区別が付かない場合がある。

【0360】

図 34 (C) には、容量素子 742 として、基板上の導電膜 704 b と、導電膜 704 b 上の絶縁膜 712 a と、絶縁膜 712 a 上の絶縁膜 712 b と、絶縁膜 712 b 上にあり導電膜 704 b と重なる導電膜 716 a と、導電膜 716 a 上の絶縁膜 718 a と、絶縁膜 718 a 上の絶縁膜 718 b と、絶縁膜 718 b 上の絶縁膜 718 c と、絶縁膜 718 c 上にあり導電膜 716 a と重なる導電膜 714 b と、を有し、導電膜 716 a および導電膜 714 b の重なる領域で、絶縁膜 718 a および絶縁膜 718 b の一部が除去されている構造を示す。

30

【0361】

容量素子 742 において、導電膜 704 b および導電膜 714 b は一方の電極として機能し、導電膜 716 a は他方の電極として機能する。

【0362】

したがって、容量素子 742 は、トランジスタ 741 と共通する膜を用いて作製することができる。また、導電膜 704 a および導電膜 704 b を同種の導電膜とすると好ましい。その場合、導電膜 704 a および導電膜 704 b は、同一工程を経て形成することができる。また、導電膜 714 a および導電膜 714 b を同種の導電膜とすると好ましい。その場合、導電膜 714 a および導電膜 714 b は、同一工程を経て形成することができる。

40

【0363】

図 34 (C) に示す容量素子 742 は、占有面積当たりの容量が大きい容量素子である。したがって、図 34 (C) は表示品位の高い EL 表示装置である。なお、図 34 (C) に示す容量素子 742 は、導電膜 716 a および導電膜 714 b の重なる領域を薄くする

50

ため、絶縁膜 718 a および絶縁膜 718 b の一部が除去された構造を有するが、本発明の一態様に係る容量素子はこれに限定されるものではない。例えば、導電膜 716 a および導電膜 714 b の重なる領域を薄くするため、絶縁膜 718 c の一部が除去された構造を有しても構わない。

【0364】

トランジスタ 741 および容量素子 742 上には、絶縁膜 720 が配置される。ここで、絶縁膜 720 は、トランジスタ 741 のソース電極として機能する導電膜 716 a に達する開口部を有してもよい。絶縁膜 720 上には、導電膜 781 が配置される。導電膜 781 は、絶縁膜 720 の開口部を介してトランジスタ 741 と電氣的に接続してもよい。

【0365】

導電膜 781 上には、導電膜 781 に達する開口部を有する隔壁 784 が配置される。隔壁 784 上には、隔壁 784 の開口部で導電膜 781 と接する発光層 782 が配置される。発光層 782 上には、導電膜 783 が配置される。導電膜 781、発光層 782 および導電膜 783 の重なる領域が、発光素子 719 となる。

【0366】

ここまでは、EL 表示装置の例について説明した。次に、液晶表示装置の例について説明する。

【0367】

図 35 (A) は、液晶表示装置の画素の構成例を示す回路図である。図 35 に示す画素は、トランジスタ 751 と、容量素子 752 と、一对の電極間に液晶の充填された素子 (液晶素子) 753 とを有する。

【0368】

トランジスタ 751 では、ソース、ドレインの一方が信号線 755 に電氣的に接続され、ゲートが走査線 754 に電氣的に接続されている。

【0369】

容量素子 752 では、一方の電極がトランジスタ 751 のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

【0370】

液晶素子 753 では、一方の電極がトランジスタ 751 のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお、上述した容量素子 752 の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子 753 の他方の電極に与えられる共通電位とが異なる電位であってもよい。

【0371】

なお、液晶表示装置も、上面図は EL 表示装置と同様として説明する。図 34 (B) の一点鎖線 M - N に対応する液晶表示装置の断面図を図 35 (B) に示す。図 35 (B) において、FPC 732 は、端子 731 を介して配線 733 a と接続される。なお、配線 733 a は、トランジスタ 751 を構成する導電膜または半導体膜のいずれかと同種の導電膜または半導体膜を用いてもよい。

【0372】

トランジスタ 751 は、トランジスタ 741 についての記載を参照する。また、容量素子 752 は、容量素子 742 についての記載を参照する。なお、図 35 (B) には、図 34 (C) の容量素子 742 に対応した容量素子 752 の構造を示したが、これに限定されない。

【0373】

なお、トランジスタ 751 の半導体膜に酸化物半導体膜を用いた場合、極めてオフ電流の小さいトランジスタとすることができる。したがって、容量素子 752 に保持された電荷がリークしにくく、長期間に渡って液晶素子 753 に印加される電圧を維持することができる。そのため、動きの少ない動画や静止画の表示の際に、トランジスタ 751 をオフ状態とすることで、トランジスタ 751 の動作のための電力が不要となり、消費電力の小さい液晶表示装置とすることができる。また、容量素子 752 の占有面積を小さくできる

10

20

30

40

50

ため、開口率の高い液晶表示装置、または高精細化した液晶表示装置を提供することができる。

【0374】

トランジスタ751および容量素子752上には、絶縁膜721が配置される。ここで、絶縁膜721は、トランジスタ751に達する開口部を有する。絶縁膜721上には、導電膜791が配置される。導電膜791は、絶縁膜721の開口部を介してトランジスタ751と電気的に接続する。

【0375】

導電膜791上には、配向膜として機能する絶縁膜792が配置される。絶縁膜792上には、液晶層793が配置される。液晶層793上には、配向膜として機能する絶縁膜794が配置される。絶縁膜794上には、スペーサ795が配置される。スペーサ795および絶縁膜794上には、導電膜796が配置される。導電膜796上には、基板797が配置される。

10

【0376】

上述した構造を有することで、占有面積の小さい容量素子を有する表示装置を提供することができる、または、表示品位の高い表示装置を提供することができる。または、高精細の表示装置を提供することができる。

【0377】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置は、たとえば、白色、赤色、緑色または青色などの発光ダイオード(LED: Light Emitting Diode)、トランジスタ(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ(GLV)、プラズマディスプレイ(PDP)、MEMS(マイクロ・エレクトロ・メカニカル・システム)を用いた表示素子、デジタルマイクロミラーデバイス(DMD)、DMS(デジタル・マイクロ・シャッター)、IMOD(インターフェアレンス・モジュレーション)素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェットング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子の少なくとも一つを有している。これらの他にも、電気的または磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していてもよい。

20

30

【0378】

EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ(FED)またはSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)などがある。電子インク、電子粉流体(登録商標)、または電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部または全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

40

【0379】

なお、LEDを用いる場合、LEDの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型GaN半導体などを容易に成膜することができる。

50

さらに、その上に、結晶を有する p 型 GaN 半導体などを設けて、LED を構成することができる。なお、グラフェンやグラファイトと、結晶を有する n 型 GaN 半導体との間に、AlN 層を設けてもよい。なお、LED が有する GaN 半導体は、MOCVD で成膜してもよい。ただし、グラフェンを設けることにより、LED が有する GaN 半導体は、スパッタリング法で成膜することも可能である。

【0380】

< 電子機器 >

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には DVD : Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図36に示す。

10

【0381】

図36(A)は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイラス908等を有する。なお、図36(A)に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

20

【0382】

図36(B)は携帯データ端末であり、第1筐体911、第2筐体912、第1表示部913、第2表示部914、接続部915、操作キー916等を有する。第1表示部913は第1筐体911に設けられており、第2表示部914は第2筐体912に設けられている。そして、第1筐体911と第2筐体912とは、接続部915により接続されており、第1筐体911と第2筐体912の間の角度は、接続部915により変更が可能である。第1表示部913における映像を、接続部915における第1筐体911と第2筐体912との間の角度にしたがって、切り替える構成としてもよい。また、第1表示部913および第2表示部914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

30

【0383】

図36(C)はノート型パーソナルコンピュータであり、筐体921、表示部922、キーボード923、ポインティングデバイス924等を有する。

【0384】

図36(D)は電気冷凍冷蔵庫であり、筐体931、冷蔵室用扉932、冷凍室用扉933等を有する。

40

【0385】

図36(E)はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度にしたがって切り替える構成としてもよい。

50

【0386】

図36(F)は自動車であり、車体951、車輪952、ダッシュボード953、ライト954等を有する。

【実施例1】

【0387】

本実施例では、基板上の酸化物半導体膜と、酸化物半導体膜上の絶縁膜と、を有する試料に対し、マイクロ波光導電減衰法による評価を行った例を示す。

【0388】

マイクロ波光導電減衰法による評価を行った試料A1、試料A2、試料A3、試料A4、および試料A5の作製方法を説明する。

10

【0389】

まず、基板として、厚さが1.1mmの石英基板を準備した。次に、酸化物半導体膜として、厚さが100nmのIn-Ga-Zn酸化物を成膜した。次に、窒素雰囲気において450で1時間の加熱処理を行った。次に、酸素雰囲気において450で1時間の加熱処理を行った。次に、絶縁膜として、厚さが20nmの酸化窒化シリコン膜を成膜することで、試料A1乃至試料A5を作製した。

【0390】

なお、In-Ga-Zn酸化物は、原子数比がIn:Ga:Zn=1:1:1であるIn-Ga-Zn酸化物ターゲットを用いてスパッタリング法により成膜した。成膜ガスとしては、酸素の体積が33%となるようにアルゴンおよび酸素を混合したガスを用いた。成膜時の圧力は、キャノンアネルバ製ミニチュアゲージMG-2によって0.7Paとなるように調整した。成膜電力は、DC電源を用いて0.5kWとした。基板温度は300とした。

20

【0391】

また、酸化窒化シリコン膜は、PECVD法を用いて成膜した。成膜ガスとしては、モノシランが1に対して亜酸化窒素が800となる体積比で混合したガスを用いた。成膜時の圧力は、200Paとなるよう調整した。成膜電力は、60MHzの高周波電源を用いて150Wとした。基板温度は350とした。

【0392】

なお、酸化窒化シリコン膜を成膜する際のGapは、試料A1が16mm、試料A2が20mm、試料A3が24mm、試料A4が28mm、試料A5が32mmとなるようにした。

30

【0393】

次に、試料A1乃至試料A5のマイクロ波光導電減衰法による評価を行った。試料A1乃至試料A5における酸化物半導体膜のマイクロ波の反射率のピーク値の面内分布を図37に示す。励起光としては、ネオジウムを添加したフッ化イットリウムリチウムをレーザ媒質に用いたレーザの3倍高調波(YLF-3HG、波長349nm)を用いた。なお、マイクロ波光導電減衰法による評価は、株式会社コベルコ科研製低温ポリシリコン・SiC評価装置LTA-1800SPを用いた。

【0394】

また、試料A1乃至試料A5における面内中央のマイクロ波の反射率のピーク値を図38に示す。なお、図中のエラーバーは上限が面内の最大値、下限が面内の最小値をそれぞれ示す。

40

【0395】

図37、図38より、酸化窒化シリコン膜を成膜する際のGapを大きくするとマイクロ波の反射率のピーク値の面内分布のばらつきが大きいままであり、ほとんど変わらなかった。一方、Gapを28mmより小さくすると、マイクロ波の反射率のピーク値の面内分布のばらつきが小さくなっていることが確認できた。ただし、Gapが20mm以下ではマイクロ波の反射率のピーク値の面内分布のばらつきは小さいが酸化物半導体膜の全面でマイクロ波の反射率のピーク値が小さくなることが確認できた。

50

【0396】

また、試料A1乃至試料A5のマイクロ波光導電減衰法により得られたマイクロ波反射強度の時間変化（減衰曲線ともいう）を図39に示す。

【0397】

なお、時間 $t = 0$ におけるマイクロ波反射強度をピーク値の最大となるように調整している。また、図39に示す減衰曲線におけるピーク値は、マイクロ波光導電減衰法による評価に用いた装置で「GAIN設定」により算出された値をかけた後の値であり、本来のマイクロ波反射強度の値ではない。なお、「GAIN設定」とは、減衰曲線の縦軸を同じ桁数にするために装置が自動的に決める設定である。つまり、図39に示す減衰曲線におけるピーク値から「GAIN設定」でかけられた値の逆数をかけることによって本来のマイクロ波反射強度の値を求めることができる。図39により求めた本来のマイクロ波反射強度の値（ピーク値）、 τ_1 、 τ_2 、以下の減衰曲線のフィッティング式に含まれる拡張指数係数 β を以下の表に示す。

【0398】

【数3】

$$R(t) = R_0 \left\{ \exp\left(-\frac{t}{\tau_1}\right) + \exp\left[\left(-\frac{t}{\tau_2}\right)^\beta\right] \right\}$$

【0399】

【表1】

	ピーク値 [mV]	τ_1 [nsec]	τ_2 [nsec]	β
Gap 16mm	-	-	-	-
Gap 20mm	-	-	-	-
Gap 24mm	1874	33.17	12.79	0.27
Gap 28mm	2058	43.69	30.90	0.25
Gap 32mm	2021	43.02	32.02	0.27

【0400】

なお、Gapが20mm以下のピーク値、 τ_1 、 τ_2 、 β は、図39の減衰曲線のノイズの影響が大きく、フィッティングが難しいため表記していない。

【0401】

さらに、試料A1乃至試料A5において、水素濃度の評価を行った。なお、水素濃度の評価には、SIMS分析装置を用いて測定した。試料A1乃至試料A5の水素濃度のデプスプロファイルを図40に示す。

【0402】

図39より、Gapを小さくするほど過剰キャリア密度が早く減少する（減衰曲線が下側にシフトする）ことが確認できた。また、Gapが24mm以下になると減衰曲線にノイズの影響が顕著に現れる。また、図40より、Gapを小さくするほど酸化物半導体膜中の水素濃度が大きくなることが確認できた。

【0403】

ここで、図39、図40より、酸化物半導体膜中の水素濃度とマイクロ波の反射率のピーク値との関係について図41にまとめた。なお、酸化物半導体膜中の水素濃度は、図40に示すグラフの深さ110nm~130nmの平均値である。横軸に酸化物半導体膜中の水素濃度を取り、縦軸にマイクロ波の反射率のピーク値をとって得られたデータをプロットすることで、それらの相関関係を評価することができる。

【0404】

図41より、酸化物半導体膜中の水素濃度が $3.3 \times 10^{19} \text{ atoms/cm}^3$ 以上

になることで、マイクロ波の反射率のピーク値が顕著に低下することが確認できた。このため、酸化物半導体膜中の水素濃度は、 $1.5 \times 10^{19} \text{ atoms/cm}^3$ 未満にすることが好ましく、 $1 \times 10^{19} \text{ atoms/cm}^3$ 未満にすることがさらに好ましいことが示唆された。

【実施例 2】

【0405】

本実施例では、絶縁膜中の NO_x 起因のスピン密度と酸化物半導体膜中の VoH 起因のスピン密度の関係について評価した。

【0406】

本実施例で用いた試料 B 1、試料 B 2、試料 B 3、試料 B 4 および試料 B 5 の作製方法を説明する。

【0407】

まず、基板として、厚さが 0.5 mm の石英基板を準備した。次に、酸化物半導体膜として、厚さが 50 nm の In-Ga-Zn 酸化物を成膜した。次に、窒素雰囲気において 450 で 1 時間の加熱処理を行った。次に、酸素雰囲気において 450 で 1 時間の加熱処理を行った。次に、絶縁膜として、厚さが 7.5 nm の酸化窒化シリコン膜を成膜することで、試料 B 1 を作製した。また、試料 B 1 の酸化窒化シリコン膜の厚さを 10 nm にして試料 B 2 を作製した。また、試料 B 1 の酸化窒化シリコン膜の厚さを 12.5 nm にして試料 B 3 を作製した。また、試料 B 1 の酸化窒化シリコン膜の厚さを 15 nm にして試料 B 4 を作製した。また、試料 B 1 の酸化窒化シリコン膜の厚さを 20 nm にして試料 B 5 を作製した。

【0408】

なお、 In-Ga-Zn 酸化物は、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ である In-Ga-Zn 酸化物ターゲットを用いてスパッタリング法により成膜した。成膜ガスとしては、酸素の体積が 33% となるようにアルゴンおよび酸素を混合したガスを用いた。成膜時の圧力は、キャノンANELVA製ミニチュアゲージ MG-2 によって 0.7 Pa となるように調整した。成膜電力は、DC 電源を用いて 0.5 kW とした。基板温度は 300 とした。

【0409】

また、酸化窒化シリコン膜は、PECVD法を用いて成膜した。成膜ガスとしては、モノシランが 1 に対して亜酸化窒素が 800 となる体積比で混合したガスを用いた。成膜時の圧力は、200 Pa となるよう調整した。成膜電力は、60 MHz の高周波電源を用いて 150 W とした。基板温度は 350 とした。Gap は 28 mm とした。

【0410】

次に、試料 B 1 乃至試料 B 5 の ESR による評価を行った。なお、試料 B 1 乃至試料 B 5 は、 In-Ga-Zn 酸化物の膜面が磁場に直交する向きに設置した。試料 B 1 乃至試料 B 5 における、酸化物半導体膜中の g 値が 1.93 近傍に現れるシグナルに関連する欠陥準位 (VoH 起因) のスピン密度および絶縁膜中の NO_x に起因するシグナルに関連するスピン密度を図 4 2 に示す。なお、ESR による評価は、日本電子株式会社製電子スピン共鳴装置 JES-FA300 を用いた。

【0411】

図 4 2 より、絶縁膜が薄いほど NO_x に起因するシグナルに関連するスピン密度が小さいことが確認できた。また、絶縁膜の厚さが 10 nm 以上において、絶縁膜が厚いほど VoH 起因のスピン密度が小さくなり、15 nm 以上で、スピン密度が、検出下限 (ここでは $1.4 \times 10^{17} \text{ spins/cm}^3$) 以下となることが確認できた。

【実施例 3】

【0412】

本実施例では、絶縁膜成膜後のプラズマ処理の有無、およびプラズマ処理の種類による絶縁膜中の NO_x 起因のスピン密度と酸化物半導体膜中の VoH 起因のスピン密度の関係について評価した。

10

20

30

40

50

【0413】

本実施例で用いた試料の作製方法を説明する。

【0414】

まず、基板として、厚さが0.5mmの石英基板を準備した。次に、酸化物半導体膜として、厚さが50nmのIn-Ga-Zn酸化物を成膜した。次に、窒素雰囲気において450で1時間の加熱処理を行った。次に、酸素雰囲気において450で1時間の加熱処理を行った。次に、絶縁膜として、厚さが10nmの酸化窒化シリコン膜を成膜した。次に、プラズマ処理を行った。プラズマ処理は、酸素(O₂)プラズマ処理または亜酸化窒素(N₂O)プラズマ処理を90秒、180秒または300秒行った。

【0415】

なお、In-Ga-Zn酸化物は、原子数比がIn:Ga:Zn=1:1:1であるIn-Ga-Zn酸化物ターゲットを用いてスパッタリング法により成膜した。成膜ガスとしては、酸素の体積が33%となるようにアルゴンおよび酸素を混合したガスを用いた。成膜時の圧力は、キャノンアネルバ製ミニチュアゲージMG-2によって0.7Paとなるように調整した。成膜電力は、DC電源を用いて0.5kWとした。基板温度は300とした。

【0416】

また、酸化窒化シリコン膜は、PECVD法を用いて成膜した。成膜ガスとしては、モノシランが1に対して亜酸化窒素が800となる体積比で混合したガスを用いた。成膜時の圧力は、200Paとなるよう調整した。成膜電力は、60MHzの高周波電源を用いて150Wとした。基板温度は350とした。Gapは28mmとした。

【0417】

また、酸素(O₂)プラズマ処理は、PECVD法を用いて、流量800sccmの酸素をPECVD装置の反応室内に供給した。供給時の圧力は、200Paとなるよう調整した。成膜電力は、60MHzの高周波電源を用いて150Wとした。基板温度は350とした。Gapは28mmとした。

【0418】

また、亜酸化窒素(N₂O)プラズマ処理は、PECVD法を用いて、流量800sccmの亜酸化窒素をPECVD装置の反応室内に供給した。供給時の圧力は、200Paとなるよう調整した。成膜電力は、60MHzの高周波電源を用いて150Wとした。基板温度は350とした。Gapは28mmとした。

【0419】

次に、試料のESRによる評価を行った。また、絶縁膜を設けないものやプラズマ処理を行わない試料のESRによる評価も行った。なお、試料は、In-Ga-Zn酸化物の膜面が磁場に直交する向きに設置した。試料における、酸化物半導体膜中のg値が1.93近傍に現れるシグナルに関連する欠陥準位(VoH起因)のスピン密度および絶縁膜中のNOxに起因するシグナルに関連するスピン密度を図43に示す。なお、ESRによる評価は、日本電子株式会社製電子スピン共鳴装置JES-FA300を用いた。

【0420】

図43より、絶縁膜の成膜時に絶縁膜中にNOxが形成されること、酸化物半導体膜中にVoHが形成されることが確認できた。また、酸化物半導体膜中のVoHはプラズマ処理を行うことでスピン密度が、検出下限(ここでは 2.6×10^{17} spins/cm³)以下となることが確認できた。また、プラズマ処理を長時間行うほどVoH起因のスピン密度は低減していることが確認できた。また、酸素(O₂)プラズマ処理と亜酸化窒素(N₂O)プラズマ処理を比較すると、酸素(O₂)プラズマ処理の方がNOx起因のスピン密度が低減しており、プラズマ処理は短時間であるほうが好ましいことが確認できた。

【実施例4】

【0421】

本実施例では、酸化物半導体膜が積層膜である場合の絶縁膜成膜後のプラズマ処理によ

10

20

30

40

50

る酸化物半導体膜中のV o H起因のスピン密度について評価した。

【0422】

本実施例で用いた試料の作製方法を説明する。

【0423】

まず、基板として、厚さが0.5mmの石英基板を準備した。次に、第1の酸化物半導体膜として、厚さが50nmのIn-Ga-Zn酸化物を成膜した。次に、窒素雰囲気において450で1時間の加熱処理を行った。次に、酸素雰囲気において450で1時間の加熱処理を行った。次に、第2の酸化物半導体膜として、厚さが5nmのIn-Ga-Zn酸化物を成膜した。次に、絶縁膜として、厚さが10nmの酸化窒化シリコン膜を成膜した。次に、酸素(O₂)プラズマ処理を90秒、180秒または300秒行った。

10

【0424】

第1の酸化物半導体膜に用いたIn-Ga-Zn酸化物は、原子数比がIn:Ga:Zn=1:1:1であるIn-Ga-Zn酸化物ターゲットを用いてスパッタリング法により成膜した。成膜ガスとしては、酸素の体積が33%となるようにアルゴンおよび酸素を混合したガスを用いた。成膜時の圧力は、キャノンアネルバ製ミニチュアゲージMG-2によって0.7Paとなるように調整した。成膜電力は、DC電源を用いて0.5kWとした。基板温度は300とした。

【0425】

また、第2の酸化物半導体膜に用いたIn-Ga-Zn酸化物は、原子数比がIn:Ga:Zn=1:3:2であるIn-Ga-Zn酸化物ターゲットを用いてスパッタリング法により成膜した。成膜ガスとしては、酸素の体積が33%となるようにアルゴンおよび酸素を混合したガスを用いた。成膜時の圧力は、キャノンアネルバ製ミニチュアゲージMG-2によって0.4Paとなるように調整した。成膜電力は、DC電源を用いて0.5kWとした。基板温度は200とした。

20

【0426】

また、酸化窒化シリコン膜は、PECVD法を用いて成膜した。成膜ガスとしては、モノシランが1に対して亜酸化窒素が800となる体積比で混合したガスを用いた。成膜時の圧力は、200Paとなるよう調整した。成膜電力は、60MHzの高周波電源を用いて150Wとした。基板温度は350とした。Gapは28mmとした。

【0427】

また、酸素(O₂)プラズマ処理は、PECVD法を用いて、流量800sccmの酸素をPECVD装置の反応室内に供給した。供給時の圧力は、200Paとなるよう調整した。成膜電力は、60MHzの高周波電源を用いて150Wとした。基板温度は350とした。Gapは28mmとした。

30

【0428】

次に、試料のESRによる評価を行った。また、絶縁膜を設けないものやプラズマ処理を行わない試料のESRによる評価も行った。なお、試料は、In-Ga-Zn酸化物の膜面が磁場に直交する向きに設置した。試料における、酸化物半導体膜中のg値が1.93近傍に現れるシグナルに関連する欠陥準位(V o H起因)のスピン密度を図44に示す。なお、ESRによる評価は、日本電子株式会社製電子スピン共鳴装置JES-FA300を用いた。

40

【0429】

図44より、酸化物半導体膜中のV o H起因のスピン密度は、プラズマ処理を行うことで低減させることができ、180秒以上プラズマ処理を行うことで酸化物半導体膜中のV o H起因のスピン密度が検出下限(ここでは 7.4×10^{17} spins/cm³)以下となることが確認できた。

【0430】

また、上記の試料の一部(絶縁膜があり、かつ、酸素(O₂)プラズマ処理を0秒(なし)、90秒または180秒行った試料)において、水素濃度の評価を行った。なお、水素濃度の評価には、SIMS分析装置を用いて測定した。試料の水素濃度のデブスプロフ

50

ファイルを図 4 5 に示す。

【 0 4 3 1 】

図 4 5 より、第 1 の酸化物半導体膜中の水素濃度が酸素 (O_2) プラズマ処理の時間に依存して変化しており、酸素 (O_2) プラズマ処理の時間が長くなるほど水素濃度が低減することが確認できた。この結果より、絶縁膜成膜後の酸素 (O_2) プラズマ処理は、第 1 の酸化物半導体膜中および第 2 の酸化物半導体膜中の水素濃度を低減することで、V o H 起因のスピン密度を低減できることが示唆された。

【 実施例 5 】

【 0 4 3 2 】

本実施例では、絶縁膜成膜後に酸素 (O_2) プラズマ処理の有無によるトランジスタの電気特性について評価した。

【 0 4 3 3 】

試料であるトランジスタの構造は、図 4 6 に示す構造とした。

【 0 4 3 4 】

試料は、基板 5 0 0 として、シリコンウェハを用いた。また、絶縁膜 5 0 1 として、厚さが 5 0 n m の酸化アルミニウム膜を用いた。また、導電膜 5 1 3 として、厚さが 5 0 n m のタングステン膜を用いた。また、絶縁膜 5 0 2 としては、厚さが 3 0 0 n m の酸化窒化シリコン膜を用いた。また、半導体膜 5 0 6 a として、厚さが 4 0 n m の In - Ga - Zn 酸化物膜を用いた。また、半導体膜 5 0 6 b として、厚さが 2 0 n m の In - Ga - Zn 酸化物膜を用いた。また、導電膜 5 1 6 a および導電膜 5 1 6 b として、厚さが 2 0 n m のタングステン膜を用いた。また、半導体膜 5 0 6 c として、厚さが 5 n m の In - Ga - Zn 酸化物膜を用いた。また、絶縁膜 5 1 2 として、厚さが 1 0 n m の酸化窒化シリコン膜を用いた。導電膜 5 0 4 として、厚さが 1 0 n m の窒化チタン膜と、厚さが 3 0 n m のタングステン膜とが積層された積層膜を用いた。また、絶縁膜 5 0 8 として、厚さが 4 0 n m の酸化アルミニウム膜を用いた。また、絶縁膜 5 1 8 として、厚さが 1 5 0 n m の酸化窒化シリコン膜を用いた。

【 0 4 3 5 】

半導体膜 5 0 6 a は、原子数比が In : Ga : Zn = 1 : 3 : 4 である In - Ga - Zn 酸化物ターゲットを用いてスパッタリング法により成膜した。成膜ガスとしては、アルゴン 4 0 s c c m および酸素 5 s c c m とした。成膜時の圧力は、キャノンアネルバ製ミニチュアゲージ M G - 2 によって 0 . 7 P a となるように調整した。成膜電力は、D C 電源を用いて 0 . 5 k W とした。基板温度は 2 0 0 とした。

【 0 4 3 6 】

半導体膜 5 0 6 b は、原子数比が In : Ga : Zn = 1 : 1 : 1 である In - Ga - Zn 酸化物ターゲットを用いてスパッタリング法により成膜した。成膜ガスとしては、アルゴン 3 0 s c c m および酸素 1 5 s c c m とした。成膜時の圧力は、キャノンアネルバ製ミニチュアゲージ M G - 2 によって 0 . 7 P a となるように調整した。成膜電力は、D C 電源を用いて 0 . 5 k W とした。基板温度は 3 0 0 とした。

【 0 4 3 7 】

半導体膜 5 0 6 c は、原子数比が In : Ga : Zn = 1 : 3 : 2 である In - Ga - Zn 酸化物ターゲットを用いてスパッタリング法により成膜した。成膜ガスとしては、アルゴン 3 0 s c c m および酸素 1 5 s c c m とした。成膜時の圧力は、キャノンアネルバ製ミニチュアゲージ M G - 2 によって 0 . 4 P a となるように調整した。成膜電力は、D C 電源を用いて 0 . 5 k W とした。基板温度は 2 0 0 とした。

【 0 4 3 8 】

また、絶縁膜 5 1 2 となる絶縁膜を成膜した後に酸素 (O_2) プラズマ処理を行った。酸素 (O_2) プラズマ処理は、P E C V D 法を用いて、流量 8 0 0 s c c m の酸素を P E C V D 装置の反応室内に供給した。供給時の圧力は、2 0 0 P a となるよう調整した。成膜電力は、6 0 M H z の高周波電源を用いて 1 5 0 W とした。基板温度は 3 5 0 とした。G a p は 2 8 m m とした。

10

20

30

40

50

【0439】

上記の条件で作製したトランジスタを試料C1とした。また、比較のため、絶縁膜512となる絶縁膜を成膜した後に酸素(O₂)プラズマ処理を行わないトランジスタを試料C2とした。また、試料C1および試料C2のトランジスタのサイズは、チャンネル長が0.84 μm、チャンネル幅が0.80 μm、チャンネル長方向において、導電膜516aおよび導電膜516bが絶縁膜512を介して導電膜504と重なる領域の長さはそれぞれ0.2 μmであった。

【0440】

上記に示した試料C1および試料C2のゲート電圧(V_g) - ドレイン電流(I_d)特性を測定した。V_g - I_d特性の測定は、ドレイン電圧(V_d)が0.1 Vまたは1.8 Vとして、ゲート電圧(V_g)を-3 Vから+3 Vまで掃引した際のドレイン電流(I_d)を測定することで行った。また、ドレイン電圧(V_d)が0.1 Vのときの電界効果移動度(μFE)を図47の右軸に示す。

10

【0441】

試料C1の電気特性(V_g - I_d特性、およびV_gに対する電界効果移動度)を図47(A)に示し、試料C2の電気特性(V_g - I_d特性、およびV_gに対する電界効果移動度)を図47(B)に示す。

【0442】

図47より、試料C1の方が試料C2よりしきい値電圧のばらつきが小さいことが確認できた。

20

【0443】

また、試料C1および試料C2に対して信頼性評価を行った。信頼性の評価は、ゲートBTストレス試験によって行った。

【0444】

プラスゲートBTストレス試験(プラスBT)の測定方法について説明する。プラスゲートBTストレス試験の対象となるトランジスタの初期(ストレス印加前)の電気特性を測定するため、基板温度を40 °Cとし、ドレイン電圧V_dを0.1 Vまたは1.8 Vとし、ゲート電圧を-3 Vから+3 Vまで変化させたときのドレイン電流I_dの変化特性、すなわちV_g - I_d特性を測定した(図47に示すV_g - I_d特性)。

【0445】

次に、基板温度を150 °Cまで上昇させた後、トランジスタのソース電圧V_s、ドレイン電圧V_d、バックゲート電圧V_bgをそれぞれ0 Vとした。次に、絶縁膜512へ印加される電界強度が1.65 MV/cmとなるようにゲート電圧V_gを3.3 Vを印加し、12時間保持した。

30

【0446】

なお、マイナスゲートBTストレス試験(マイナスBT)では、ゲート電圧V_gを-3.3 Vを印加した。

【0447】

試料C1および試料C2のゲートBTストレス試験前後の電気特性(V_g - I_d特性)を、それぞれ図48、図49に示す。また、図48(A)は、試料C1のプラスBT前後の結果、図48(B)は、試料C2のプラスBT前後の結果、図49(A)は、試料C1のマイナスBT前後の結果、図49(B)は、試料C2のマイナスBT前後の結果を示し、図48、図49において、実線はゲートBTストレス試験前(BT前)の電気特性を示し、点線はゲートBTストレス試験後(BT後)の電気特性を示す。

40

【0448】

図48、図49から得られたドレイン電圧V_dが1.8 Vのときの試験前後のしきい値電圧の変化(V_{th})およびシフト値の変化(Shift)を表2に示す。なお、しきい値電圧(V_{th})とは、チャンネルが形成されたときのゲート電圧(ソースとゲート間の電圧)をいう。しきい値電圧(V_{th})は、ゲート電圧(V_g)を横軸にとり、ドレイン電流(I_d)の平方根を縦軸にとり、データをプロットすることで作成した曲線(V_g

50

- I_d 特性)において、最大傾きである接線を外挿したときの直線とドレイン電流 (I_d)の平方根が0 (I_d が0 A)との交点におけるゲート電圧 (V_g)として算出した。また、シフト値 ($Shift$)は、ゲート電圧 (V_g)を横軸にとり、ドレイン電流 (I_d)の対数を縦軸にとり、データをプロットすることで作成した曲線 ($V_g - I_d$ 特性)において、最大傾きである接線を外挿したときの直線と、ドレイン電流 (I_d)が 1×10^{-12} Aとの交点におけるゲート電圧 (V_g)として算出した。

【0449】

【表2】

		試料C1	試料C2
プラスBT	ΔV_{th}	0.63	0.76
	$\Delta Shift$	1.03	1.11
マイナスBT	ΔV_{th}	0.69	0.61
	$\Delta Shift$	0.32	0.36

10

【0450】

図48、図49、および表2より、試料C1の方が試料C2よりしきい値電圧の変化 (V_{th})およびシフト値の変化 ($Shift$)が小さく、安定した電気特性を有するトランジスタであることが確認できた。

20

【符号の説明】

【0451】

- 100 チャンバー
- 101 上部電極
- 102 シャワー板
- 103 下部電極
- 104 支持台
- 105 基板
- 200 撮像装置
- 201 スイッチ
- 202 スイッチ
- 203 スイッチ
- 210 画素部
- 211 画素
- 212 副画素
- 212 B 副画素
- 212 G 副画素
- 212 R 副画素
- 220 光電変換素子
- 230 画素回路
- 231 配線
- 247 配線
- 248 配線
- 249 配線
- 250 配線
- 253 配線
- 254 フィルタ
- 254 B フィルタ
- 254 G フィルタ
- 254 R フィルタ

30

40

50

2 5 5	レンズ	
2 5 6	光	
2 5 7	配線	
2 6 0	周辺回路	
2 7 0	周辺回路	
2 8 0	周辺回路	
2 9 0	周辺回路	
2 9 1	光源	
3 0 1	パルスレーザ発振器	
3 0 2	マイクロ波発振器	10
3 0 3	方向性結合器	
3 0 5	導波管	
3 0 5 a	導波管	
3 0 5 b	導波管	
3 0 6	ミキサ	
3 0 7	信号処理装置	
3 1 0	スペーサ	
3 1 1	試料ステージ	
3 1 3	ミラー	
3 1 4	レンズ	20
3 1 5	位相器	
3 2 0	試料	
3 2 0 a	半導体膜	
3 2 0 b	基板	
4 0 0	シリコン基板	
4 1 0	層	
4 2 0	層	
4 3 0	層	
4 4 0	層	
4 5 1	トランジスタ	30
4 5 2	トランジスタ	
4 5 3	トランジスタ	
4 6 0	フォトダイオード	
4 6 1	アノード	
4 6 3	低抵抗領域	
4 7 0	プラグ	
4 7 1	配線	
4 7 2	配線	
4 7 3	配線	
4 8 0	絶縁膜	40
5 0 0	基板	
5 0 1	絶縁膜	
5 0 2	絶縁膜	
5 0 4	導電膜	
5 0 6	半導体膜	
5 0 6 a	半導体膜	
5 0 6 b	半導体膜	
5 0 6 c	半導体膜	
5 0 8	絶縁膜	
5 0 9 a	層	50

5 0 9 b	層	
5 1 2	絶縁膜	
5 1 3	導電膜	
5 1 4	導電膜	
5 1 6 a	導電膜	
5 1 6 b	導電膜	
5 1 8	絶縁膜	
5 2 3 a	低抵抗領域	
5 2 3 b	低抵抗領域	
5 2 4 a	導電膜	10
5 2 4 b	導電膜	
5 2 6 a	導電膜	
5 2 6 b	導電膜	
5 2 8	絶縁膜	
5 3 0	励起光	
5 3 2	絶縁膜	
5 5 0	半導体基板	
5 5 2	絶縁膜	
5 5 4	導電膜	
5 5 6	領域	20
5 6 0	領域	
5 6 2	絶縁膜	
5 6 4	絶縁膜	
5 6 6	絶縁膜	
5 6 8	絶縁膜	
5 7 2 a	領域	
5 7 2 b	領域	
5 7 4 a	導電膜	
5 7 4 b	導電膜	
5 7 4 c	導電膜	30
5 7 6 a	導電膜	
5 7 6 b	導電膜	
5 7 8 a	導電膜	
5 7 8 b	導電膜	
5 7 8 c	導電膜	
5 8 0 a	導電膜	
5 8 0 b	導電膜	
5 8 0 c	導電膜	
5 9 0	絶縁膜	
5 9 2	絶縁膜	40
5 9 4	絶縁膜	
5 9 6 a	導電膜	
5 9 6 b	導電膜	
5 9 6 c	導電膜	
5 9 6 d	導電膜	
5 9 8 a	導電膜	
5 9 8 b	導電膜	
5 9 8 c	導電膜	
5 9 8 d	導電膜	
6 0 0	基板	50

6 0 4	導電膜	
6 0 6 a	半導体膜	
6 0 6 b	半導体膜	
6 0 6 c	半導体膜	
6 0 9 a	層	
6 0 9 b	層	
6 1 2	絶縁膜	
6 1 3	導電膜	
6 1 6 a	導電膜	
6 1 6 b	導電膜	10
6 1 8	絶縁膜	
6 2 0	絶縁膜	
7 0 0	基板	
7 0 4 a	導電膜	
7 0 4 b	導電膜	
7 0 6	半導体膜	
7 1 2 a	絶縁膜	
7 1 2 b	絶縁膜	
7 1 4 a	導電膜	
7 1 4 b	導電膜	20
7 1 6 a	導電膜	
7 1 6 b	導電膜	
7 1 8 a	絶縁膜	
7 1 8 b	絶縁膜	
7 1 8 c	絶縁膜	
7 1 9	発光素子	
7 2 0	絶縁膜	
7 2 1	絶縁膜	
7 3 1	端子	
7 3 2	F P C	30
7 3 3 a	配線	
7 3 4	シール材	
7 3 5	駆動回路	
7 3 6	駆動回路	
7 3 7	画素	
7 4 1	トランジスタ	
7 4 2	容量素子	
7 4 3	スイッチ素子	
7 4 4	信号線	
7 5 0	基板	40
7 5 1	トランジスタ	
7 5 2	容量素子	
7 5 3	液晶素子	
7 5 4	走査線	
7 5 5	信号線	
7 8 1	導電膜	
7 8 2	発光層	
7 8 3	導電膜	
7 8 4	隔壁	
7 9 1	導電膜	50

7 9 2	絶縁膜	
7 9 3	液晶層	
7 9 4	絶縁膜	
7 9 5	スペーサ	
7 9 6	導電膜	
7 9 7	基板	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	10
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	20
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	30
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	40
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
1 2 0 0	記憶素子	
1 2 0 1	回路	50

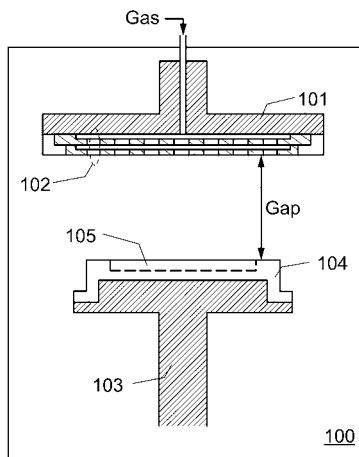
- 1 2 0 2 回路
- 1 2 0 3 スイッチ
- 1 2 0 4 スイッチ
- 1 2 0 6 論理素子
- 1 2 0 7 容量素子
- 1 2 0 8 容量素子
- 1 2 0 9 トランジスタ
- 1 2 1 0 トランジスタ
- 1 2 1 3 トランジスタ
- 1 2 1 4 トランジスタ
- 1 2 2 0 回路
- 2 1 0 0 トランジスタ
- 2 2 0 0 トランジスタ
- 3 0 0 1 配線
- 3 0 0 2 配線
- 3 0 0 3 配線
- 3 0 0 4 配線
- 3 0 0 5 配線
- 3 2 0 0 トランジスタ
- 3 3 0 0 トランジスタ
- 3 4 0 0 容量素子
- 5 1 2 0 基板
- 5 1 6 1 領域

10

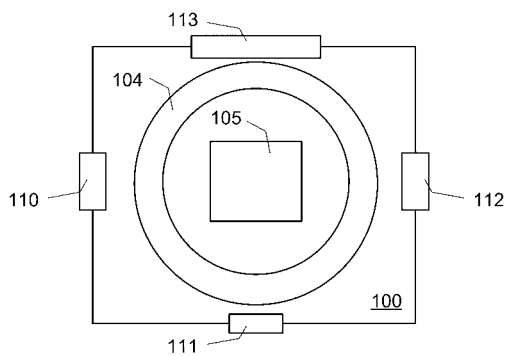
20

【 図 1 】

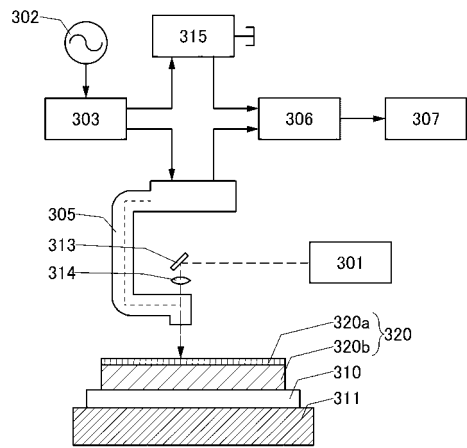
(A)



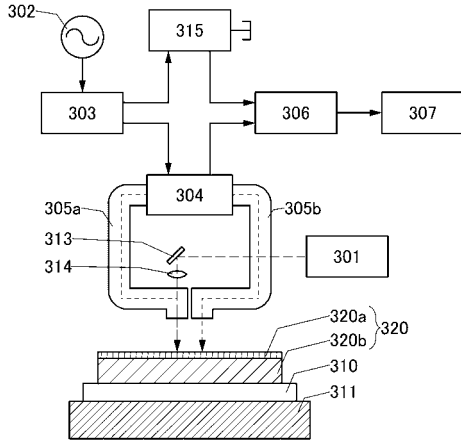
(B)



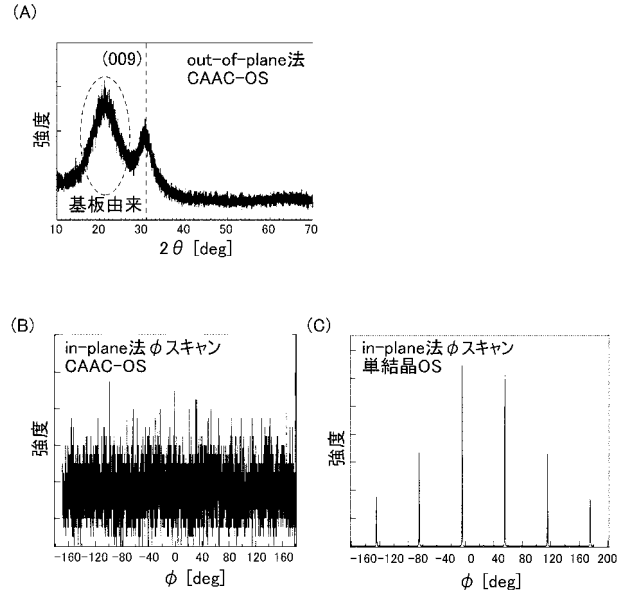
【 図 2 】



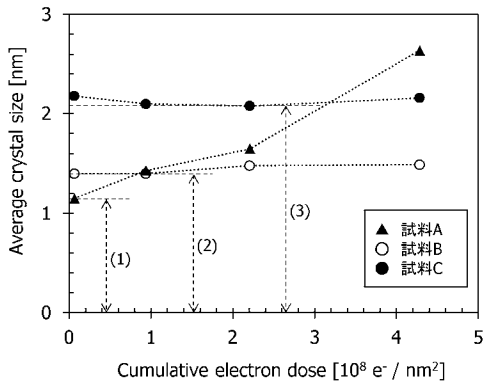
【 図 3 】



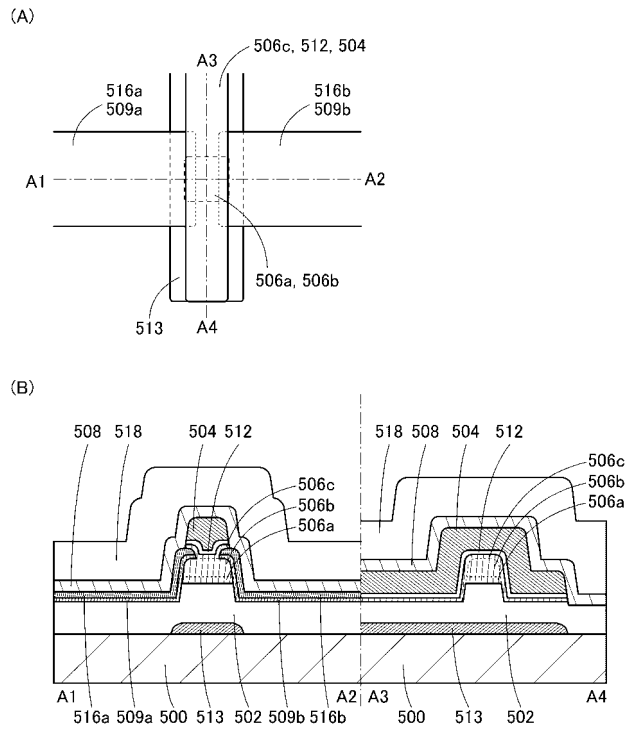
【 図 6 】



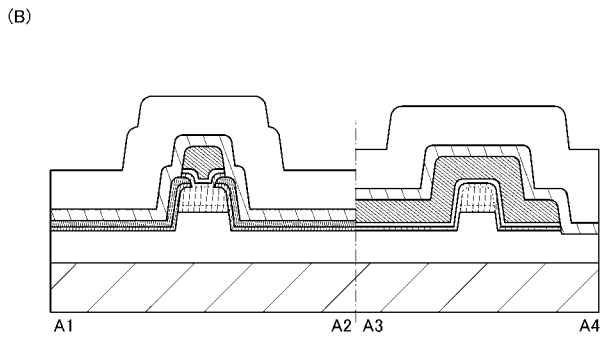
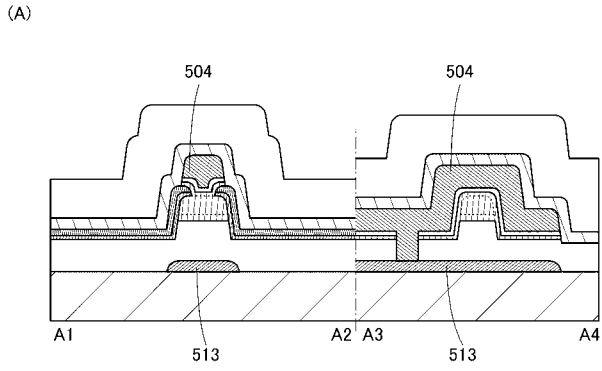
【 図 8 】



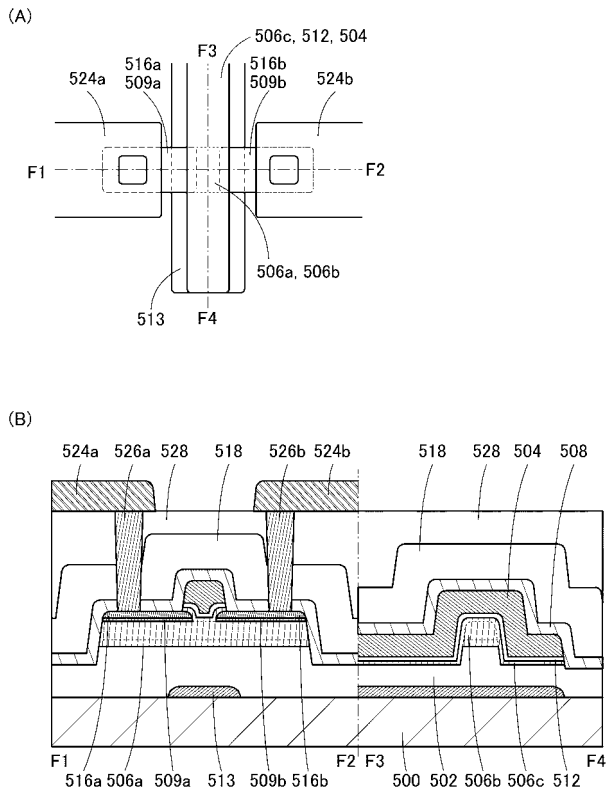
【 図 9 】



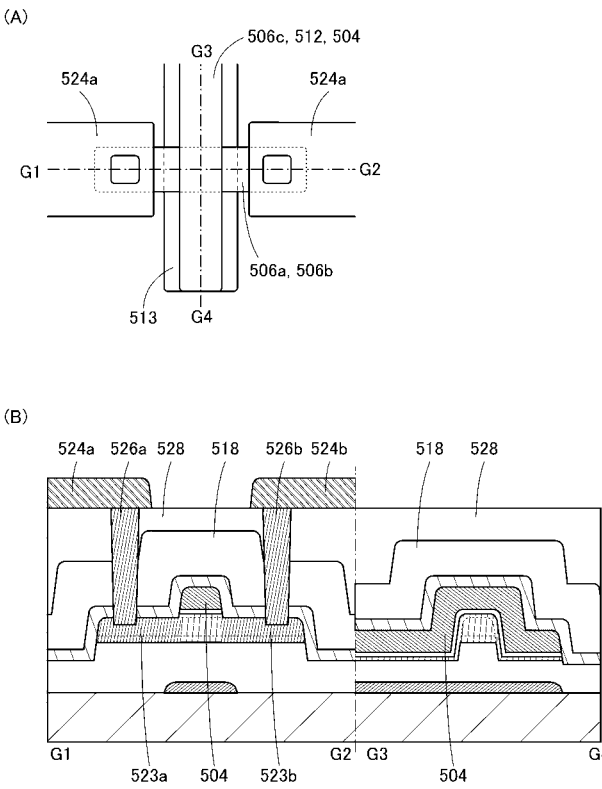
【図 1 0】



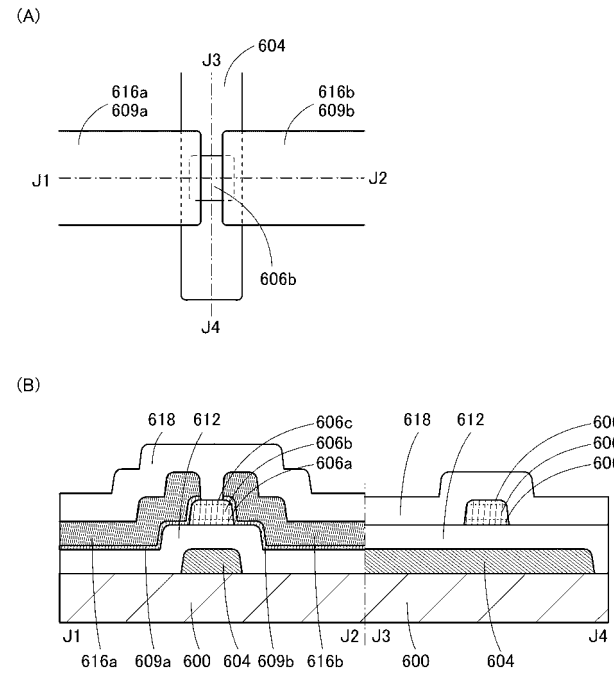
【図 1 1】



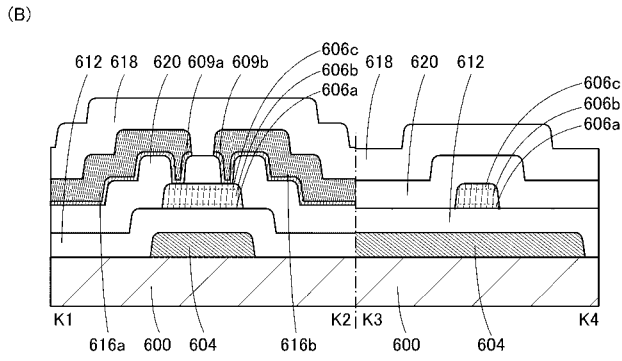
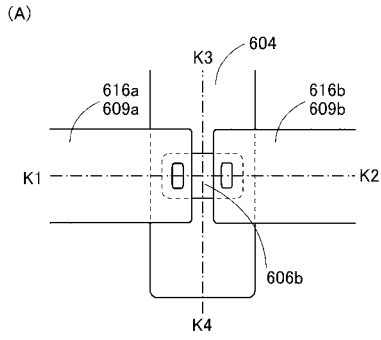
【図 1 2】



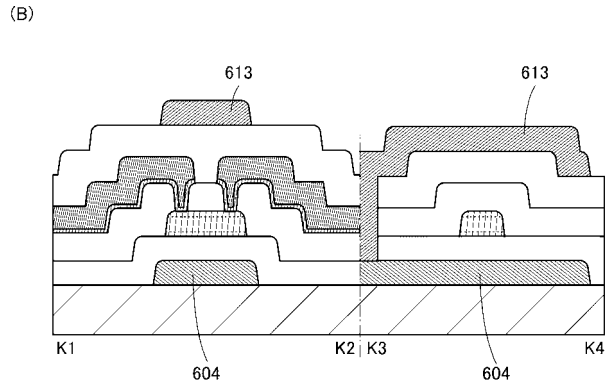
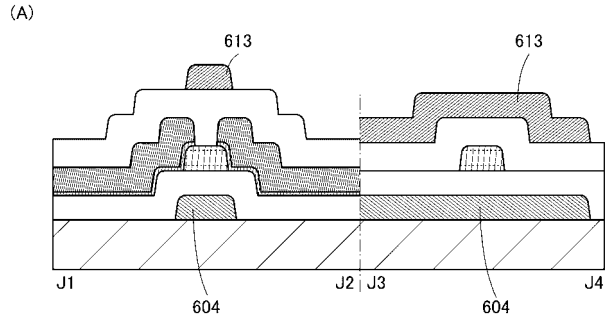
【図 1 3】



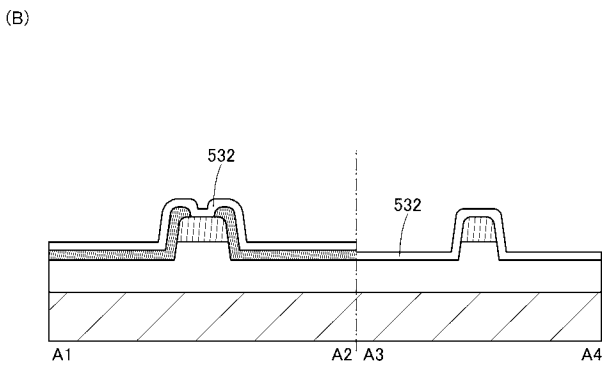
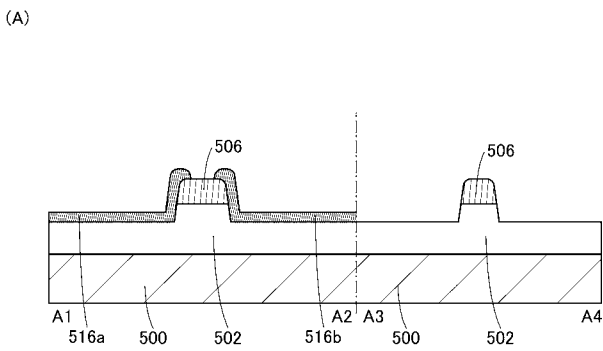
【 図 1 4 】



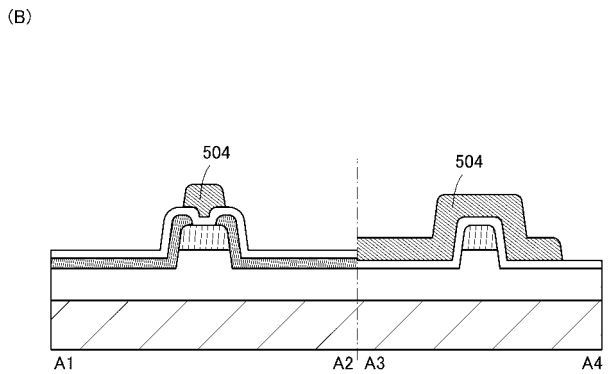
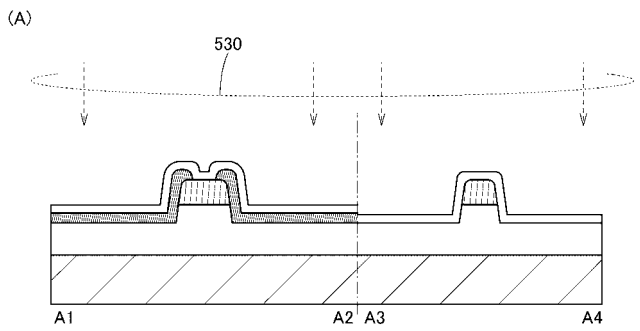
【 図 1 5 】



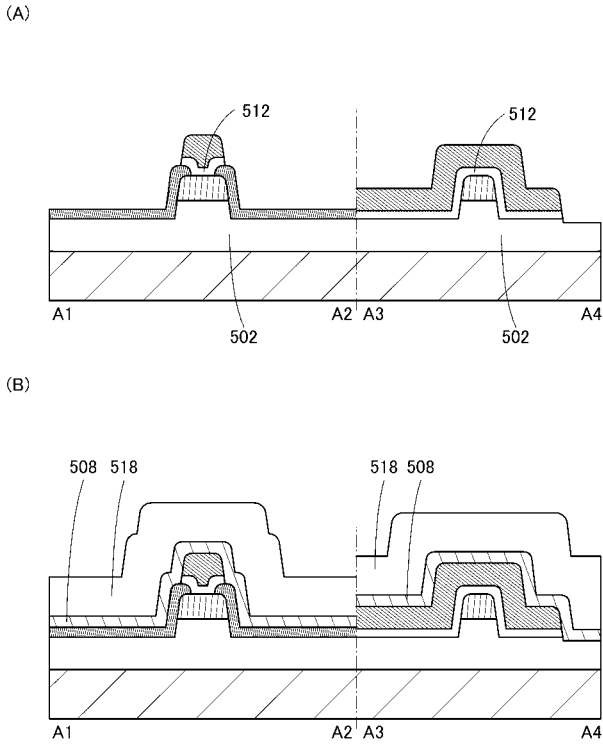
【 図 1 6 】



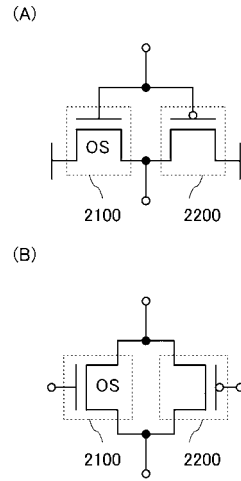
【 図 1 7 】



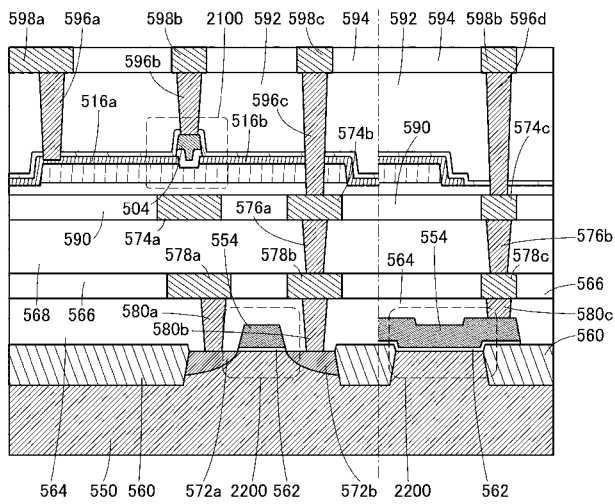
【 図 1 8 】



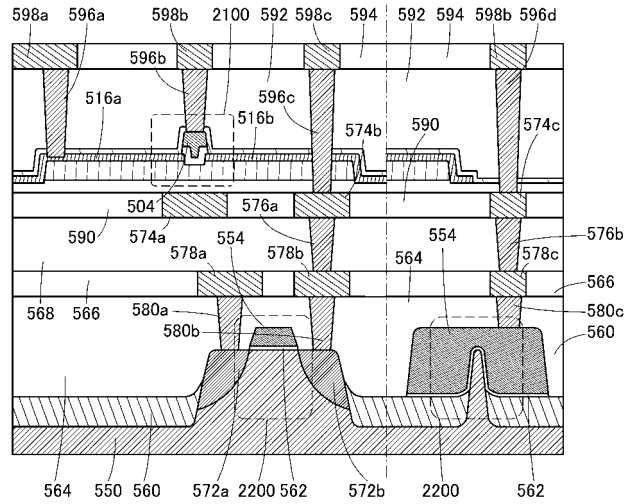
【 図 1 9 】



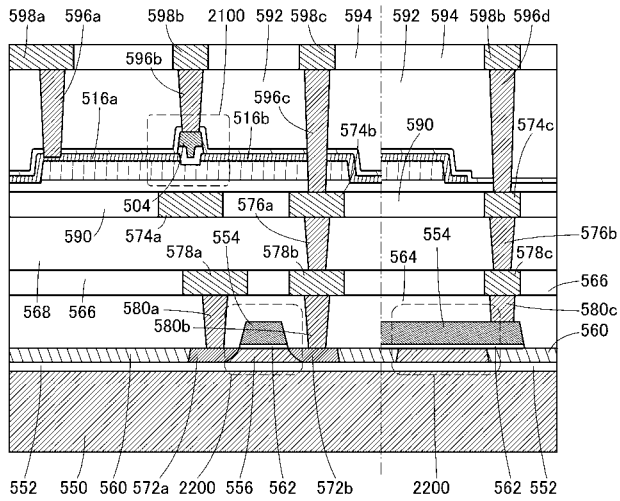
【 図 2 0 】



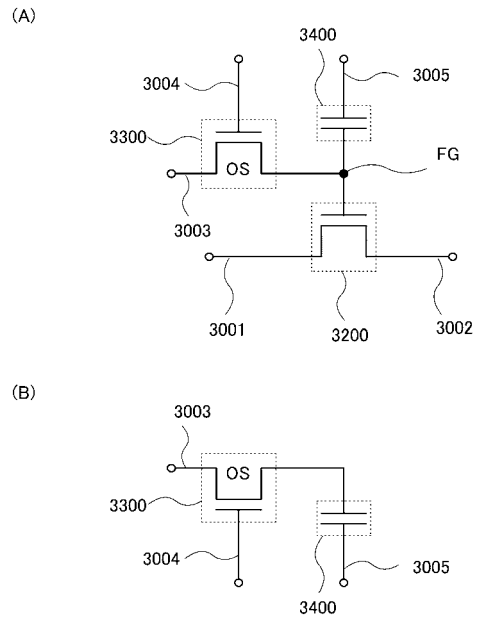
【 図 2 1 】



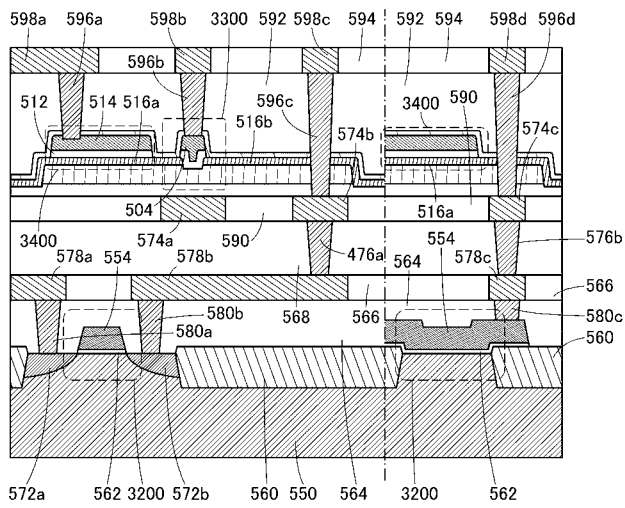
【 図 2 2 】



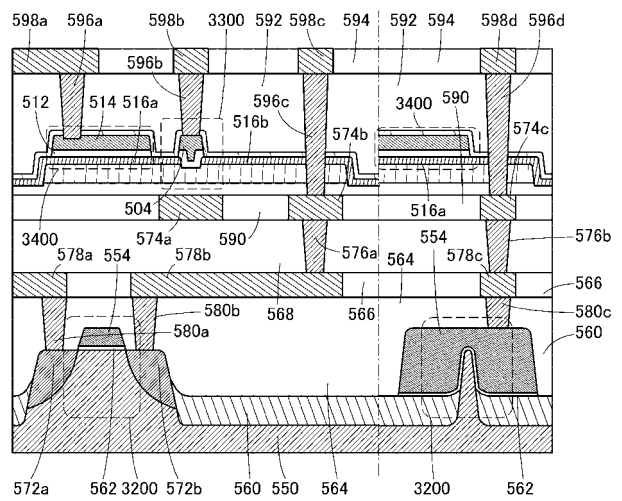
【 図 2 3 】



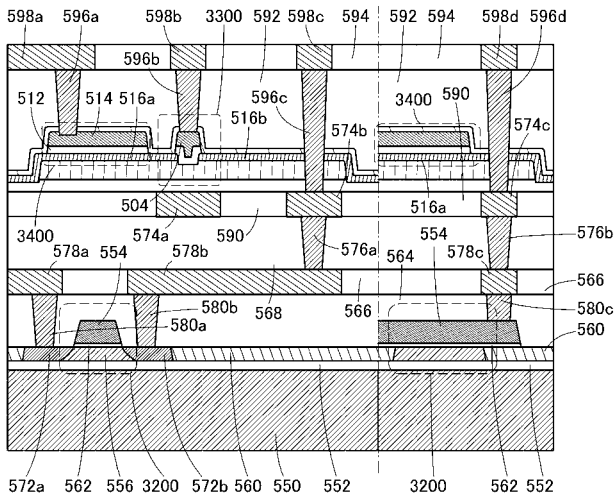
【 図 2 4 】



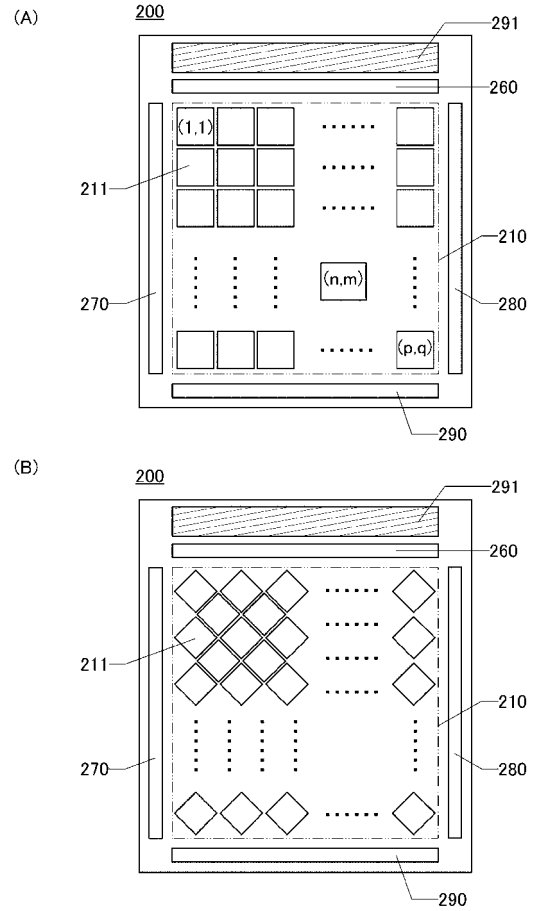
【 図 2 5 】



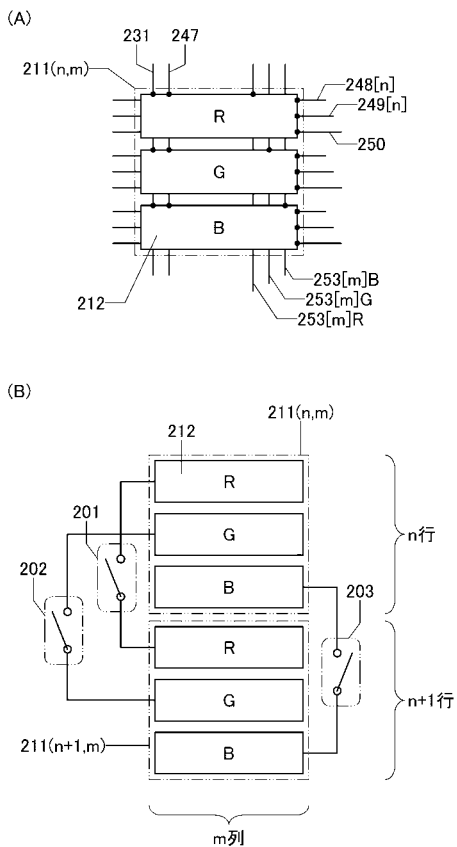
【 図 2 6 】



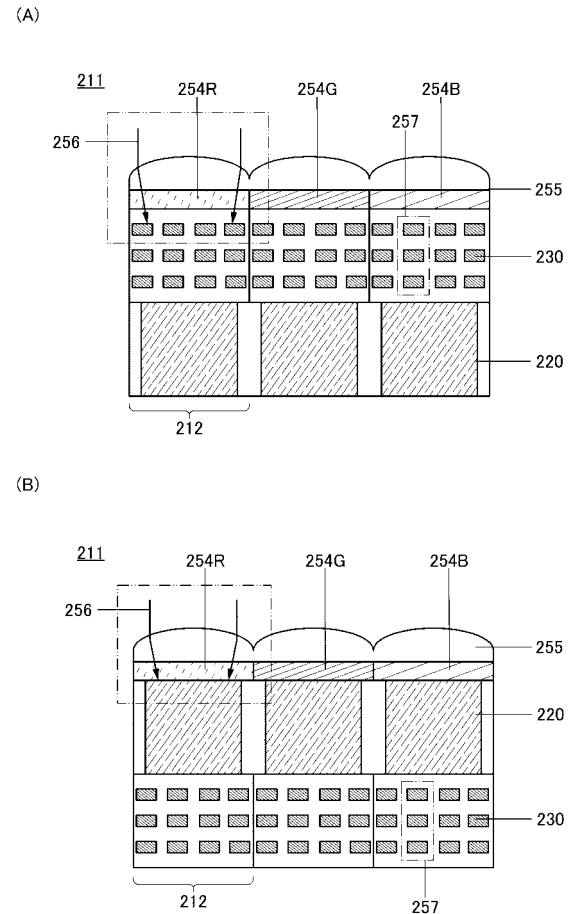
【 図 2 7 】



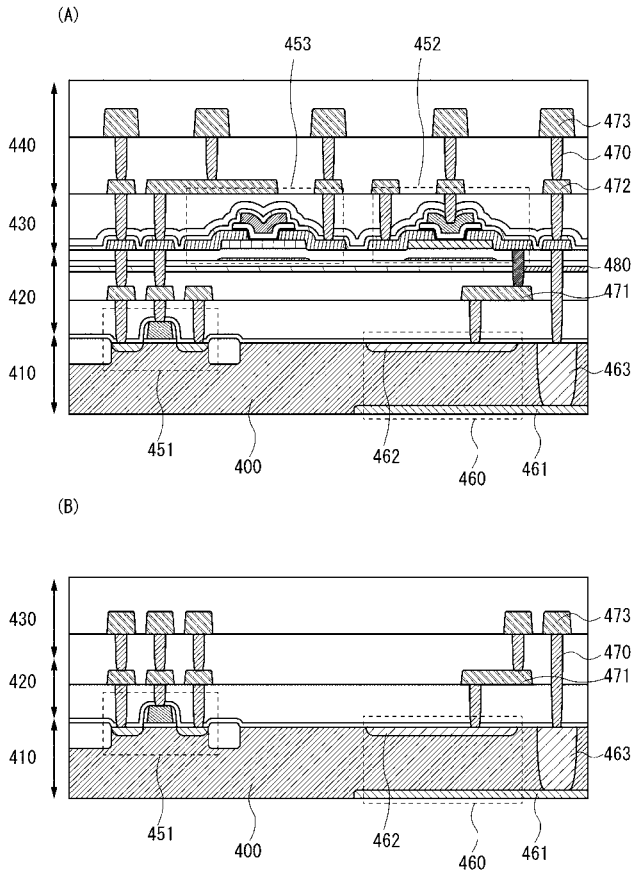
【 図 2 8 】



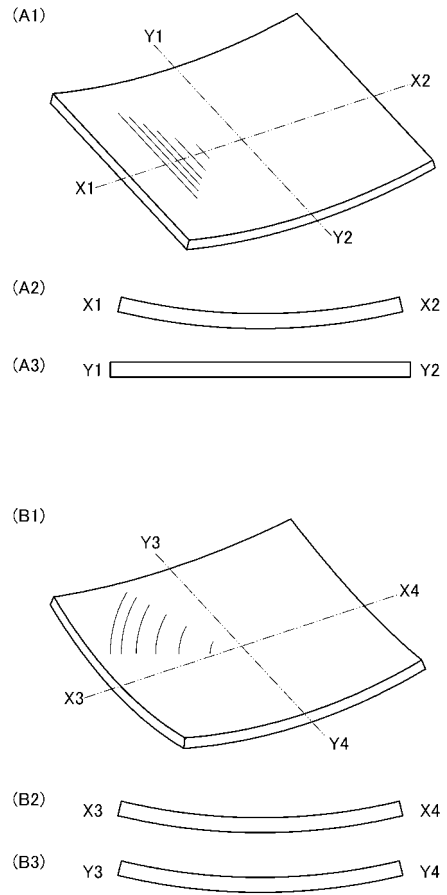
【 図 2 9 】



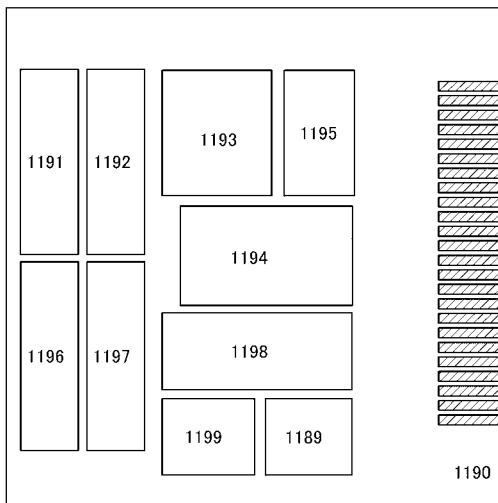
【 図 3 0 】



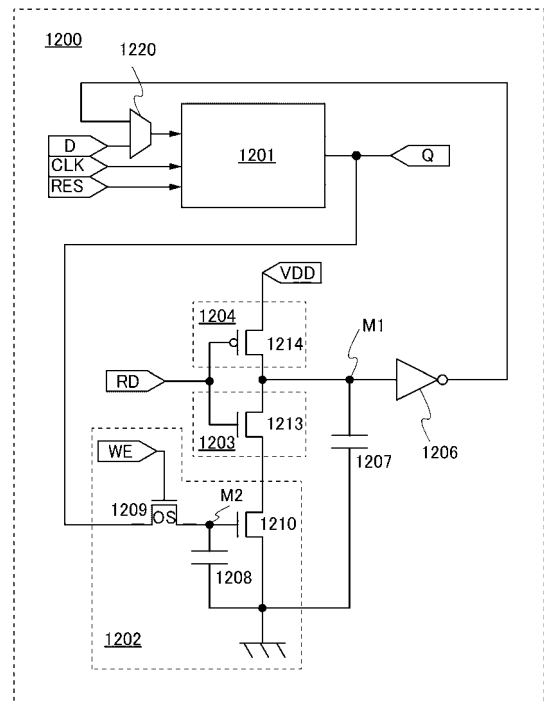
【 図 3 1 】



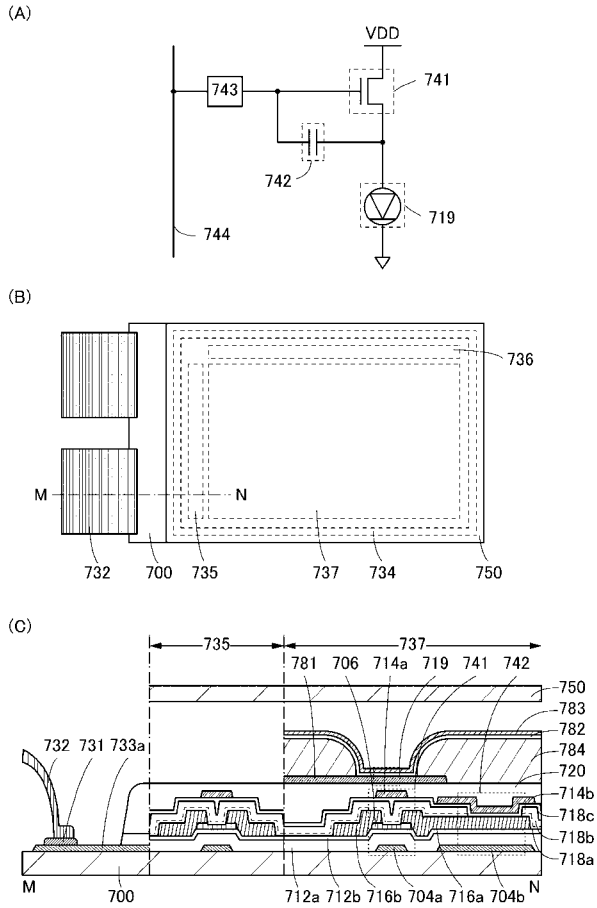
【 図 3 2 】



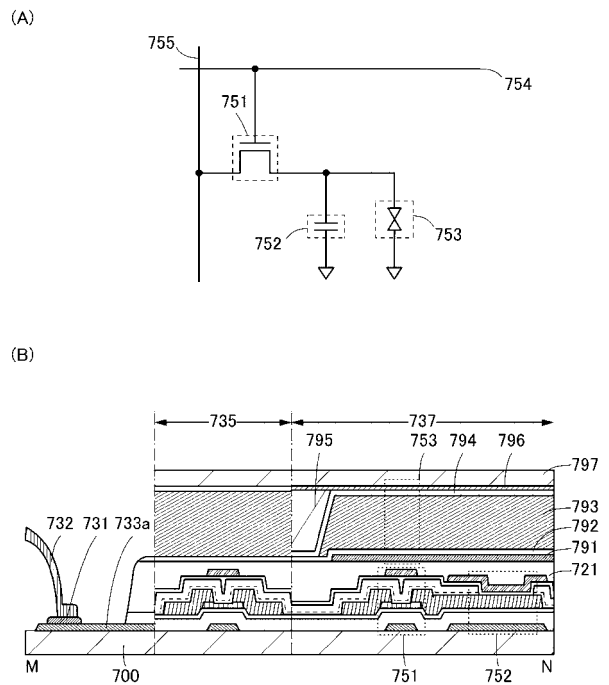
【 図 3 3 】



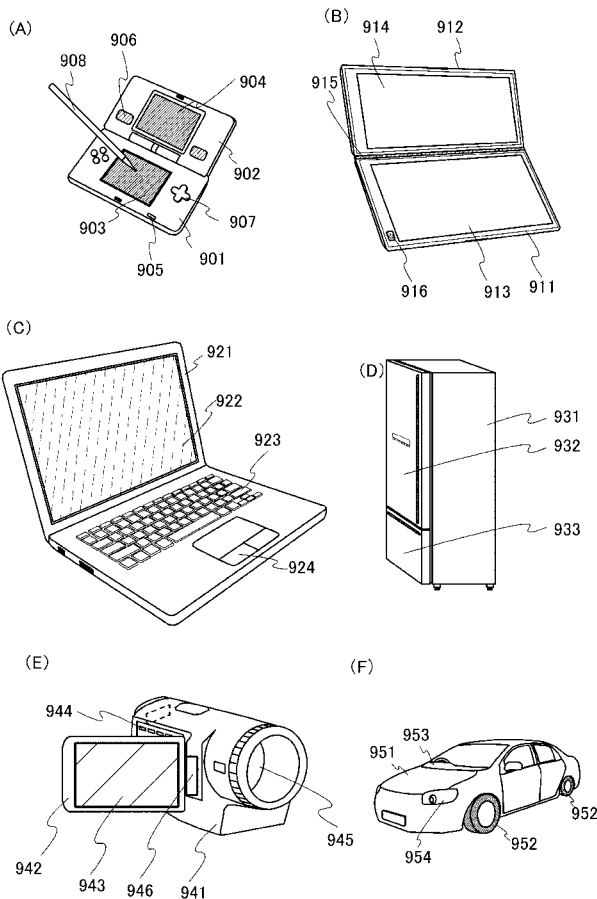
【 図 3 4 】



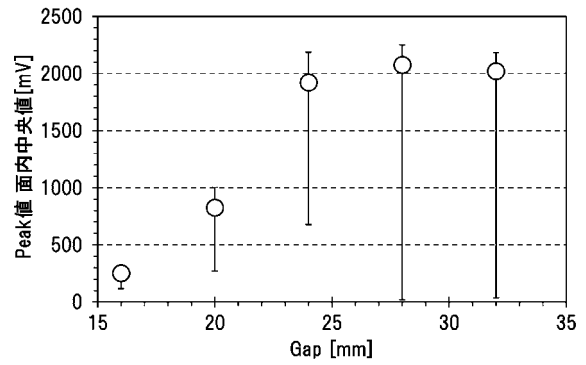
【 図 3 5 】



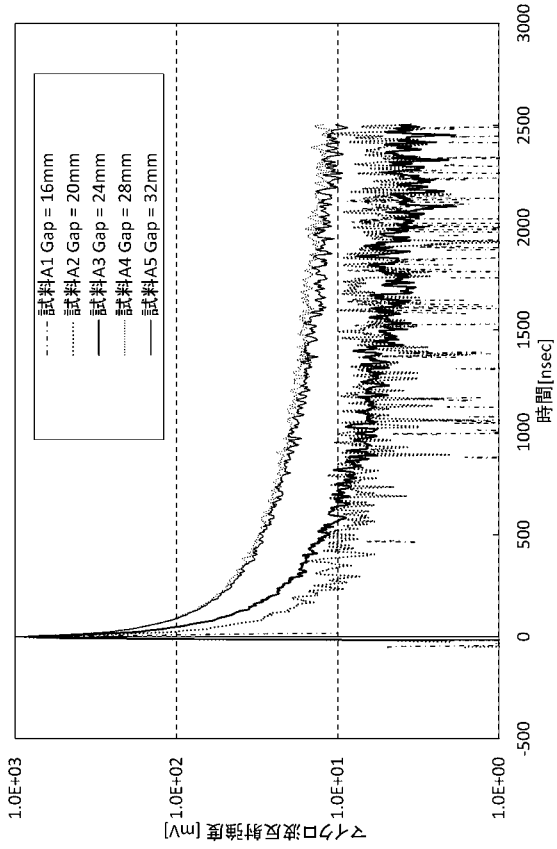
【 図 3 6 】



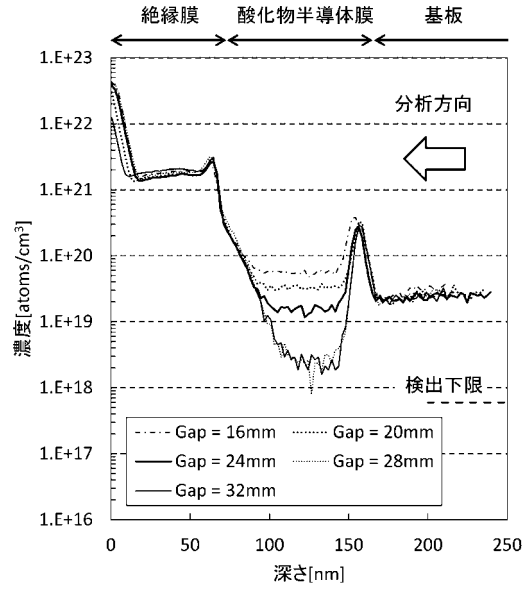
【 図 3 8 】



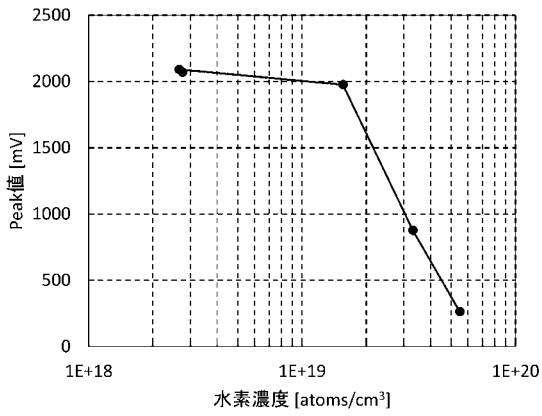
【 図 3 9 】



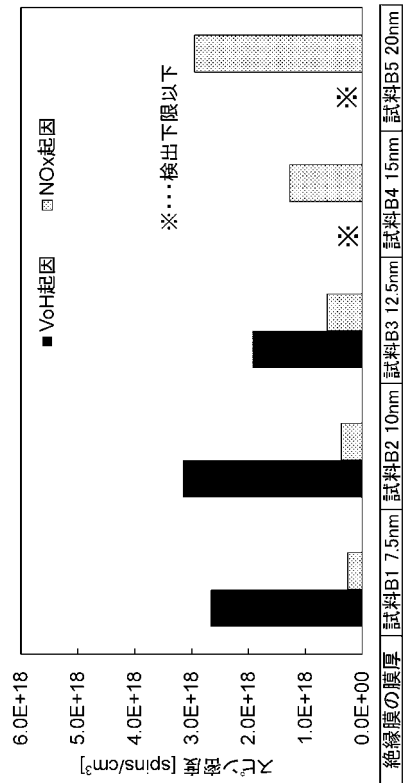
【 図 4 0 】



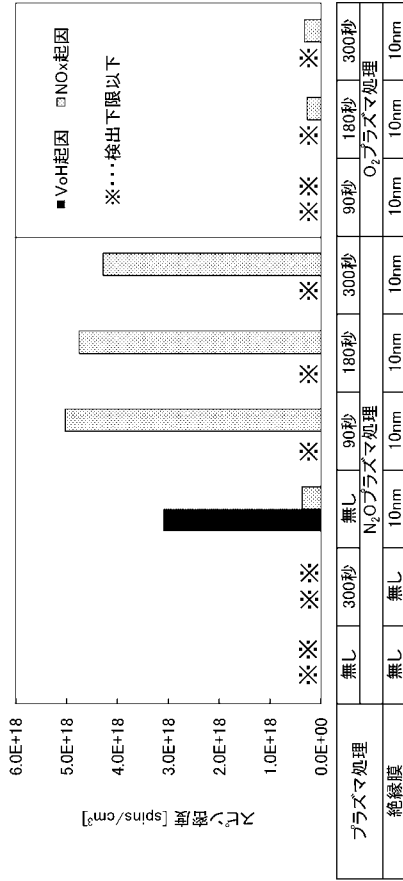
【 図 4 1 】



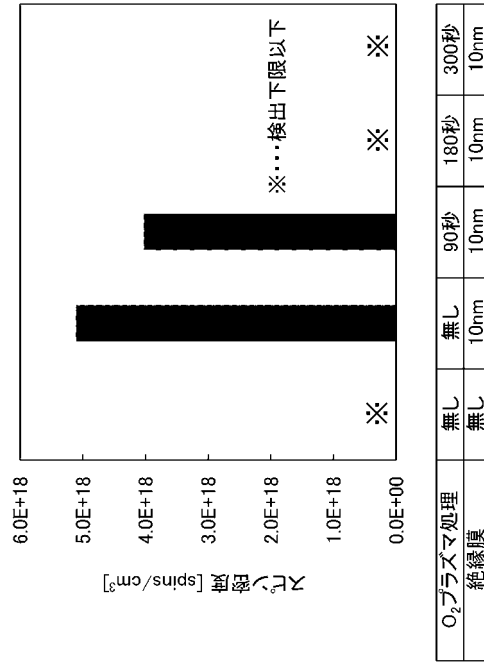
【 図 4 2 】



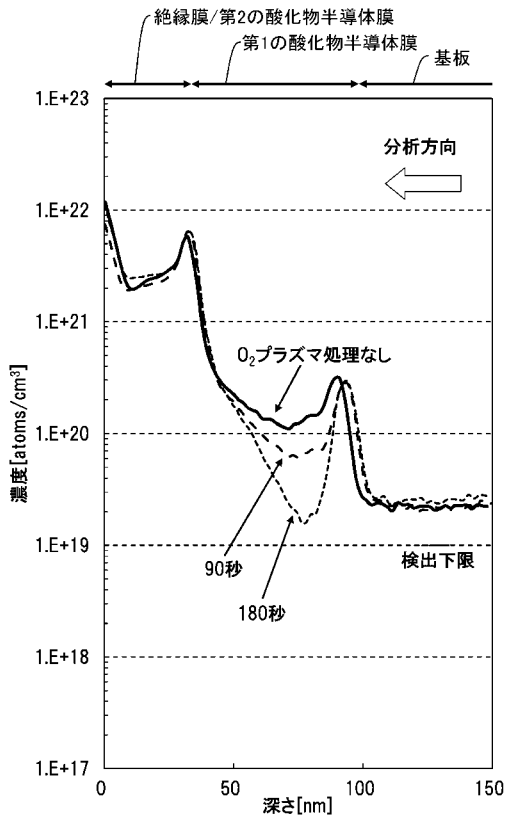
【 図 4 3 】



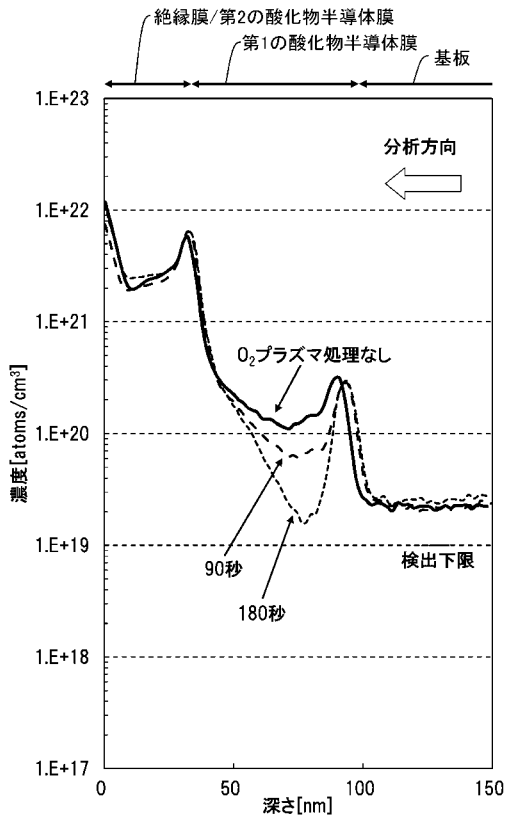
【 図 4 4 】



【 図 4 5 】

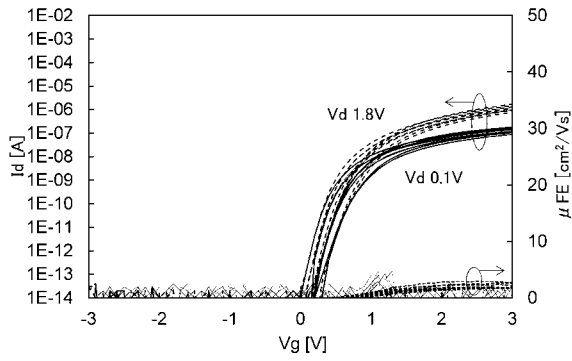


【 図 4 6 】

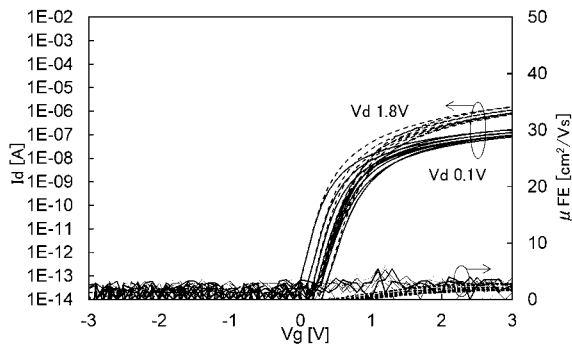


【 図 4 7 】

(A)

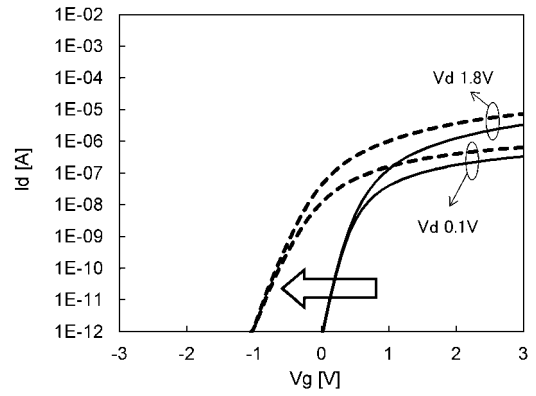


(B)

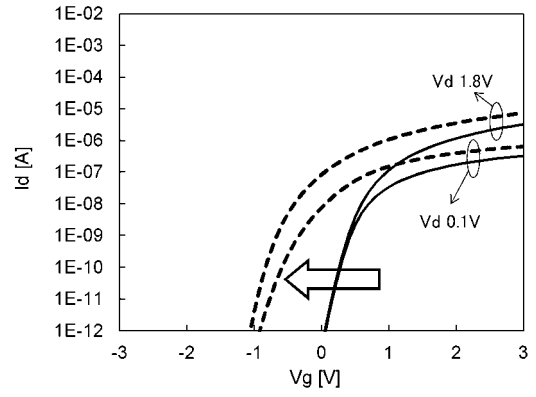


【 図 4 8 】

(A)

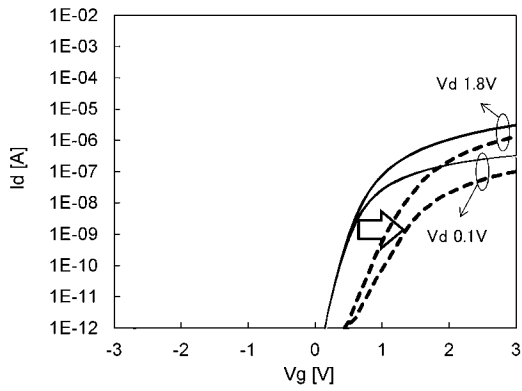


(B)

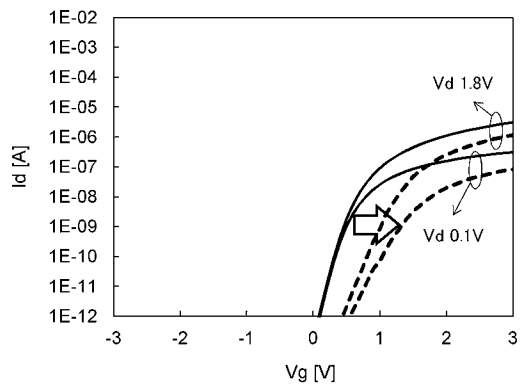


【 図 4 9 】

(A)

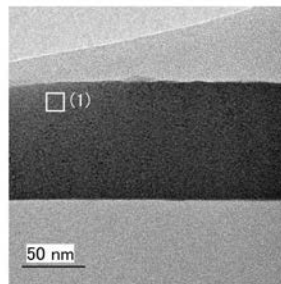


(B)

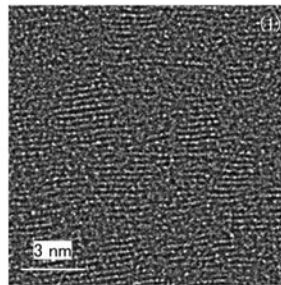


【 図 4 】

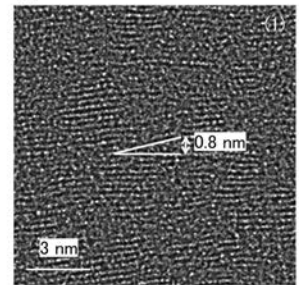
(A)



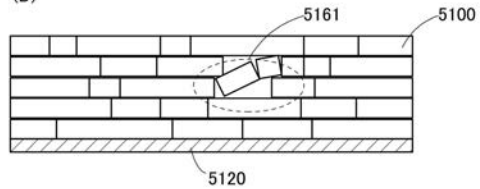
(B)



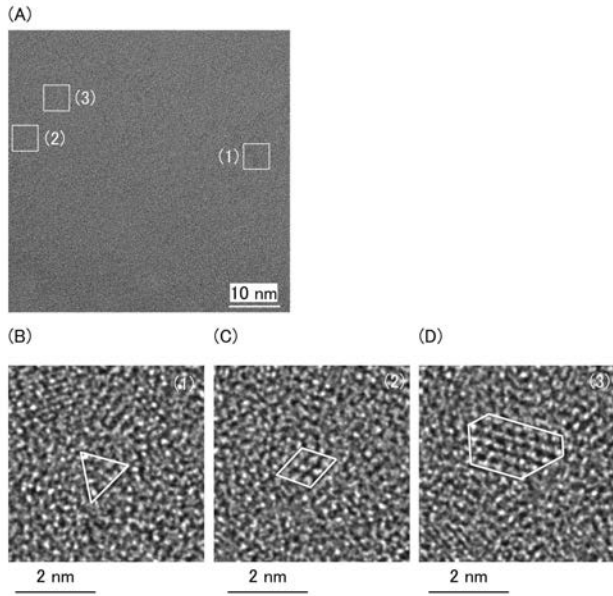
(C)



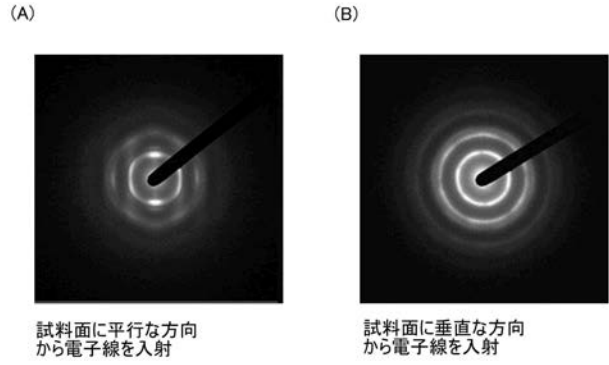
(D)



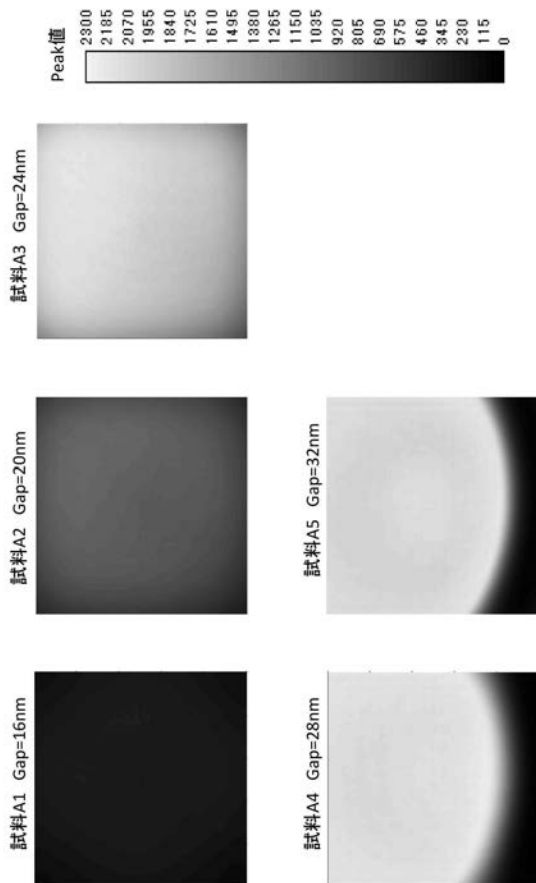
【 図 5 】



【 図 7 】



【 図 3 7 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 21/8238 (2006.01)	H 0 1 L 27/14	A
H 0 1 L 27/092 (2006.01)	H 0 1 L 27/10	3 2 1
H 0 1 L 27/146 (2006.01)	H 0 1 L 27/10	6 7 1 Z
H 0 1 L 21/8242 (2006.01)	H 0 1 L 27/10	6 8 1 F
H 0 1 L 27/108 (2006.01)	H 0 1 L 27/10	4 6 1
H 0 1 L 27/10 (2006.01)	H 0 1 L 27/10	6 2 1 Z

(72)発明者 田中 哲弘

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 手塚 祐朗

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

Fターム(参考) 4M106 AA10 BA09 CB03 CB07 DH32 DH60
 4M118 AB01 BA14 CA03 FA06 FA07 FA33 GA02 GC07 GC08 GC14
 GD04 GD07
 5F048 AC01 AC03 AC04 BA01 BA14 BA16 BA19 BA20 BB03 BB09
 BB14 BD06 BD10 BF07 BF11 BF15 BF16 BG06 BG11 CB01
 CB03 CB04 CB08
 5F083 AD02 AD03 AD21 AD69 GA01 GA06 GA10 GA21 GA25 GA30
 HA02 HA06 HA10 JA03 JA04 JA05 JA19 JA36 JA37 JA38
 JA39 JA56 JA58 JA60 LA00 LA11 MA06 MA15 MA16 MA19
 NA01 PR12 PR15 PR21 PR22 PR33 PR40 ZA12 ZA13 ZA14
 ZA15 ZA20
 5F110 AA07 AA24 BB02 BB04 BB06 BB10 BB11 CC01 CC07 CC10
 DD01 DD02 DD03 DD04 DD05 DD08 DD13 EE01 EE02 EE03
 EE04 EE06 EE07 EE14 EE30 EE38 EE42 EE44 EE45 FF01
 FF02 FF03 FF04 FF27 FF28 FF29 FF30 FF36 GG01 GG02
 GG06 GG07 GG12 GG13 GG14 GG15 GG16 GG17 GG19 GG24
 GG25 GG28 GG29 GG33 GG34 GG42 GG43 GG44 GG58 HK01
 HK02 HK03 HK04 HK06 HK07 HK08 HK17 HK21 HK22 HK32
 HK33 HK34 HL01 HL02 HL03 HL04 HL06 HL11 HL22 HL23
 HL24 NN03 NN22 NN23 NN24 NN33 NN34 NN35 NN72 NN73
 QQ19