



(12) 发明专利申请

(10) 申请公布号 CN 113257835 A

(43) 申请公布日 2021.08.13

(21) 申请号 202110096761.1

(22) 申请日 2021.01.25

(30) 优先权数据

62/971,249 2020.02.07 US

(71) 申请人 夏普株式会社

地址 日本大阪府

(72) 发明人 铃木正彦 菊池哲郎 北川英树

西宫节治 原健吾 高畑仁志

大东彻

(74) 专利代理机构 北京市隆安律师事务所

11323

代理人 权鲜枝 张艳凤

(51) Int. Cl.

H01L 27/12 (2006.01)

H01L 21/77 (2017.01)

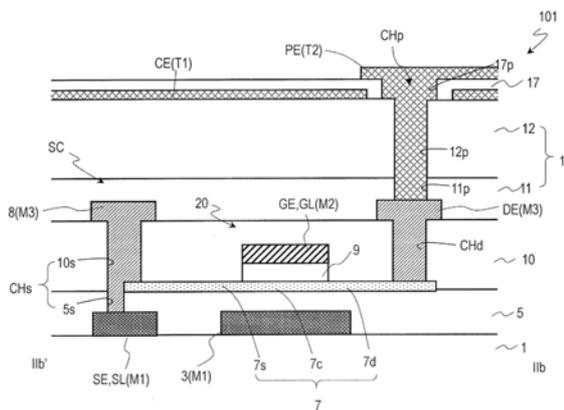
权利要求书4页 说明书23页 附图25页

(54) 发明名称

有源矩阵基板及其制造方法

(57) 摘要

一种有源矩阵基板,具备多个栅极总线、多个源极总线、下部绝缘层、层间绝缘层、多个氧化物半导体TFT、像素电极以及多个源极接触部,各氧化物半导体TFT具有:氧化物半导体层,其配置在下部绝缘层上;栅极电极,其隔着栅极绝缘层配置在氧化物半导体层的一部分上;以及源极电极,其形成在基板与下部绝缘层之间,与源极总线由相同的导电膜形成,各源极接触部具有:源极接触孔,其形成于下部绝缘层和层间绝缘层,并且使1个氧化物半导体TFT中的氧化物半导体层的第1区域的一部分和源极电极的一部分露出;以及连接电极,其配置在层间绝缘层上和源极接触孔内,在源极接触孔内连接到第1区域的一部分和源极电极的一部分。



1. 一种有源矩阵基板,具有多个像素区域,其特征在于,具备:

基板;

多个栅极总线和多个源极总线,其支撑于上述基板的主面,上述多个源极总线位于比上述多个栅极总线靠上述基板侧;

下部绝缘层,其位于上述多个源极总线与上述多个栅极总线之间,覆盖上述多个源极总线;

层间绝缘层,其覆盖上述多个栅极总线;

多个氧化物半导体TFT,其与上述多个像素区域对应地配置;以及

像素电极,其配置于上述多个像素区域中的每个像素区域,

上述多个氧化物半导体TFT中的每个氧化物半导体TFT具有:

氧化物半导体层,其配置在上述下部绝缘层上,包含沟道区域以及分别位于上述沟道区域的两侧的第1区域和第2区域,上述第1区域电连接到上述多个源极总线中的对应的1个源极总线,上述第2区域电连接到上述像素电极;

栅极电极,其隔着栅极绝缘层配置在上述氧化物半导体层的一部分上,电连接到上述多个栅极总线中的对应的1个栅极总线,上述栅极电极与上述多个栅极总线由相同的导电膜形成;以及

源极电极,其形成在上述基板与上述下部绝缘层之间,电连接到上述多个源极总线中的对应的1个源极总线,上述源极电极与上述多个源极总线由相同的导电膜形成,

上述有源矩阵基板还具备各自将上述多个氧化物半导体TFT中的1个氧化物半导体TFT电连接到上述对应的1个源极总线的多个源极接触部,各源极接触部具有:

源极接触孔,其形成于上述下部绝缘层和上述层间绝缘层,并且使上述1个氧化物半导体TFT中的上述氧化物半导体层的上述第1区域的一部分和上述源极电极的一部分露出,上述源极接触孔包含形成于上述下部绝缘层的下部开口部和形成于上述层间绝缘层的上部开口部;以及

连接电极,其配置在上述层间绝缘层上和上述源极接触孔内,在上述源极接触孔内电连接到上述第1区域的上述一部分和上述源极电极的上述一部分。

2. 根据权利要求1所述的有源矩阵基板,

在上述源极接触孔内,上述氧化物半导体层的侧面是与上述下部开口部的侧面对齐的。

3. 根据权利要求1或2所述的有源矩阵基板,

在上述各源极接触部中,在从上述基板的法线方向观看时,上述氧化物半导体层的缘部横穿上述源极接触孔的上述上部开口部而延伸。

4. 根据权利要求1或2所述的有源矩阵基板,

在上述各源极接触部中,上述氧化物半导体层的上述第1区域具有第1开口部,

在从上述基板的法线方向观看时,上述氧化物半导体层的上述第1开口部位于上述源极接触孔的上述上部开口部的内部。

5. 根据权利要求1或2所述的有源矩阵基板,

上述各氧化物半导体TFT还具有形成在上述层间绝缘层上并且电连接到上述多个像素电极中的对应的1个像素电极的漏极电极,

上述各源极接触部的上述连接电极是与上述各氧化物半导体TFT的上述漏极电极由相同的导电膜形成的。

6. 根据权利要求1或2所述的有源矩阵基板，

上述各源极接触部的上述连接电极是与上述多个像素电极由相同的透明导电膜形成的。

7. 根据权利要求1或2所述的有源矩阵基板，

在上述各源极接触部中，上述下部绝缘层具有薄膜化区域，上述薄膜化区域的厚度 $d_1$ 比上述下部绝缘层中的从上述基板的法线方向观看时与上述沟道区域重叠的区域的厚度 $d_2$ 小，

上述源极接触孔的上述下部开口部形成于上述薄膜化区域。

8. 根据权利要求7所述的有源矩阵基板，

在上述各源极接触部中，上述氧化物半导体层部分地覆盖上述薄膜化区域。

9. 根据权利要求7所述的有源矩阵基板，

上述薄膜化区域的厚度 $d_1$ 为上述下部绝缘层中的从上述基板的法线方向观看时与上述沟道区域重叠的区域的厚度 $d_2$ 的 $1/2$ 以下。

10. 根据权利要求1或2所述的有源矩阵基板，

上述有源矩阵基板具有包含上述多个像素区域的显示区域和位于上述显示区域的周边的非显示区域，

还具备配置于上述非显示区域的多个配线连接部，

上述多个配线连接部中的每个配线连接部具有：

第1配线，其与上述多个源极总线由相同的导电膜形成；

上述下部绝缘层，其在上述第1配线上延伸设置；

第2配线，其与上述多个栅极总线由相同的导电膜形成；

绝缘层，其配置在上述第2配线与上述下部绝缘层之间；

上述层间绝缘层，其在上述第2配线上延伸设置；

配线接触孔，其形成于上述下部绝缘层和上述层间绝缘层，使上述第1配线的一部分和上述第2配线的一部分露出；以及

配线连接电极，其配置在上述层间绝缘层上和上述配线接触孔内，在上述配线接触孔内连接到上述第1配线的上述一部分和上述第2配线的上述一部分。

11. 根据权利要求7所述的有源矩阵基板，

上述有源矩阵基板具有包含上述多个像素区域的显示区域和位于上述显示区域的周边的非显示区域，

还具备配置于上述非显示区域的多个配线连接部，

上述多个配线连接部中的每个配线连接部具有：

第1配线，其与上述多个源极总线由相同的导电膜形成；

上述下部绝缘层，其在上述第1配线上延伸设置；

第2配线，其与上述多个栅极总线由相同的导电膜形成；

绝缘层，其配置在上述第2配线与上述下部绝缘层之间；

上述层间绝缘层，其在上述第2配线上延伸设置；

配线接触孔,其形成于上述下部绝缘层和上述层间绝缘层,使上述第1配线的一部分和上述第2配线的一部分露出;以及

配线连接电极,其配置在上述层间绝缘层上和上述配线接触孔内,在上述配线接触孔内连接到上述第1配线的上述一部分和上述第2配线的上述一部分,

上述各配线连接部的上述配线接触孔包含形成于上述下部绝缘层的其它下部开口部和形成于上述层间绝缘层的其它上部开口部,

在上述各配线连接部中,上述下部绝缘层具有其它薄膜化区域,

在从上述基板的法线方向观看时,上述配线接触孔的上述其它下部开口部形成于上述其它薄膜化区域。

12. 根据权利要求5所述的有源矩阵基板,

上述有源矩阵基板在上述各像素区域中还具备覆盖上述连接电极和上述漏极电极的上部绝缘层,

上述上部绝缘层具有使上述漏极电极的一部分露出的像素接触孔,

上述像素电极配置在上述上部绝缘层上和上述像素接触孔内,在上述像素接触孔内连接到上述漏极电极的上述一部分。

13. 根据权利要求12所述的有源矩阵基板,

在上述各像素区域中还具备在上述像素电极的一部分上以与上述像素电极的上表面接触的方式配置的第1电极,

上述第1电极由金属膜形成,在从上述基板的法线方向观看时,上述第1电极与整个上述像素接触孔重叠。

14. 根据权利要求13所述的有源矩阵基板,

还具备:

多个触摸配线,其配置在上述上部绝缘层上;以及

多个触摸传感器电极,其各自电连接到上述多个触摸配线中的任意一个触摸配线,

上述多个触摸配线中的每个触摸配线具有包含与上述多个像素电极由相同的透明导电膜形成的下层以及与上述第1电极由相同的上述金属膜形成的上层的层叠结构。

15. 根据权利要求1或2所述的有源矩阵基板,

上述氧化物半导体层包含In-Ga-Zn-O系半导体。

16. 一种有源矩阵基板的制造方法,

上述有源矩阵基板具有多个像素区域,具备多个源极总线和多个栅极总线以及与上述多个像素区域对应的多个氧化物半导体TFT,上述有源矩阵基板的制造方法的特征在于,在形成上述多个氧化物半导体TFT中的每个氧化物半导体TFT的各TFT形成区域中,包含:

工序(a),在基板上形成第1导电膜,进行上述第1导电膜的图案化,从而形成包含上述氧化物半导体TFT的源极电极的第1金属层,其中,上述源极电极是与上述多个源极总线中的对应的1个源极总线一体地形成的;

工序(b),在上述第1金属层上形成下部绝缘层;

工序(c),在上述下部绝缘层上形成上述氧化物半导体TFT的氧化物半导体层;

工序(d),以覆盖上述氧化物半导体层的方式形成栅极绝缘膜和第2导电膜,进行上述栅极绝缘膜和上述第2导电膜的图案化,从而由上述栅极绝缘膜形成栅极绝缘层,由上述第

2导电膜形成包含上述氧化物半导体TFT的栅极电极的第2金属层,其中,上述栅极电极是与上述多个栅极总线中的对应的1个栅极总线一体地形成的,并且隔着上述栅极绝缘层配置在上述氧化物半导体层的一部分上;

工序(e),形成覆盖上述第2金属层的层间绝缘层;

工序(f),进行上述层间绝缘层和上述下部绝缘层的图案化,从而形成使上述氧化物半导体TFT的上述源极电极的一部分和上述氧化物半导体层的一部分露出的源极接触孔;以及

工序(g),在上述层间绝缘层上和上述源极接触孔内形成第3导电膜,通过上述第3导电膜的图案化,形成在上述源极接触孔内与上述源极电极的上述一部分和上述氧化物半导体层的上述一部分接触的连接电极。

17.根据权利要求16所述的有源矩阵基板的制造方法,

在上述工序(b)与上述工序(c)之间还包含在上述下部绝缘层形成薄膜化区域的工序,在上述工序(f)中,通过将上述层间绝缘层、以及上述下部绝缘层的上述薄膜化区域图案化,形成上述源极接触孔。

18.根据权利要求16或17所述的有源矩阵基板的制造方法,

上述工序(f)包含在上述层间绝缘层形成使上述氧化物半导体层的另一部分露出的漏极接触孔的工序,

上述工序(g)包含通过上述第3导电膜的图案化形成在上述漏极接触孔内与上述氧化物半导体层的上述另一部分接触的漏极电极的工序。

19.根据权利要求18所述的有源矩阵基板的制造方法,

在上述多个像素区域之中的每个像素区域中,还包含:

工序(h),在上述层间绝缘层上形成上部绝缘层,在上述上部绝缘层形成使上述氧化物半导体TFT的上述漏极电极的一部分露出的像素接触孔;

工序(i),在上述上部绝缘层上和上述像素接触孔内形成第1透明导电膜和第4导电膜,通过上述第1透明导电膜和上述第4导电膜的图案化,形成包含由上述第1透明导电膜形成的像素电极和由上述第4导电膜形成的导电层的层叠膜;以及

工序(j),将上述导电层进一步图案化,从而形成配置在上述像素电极的一部分上的第1电极,其中,在从上述基板的法线方向观看时,上述第1电极与整个上述像素接触孔重叠。

20.根据权利要求19所述的有源矩阵基板的制造方法,

在上述工序(i)中,还包含通过上述第1透明导电膜和上述第4导电膜的图案化形成多个触摸配线的工序。

## 有源矩阵基板及其制造方法

### 技术领域

[0001] 本发明涉及有源矩阵基板及其制造方法。

### 背景技术

[0002] 具备按每个像素设置有开关元件的有源矩阵基板的显示装置已得到广泛应用。具备薄膜晶体管(Thin Film Transistor:以下称为“TFT”)作为开关元件的有源矩阵基板被称为TFT基板。此外,在本说明书中,将与显示装置的像素对应的TFT基板的部分称为像素区域或像素。另外,将在有源矩阵基板的各像素中作为开关元件设置的TFT称为“像素TFT”。在TFT基板中设置有多个源极总线和多个栅极总线,在它们的交叉部附近配置有像素TFT。像素TFT的源极电极连接到源极总线中的1个源极总线,栅极电极连接到栅极总线中的1个栅极总线。

[0003] 近年来,已提出使用氧化物半导体来代替非晶硅、多晶硅作为TFT的活性层的材料。将这种TFT称为“氧化物半导体TFT”。氧化物半导体具有比非晶硅的迁移率高的迁移率。因此,氧化物半导体TFT能比非晶硅TFT高速地动作。另外,氧化物半导体膜通过比多晶硅膜简单的工艺形成,因此也能应用于需要大面积的装置。

[0004] 氧化物半导体TFT大多是底栅型TFT,但是也已提出顶栅型的氧化物半导体TFT(例如专利文献1和专利文献2)。

[0005] 专利文献1公开了在氧化物半导体层的一部分上隔着栅极绝缘层配置有栅极电极且在覆盖栅极电极的绝缘层上配置有源极和漏极电极的顶栅型TFT。

[0006] 另一方面,本申请的申请人的专利文献2提出了在比栅极总线靠基板侧设置源极电极和源极总线的基板结构(以下称为“下部源极结构”)。在该结构中,源极总线配置在比氧化物半导体TFT的氧化物半导体层靠基板侧,栅极总线配置在氧化物半导体层的上方。根据具有下部源极结构的TFT基板(以下简称为“下部源极结构基板”),能够将位于源极总线与栅极总线之间的绝缘层加厚,因此能降低在这些总线的交叉部产生的寄生电容。

[0007] 现有技术文献

[0008] 专利文献

[0009] 专利文献1:特开2015-109315号公报

[0010] 专利文献2:国际公开第2015/186619号

### 发明内容

[0011] 发明要解决的问题

[0012] 在下部源极结构基板中,例如,像素TFT的活性层配置在覆盖对应的源极总线的绝缘层(下部绝缘层)上,在形成于下部绝缘层的接触孔(源极接触孔)内连接到源极总线。在本说明书中,将像素TFT的活性层与源极总线电连接的连接部被称为“源极接触部”。

[0013] 经本申请的发明人研究,在下部源极结构基板中存在难以降低源极接触部的接触电阻的问题。

[0014] 在以往的下部源极结构基板中,例如,在下部绝缘层形成使源极总线的一部分露出的源极接触孔后,源极总线的露出表面有可能受到工艺损伤。其结果是,有可能无法在源极总线与氧化物半导体层之间形成良好的接触。

[0015] 另外,在将氧化物半导体TFT用作像素TFT的情况下,在源极接触部中,氧化物半导体TFT的氧化物半导体层连接到源极总线的上表面。若为了降低源极总线的配线电阻,由Cu膜等低电阻金属膜形成源极总线,则会由于Cu膜等低电阻金属膜与氧化物半导体层不易形成欧姆接合,而难以将源极接触部的接触电阻抑制得小。

[0016] 此外,为了降低源极接触部的接触电阻,例如,可以考虑使用以Cu膜为主层且以Ti膜为上层的层叠膜作为源极总线。Ti膜能与氧化物半导体层形成欧姆接合,因此与仅由Cu膜形成源极总线的情况相比,能降低源极总线与氧化物半导体层的接触电阻。然而,在将这样的层叠膜图案化而形成源极总线时,在对Cu膜进行湿式蚀刻后,需要另外对Ti膜进行干式蚀刻,制造工序数会增加。

[0017] 本发明的一实施方式提供具备氧化物半导体TFT作为像素TFT并且能降低氧化物半导体TFT的氧化物半导体层与源极总线的接触电阻的有源矩阵基板。

[0018] 用于解决问题的方案

[0019] 本说明书公开了以下的项目记载的有源矩阵基板和有源矩阵基板的制造方法。

[0020] [项目1]一种有源矩阵基板,具有多个像素区域,并具备:

[0021] 基板;

[0022] 多个栅极总线和多个源极总线,其支撑于上述基板的主面,上述多个源极总线位于比上述多个栅极总线靠上述基板侧;

[0023] 下部绝缘层,其位于上述多个源极总线与上述多个栅极总线之间,覆盖上述多个源极总线;

[0024] 层间绝缘层,其覆盖上述多个栅极总线;

[0025] 多个氧化物半导体TFT,其与上述多个像素区域对应地配置;以及

[0026] 像素电极,其配置于上述多个像素区域中的每个像素区域,

[0027] 上述多个氧化物半导体TFT中的每个氧化物半导体TFT具有:

[0028] 氧化物半导体层,其配置在上述下部绝缘层上,包含沟道区域以及分别位于上述沟道区域的两侧的第1区域和第2区域,上述第1区域电连接到上述多个源极总线中的对应的1个源极总线,上述第2区域电连接到上述像素电极;

[0029] 栅极电极,其隔着栅极绝缘层配置在上述氧化物半导体层的一部分上,电连接到上述多个栅极总线中的对应的1个栅极总线,上述栅极电极与上述多个栅极总线由相同的导电膜形成;以及

[0030] 源极电极,其形成在上述基板与上述下部绝缘层之间,电连接到上述多个源极总线中的对应的1个源极总线,上述源极电极与上述多个源极总线由相同的导电膜形成,

[0031] 上述有源矩阵基板还具备各自将上述多个氧化物半导体TFT中的1个氧化物半导体TFT电连接到上述对应的1个源极总线的多个源极接触部,各源极接触部具有:

[0032] 源极接触孔,其形成于上述下部绝缘层和上述层间绝缘层,并且使上述1个氧化物半导体TFT中的上述氧化物半导体层的上述第1区域的一部分和上述源极电极的一部分露出,上述源极接触孔包含形成于上述下部绝缘层的下部开口部和形成于上述层间绝缘层的

上部开口部;以及

[0033] 连接电极,其配置在上述层间绝缘层上和上述源极接触孔内,在上述源极接触孔内连接到上述第1区域的上述一部分和上述源极电极的上述一部分。

[0034] [项目2]根据项目1所述的有源矩阵基板,

[0035] 在上述源极接触孔内,上述氧化物半导体层的侧面是与上述下部开口部的侧面对齐的。

[0036] [项目3]根据项目1或2所述的有源矩阵基板,

[0037] 在上述各源极接触部中,在从上述基板的法线方向观看时,上述氧化物半导体层的缘部横穿上述源极接触孔的上述上部开口部而延伸。

[0038] [项目4]根据项目1或2所述的有源矩阵基板,

[0039] 在上述各源极接触部中,上述氧化物半导体层的上述第1区域具有第1开口部,

[0040] 在从上述基板的法线方向观看时,上述氧化物半导体层的上述第1开口部位于上述源极接触孔的上述上部开口部的内部。

[0041] [项目5]根据项目1至4中的任意一个项目所述的有源矩阵基板,

[0042] 上述各氧化物半导体TFT还具有形成在上述层间绝缘层上并且电连接到上述多个像素电极中的对应的1个像素电极的漏极电极,

[0043] 上述各源极接触部的上述连接电极是与上述各氧化物半导体TFT的上述漏极电极由相同的导电膜形成的。

[0044] [项目6]根据项目1至4中的任意一个项目所述的有源矩阵基板,

[0045] 上述各源极接触部的上述连接电极是与上述多个像素电极由相同的透明导电膜形成的。

[0046] [项目7]根据项目1至6中的任意一个项目所述的有源矩阵基板,

[0047] 在上述各源极接触部中,上述下部绝缘层具有薄膜化区域,上述薄膜化区域的厚度 $d_1$ 比上述下部绝缘层中的从上述基板的法线方向观看时与上述沟道区域重叠的区域的厚度 $d_2$ 小,

[0048] 上述源极接触孔的上述下部开口部形成于上述薄膜化区域。

[0049] [项目8]根据项目7所述的有源矩阵基板,

[0050] 在上述各源极接触部中,上述氧化物半导体层部分地覆盖上述薄膜化区域。

[0051] [项目9]根据项目7或8所述的有源矩阵基板,

[0052] 上述薄膜化区域的厚度 $d_1$ 为上述下部绝缘层中的从上述基板的法线方向观看时与上述沟道区域重叠的区域的厚度 $d_2$ 的 $1/2$ 以下。

[0053] [项目10]根据项目1至6中的任意一个项目所述的有源矩阵基板,

[0054] 上述有源矩阵基板具有包含上述多个像素区域的显示区域和位于上述显示区域的周边的非显示区域,

[0055] 还具备配置于上述非显示区域的多个配线连接部,

[0056] 上述多个配线连接部中的每个配线连接部具有:

[0057] 第1配线,其与上述多个源极总线由相同的导电膜形成;

[0058] 上述下部绝缘层,其在上述第1配线上延伸设置;

[0059] 第2配线,其与上述多个栅极总线由相同的导电膜形成;

- [0060] 绝缘层,其配置在上述第2配线与上述下部绝缘层之间;
- [0061] 上述层间绝缘层,其在上述第2配线上延伸设置;
- [0062] 配线接触孔,其形成于上述下部绝缘层和上述层间绝缘层,使上述第1配线的一部分和上述第2配线的一部分露出;以及
- [0063] 配线连接电极,其配置在上述层间绝缘层上和上述配线接触孔内,在上述配线接触孔内连接到上述第1配线的上述一部分和上述第2配线的上述一部分。
- [0064] [项目11]根据项目7至9中的任意一个项目所述的有源矩阵基板,
- [0065] 上述有源矩阵基板具有包含上述多个像素区域的显示区域和位于上述显示区域的周边的非显示区域,
- [0066] 还具备配置于上述非显示区域的多个配线连接部,
- [0067] 上述多个配线连接部中的每个配线连接部具有:
- [0068] 第1配线,其与上述多个源极总线由相同的导电膜形成;
- [0069] 上述下部绝缘层,其在上述第1配线上延伸设置;
- [0070] 第2配线,其与上述多个栅极总线由相同的导电膜形成;
- [0071] 绝缘层,其配置在上述第2配线与上述下部绝缘层之间;
- [0072] 上述层间绝缘层,其在上述第2配线上延伸设置;
- [0073] 配线接触孔,其形成于上述下部绝缘层和上述层间绝缘层,使上述第1配线的一部分和上述第2配线的一部分露出;以及
- [0074] 配线连接电极,其配置在上述层间绝缘层上和上述配线接触孔内,在上述配线接触孔内连接到上述第1配线的上述一部分和上述第2配线的上述一部分,
- [0075] 上述各配线连接部的上述配线接触孔包含形成于上述下部绝缘层的其它下部开口部和形成于上述层间绝缘层的其它上部开口部,
- [0076] 在上述各配线连接部中,上述下部绝缘层具有其它薄膜化区域,
- [0077] 在从上述基板的法线方向观看时,上述配线接触孔的上述其它下部开口部形成于上述其它薄膜化区域。
- [0078] [项目12]根据项目5所述的有源矩阵基板,
- [0079] 上述有源矩阵基板在上述各像素区域中还具备覆盖上述连接电极和上述漏极电极的上部绝缘层,
- [0080] 上述上部绝缘层具有使上述漏极电极的一部分露出的像素接触孔,
- [0081] 上述像素电极配置在上述上部绝缘层上和上述像素接触孔内,在上述像素接触孔内连接到上述漏极电极的上述一部分。
- [0082] [项目13]根据项目12所述的有源矩阵基板,
- [0083] 在上述各像素区域中还具备在上述像素电极的一部分上以与上述像素电极的上表面接触的方式配置的第1电极,
- [0084] 上述第1电极由金属膜形成,在从上述基板的法线方向观看时,上述第1电极与整个上述像素接触孔重叠。
- [0085] [项目14]根据项目13所述的有源矩阵基板,
- [0086] 还具备:
- [0087] 多个触摸配线,其配置在上述上部绝缘层上;以及

- [0088] 多个触摸传感器电极,其各自电连接到上述多个触摸配线中的任意一个触摸配线,
- [0089] 上述多个触摸配线中的每个触摸配线具有包含与上述多个像素电极由相同的透明导电膜形成的下层以及与上述第1电极由相同的上述金属膜形成的上层的层叠结构。
- [0090] [项目15]根据项目1至14中的任意一个项目所述的有源矩阵基板,
- [0091] 上述氧化物半导体层包含In-Ga-Zn-O系半导体。
- [0092] [项目16]根据项目15所述的有源矩阵基板,
- [0093] 上述In-Ga-Zn-O系半导体包含结晶质部分。
- [0094] [项目17]一种有源矩阵基板的制造方法,
- [0095] 上述有源矩阵基板具有多个像素区域,具备多个源极总线和多个栅极总线以及与上述多个像素区域对应的多个氧化物半导体TFT,在上述有源矩阵基板的制造方法中,在形成上述多个氧化物半导体TFT中的每个氧化物半导体TFT的各TFT形成区域中,包含:
- [0096] 工序(a),在基板上形成第1导电膜,进行上述第1导电膜的图案化,从而形成包含上述氧化物半导体TFT的源极电极的第1金属层,其中,上述源极电极是与上述多个源极总线中的对应的1个源极总线一体地形成的;
- [0097] 工序(b),在上述第1金属层上形成下部绝缘层;
- [0098] 工序(c),在上述下部绝缘层上形成上述氧化物半导体TFT的氧化物半导体层;
- [0099] 工序(d),以覆盖上述氧化物半导体层的方式形成栅极绝缘膜和第2导电膜,进行上述栅极绝缘膜和上述第2导电膜的图案化,从而由上述栅极绝缘膜形成栅极绝缘层,由上述第2导电膜形成包含上述氧化物半导体TFT的栅极电极的第2金属层,其中,上述栅极电极是与上述多个栅极总线中的对应的1个栅极总线一体地形成的,并且隔着上述栅极绝缘层配置在上述氧化物半导体层的一部分上;
- [0100] 工序(e),形成覆盖上述第2金属层的层间绝缘层;
- [0101] 工序(f),进行上述层间绝缘层和上述下部绝缘层的图案化,从而形成使上述氧化物半导体TFT的上述源极电极的一部分和上述氧化物半导体层的一部分露出的源极接触孔;以及
- [0102] 工序(g),在上述层间绝缘层上和上述源极接触孔内形成第3导电膜,通过上述第3导电膜的图案化,形成在上述源极接触孔内与上述源极电极的上述一部分和上述氧化物半导体层的上述一部分接触的连接电极。
- [0103] [项目18]根据项目17所述的有源矩阵基板的制造方法,
- [0104] 在上述工序(b)与上述工序(c)之间还包含在上述下部绝缘层形成薄膜化区域的工序,
- [0105] 在上述工序(f)中,通过将上述层间绝缘层、以及上述下部绝缘层的上述薄膜化区域图案化,形成上述源极接触孔。
- [0106] [项目19]根据项目17或18所述的有源矩阵基板的制造方法,
- [0107] 上述工序(f)包含在上述层间绝缘层形成使上述氧化物半导体层的另一部分露出的漏极接触孔的工序,
- [0108] 上述工序(g)包含通过上述第3导电膜的图案化形成在上述漏极接触孔内与上述氧化物半导体层的上述另一部分接触的漏极电极的工序。

- [0109] [项目20]根据项目19所述的有源矩阵基板的制造方法，
- [0110] 在上述多个像素区域之中的每个像素区域中，还包含：
- [0111] 工序(h)，在上述层间绝缘层上形成上部绝缘层，在上述上部绝缘层形成使上述氧化物半导体TFT的上述漏极电极的一部分露出的像素接触孔；
- [0112] 工序(i)，在上述上部绝缘层上和上述像素接触孔内形成第1透明导电膜和第4导电膜，通过上述第1透明导电膜和上述第4导电膜的图案化，形成包含由上述第1透明导电膜形成的像素电极和由上述第4导电膜形成的导电层的层叠膜；以及
- [0113] 工序(j)，将上述导电层进一步图案化，从而形成配置在上述像素电极的一部分上的第1电极，其中，在从上述基板的法线方向观看时，上述第1电极与整个上述像素接触孔重叠。
- [0114] [项目21]根据项目20所述的有源矩阵基板的制造方法，
- [0115] 在上述工序(i)中，还包含通过上述第1透明导电膜和上述第4导电膜的图案化形成多个触摸配线的工序。
- [0116] [项目22]根据项目1或2所述的有源矩阵基板，
- [0117] 在上述各源极接触部中，上述氧化物半导体层的上述第1区域具有切口部，
- [0118] 在从上述基板的法线方向观看时，上述氧化物半导体层的上述切口部与上述源极接触孔的上述上部开口部至少部分地重叠。
- [0119] 发明效果
- [0120] 根据本发明的一实施方式，可提供具备氧化物半导体TFT作为像素TFT并且能降低氧化物半导体TFT的氧化物半导体层与源极总线的接触电阻的有源矩阵基板。

## 附图说明

- [0121] 图1是示出有源矩阵基板101的平面结构的一例的示意图。
- [0122] 图2A是例示第1实施方式的有源矩阵基板101中的像素区域的俯视图。
- [0123] 图2B是有源矩阵基板101的沿着图2A所示的IIb-IIb'线的截面图。
- [0124] 图3A是例示有源矩阵基板101的制造方法的工序截面图。
- [0125] 图3B是例示有源矩阵基板101的制造方法的工序截面图。
- [0126] 图3C是例示有源矩阵基板101的制造方法的工序截面图。
- [0127] 图3D是例示有源矩阵基板101的制造方法的工序截面图。
- [0128] 图3E是例示有源矩阵基板101的制造方法的工序截面图。
- [0129] 图3F是例示有源矩阵基板101的制造方法的工序截面图。
- [0130] 图3G是例示有源矩阵基板101的制造方法的工序截面图。
- [0131] 图3H是例示有源矩阵基板101的制造方法的工序截面图。
- [0132] 图3I是例示有源矩阵基板101的制造方法的工序截面图。
- [0133] 图3J是例示有源矩阵基板101的制造方法的工序截面图。
- [0134] 图3K是例示有源矩阵基板101的制造方法的工序截面图。
- [0135] 图3L是例示有源矩阵基板101的制造方法的工序截面图。
- [0136] 图4A是例示配线连接部的截面图。
- [0137] 图4B是示出配线连接部的另一例的截面图。

- [0138] 图5A是示出变形例的有源矩阵基板102中的像素区域的俯视图。
- [0139] 图5B是有源矩阵基板102的沿着图5A所示的Vb-Vb'线的截面图。
- [0140] 图5C是例示变形例的另一有源矩阵基板中的像素区域的俯视图。
- [0141] 图5D是沿着图5C所示的Vd-Vd'线的截面图。
- [0142] 图5E是沿着图5C所示的Ve-Ve'线的截面图。
- [0143] 图6A是示出第2实施方式的有源矩阵基板103中的像素区域的俯视图。
- [0144] 图6B是有源矩阵基板103的沿着图6A所示的VIb-VIb'线的截面图。
- [0145] 图7A是例示有源矩阵基板103的制造方法的工序截面图。
- [0146] 图7B是例示有源矩阵基板103的制造方法的工序截面图。
- [0147] 图7C是例示有源矩阵基板103的制造方法的工序截面图。
- [0148] 图7D是例示有源矩阵基板103的制造方法的工序截面图。
- [0149] 图7E是例示有源矩阵基板103的制造方法的工序截面图。
- [0150] 图8A是例示配线连接部的截面图。
- [0151] 图8B是示出配线连接部的另一例的截面图。
- [0152] 图9A是示出第3实施方式的有源矩阵基板104中的像素区域的俯视图。
- [0153] 图9B是有源矩阵基板104的沿着图9A所示的IXb-IXb'线的截面图。
- [0154] 图10A是例示有源矩阵基板104的制造方法的工序截面图。
- [0155] 图10B是例示有源矩阵基板104的制造方法的工序截面图。
- [0156] 图10C是例示有源矩阵基板104的制造方法的工序截面图。
- [0157] 图10D是例示有源矩阵基板104的制造方法的工序截面图。
- [0158] 图10E是例示有源矩阵基板104的制造方法的工序截面图。
- [0159] 图10F是例示有源矩阵基板104的制造方法的工序截面图。
- [0160] 图11A是示出第4实施方式的有源矩阵基板105中的像素区域的俯视图。
- [0161] 图11B是有源矩阵基板105的沿着图11A所示的XIb-XIb'线的截面图。
- [0162] 图12A是说明参考例的源极接触部的形成方法的工序截面图。
- [0163] 图12B是说明参考例的源极接触部的形成方法的工序截面图。
- [0164] 图12C是说明参考例的源极接触部的形成方法的工序截面图。
- [0165] 图12D是说明参考例的源极接触部的形成方法的工序截面图。
- [0166] 图12E是说明参考例的源极接触部的形成方法的工序截面图。
- [0167] 图13是参考例的氧化物半导体TFT的顶视图。

## 具体实施方式

[0168] (第1实施方式)

[0169] 以下,参照附图来说明第1实施方式的有源矩阵基板。

[0170] <有源矩阵基板101的基本结构>

[0171] 图1是示意性地示出有源矩阵基板101的一例的俯视图。有源矩阵基板101具有有助于显示的显示区域DR和位于显示区域DR的外侧的周边区域(边框区域)FR。显示区域DR包含排列为矩阵状的多个像素区域PIX。像素区域PIX(有时也简称为“像素”)是与显示装置的像素对应的区域。非显示区域FR是位于显示区域DR的周边且无助于显示的区域。

[0172] 有源矩阵基板101在显示区域DR中具备基板1、支撑于基板1的多个像素TFT(以下简称为“TFT”)20、多个像素电极PE、向TFT20供应栅极信号的多个栅极总线GL、以及向TFT20供应源极信号的多个源极总线SL。TFT20是将氧化物半导体层作为活性层的氧化物半导体TFT。

[0173] 各像素区域PIX例如由栅极总线GL和源极总线SL规定。源极总线SL在与栅极总线GL交叉的方向上延伸。

[0174] 各TFT20和各像素电极PE是与多个像素区域PIX中的1个像素区域PIX对应地设置的。TFT20的栅极电极电连接到栅极总线GL中的1个栅极总线GL。TFT20的氧化物半导体层的一部分(称为“第1区域”)电连接到源极总线SL中的1个源极总线SL。TFT20的氧化物半导体层的另一部分(称为“第2区域”)与像素电极PE是电连接的。

[0175] 在将有源矩阵基板101应用于FFS(Fringe Field Switching:边缘场开关)模式等横电场模式的显示装置的情况下,在有源矩阵基板101设置有多个像素PIX共用的电极(共用电极)CE。

[0176] 在非显示区域FR中能设置驱动器等周边电路。在该例子中,单片地形成有驱动栅极总线GL的栅极驱动器GD和分时地驱动源极总线SL的SSD(Source Shared Driving:源极共享驱动)电路Sc。SSD电路Sc连接到例如以COG(Chip on Glass:玻璃上芯片)方式安装的源极驱动器SD。

[0177] <有源矩阵基板101的像素区域的结构>

[0178] 以下,参照附图以应用于FFS模式的显示装置的有源矩阵基板为例来说明本实施方式的有源矩阵基板的像素区域的结构。FFS模式是在其中一个基板设置一对电极并在与基板面平行的方向(横向)上对液晶分子施加电场的横向电场方式的模式。

[0179] 在以下的说明中,将包含与源极总线SL由相同的导电膜(第1导电膜)形成的电极/配线等的层称为“第1金属层M1”(或“源极金属层”),将包含与栅极总线GL由相同的导电膜(第2导电膜)形成的电极/配线等的层称为“第2金属层M2”(或“栅极金属层”)。第1金属层M1位于比第2金属层M2靠基板侧(下部源极结构)。另外,本实施方式的有源矩阵基板101在比第2金属层M2靠上方还具有包含由第3导电膜形成的电极/配线等的层。将由第3导电膜形成的层称为“第3金属层M3”。在本实施方式中,第3金属层M3包含氧化物半导体TFT的漏极电极。

[0180] 在附图中,有时在各构成要素的附图标记之后在括号中示出形成有该电极/配线等的层。例如,有时在形成于第1金属层M1内的电极或配线的附图标记之后标上“(M1)”。

[0181] 图2A是例示有源矩阵基板101中的像素区域的俯视图,图2B是像素区域的沿着横穿TFT20的IIb-IIb'线的截面图。

[0182] 如图2A和图2B所示,有源矩阵基板101具有:基板1,其具有主面;第1金属层M1,其包含在列方向上延伸的多个源极总线SL;第2金属层M2,其包含在行方向上延伸的多个栅极总线GL;以及下部绝缘层5。第1金属层M1设置在比第2金属层M2靠基板1侧(下部源极结构)。下部绝缘层5配置在第1金属层M1与第2金属层M2之间,覆盖第1金属层M1。

[0183] 有源矩阵基板101还具有多个顶栅型的TFT20、多个像素电极PE以及多个源极接触部SC。TFT20、像素电极PE以及源极接触部SC各自与多个像素区域中的每个像素区域对应地设置。有源矩阵基板101还具有覆盖第2金属层M2的层间绝缘层10、上部绝缘层13以及共用

电极CE。

[0184] 多个源极总线SL设置在基板1的主面上。下部绝缘层5以覆盖包含源极总线SL的第1金属层M1的方式设置。

[0185] 接下来,说明各像素区域中的TFT20和源极接触部SC的构成。

[0186] 在各像素区域中,TFT20具备:氧化物半导体层7,其配置在下部绝缘层5上;栅极电极GE,其隔着栅极绝缘层9配置在氧化物半导体层7的一部分上;以及源极电极SE。

[0187] 氧化物半导体层7包含沟道区域7c以及分别配置在其两侧的第1区域7s和第2区域7d。第1区域7s和第2区域7d是电阻率比沟道区域7c的电阻率低的低电阻区域。栅极电极GE以在从基板1的主面的法线方向(以下简称为“基板1的法线方向”)观看时与沟道区域7c重叠的方式配置。栅极绝缘层9可以覆盖沟道区域7c并且不覆盖第1区域7s和第2区域7d。

[0188] TFT20中的氧化物半导体层7的第1区域7s在后述的源极接触部SC中电连接到对应的源极总线SL。第2区域7d在后述的像素接触部中电连接到对应的像素电极PE。

[0189] 源极电极SE是与源极总线SL使用相同的导电膜(即在第1金属层M1内)形成的。源极电极SE电连接到对应的源极总线SL。源极电极SE也可以与对应的源极总线SL一体地形成。例如,源极电极SE也可以是对应的源极总线SL的一部分。在这种情况下,将源极总线SL中的位于源极接触部SC的部分称为“源极电极SE”。

[0190] TFT20的栅极电极GE是与栅极总线GL使用相同的导电膜(即在第2金属层M2内)形成的。栅极电极GE电连接到对应的栅极总线GL。栅极电极GE也可以与对应的栅极总线GL一体地形成。例如,栅极电极GE也可以是对应的栅极总线GL的一部分。在这种情况下,将栅极总线GL中的从基板1的法线方向观看时与氧化物半导体层7重叠的部分称为“栅极电极GE”。

[0191] 在图示的例子中,栅极绝缘层9仅形成在从基板1的法线方向观看时与第2金属层M2重叠的区域。即,栅极绝缘层9的边缘是与第2金属层M2的边缘对齐的。

[0192] TFT20也可以在氧化物半导体层7的基板1侧具有遮光层3。遮光层3形成在第1金属层M1内。遮光层3可以是在从基板1的法线方向观看时与氧化物半导体层7中的至少沟道区域7c重叠的方式配置。由此,能够抑制由来自基板1侧的光(背光源光)引起的氧化物半导体层7的特性劣化。

[0193] 层间绝缘层10以覆盖氧化物半导体层7、栅极绝缘层9以及第2金属层M2的方式形成。层间绝缘层10可以是与氧化物半导体层7的第1区域7s和第2区域7d接触的。

[0194] 在层间绝缘层10上形成有TFT20的漏极电极DE。漏极电极DE配置在层间绝缘层10上和设置于层间绝缘层10的开口部(漏极接触孔)CHd内,在漏极接触孔CHd内连接到氧化物半导体层7的第2区域7d。

[0195] 源极接触部SC将TFT20的氧化物半导体层7的第1区域7s与对应的源极总线SL连接。源极接触部SC具有:源极接触孔CHs,其形成于层间绝缘层10和下部绝缘层5,使源极总线SL的一部分和氧化物半导体层7的第1区域7s的一部分露出;以及连接电极8,其与漏极电极DE使用相同的导电膜(即在第3金属层M3内)形成。

[0196] 源极接触孔CHs包含形成于下部绝缘层5的下部开口部5s和形成于层间绝缘层10的上部开口部10s。源极接触孔CHs例如能通过将氧化物半导体层7作为蚀刻阻挡物进行层间绝缘层10和下部绝缘层5的蚀刻而形成。在该情况下,在源极接触孔CHs内,氧化物半导体层7的侧面与下部开口部5s的侧面对齐。在本实施方式中,在从基板1的法线方向观看时,氧

化物半导体层7的边缘(周缘)横穿上部开口部10s而延伸。另外,在从基板1的法线方向观看时,下部开口部5s配置在上部开口部10s的内部并且与氧化物半导体层7不重叠。

[0197] 连接电极8形成在层间绝缘层10上和源极接触孔CHs内,在源极接触孔CHs内连接到源极总线SL的露出部分和氧化物半导体层7的第1区域7s的露出部分(在此为第1区域7s的端部的上表面和侧面)。连接电极8也可以是与源极总线SL和第1区域7s这两者直接接触的。

[0198] 从基板1的法线方向观看时的、上部开口部10s与氧化物半导体层7重叠的部分的面积(即,连接电极8与氧化物半导体层7的上表面的接触面积)S1在上部开口部10s的整个面积内所占的比例例如可以为1/3以上2/3以下。

[0199] 上部绝缘层13以覆盖层间绝缘层10和第3金属层M3的方式配置。上部绝缘层13例如包含无机绝缘层(钝化膜)11。如图所示,上部绝缘层13可以具有包含无机绝缘层11和形成在无机绝缘层11上的有机绝缘层12的层叠结构。也可以不形成有机绝缘层12。或者,有机绝缘层12也可以仅形成于显示区域。

[0200] 像素电极PE和共用电极CE隔着电介质层17配置。在该例子中,在共用电极CE上隔着电介质层17配置有像素电极PE。此外,也可以在像素电极PE上隔着电介质层17形成有共用电极CE。在本说明书中,将共用电极CE和像素电极PE中的位于基板1侧的电极称为“下部透明电极”,将隔着电介质层17配置在下部透明电极上的电极称为“上部透明电极”。另外,将包含下部透明电极的层称为“下部透明导电层T1”,将包含上部透明电极的层称为“上部透明导电层T2”。在上部透明电极(在该例子中为像素电极PE),在各像素区域中设置有1个或多个狭缝(开口部)s或切口部。

[0201] 像素电极PE是按每个像素区域分离的。像素电极PE在像素接触部中电连接到对应的TFT10的漏极电极DE。在本实施方式中,像素电极PE配置在电介质层17上,在形成于上部绝缘层13和电介质层17的像素接触孔CHp内连接到漏极电极DE。像素接触孔CHp包括无机绝缘层11的开口部11p、有机绝缘层12的开口部12p以及电介质层17的开口部17p。

[0202] 共用电极CE也可以不按每个像素区域分离。例如,共用电极CE也可以在形成像素接触孔CHp的区域(像素接触部)具有开口部15p,除了像素接触部以外形成于像素区域的整个区域。

[0203] <有源矩阵基板101的制造方法>

[0204] 接下来,参照附图来说明本实施方式的有源矩阵基板101的制造方法的一例。以下,对于有源矩阵基板101中的多个像素区域之中的1个像素区域进行制造方法的说明。

[0205] 图3A~图3L是用于说明有源矩阵基板101的制造方法的示意性的工序截面图。这些图示出1个像素区域中的形成TFT的区域(TFT形成区域)。

[0206] • 步骤(STEP)1:第1金属层M1的形成(图3A)

[0207] 在基板1上,例如通过溅射法形成第1导电膜(厚度:例如50nm以上500nm以下)。接下来,通过公知的光刻工序,进行第1导电膜的图案化。在此,在第1导电膜上形成抗蚀剂膜,使用源极用光掩模对抗蚀剂膜进行曝光,从而形成抗蚀剂层(未图示)。将该抗蚀剂层作为掩模,进行第1导电膜的蚀刻(例如湿式蚀刻)。

[0208] 这样,如图3A所示,形成包含源极总线SL和TFT的遮光层3的第1金属层M1。源极总线SL包含作为TFT的源极电极SE发挥功能的部分。

[0209] 作为基板1,能够使用透明且具有绝缘性的基板,例如玻璃基板、硅基板、具有耐热性的塑料基板(树脂基板)等。

[0210] 第1导电膜的材料不作特别限定,能够适宜使用包含铝(Al)、钨(W)、钼(Mo)、钽(Ta)、铬(Cr)、钛(Ti)、铜(Cu)等金属或其合金或其金属氮化物的膜。另外,也可以使用将该多个膜层叠而成的层叠膜。

[0211] 在此,作为第1导电膜,使用包含Cu或Al的金属膜(包括合金膜)的单层膜。或者,也可以使用将包含Cu或Al的金属膜作为最上层的层叠膜。如前所述,在本实施方式中,即使在Cu膜或Al膜之上未设置Ti膜等欧姆导电膜,也能够降低源极总线SL(源极电极SE)与氧化物半导体的接触电阻。

[0212] • STEP2:下部绝缘层5的形成(图3B)

[0213] 接下来,如图3B所示,以覆盖第1金属层M1的方式形成下部绝缘层5(厚度:例如200nm以上600nm以下)。

[0214] 下部绝缘层5例如通过CVD法形成。作为下部绝缘层5,能够适宜使用氧化硅( $\text{SiO}_x$ )层、氮化硅( $\text{SiN}_x$ )层、氧氮化硅( $\text{SiO}_x\text{N}_y$ ;  $x > y$ )层、氮氧化硅( $\text{SiN}_x\text{O}_y$ ;  $x > y$ )层等。下部绝缘层5可以是单层,也可以具有层叠结构。例如,也可以在基板侧(下层)为了防止来自基板1的杂质等的扩散而形成氮化硅( $\text{SiN}_x$ )层、氮氧化硅层等,并在其之上的层(上层)为了确保绝缘性而形成氧化硅( $\text{SiO}_2$ )层、氧氮化硅层等。在此,例如,使用CVD法形成氧化硅( $\text{SiO}_2$ )层(厚度:例如350nm)作为下部绝缘层5。或者,也可以形成以氮化硅( $\text{SiN}_x$ )层(厚度:50~600nm)为下层且以氧化硅( $\text{SiO}_2$ )层(厚度:50~600nm)为上层的层叠膜作为下部绝缘层5。当使用氧化硅膜等氧化物膜作为下部绝缘层5(在下部绝缘层5具有层叠结构的情况下,作为其最上层)时,能够通过氧化物膜降低在之后形成的氧化物半导体层的沟道区域产生的氧化缺损,因此能够抑制沟道区域的低电阻化。

[0215] • STEP3:氧化物半导体层7的形成(图3C)

[0216] 接着,在下部绝缘层5上形成氧化物半导体膜(厚度:例如15nm以上200nm以下)。之后,也可以进行氧化物半导体膜的退火处理。接着,通过公知的光刻工序进行氧化物半导体膜的图案化。由此,如图3C所示,得到成为TFT20的活性层的氧化物半导体层7。

[0217] 氧化物半导体膜例如能通过溅射法形成。在此,形成包含In、Ga以及Zn的In-Ga-Zn-O系半导体膜(厚度:50nm)膜作为氧化物半导体膜。

[0218] 氧化物半导体膜的图案化例如可以通过包含磷酸、硝酸以及乙酸的PAN系蚀刻液的湿式蚀刻进行。或者,也可以使用草酸系蚀刻液等其它蚀刻液。

[0219] • STEP4:栅极绝缘膜90的形成(图3D)

[0220] 接下来,如图3D所示,以覆盖氧化物半导体层7的方式形成栅极绝缘膜90。

[0221] 能够使用与下部绝缘层5同样的绝缘膜(作为下部绝缘层5例示的绝缘膜)作为栅极绝缘膜90。在此,形成氧化硅( $\text{SiO}_2$ )膜作为栅极绝缘膜90。当使用氧化硅膜等氧化物膜作为栅极绝缘膜90时,能够通过氧化物膜降低在氧化物半导体层7的沟道区域产生的氧化缺损,因此能够抑制沟道区域的低电阻化。

[0222] • STEP5:第2金属层M2的形成(图3E)

[0223] 接下来,在栅极绝缘膜90上形成未图示的第2导电膜(厚度:例如50nm以上500nm以下)。之后,通过公知的光刻工序进行第2导电膜的图案化。在此,在第2导电膜上形成抗蚀剂

膜,使用栅极用光掩模对抗蚀剂膜进行曝光,从而形成抗蚀剂层R。将该抗蚀剂层R作为掩模,进行第2导电膜的蚀刻(例如湿式蚀刻)。由此,得到包含栅极总线GL的第2金属层M2。栅极总线GL包含作为TFT的栅极电极GE发挥功能的部分。

[0224] 作为第2导电膜,例如能够使用钼(Mo)、钨(W)、铝(Al)、铜(Cu)、钛(Ti)、钽(Ta)等金属或它们的合金。第2导电膜也可以具有包含由不同的导电材料形成的多个层的层叠结构。在此,使用以Ti膜为下层且以Cu膜为上层的Cu/Ti层叠膜、或者以Mo膜为下层且以Cu膜为上层的Cu/Mo层叠膜作为第2导电膜。

[0225] • STEP6:栅极绝缘层9的图案化(图3F)

[0226] 接下来,将上述抗蚀剂层R作为掩模或者将第2金属层M2作为掩模进行栅极绝缘膜90的图案化,形成栅极绝缘层9。根据该方法,在从基板1的法线方向观看时,栅极电极GE的侧面与栅极绝缘层9的侧面对齐。

[0227] 此外,也可以分别单独进行栅极绝缘膜90和第2导电膜的图案化。具体地说,可以是:在形成第2导电膜前,进行栅极绝缘膜90的图案化,形成栅极绝缘层9。接下来,以覆盖栅极绝缘层9的方式形成第2导电膜,将第2导电膜图案化而形成第2金属层M2。或者也可以是:在形成栅极绝缘膜90后形成第2导电膜,进行第2导电膜的图案化。之后,进行栅极绝缘膜90的图案化而形成栅极绝缘层9。

[0228] • STEP7:氧化物半导体层7的低电阻化处理(图3G)

[0229] 接着,进行氧化物半导体层7的低电阻化处理。作为低电阻化处理,例如可以进行等离子体处理。由此,如图3G所示,在从基板1的主面的法线方向观看时,氧化物半导体层7中的与栅极总线GL(或栅极电极GE)和栅极绝缘层9均不重叠的区域(露出区域)成为电阻率比与它们重叠的区域(在此是成为沟道的区域)的电阻率低的低电阻区域。低电阻区域也可以是导体区域(例如方块电阻:200 $\Omega$ /□以下)。这样,得到包含作为低电阻区域的第1区域7s和第2区域7d、以及未被低电阻化而作为半导体区域残留下来的沟道区域7c的氧化物半导体层7。

[0230] 低电阻化处理(等离子体处理)的方法不限于上述方法。例如,也可以利用还原性等等离子体或包含掺杂元素的等离子体(例如氩等离子体),进行氧化物半导体层7的露出区域的低电阻化。低电阻化处理的方法和条件等例如记载于特开2008-40343号公报中。为了参考,将特开2008-40343号公报的公开内容全部援引到本说明书中。

[0231] • STEP8:层间绝缘层10的形成(图3H)

[0232] 接下来,形成覆盖氧化物半导体层7、栅极绝缘层9以及栅极电极GE的层间绝缘层10。之后,通过公知的光刻工序,进行层间绝缘层10和下部绝缘层5的图案化。由此,如图3H所示,在层间绝缘层10形成使氧化物半导体层7的第2区域7d的一部分露出的漏极接触孔CHd,并且在层间绝缘层10和下部绝缘层5形成使源极总线SL(或源极电极SE)的一部分和氧化物半导体层7的第1区域7s的一部分露出的源极接触孔CHs。

[0233] 能够使氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜等无机绝缘层形成为单层或层叠而作为层间绝缘层10。无机绝缘层的厚度可以为100nm以上500nm以下。当使用氮化硅膜等使氧化物半导体还原的绝缘膜形成层间绝缘层10时,能够将氧化物半导体层7中的与层间绝缘层10接触的区域(在此为低电阻区域)的电阻率维持得低,因此是优选的。在此,例如,通过CVD法形成SiNx层(厚度:300nm)作为层间绝缘层10。

[0234] 在使用能将氧化物半导体还原的绝缘层(例如,氮化硅层等供氢性的层)作为层间绝缘层10的情况下,即使不进行上述的低电阻化处理,也能够使氧化物半导体层7中的与层间绝缘层10接触的部分比与层间绝缘层10不接触的部分低电阻化。

[0235] 例如能通过干式蚀刻进行层间绝缘层10和下部绝缘层5的图案化。干式蚀刻是在不对氧化物半导体层7进行蚀刻而仅这些绝缘层被蚀刻这样的条件下进行的。由此,氧化物半导体层7作为蚀刻阻挡物发挥功能,因此在源极接触孔CHs内,形成于下部绝缘层5的下部开口部5s的侧面的一部分与氧化物半导体层7的侧面对齐,另一部分与上部开口部10s的侧面对齐。

[0236] 在本实施方式中,在层间绝缘层10和下部绝缘层5的图案化工序中,例如,使用四氯化碳(CF<sub>4</sub>)气体和氧(O<sub>2</sub>)气体(CF<sub>4</sub>/O<sub>2</sub>)作为蚀刻气体。也可以适当添加Ar气体等惰性气体。蚀刻条件(蚀刻气体的种类、基板温度、腔室内的真空度等)设定为能抑制对氧化物半导体层7的损伤的条件。作为一例,在使用CF<sub>4</sub>/O<sub>2</sub>作为蚀刻气体的情况下,当增加O<sub>2</sub>气体的流量时(例如使O<sub>2</sub>气体相对于CF<sub>4</sub>气体的流量比成为例如10%~25%程度),氧化物半导体层7的表面不易被剥离,因此能够降低氧化物半导体层7的损伤。

[0237] • STEP9:第3金属层M3的形成(图3I)

[0238] 接下来,在层间绝缘层10上形成未图示的第3导电膜(厚度:例如50nm以上500nm以下),并进行第3导电膜的图案化。由此,如图3I所示,形成包含连接电极8和漏极电极DE的第3金属层M3。

[0239] 连接电极8配置在层间绝缘层10上和源极接触孔CHs内,在源极接触孔CHs内连接到源极总线SL(或源极电极SE)和氧化物半导体层7的第1区域7s。在该例子中,连接电极8是与源极总线SL以及第1区域7s直接接触的。

[0240] 漏极电极DE配置在层间绝缘层10上和漏极用开口部10p内,在漏极用开口部10p内连接到氧化物半导体层7的第2区域7d。在该例子中,漏极电极DE与第2区域7d直接接触。

[0241] 作为第3导电膜,例如能够使用从铝(Al)、铬(Cr)、铜(Cu)、钽(Ta)、钛(Ti)、钼(Mo)或钨(W)选择的元素、或以这些元素为成分的合金等。例如,可以具有钛膜-铝膜-钛膜的3层结构、钼膜-铝膜-钼膜等的3层结构等。此外,第3导电膜不限于3层结构,也可以具有单层或2层结构或4层以上的层叠结构。在此,使用以Ti膜(厚度:15~70nm)为下层且以Cu膜(厚度:50~400nm)为上层的层叠膜。当使用以Ti膜等欧姆导电膜为最下层的层叠膜时,能够更有效地降低源极接触部的接触电阻。

[0242] • STEP10:无机绝缘层11和有机绝缘层12的形成(图3J)

[0243] 接下来,如图3J所示,以覆盖层间绝缘层10和第3金属层M3的方式形成上部绝缘层13。在此,按顺序形成无机绝缘层11(厚度:例如100nm以上500nm以下)和有机绝缘层12(厚度:例如1~4μm,优选为2~3μm)作为上部绝缘层13。

[0244] 作为无机绝缘层11,能够使用与层间绝缘层10同样的无机绝缘膜。在此,例如,通过CVD法形成SiN<sub>x</sub>层(厚度:300nm)作为无机绝缘层11。有机绝缘层12例如可以是包含感光性树脂材料的有机绝缘膜(例如丙烯酸系树脂膜)。

[0245] 之后,进行有机绝缘层12的图案化。由此,在各像素区域中,在有机绝缘层12形成使无机绝缘层11的一部分露出的开口部12p。开口部12p以在从基板1的法线方向观看时与漏极电极DE重叠的方式配置。也可以通过该图案化来除去有机绝缘层12中的位于非显示区

域的整个部分。

[0246] • STEP11:共用电极CE的形成(图3K)

[0247] 接着,如图3K所示,在上部绝缘层13上形成共用电极CE。

[0248] 首先,在上部绝缘层13上和开口部12p内形成未图示的第1透明导电膜(厚度:20~300nm)。在此,例如,通过溅射法形成氧化铟锌膜作为第1透明导电膜。能够使用氧化铟锡(ITO)、氧化铟锌、ZnO等金属氧化物作为第1透明导电膜的材料。之后,进行第1透明导电膜的图案化。在图案化中,例如,可以使用草酸系蚀刻液进行湿式蚀刻。由此,得到共用电极CE。共用电极CE例如可以在形成像素接触孔的区域上具有开口部15p。

[0249] • STEP12:电介质层17的形成(图3L)

[0250] 接下来,如图3L所示,以覆盖共用电极CE的方式形成电介质层17(厚度:50~500nm),进行电介质层17和无机绝缘层11的图案化。

[0251] 电介质层17在像素区域中形成在有机绝缘层12和共用电极CE上以及开口部12p内。电介质层17的材料可以与作为无机绝缘层11的材料例示出的材料相同。在此,例如通过CVD法形成SiN膜作为电介质层17。

[0252] 之后,通过公知的光刻工序,进行电介质层17和无机绝缘层11的蚀刻,形成使漏极电极DE露出的像素接触孔CHp。像素接触孔CHp包括电介质层17的开口部17p、有机绝缘层12的开口部12p以及无机绝缘层11的开口部11p。开口部17p只要在从基板1的法线方向观看时至少部分地与开口部12p重叠即可。开口部11p是将电介质层17上的抗蚀剂层(未图示)和有机绝缘层12作为掩模而蚀刻出的。

[0253] • STEP13:像素电极PE的形成(图2A、图2B)

[0254] 接下来,在电介质层17上和像素接触孔CHp内形成未图示的第2透明导电膜(厚度:20~300nm)。第2透明导电膜能使用与第1透明导电膜同样的材料形成。

[0255] 之后,进行第2透明导电膜的图案化。在此,例如,使用草酸系蚀刻液进行第2透明导电膜的湿式蚀刻。由此,在各像素区域形成像素电极PE。像素电极PE在像素接触孔CHp内连接到漏极电极DE。这样,制造出图2A和图2B所示的有源矩阵基板101。

[0256] 根据本实施方式的有源矩阵基板101,与以往的下部源极结构基板相比,能降低源极接触部的接触电阻。另外,在以往的下部源极结构基板中,有时由于源极接触部的形成工艺而氧化物半导体层7的一部分会缺损,但是在本实施方式中,不会产生这样的问题。而且,在本实施方式中,源极接触孔CHs是与漏极接触孔CHd通过共同的蚀刻工序形成的,因此与以往相比能够减少光掩模的使用个数。

[0257] 为了更详细地说明本实施方式的上述效果,首先,说明参考例的下部源极结构基板的制造方法。

[0258] 图12A~图12E是说明参考例的下部源极结构基板中的源极接触部的形成工序的工序截面图。在参考例中,源极接触部具有在形成于下部绝缘层的源极用开口部内氧化物半导体层与源极总线直接接触的结构。

[0259] 首先,如图12A所示,在基板91上形成第1导电膜,进行第1导电膜的图案化,从而形成源极总线SL。

[0260] 接着,如图12B所示,形成覆盖源极总线SL的下部绝缘层95。之后,在下部绝缘层95上通过公知的光刻工序形成抗蚀剂层98。将该抗蚀剂层98作为掩模,进行下部绝缘层95的

蚀刻,形成使源极总线SL的一部分的表面m1露出的源极用开口部95s。

[0261] 如上所述,源极总线SL的表面m1例如是Cu膜或Al膜等低电阻金属膜。优选在低电阻金属膜上不形成Ti膜等欧姆导电膜。这是因为,在形成Ti膜时,需要分别通过湿式蚀刻将低电阻金属膜图案化,通过干式蚀刻将Ti膜图案化,制造工艺变得复杂。

[0262] 在下部绝缘层95的蚀刻后,如图12C所示,将抗蚀剂层98从基板91剥离。此时,形成在下部绝缘层95上的抗蚀剂层98不易被剥离,有时抗蚀剂层98的一部分未被剥离而残存在下部绝缘层95上。将抗蚀剂层98的残存部分98R称为“抗蚀剂残余”。

[0263] 接着,如图12D所示,在下部绝缘层95上和源极用开口部95s内形成氧化物半导体膜(例如In-Ga-Zn-O系半导体膜),进行氧化物半导体膜的图案化,从而得到氧化物半导体层97。氧化物半导体层97在源极用开口部95s内与源极总线SL的露出表面m1直接接触。

[0264] 此时,若产生有抗蚀剂残余98R,则氧化物半导体膜与抗蚀剂残余98R的紧贴性低,因此如图12E所示,有时氧化物半导体膜中的位于抗蚀剂残余98R上的部分会剥离,在氧化物半导体膜产生缺损99。其结果是,无法得到具有规定的形状的氧化物半导体层97,TFT特性降低或有可能断线。

[0265] 图13是参考例的氧化物半导体TFT的俯视图,例示了在氧化物半导体层97产生缺损99的情况。

[0266] 对此,在本实施方式中,在形成氧化物半导体膜前,不进行下部绝缘层5的图案化,因此不需要在下部绝缘层5上形成抗蚀剂层,在下部绝缘层5的上表面不会产生抗蚀剂残余。因此,不会产生由抗蚀剂残余引起的氧化物半导体膜的缺损,因此与参考例相比能够提高可靠性。

[0267] 另外,根据参考例的制造方法,源极总线SL中的Cu膜等低电阻金属膜的表面m1与氧化物半导体层97无法形成良好的欧姆接触,因此接触电阻有时会上升。而且,若为了确保下部绝缘层95的可靠性而对下部绝缘层95进行热处理,则在源极用开口部95s内露出的源极总线SL的表面m1有可能受到损伤或被氧化,其结果是,接触电阻有时会进一步增大。

[0268] 对此,在本实施方式中,源极接触部SC的源极接触孔CHs能够通过形成层间绝缘层10后进行下部绝缘层5和层间绝缘层10的蚀刻而形成。因此,能够抑制由源极总线SL的工艺损伤所致的接触电阻的增大。另外,在本实施方式中,在源极接触部SC中,使用第3金属层M3内的连接电极8将氧化物半导体层7与源极总线SL连接。即使源极总线SL的上表面是Cu或Al等低电阻金属面,通过在连接电极8的最下层使用能与Ti膜等氧化物半导体形成欧姆接合的导电膜(欧姆导电膜),也能够进一步降低源极接触部SC的接触电阻。因此,即使在源极总线SL的Cu膜上不形成欧姆导电膜,也能实现接触电阻的降低。

[0269] 而且,在参考例中,由于分别单独进行用于形成源极用开口部95s的下部绝缘层95的图案化工序和用于形成漏极接触部的层间绝缘层的图案化工序(未图示),因此制造工序数和光掩模的使用个数增加。对此,在本实施方式中,能在用于形成漏极接触孔CHd的蚀刻工序中同时形成源极接触孔CHs。因此,与参考例相比,能够降低制造工序数和光掩模的数量。

[0270] <配线连接部>

[0271] 有源矩阵基板101也可以具备设置在周边区域的多个配线连接部。配线连接部是将不同的金属层内的配线彼此连接的连接部,例如,将第1金属层M1内的配线与第2金属层

M2或第3金属层M3内的配线连接。将配线连接部中的连接第1金属层M1内的配线与第2金属层M2内的配线的配线连接部称为“源极栅极连接部”。

[0272] 图4A是示出本实施方式中的配线连接部(源极栅极连接部)的一例的截面图。

[0273] 在配线连接部31中,经由配置在第3金属层M3内的配线连接电极6b将形成在第1金属层M1内的第1配线3b与配置在第2金属层M2内的第2配线8b电连接。例如,也可以是,第2配线8b是栅极总线GL,在配线连接部31中,连接到形成在第1金属层M1内的连接配线(第1配线3b),经由连接配线连接到栅极驱动器。

[0274] 配线连接部31具备:第1配线3b;下部绝缘层5,其第1配线3b上延伸设置;第2配线8b;绝缘层9b,其配置在第2配线8b与下部绝缘层5之间;层间绝缘层10,其第2配线8b上延伸设置;以及配线连接电极6b。绝缘层9b是与栅极绝缘层9由相同的绝缘膜形成的,被图案化为与第2配线8b大致相同的形状。在下部绝缘层5和层间绝缘层10形成有使第2配线8b的一部分和第1配线3b的一部分露出的配线接触孔CHb。配线连接电极6b配置在层间绝缘层10上和配线接触孔CHb内,在配线接触孔CHb内连接到第2配线8b和第1配线3b这两者。

[0275] 配线连接部31的配线接触孔CHb能与源极接触孔CHs和漏极接触孔CHd通过共同的蚀刻工序形成。因此,能不增加制造工序和光掩模的使用个数地在有源矩阵基板101形成配线连接部31。

[0276] 图4B是示出本实施方式的配线连接部的另一例的截面图。

[0277] 配线连接部32将形成在第1金属层M1内的第1配线3c与形成在第3金属层M3内的第3配线6c连接。配线连接部32具有第1配线3c、在第1配线3c上延伸设置的下部绝缘层5和层间绝缘层10、以及第3配线6c。第3配线6c在形成于层间绝缘层10和下部绝缘层5的配线接触孔CHc内与第1配线3c接触。配线连接部32的配线接触孔CHc也能与源极接触孔CHs和漏极接触孔CHd通过共同的蚀刻工序形成。

[0278] <变形例>

[0279] 图5A是例示变形例的有源矩阵基板102中的像素区域的俯视图,图5B是像素区域的沿着横穿TFT20的Vb-Vb'线的截面图。对与图2A和图2B同样的构成要素标注相同的附图标记而省略说明。

[0280] 变形例的有源矩阵基板102在源极接触部SC中在氧化物半导体层7的第1区域7s形成有第1开口部71,这一点与有源矩阵基板101不同。

[0281] 在有源矩阵基板102中,源极接触孔CHs包括下部绝缘层5的下部开口部5s、氧化物半导体层7的第1开口部71以及层间绝缘层10的上部开口部10s。上部开口部10s以在从基板1的法线方向观看时与氧化物半导体层7的第1开口部71至少部分地重叠的方式配置。也可以是,在从基板1的法线方向观看时,第1开口部71和下部开口部5s位于上部开口部10s的内部。由此,即使在产生对位偏差的情况下,也能维持连接电极8与氧化物半导体层7的接触面积。此外,在第1开口部71位于上部开口部10s的内部的情况下,下部开口部5s的整个侧面能与第1开口部71的侧面对齐。这样的结构能通过将氧化物半导体层7作为蚀刻阻挡物进行下部绝缘层5和层间绝缘层10的蚀刻而形成。

[0282] 在本变形例中,从基板1的法线方向观看时的、上部开口部10s与氧化物半导体层7重叠的部分的面积(即,连接电极8与氧化物半导体层7的上表面的接触面积)S<sub>1</sub>在上部开口部10s的整个面积内所占的比例例如也可以为1/3以上2/3以下。

[0283] 此外,也可以在氧化物半导体层7设置切口部来代替在氧化物半导体层7设置第1开口部71。图5C是例示本变形例的另一有源矩阵基板中的像素区域的俯视图,图5D是像素区域的沿着横穿TFT20的Vd-Vd'线的截面图,图5E是沿着横穿源极接触部SC的Ve-Ve'线的截面图。如图所示,氧化物半导体层7的第1区域7s具有至少1个(在此为2个)切口部72。上部开口部10s以在从基板1的法线方向观看时与氧化物半导体层7的切口部72至少部分地重叠的方式配置。切口部72的形状、大小、数量等不限于图示的例子。切口部72例如可以是以使上述面积S1的比例为1/3以上2/3以下的方式形成。

[0284] (第2实施方式)

[0285] 图6A是例示第2实施方式的有源矩阵基板103中的像素区域的俯视图,图6B是像素区域的沿着横穿TFT20的VIb-VIb'线的截面图。对与图2A和图2B同样的构成要素标注相同的附图标记而省略说明。

[0286] 在本实施方式的有源矩阵基板103中,下部绝缘层5在源极接触部SC中具有比下部绝缘层5的其它区域薄的薄膜化区域52,这一点与前述的实施方式的有源矩阵基板101不同。以下,主要说明与有源矩阵基板101不同的点而省略对同样的构成的说明。

[0287] 如图6B所示,在源极接触部SC中,在下部绝缘层5设置有薄膜化区域52。薄膜化区域52的厚度d1比下部绝缘层5的其它区域(例如在从基板1的法线方向观看时与沟道区域7c重叠的区域)的厚度d2小。薄膜化区域52的厚度d1也可以为厚度d2的例如1/2以下。在此,通过在下部绝缘层5的表面设置具有规定的深度的凹部51而形成有薄膜化区域52。

[0288] 在源极接触部SC中,氧化物半导体层7以部分地覆盖薄膜化区域52的方式配置。源极接触孔CHs中的上部开口部10s与薄膜化区域52至少部分地重叠的方式配置。下部开口部5s形成于下部绝缘层5的薄膜化区域52。在该例子中,下部开口部5s在从基板1的法线方向观看时位于凹部51的内部。

[0289] <有源矩阵基板103的制造方法>

[0290] 图7A~图7E分别是用于说明本实施方式的有源矩阵基板103的制造方法的一例的工序截面图,示出各TFT形成区域。

[0291] 以下,对于有源矩阵基板103中的多个像素区域之中的1个像素区域进行制造方法的说明。另外,对于各层的材料、厚度、形成工艺等,若与有源矩阵基板101同样则省略说明。

[0292] 首先,如图7A所示,形成包含源极总线SL和TFT的遮光层3的第1金属层M1,接下来,以覆盖第1金属层M1的方式形成下部绝缘层5。

[0293] 之后,如图7B所示,在想要形成源极接触部的各区域(源极接触部形成区域)中,在下部绝缘层5的表面形成凹部51,从而在下部绝缘层5形成薄膜化区域52。凹部51例如能通过以公知光刻工序在下部绝缘层5上形成抗蚀剂层并将抗蚀剂层作为掩模仅对下部绝缘层5的上部进行蚀刻而形成(半蚀刻)。

[0294] 接着,如图7C所示,在下部绝缘层5上形成氧化物半导体层7。在此,以仅覆盖凹部51的一部分(即,仅薄膜化区域52的一部分)的方式配置氧化物半导体层7。

[0295] 接下来,如图7D所示,在氧化物半导体层7的一部分上形成栅极绝缘层9和栅极电极GE。之后,进行氧化物半导体层7的低电阻化处理,在氧化物半导体层7形成沟道区域7c、第1区域7s以及第2区域7d。

[0296] 接下来,如图7E所示,形成覆盖氧化物半导体层7、栅极绝缘层9以及栅极电极GE的

层间绝缘层10,进行层间绝缘层10的图案化。由此,在层间绝缘层10形成使氧化物半导体层7的第2区域7d的一部分露出的漏极接触孔CHd,并且在层间绝缘层10和下部绝缘层5形成使源极总线SL(或源极电极SE)的一部分和氧化物半导体层7的第1区域7s的一部分露出的源极接触孔CHs。源极接触孔CHs包括形成于下部绝缘层5的薄膜化区域52的下部开口部5s和形成于层间绝缘层10的上部开口部10s。上部开口部10s以在从基板1的法线方向观看时其一部分与氧化物半导体层7重叠且剩余的部分与薄膜化区域52重叠的方式配置。由此,下部绝缘层5中的仅薄膜化区域52被蚀刻而形成下部开口部5s。下部开口部5s的侧面的一部分与氧化物半导体层7的侧面对齐,另一部分与上部开口部10s的侧面对齐。

[0297] 接着,虽然未图示,但是在层间绝缘层10上和源极接触孔CHs内形成连接电极8,并且在层间绝缘层10上和漏极用开口部10p内形成漏极电极DE。连接电极8是与源极总线SL以及第1区域7s直接接触的。之后的工序是与有源矩阵基板101同样的,因而省略说明。

[0298] 根据本实施方式,与前述的实施方式同样,能降低源极接触部SC的接触电阻。

[0299] 根据本实施方式,与第1实施方式(图3A~图3L)相比,增加了下部绝缘层5的薄膜化(半蚀刻)工序,光掩模的使用个数增加1个。然而,具有以下优点。

[0300] 在所述的实施方式中,在用于形成源极接触孔CHs和漏极接触孔CHd的图案化工序中,使用相同的抗蚀剂掩模进行层间绝缘层10和下部绝缘层5的蚀刻。在层间绝缘层10被蚀刻而氧化物半导体层7的一部分露出后,到下部绝缘层5的蚀刻结束为止,源极接触孔CHs和漏极接触孔CHd内的氧化物半导体层7的露出部分暴露于蚀刻气体,从而有可能受到损伤。在形成配线连接部31(图4A)的情况下,配线接触孔CHb内的第2配线8b的露出部分也同样会受到损伤。另外,有可能在下部绝缘层5的蚀刻中抗蚀剂层的边缘由于蚀刻气体而后退,接触孔尺寸变得比规定的尺寸大。对此,根据本实施方式,将形成源极接触孔CHs的区域的下部绝缘层5进行了薄膜化,因此下部绝缘层5的蚀刻时间被缩短。其结果是,能够抑制对在层间绝缘层10的蚀刻中露出的氧化物半导体层7、配线的损伤,另外,能够降低接触孔尺寸的偏移量。

[0301] 此外,若在形成氧化物半导体层7前,在下部绝缘层5形成到达源极总线SL的贯通孔,则源极总线SL的露出部分由于氧化物半导体膜的蚀刻液而有可能受到损伤。对此,在本实施方式中,在氧化物半导体层7的形成前仅进行下部绝缘层5的薄膜化,不使源极总线SL露出,因此能够避免由氧化物半导体膜的蚀刻液所致的源极总线SL的损伤。

[0302] 在本实施方式中,薄膜化区域52越薄,在用于形成源极接触孔CHs的蚀刻工序中,越能够缩短下部绝缘层5的蚀刻所需要的时间,因此能够更有效地抑制对氧化物半导体层7的露出部分的损伤、接触孔尺寸的偏移。从该观点来说,薄膜化区域52的厚度d1可以为下部绝缘层5的其它区域的厚度(例如与沟道区域7c重叠的部分的厚度)d2的例如1/2以下,优选为1/3以下。对于薄膜化区域52的厚度d1的下限,只要源极总线SL不露出即可,因此不作特别限定,但是考虑到蚀刻精度等,例如设定为100nm以上(厚度d2的30%以上)。

[0303] 虽然未图示,但是在本实施方式中,也可以如参照图5A、图5B说明的变形例那样,在氧化物半导体层7设置第1开口部或切口部。也可以是,在从基板1的法线方向观看时,第1开口部位于薄膜化区域52的内部(凹部51的内部)。

[0304] <配线连接部>

[0305] 图8A是示出本实施方式的配线连接部的一例的截面图。图8B是示出配线连接部的

另一例的截面图。

[0306] 如图8A所例示的那样,在配线连接部(栅极源极连接部)33中,经由配置在第3金属层M3内的配线连接电极6b将形成在第1金属层M1内的第1配线3b与配置在第2金属层M2内的第2配线8b电连接。在下部绝缘层5和层间绝缘层10形成有使第1配线3b的一部分和第2配线8b的一部分露出的配线接触孔CHb。配线接触孔CHb包括形成于层间绝缘层的上部开口部10b和形成于下部绝缘层的其它下部开口部5b。配线连接电极6b配置在层间绝缘层10上和配线接触孔CHb内,在配线接触孔CHb内连接到第1配线3b和第2配线8b。

[0307] 在配线连接部33中,下部绝缘层5的表面具有凹部53。具有凹部53的区域54是比下部绝缘层5的其它区域薄的薄膜化区域。在从基板1的法线方向观看时,配线接触孔CHb的下部开口部5b位于凹部53的内部。换言之,下部开口部5b形成在下部绝缘层5的薄膜化区域54。其它构成与第1实施方式的配线连接部31是同样的。

[0308] 如图8B所例示的那样,在配线连接部34中,将形成在第1金属层M1内的第1配线3c与形成在第3金属层M3内的第3配线6c连接。在下部绝缘层5和层间绝缘层10形成有使第1配线3c的一部分露出的配线接触孔CHc。配线接触孔CHc包括形成于层间绝缘层的上部开口部10c和形成于下部绝缘层的其它下部开口部5c。这些开口部的侧面是相互对齐的。第3配线6c配置在层间绝缘层10上和配线接触孔CHc内,在配线接触孔CHc内连接到第1配线3c。

[0309] 在配线连接部34中,下部绝缘层5的表面具有凹部55。具有凹部55的区域56是比下部绝缘层5的其它区域薄的薄膜化区域。在从基板1的法线方向观看时,配线接触孔CHc的下部开口部5c位于凹部55的内部。换言之,下部开口部5c形成于下部绝缘层5的薄膜化区域56。其它构成与第1实施方式的配线连接部32是同样的。

[0310] 配线连接部33、34中的配线接触孔CHb、CHc均能与源极接触孔CHs和漏极接触孔CHd通过共同的蚀刻工序形成。因此,能不增加制造工序和光掩模的使用个数地在有源矩阵基板103形成配线连接部33和/或配线连接部34。另外,在形成这些接触孔的区域,下部绝缘层5被薄膜化,因此下部绝缘层5的蚀刻时间被缩短。因此,能够降低对在层间绝缘层10的蚀刻中露出的氧化物半导体层7等的损伤。另外,能够降低接触孔尺寸的偏移量。

[0311] (第3实施方式)

[0312] 图9A是例示第3实施方式的有源矩阵基板104中的像素区域的俯视图,图9B是像素区域的沿着横穿TFT20的IXb-IXb'线的截面图。对与图2A和图2B同样的构成要素标注相同的附图标记而省略说明。

[0313] 本实施方式的有源矩阵基板104还具备多个触摸传感器用的电极(以下称为“触摸传感器电极”)TX、以及触摸传感器的驱动用和/或检测用的多个配线(以下称为“触摸配线”)TL,这一点与有源矩阵基板101不同。

[0314] 有源矩阵基板104中的TFT20和源极接触部SC的结构是与有源矩阵基板101同样的。虽然未图示,但是源极接触部SC的结构也可以与其它有源矩阵基板102、103是同样的。

[0315] 触摸配线TL是与像素电极PE空开间隔地配置在上部绝缘层13上。在该例子中,触摸配线TL以在从基板1的法线方向观看时与源极总线SL重叠的方式在列方向上延伸。

[0316] 触摸配线TL具有形成在下部透明导电层T1内的下层18和形成在下层18上的上层19的层叠结构。上层19由第4导电膜(典型地为金属膜)形成。将包含由第4导电膜形成的电极/配线的层称为“第4金属层M4”。下层18和上层19是利用相同的抗蚀剂掩模而被图案化

的,在从基板1的法线方向观看时是相互对齐的。

[0317] 第4金属层M4和下部透明导电层T1由电介质层17覆盖。在电介质层17上配置有共用电极CE。在本实施方式中,共用电极CE被分离为多个区段,各区段也作为触摸传感器电极TX发挥功能。各触摸传感器电极TX例如与多个像素区域对应地配置。

[0318] 各触摸传感器电极TX连接到对应的触摸配线TL。在此,触摸传感器电极TX在形成于电介质层17的触摸接触孔CHt内连接到触摸配线TL的上层19。将触摸传感器电极TX与触摸配线TL的连接部TC称为“触摸配线接触部”。触摸配线TL只要是相对于1个触摸传感器电极TX设置至少1个即可。也可以相对于1个触摸传感器电极TX设置2个以上的触摸配线TL。

[0319] 触摸配线TL延伸到有源矩阵基板104的周边区域,并连接到在周边区域(安装或一体地)设置的触摸驱动部(未图示)。

[0320] 触摸驱动部构成为分时地切换使多个触摸传感器电极TX作为共用电极CE发挥功能的显示模式和作为触摸传感器电极TX发挥功能的触摸检测模式。触摸驱动部例如在显示模式中经由触摸配线TL对触摸传感器电极TX(共用电极CE)施加共用信号。另一方面,在触摸检测模式中,触摸驱动部经由触摸配线TL对触摸传感器电极TX施加触摸驱动信号。

[0321] 有源矩阵基板104也可以在像素接触部中还具有与上层19使用相同的导电膜(即在第4金属层M4内)形成的第1电极21。第1电极21在各像素电极PE的一部分上与像素电极PE接触地配置。第1电极21是以在从基板1的法线方向观看时与像素接触孔CHp重叠的方式配置的岛状电极。在该例子中,第1电极21在从基板1的法线方向观看时与整个像素接触孔CHp(像素接触孔CHp的整个底面)重叠。通过设置第1电极21,能确保像素开口率并且保护漏极电极DE的表面。详细情况将后述。

[0322] 有源矩阵基板104例如应用于内嵌式触摸面板型显示装置。内嵌式触摸面板型显示装置可以内置自电容方式的触摸传感器,也可以内置互电容方式的触摸传感器。互电容方式和自电容方式的触摸传感器的具体的结构、驱动方法等例如记载于特开2018-5484号公报、国际申请第2018/092758号、国际申请第2017/126603号、特开2016-126336号公报等,是公知的,因此省略详细的说明。为了参考,将特开2018-5484号公报、国际申请第2018/092758号、国际申请第2017/126603号、特开2016-126336号公报的公开内容全部援引到本说明书中。

[0323] 此外,在本说明书中,无论形成于有源矩阵基板101的触摸传感器是自电容方式还是互电容方式,都将配置在有源矩阵基板101侧的触摸传感器用的电极简称为“触摸传感器电极TX”,将电连接到触摸传感器电极TX的触摸传感器用的配线称为“触摸配线”。

[0324] <有源矩阵基板104的制造方法>

[0325] 图10A~图10F分别是用于说明本实施方式的有源矩阵基板104的制造方法的一例的工序截面图,示出各TFT形成区域。

[0326] 首先,如图10A所示,通过与有源矩阵基板101同样的方法,在基板1上形成第1金属层M1、下部绝缘层5、氧化物半导体层7、栅极绝缘层9、第2金属层M2、层间绝缘层10以及第3金属层M3。由此,得到TFT20和源极接触部SC。

[0327] 接下来,如图10B所示,以覆盖第3金属层M3的方式形成包含无机绝缘层11和有机绝缘层12的上部绝缘层13。之后,在各像素区域中,在有机绝缘层12形成使无机绝缘层11的一部分露出的开口部12p。

[0328] 接着,如图10C所示,将有机绝缘层12作为掩模进行无机绝缘层11的蚀刻,在无机绝缘层11设置使漏极电极DE露出的开口部11p。这样,形成包括开口部11p、12p的像素接触孔CHp。

[0329] 接下来,在上部绝缘层13上和像素接触孔CHp内形成第1透明导电膜(未图示)和第4导电膜(未图示)。之后,例如,使用过氧化氢系蚀刻液将第4导电膜图案化后,使用草酸进行第1透明导电膜的蚀刻。或者,使用包含氟化合物的过氧化氢系蚀刻液,进行第1透明导电膜和第4导电膜的图案化。由此,如图10D所示,相互间隔开地形成触摸配线TL与包含像素电极PE的层叠膜40。触摸配线TL具有包含由第1透明导电膜形成的下层18和由第4导电膜形成的上层19的层叠结构。层叠膜40包含像素电极PE和位于像素电极PE上且由第4导电膜形成的导电层41。在从基板1的法线方向观看时,下层18和上层19相互对齐,像素电极PE和导电层41相互对齐。

[0330] 能够使用与栅极用导电膜或源极用导电膜同样的导电膜作为第4导电膜。第4导电膜也可以是以Cu或Al为主体的、单层或具有层叠结构的金属膜(厚度:50~500nm)。

[0331] 接着,如图10E所示,进行导电层41的图案化,从而得到第1电极21。导电层41的图案化在不对像素电极PE进行蚀刻而仅对导电层41进行蚀刻的条件下进行。在此,例如,使用不包含氟化合物的过氧化氢系蚀刻液进行导电层41的湿式蚀刻。

[0332] 通过用上述方法形成第1电极21,从而有以下的优点。

[0333] 若在上部绝缘层13上和像素接触孔CHp内仅形成第1透明导电膜(例如氧化铟锡(ITO)),并进行图案化,则会由于第1透明导电膜比较薄,而易于在像素接触孔CHp内形成针孔。当在像素接触孔CHp内第1透明导电膜形成有针孔时,有可能由于针孔而导致漏极电极DE的表面露出,受到损伤。对此,在本实施方式中,在第1透明导电膜上形成了第4导电膜的状态下,将第1透明导电膜和第4导电膜同时图案化,形成包含像素电极PE的层叠膜40。由此,不易在第1透明导电膜(像素电极PE)产生针孔。另外,即使产生了针孔,由于漏极电极DE被第4导电膜覆盖,因此也能够保护漏极电极DE的表面,能够抑制由针孔引起的像素接触部的接触电阻的上升。而且,之后,将覆盖像素电极PE整体的第4导电膜(导电层41)中的位于像素接触部以外的部分(即位于有助于显示的区域的部分)除去,从而形成第1电极21。由此,能够抑制由利用第4导电膜引起的像素开口率的降低。

[0334] 接下来,如图10F所示,以覆盖触摸配线TL、像素电极PE以及第1电极21的方式形成电介质层17(厚度:50~500nm)。之后,进行电介质层17的图案化,形成使触摸配线TL的上层19的一部分露出的触摸接触孔CHt。

[0335] 接着,在电介质层17上和触摸接触孔CHt内形成第2透明导电膜,进行第2透明导电膜的图案化。由此,如图9A和图9B所示,形成包含各自作为触摸传感器电极TX发挥功能的多个区段的共用电极CE。各触摸传感器电极TX在触摸接触孔CHt内连接到对应的触摸配线TL。这样,制造出有源矩阵基板104。

[0336] 本实施方式的内嵌式触摸面板型显示装置用的有源矩阵基板的结构不限于上述的结构。源极接触部SC也可以具有与有源矩阵基板102或有源矩阵基板103中的源极接触部SC同样的结构。另外,也可以在下部透明导电层T1内形成共用电极CE(触摸传感器电极TX),在上部透明导电层T2内形成像素电极PE。触摸配线TL的配置、触摸配线接触部TC的结构也不作特别限定。

[0337] 在本实施方式中,在第4金属层M4,与第1电极21使用相同的导电膜形成了触摸配线TL,但也可以取而代之形成其它电极/配线。这样的有源矩阵基板也能应用于内嵌式触摸面板型以外的显示装置。虽然未图示,但是在其它实施方式的有源矩阵基板中,也可以为了保护漏极电极DE而形成包含第1电极21的第4金属层M4。

[0338] (第4实施方式)

[0339] 图11A是例示第4实施方式的有源矩阵基板105中的像素区域的俯视图,图11B是像素区域的沿着横穿TFT20的XIb-XIb'线的截面图。对与图2A和图2B同样的构成要素标注相同的附图标记而省略说明。

[0340] 本实施方式的有源矩阵基板105不具有第3金属层M3和有机绝缘层12,这一点与有源矩阵基板101不同。在有源矩阵基板105中,源极接触部SC的连接电极形成在下部透明导电层T1内。

[0341] 在有源矩阵基板105中,在层间绝缘层10上形成包含像素电极PE和连接电极23的下部透明导电层T1。像素电极PE配置在层间绝缘层10上和形成于层间绝缘层10的漏极接触孔CHd内,以在漏极接触孔CHd内与氧化物半导体层7的第2区域7d接触的方式配置。即,TFT20的氧化物半导体层7不经由漏极电极DE而电连接到像素电极PE。连接电极23配置在层间绝缘层10上以及形成于下部绝缘层5和层间绝缘层10的源极接触孔CHs内,在源极接触孔CHs内连接到氧化物半导体层7的第2区域7d和源极总线SL。

[0342] 像素电极PE和连接电极23由电介质层17覆盖。在电介质层17上配置有包含共用电极CE的上部透明导电层T2。

[0343] 虽然未图示,但是也可以在上部透明导电层T2内形成像素电极PE和连接电极23,在下部透明导电层T1内形成共用电极CE。另外,源极接触部SC的结构也不限于图示的结构。除了使用透明导电膜形成连接电极这一点以外,也可以具有与有源矩阵基板102和有源矩阵基板103中的源极接触部SC同样的结构。

[0344] 根据本实施方式,通过减掉第3金属层M3,能减少光掩模的使用个数,因此能够降低制造成本。

[0345] 本发明的实施方式的有源矩阵基板的结构和制造方法不限于上述例示的结构和方法。在上述中,例示了具备顶栅型的像素TFT的有源矩阵基板,但是也可以取而代之,具有夹着氧化物半导体层而具有2个栅极的双栅型的像素TFT。例如,在上述实施方式的TFT20中,也可以使遮光层3作为下部栅极电极发挥功能。

[0346] 本发明的实施方式能广泛应用于具备TFT的装置、电子设备。例如,能应用于有源矩阵基板等电路基板、液晶显示装置、有机EL显示装置、微型LED显示装置等显示装置、放射线检测器、图像传感器等摄像装置、图像输入装置、指纹读取装置等电子装置等。

[0347] <关于氧化物半导体>

[0348] 氧化物半导体层7所包含的氧化物半导体可以是非晶质氧化物半导体,也可以是具有结晶质部分的结晶质氧化物半导体。作为结晶质氧化物半导体,可举出多晶氧化物半导体、微晶氧化物半导体、c轴大致垂直于层面取向的结晶质氧化物半导体等。

[0349] 氧化物半导体层7也可以具有2层以上的层叠结构。在氧化物半导体层7具有层叠结构的情况下,氧化物半导体层7可以包含非晶质氧化物半导体层和结晶质氧化物半导体层。或者,也可以包含结晶结构不同的多个结晶质氧化物半导体层。另外,也可以包含多个

非晶质氧化物半导体层。在氧化物半导体层7具有包含上层和下层的2层结构的情况下,2层中的位于栅极电极侧的层(如果是底栅型则为下层,如果是顶栅型则为上层)所包含的氧化物半导体的能隙可以比位于与栅极电极相反的一侧的层(如果是底栅型则为上层,如果是顶栅型则为下层)所包含的氧化物半导体的能隙小。不过,在这些层的能隙的差比较小的情况下,位于栅极电极侧的层的氧化物半导体的能隙也可以比位于与栅极电极相反的一侧的层的氧化物半导体的能隙大。

[0350] 非晶质氧化物半导体和上述的各结晶质氧化物半导体的材料、结构、成膜方法、具有层叠结构的氧化物半导体层的构成等例如记载于特开2014-007399号公报中。为了参考,将特开2014-007399号公报的公开内容全部援引到本说明书中。

[0351] 氧化物半导体层7例如可以包含In、Ga以及Zn中的至少1种金属元素。在本实施方式中,氧化物半导体层7例如包含In-Ga-Zn-O系的半导体(例如氧化铟镓锌)。在此,In-Ga-Zn-O系的半导体是In(铟)、Ga(镓)、Zn(锌)的三元系氧化物,In、Ga以及Zn的比例(组成比)不作特别限定,例如包含In:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等。这种氧化物半导体层7能够由包含In-Ga-Zn-O系的半导体的氧化物半导体膜形成。

[0352] In-Ga-Zn-O系的半导体可以是非晶质,也可以是结晶质。作为结晶质In-Ga-Zn-O系的半导体,优选c轴大致垂直于层面取向的结晶质In-Ga-Zn-O系的半导体。

[0353] 此外,结晶质In-Ga-Zn-O系的半导体的结晶结构例如公开于上述的特开2014-007399号公报、特开2012-134475号公报、特开2014-209727号公报等。为了参考,将特开2012-134475号公报和特开2014-209727号公报的公开内容全部援引到本说明书中。具有In-Ga-Zn-O系氧化物半导体层的TFT具有高迁移率(与a-SiTFT相比超过20倍)和低漏电流(与a-SiTFT相比不到百分之一),因此适合用作驱动TFT(例如,在包含多个像素的显示区域的周边设置于与显示区域相同的基板上的驱动电路所包含的TFT)和像素TFT(设置于像素的TFT)。

[0354] 氧化物半导体层7也可以包含其它氧化物半导体来代替In-Ga-Zn-O系半导体。例如可以包含In-Sn-Zn-O系半导体(例如 $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$ ; InSnZnO)。In-Sn-Zn-O系半导体是In(铟)、Sn(锡)以及Zn(锌)的三元系氧化物。或者,氧化物半导体层7也可以包含In-Al-Zn-O系半导体、In-Al-Sn-Zn-O系半导体、Zn-O系半导体、In-Zn-O系半导体、Zn-Ti-O系半导体、Cd-Ge-O系半导体、Cd-Pb-O系半导体、CdO(氧化镉)、Mg-Zn-O系半导体、In-Ga-Sn-O系半导体、In-Ga-O系半导体、Zr-In-Zn-O系半导体、Hf-In-Zn-O系半导体、Al-Ga-Zn-O系半导体、Ga-Zn-O系半导体、In-Ga-Zn-Sn-O系半导体、In-W-Zn-O系半导体等。

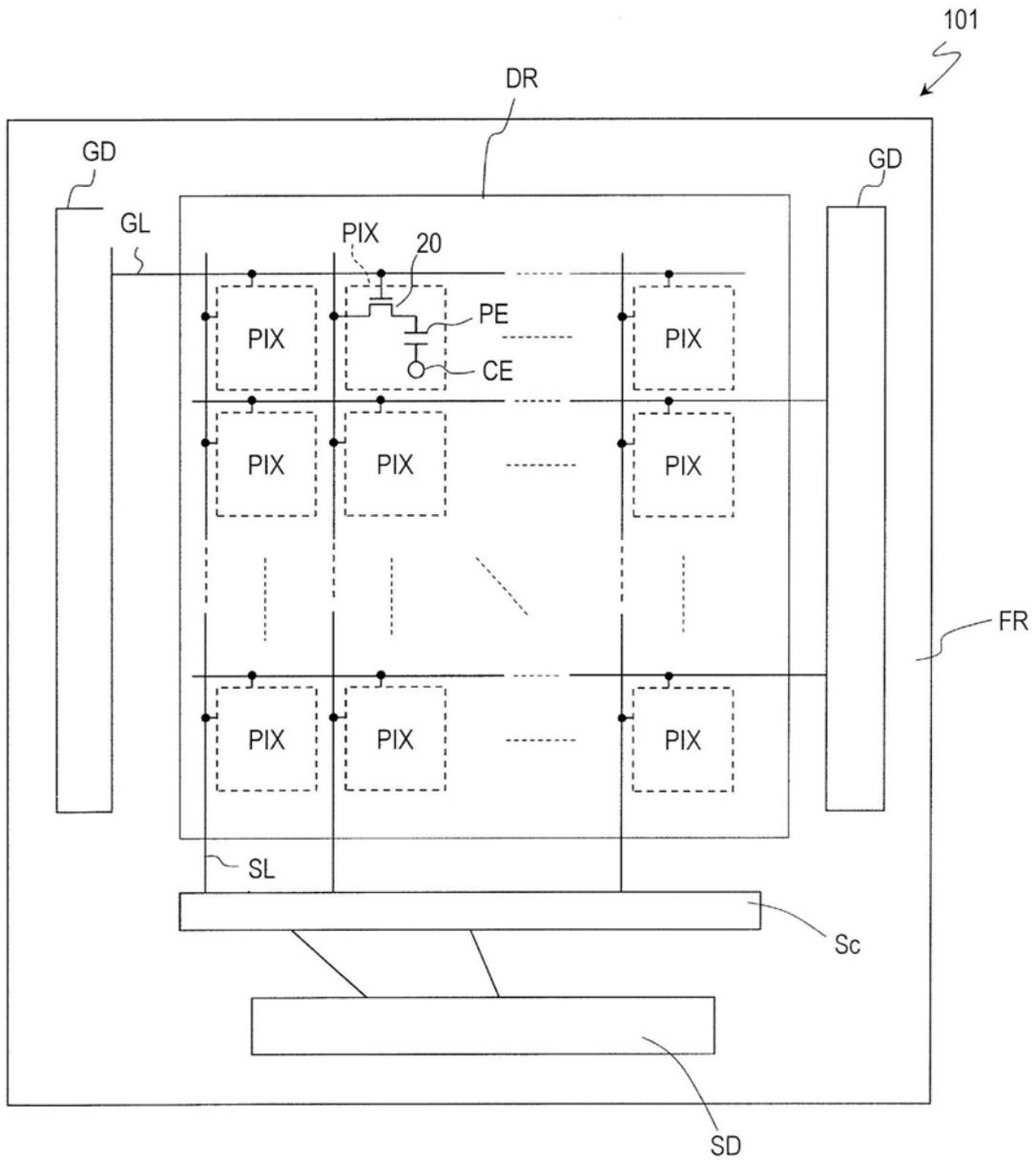


图1

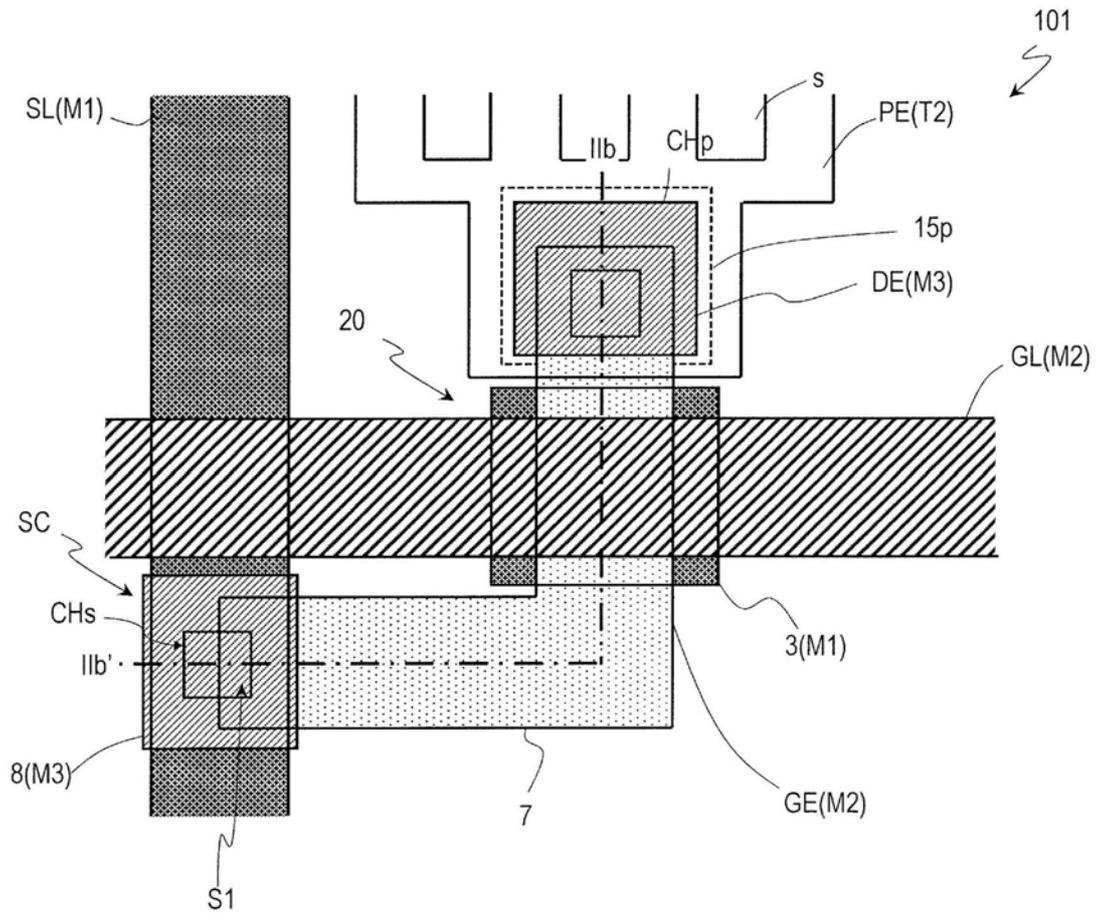


图2A



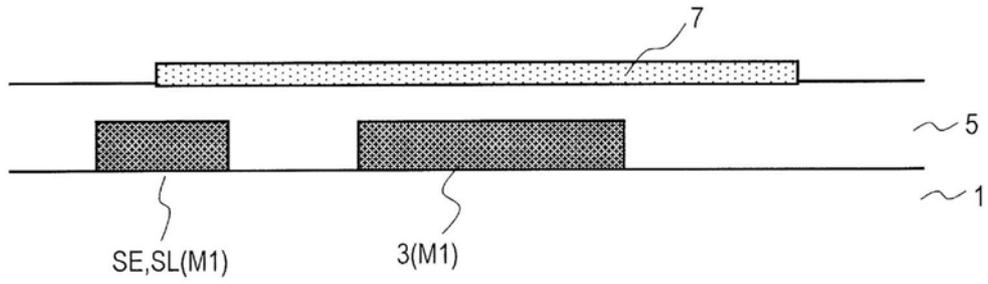


图3C

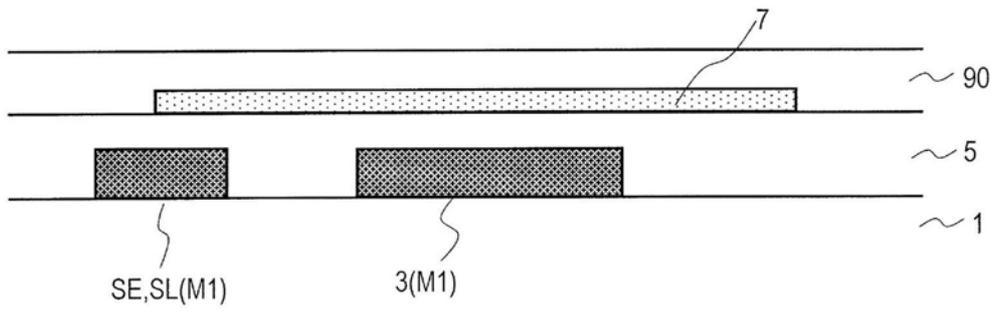


图3D

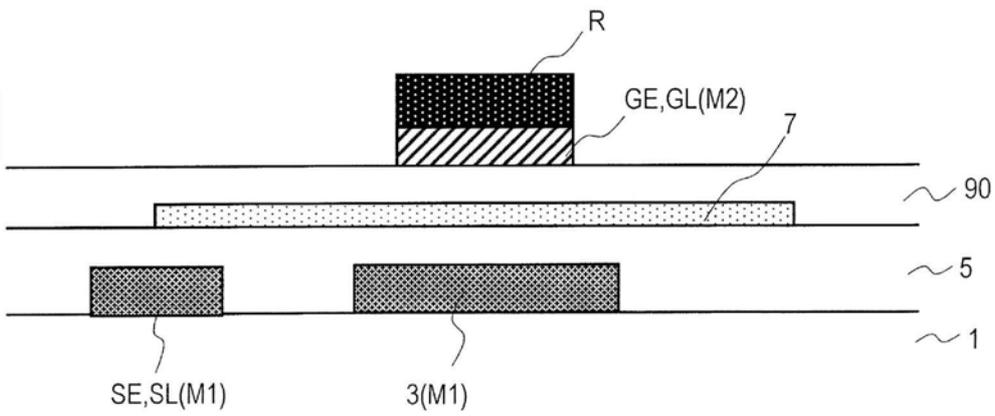


图3E

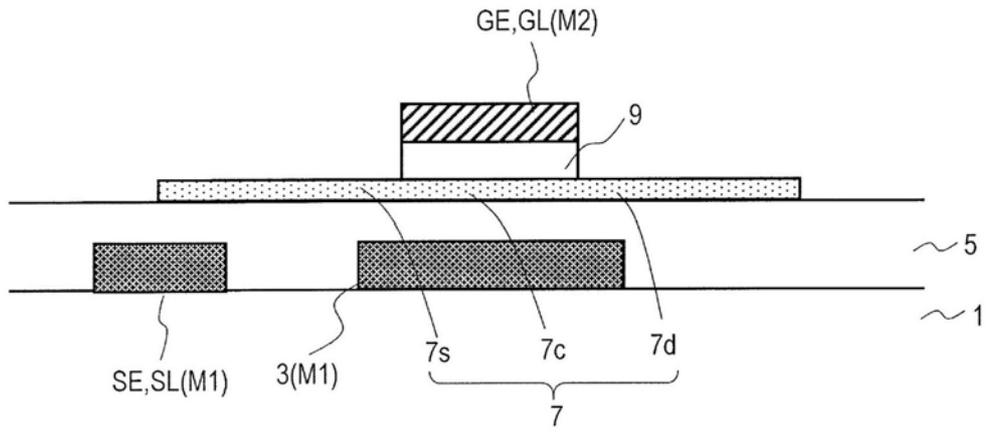


图3F

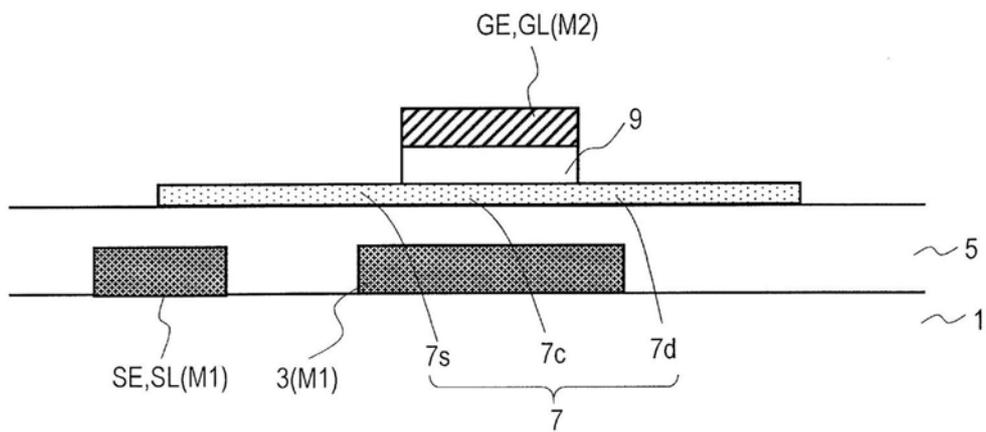


图3G

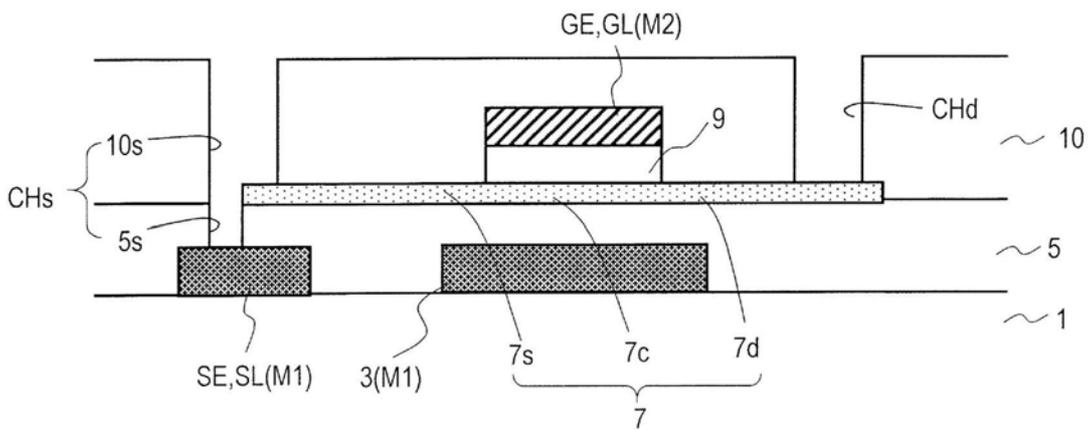


图3H

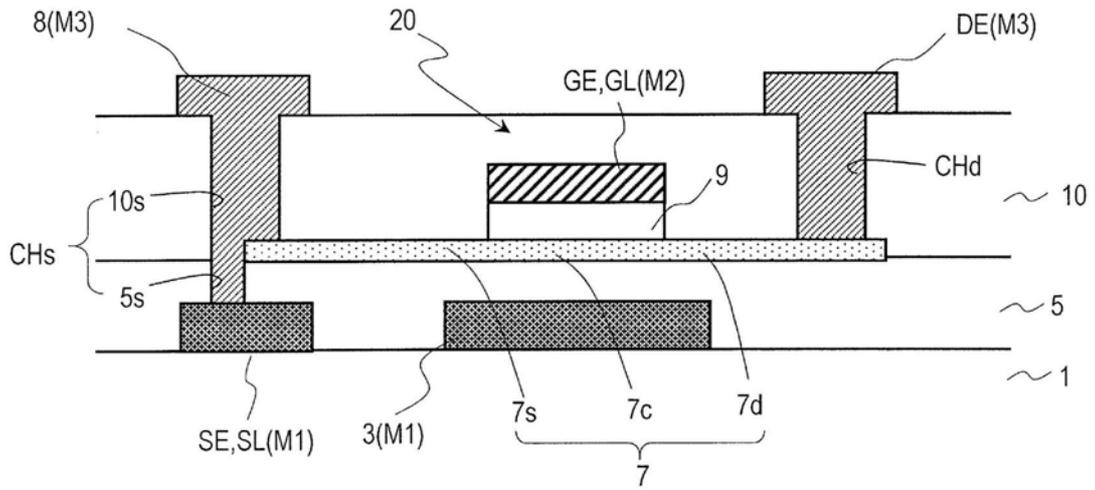


图3I

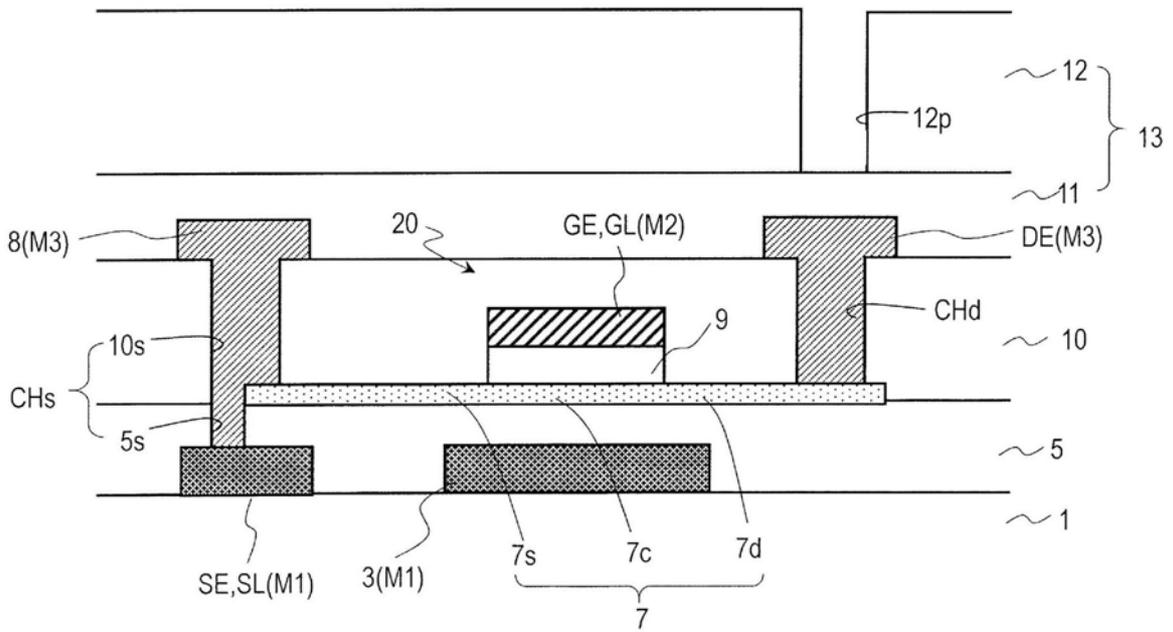


图3J

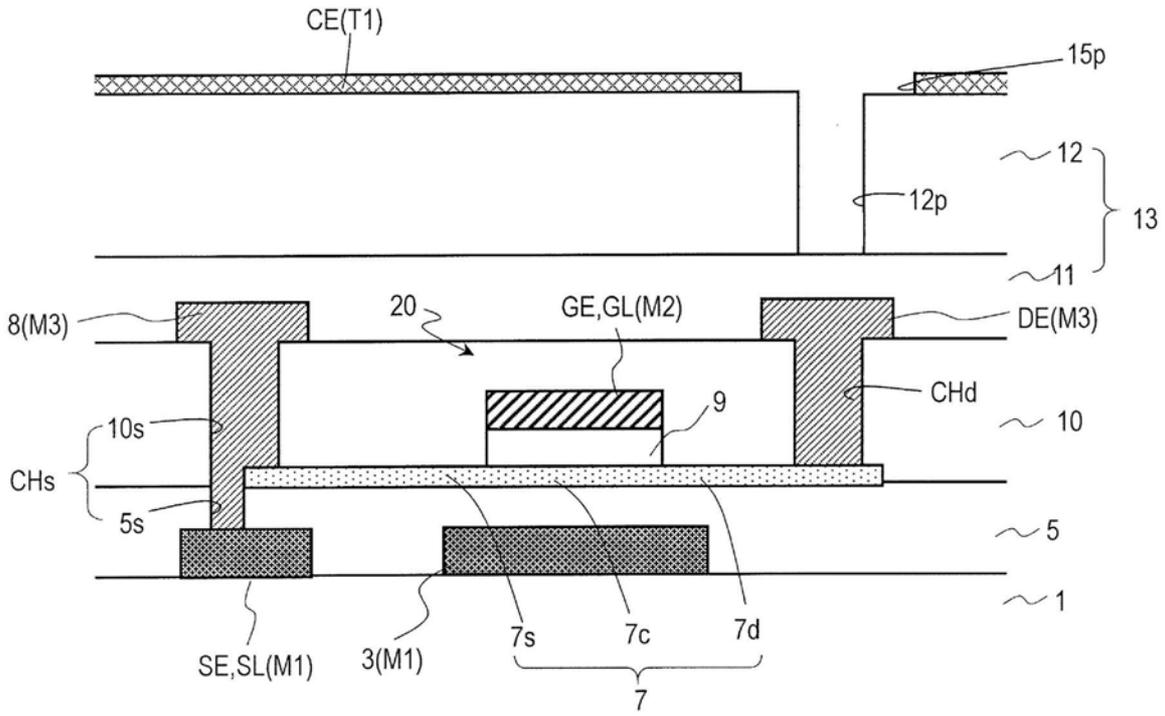


图3K

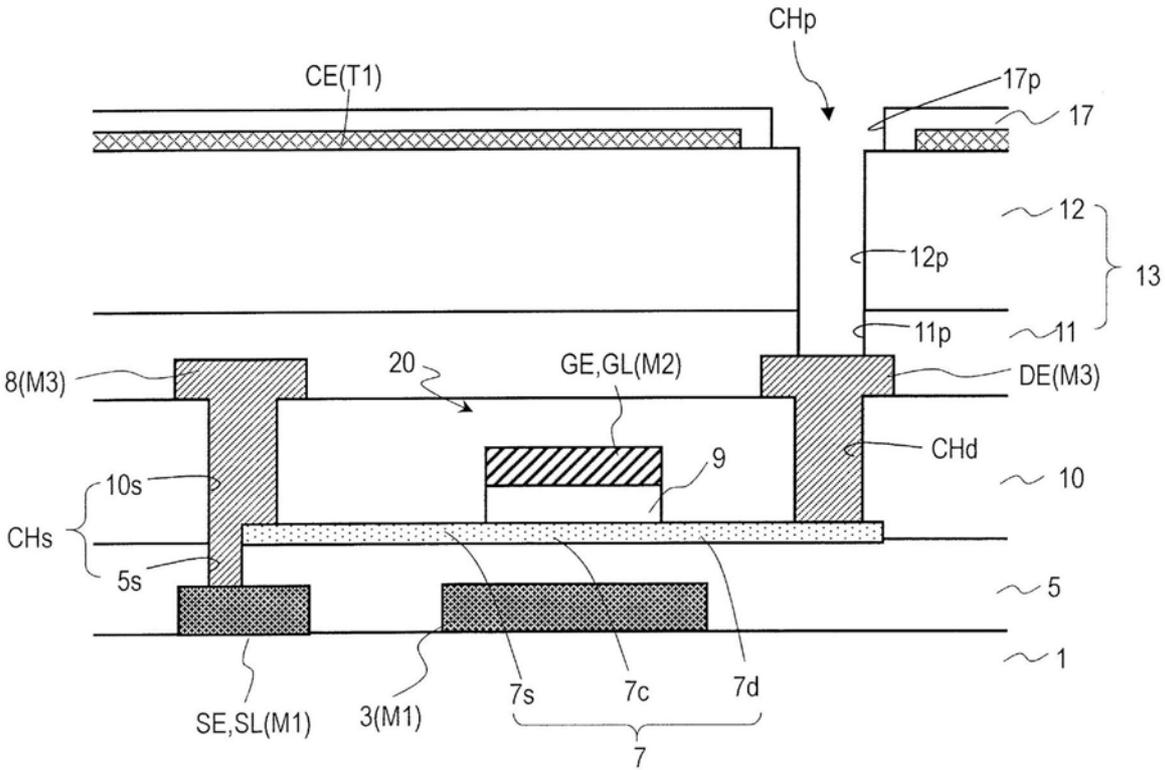


图3L

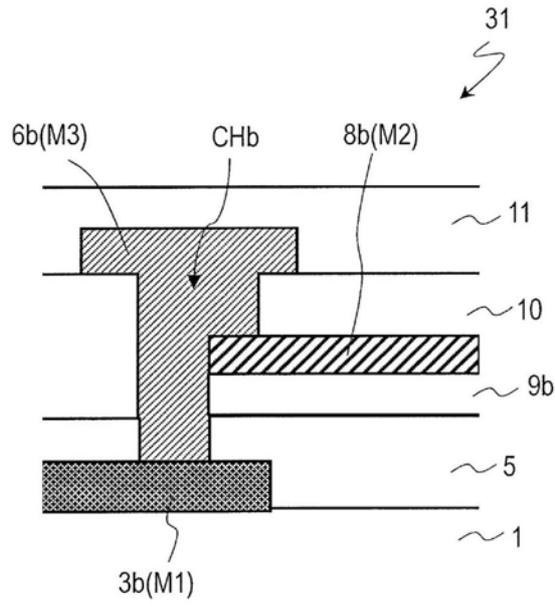


图4A

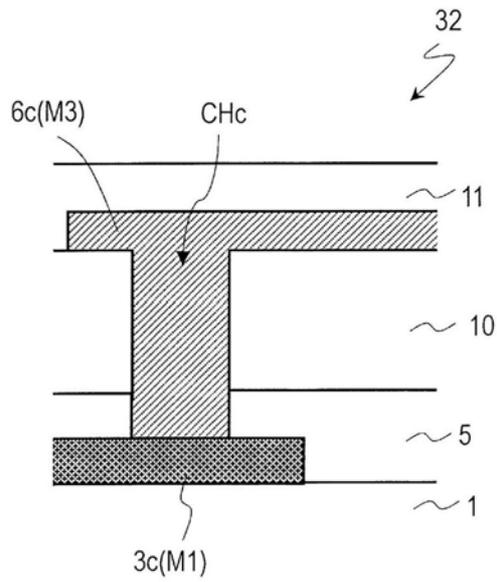


图4B

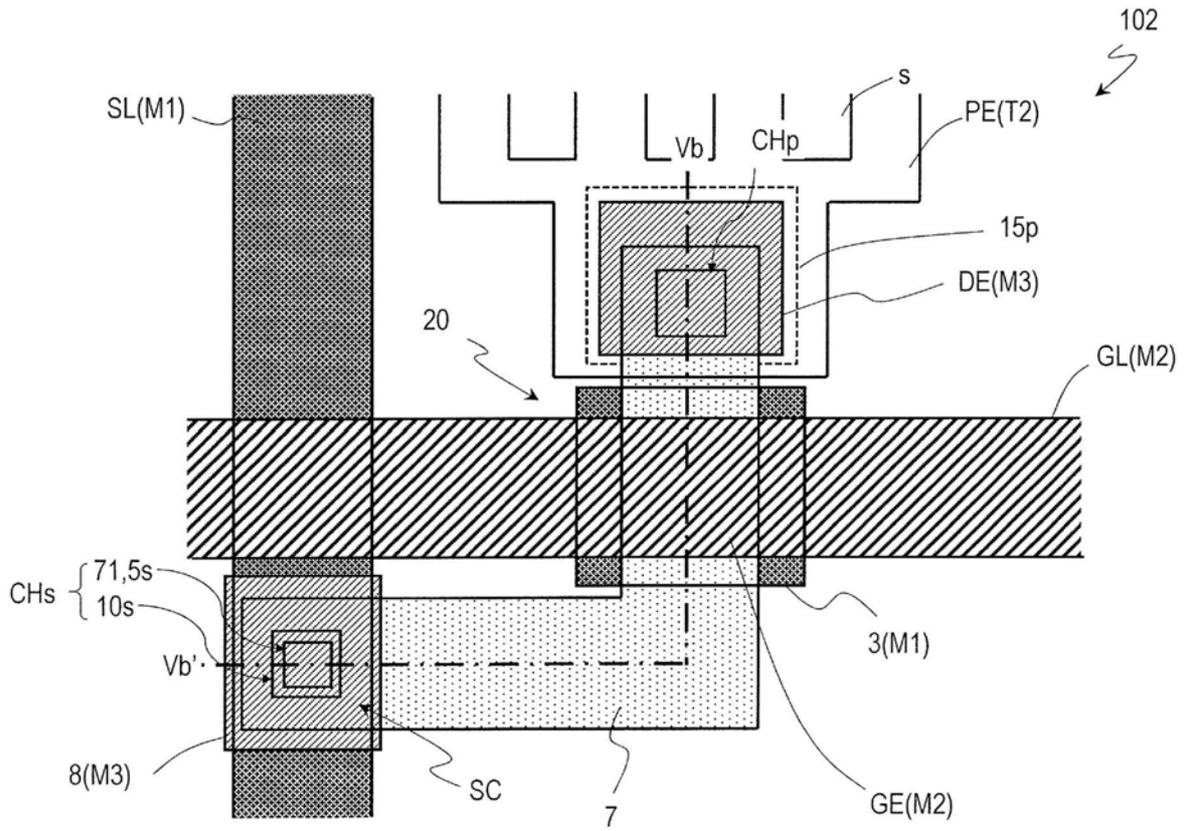


图5A

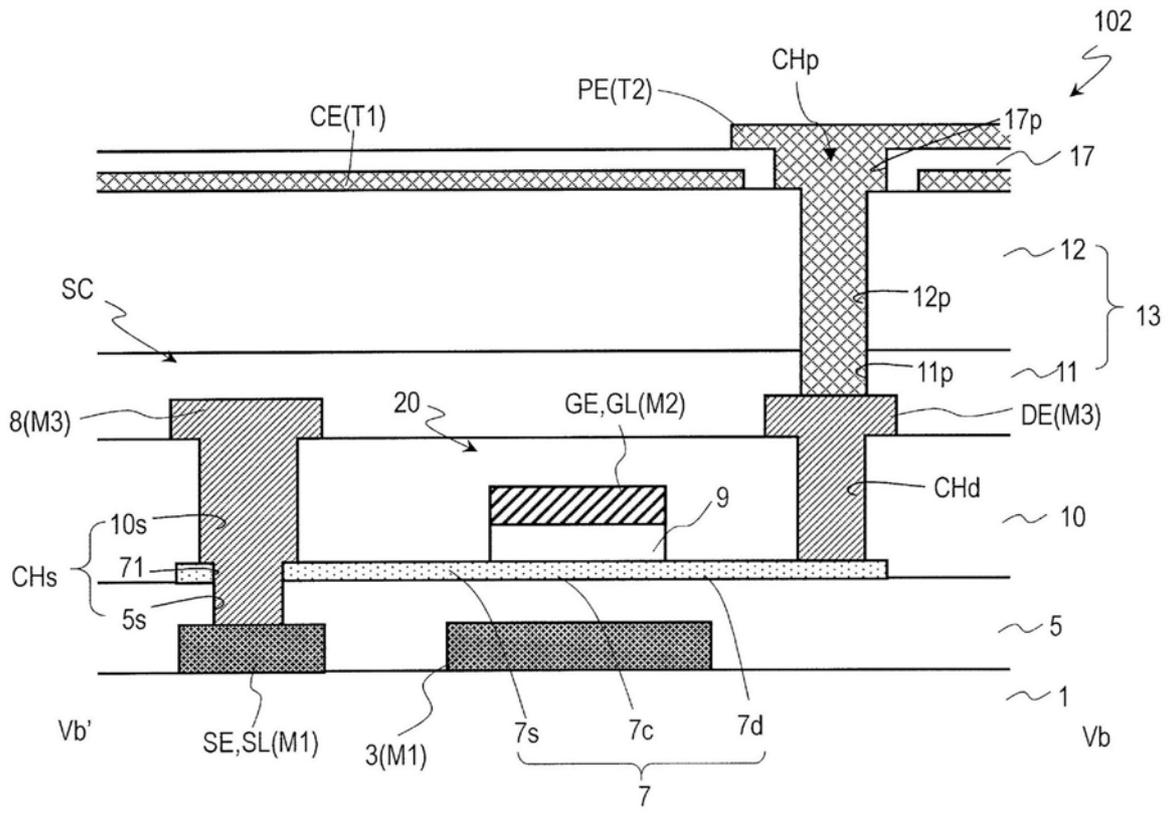


图5B

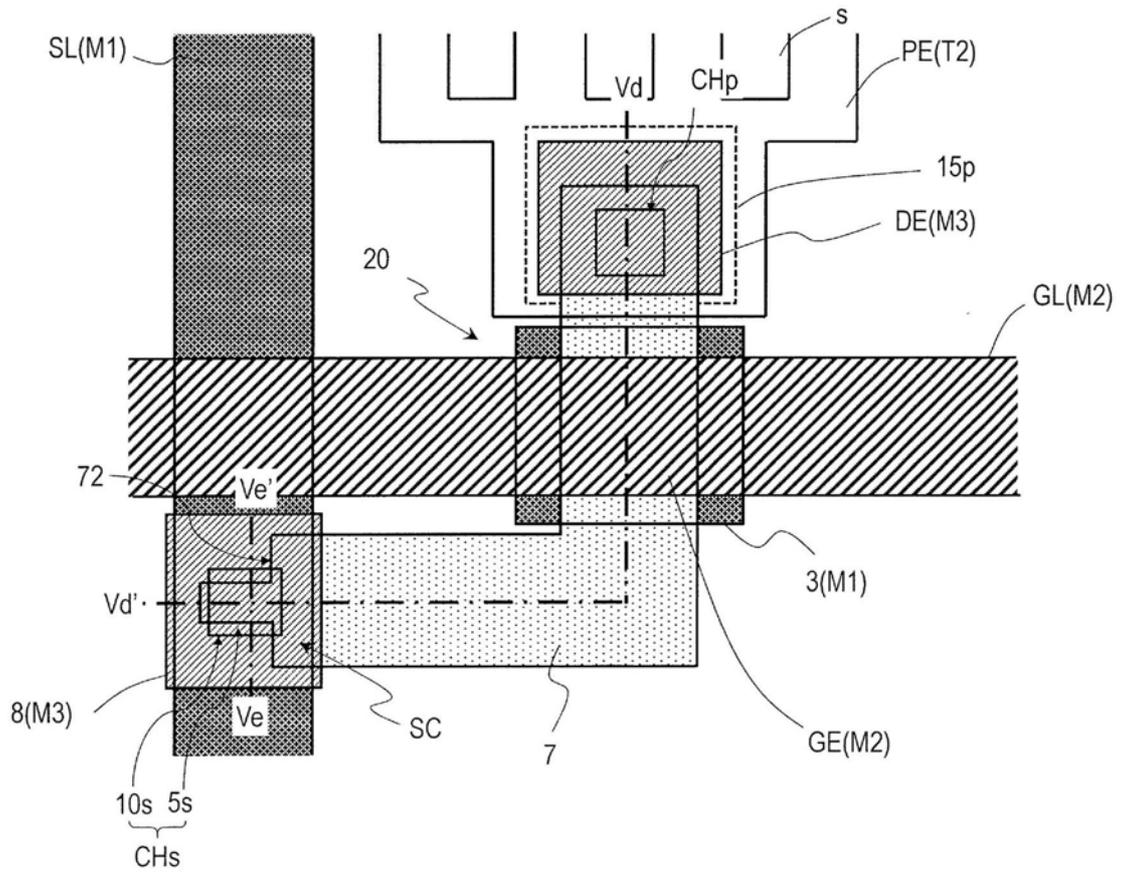


图5C

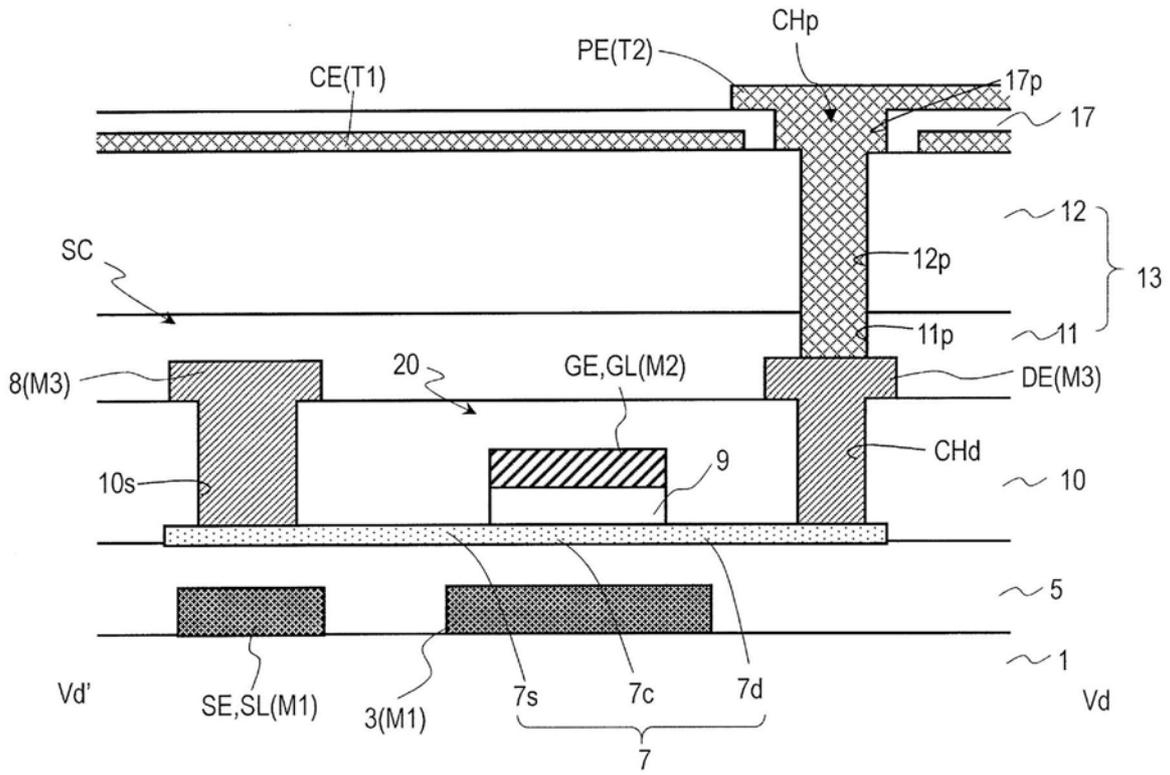


图5D

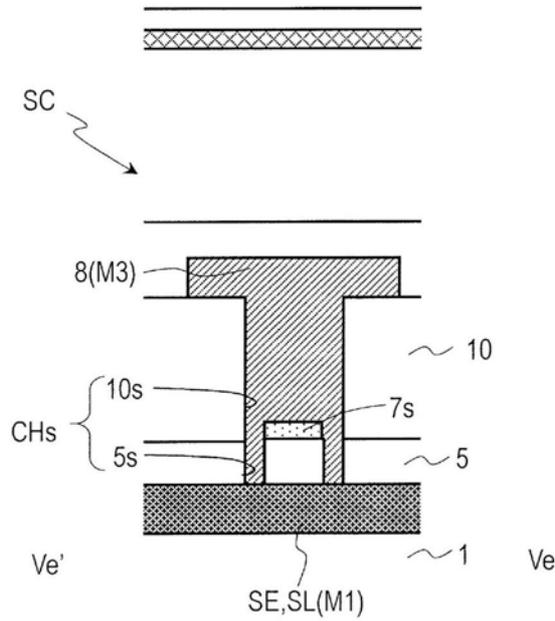


图5E

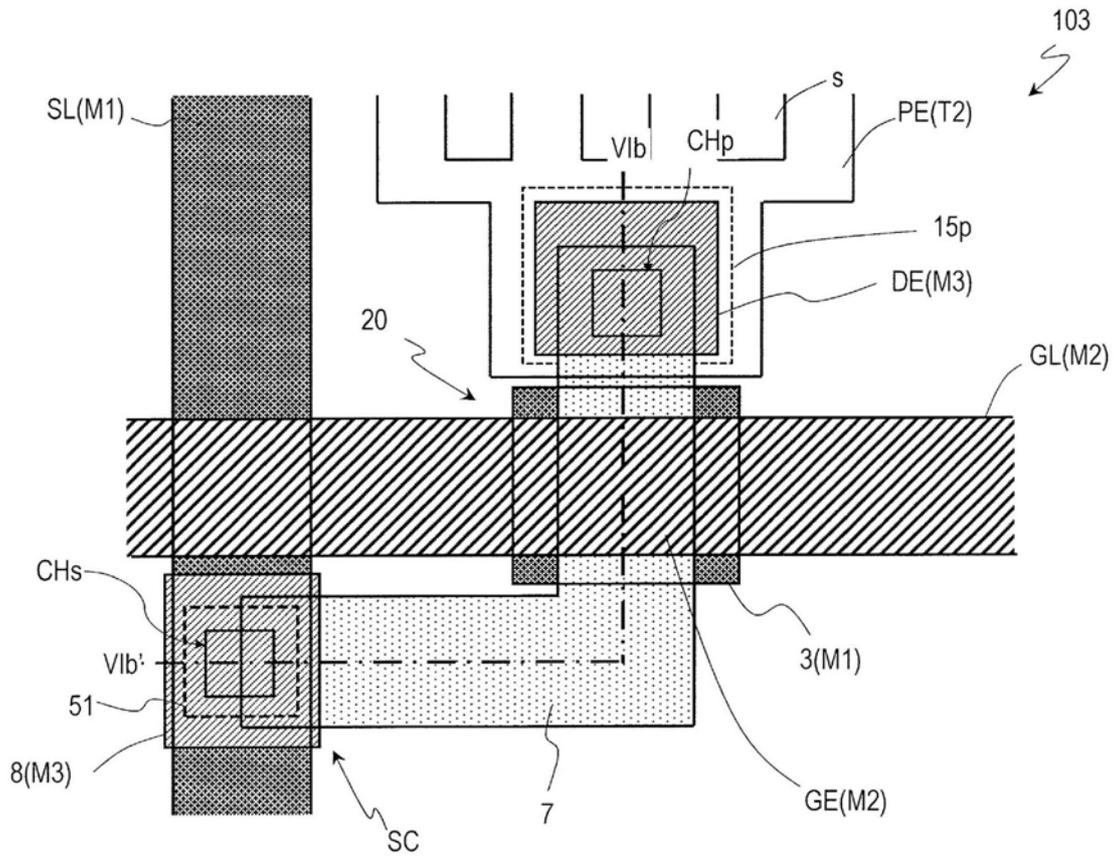


图6A

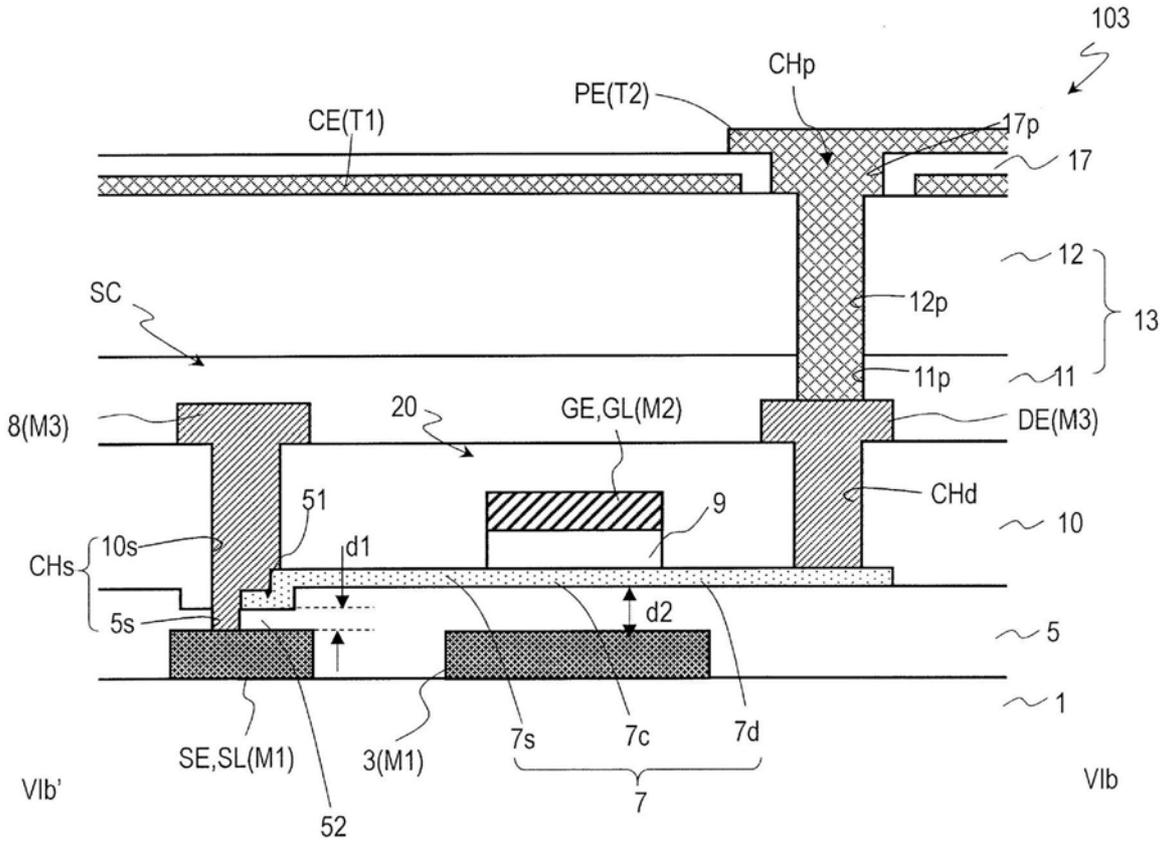


图6B

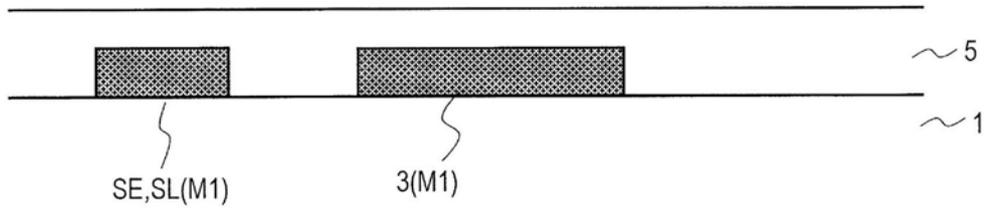


图7A

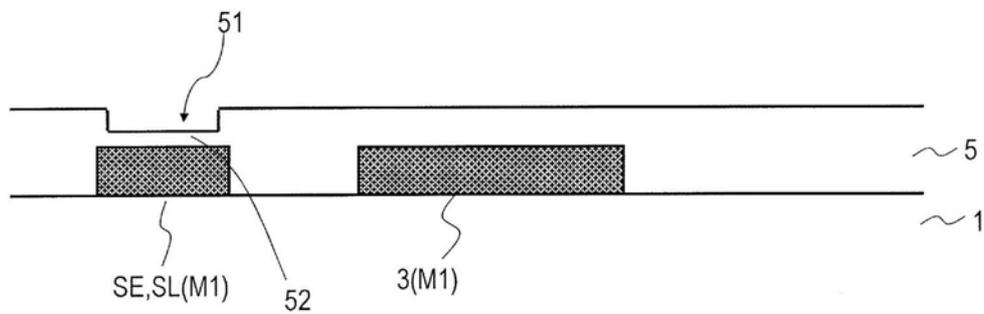


图7B

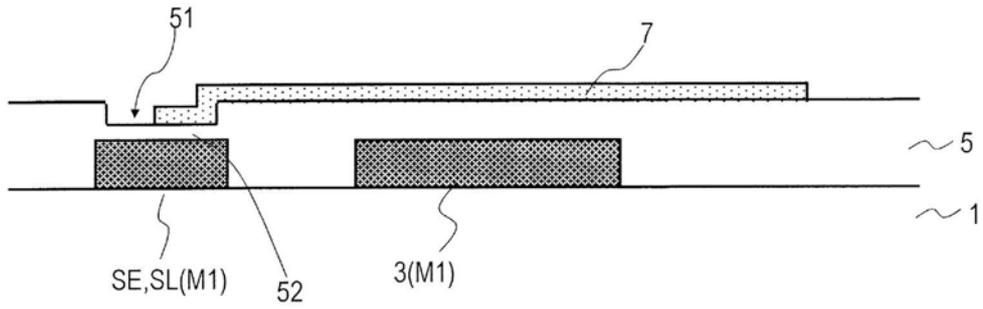


图7C

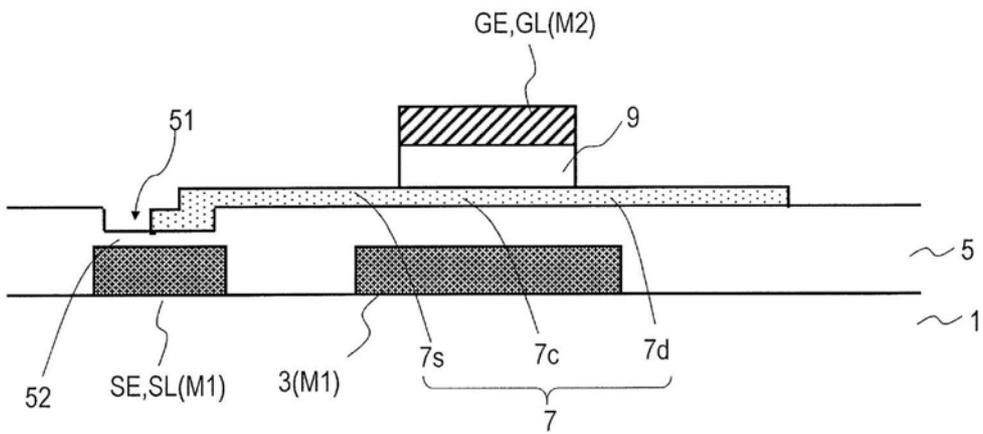


图7D

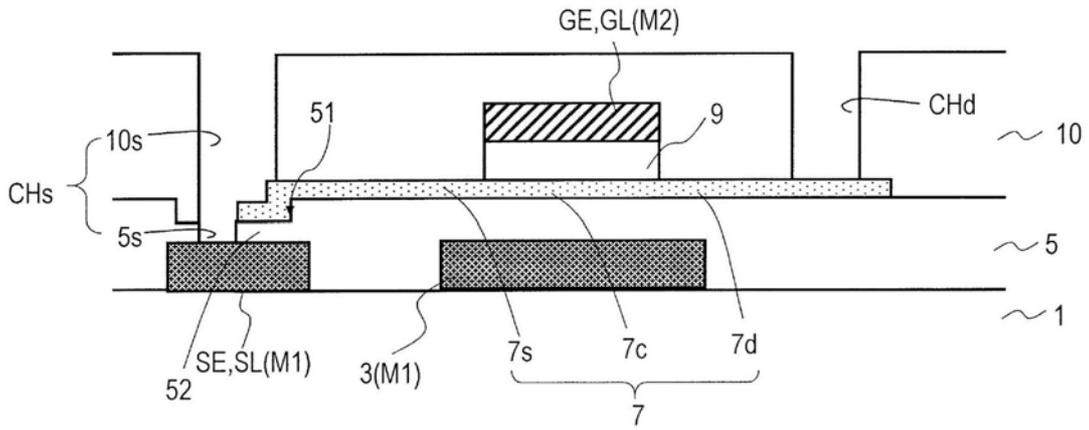


图7E

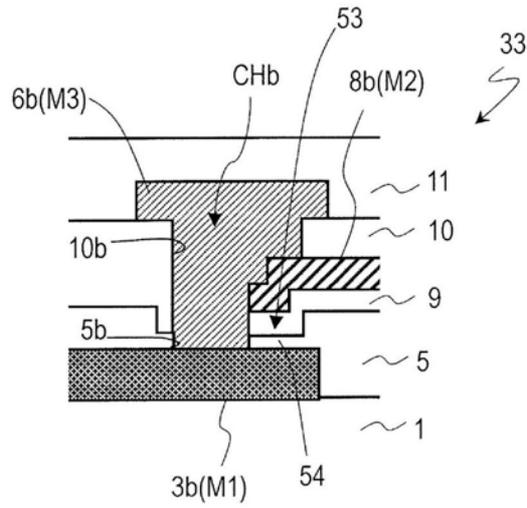


图8A

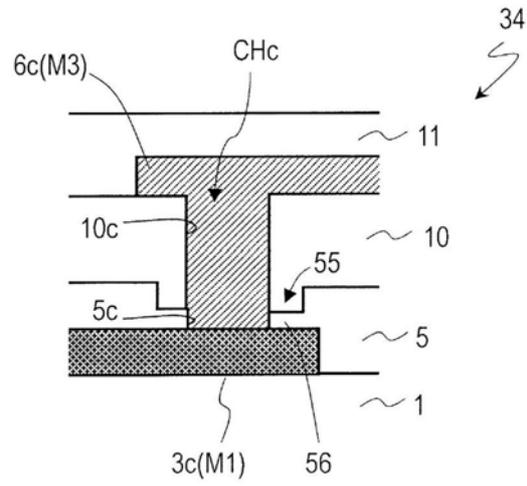


图8B

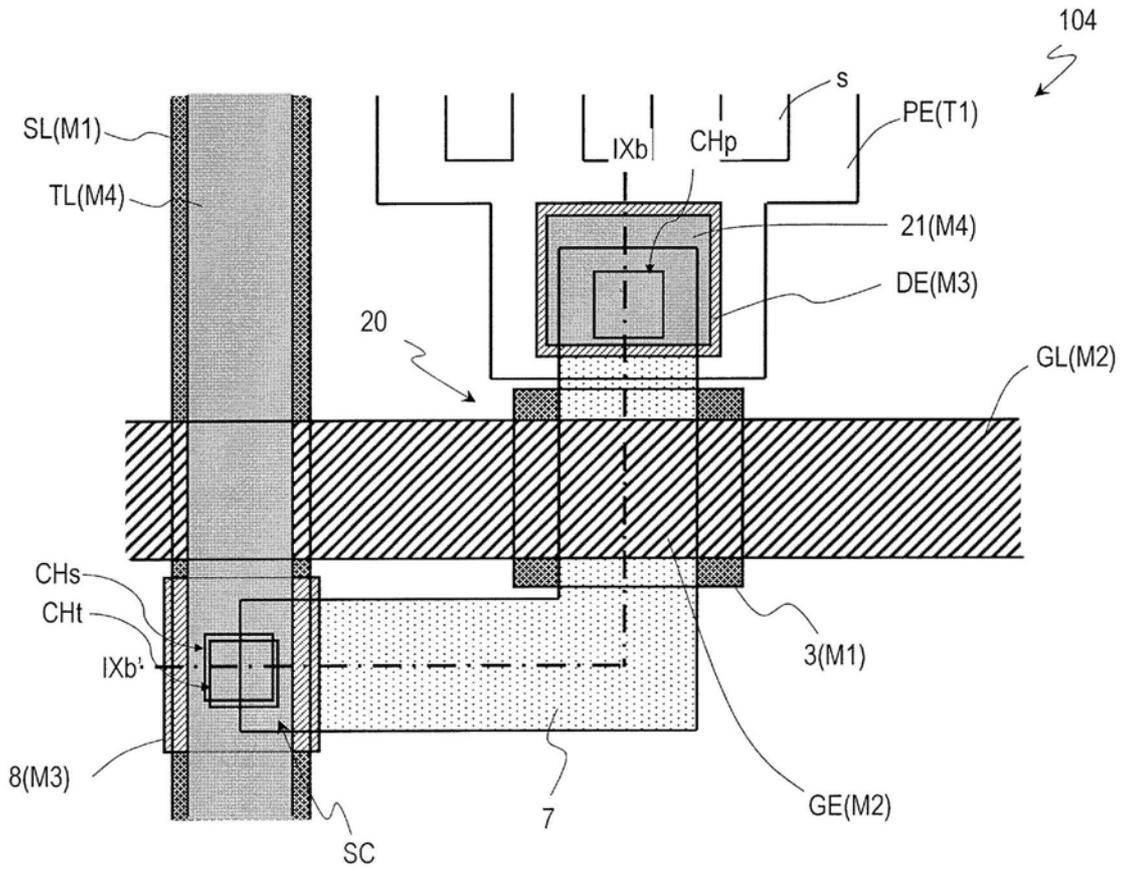


图9A

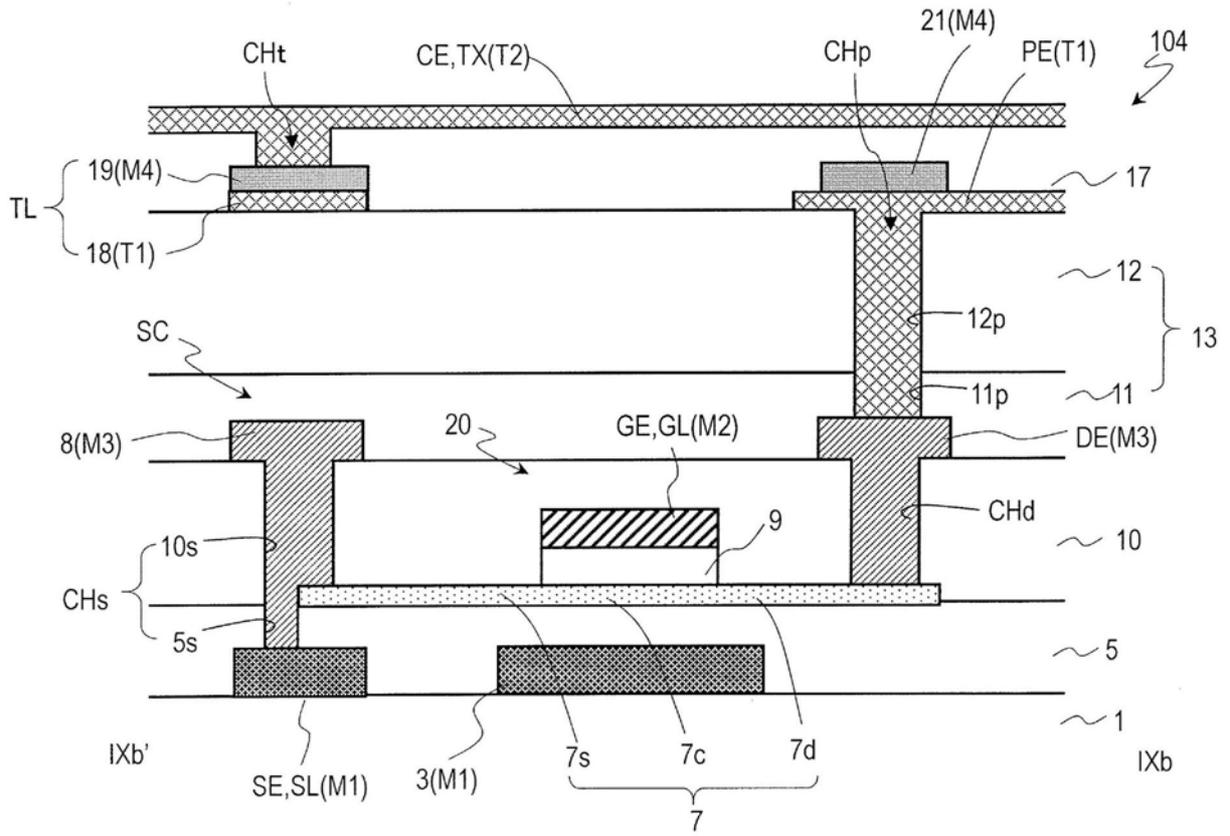


图9B

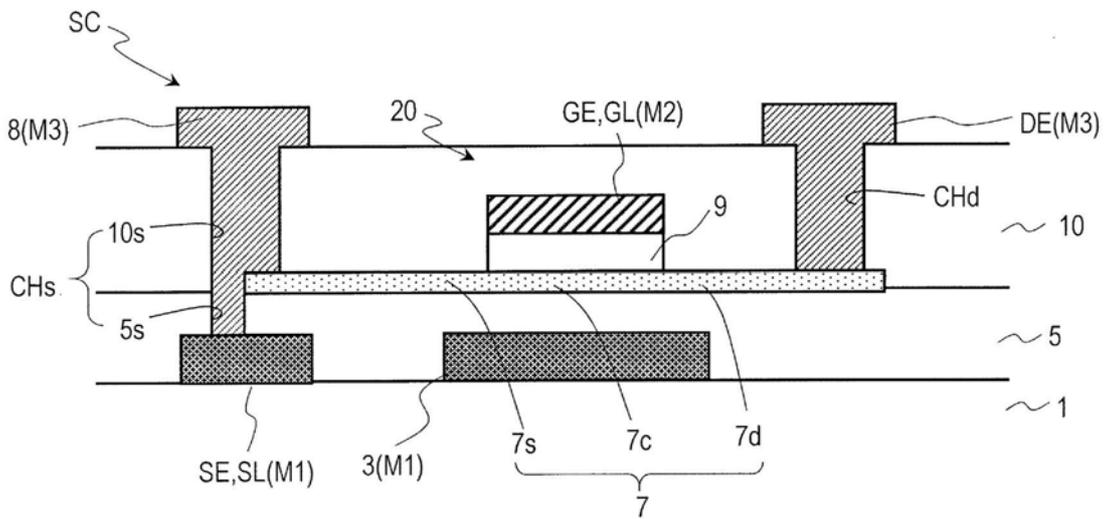


图10A

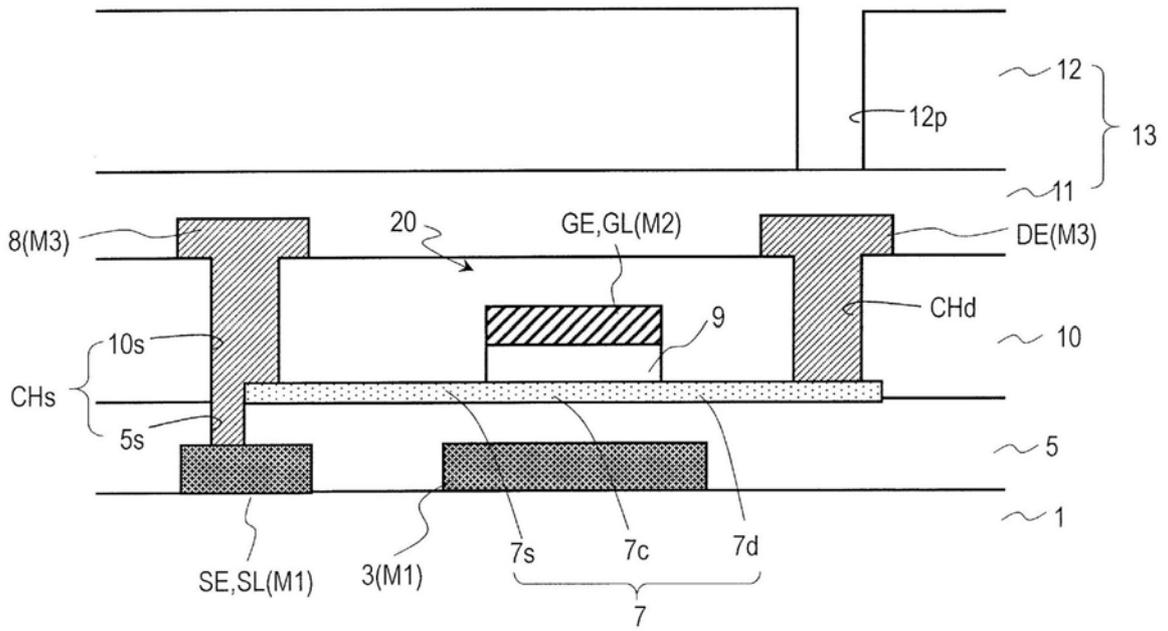


图10B

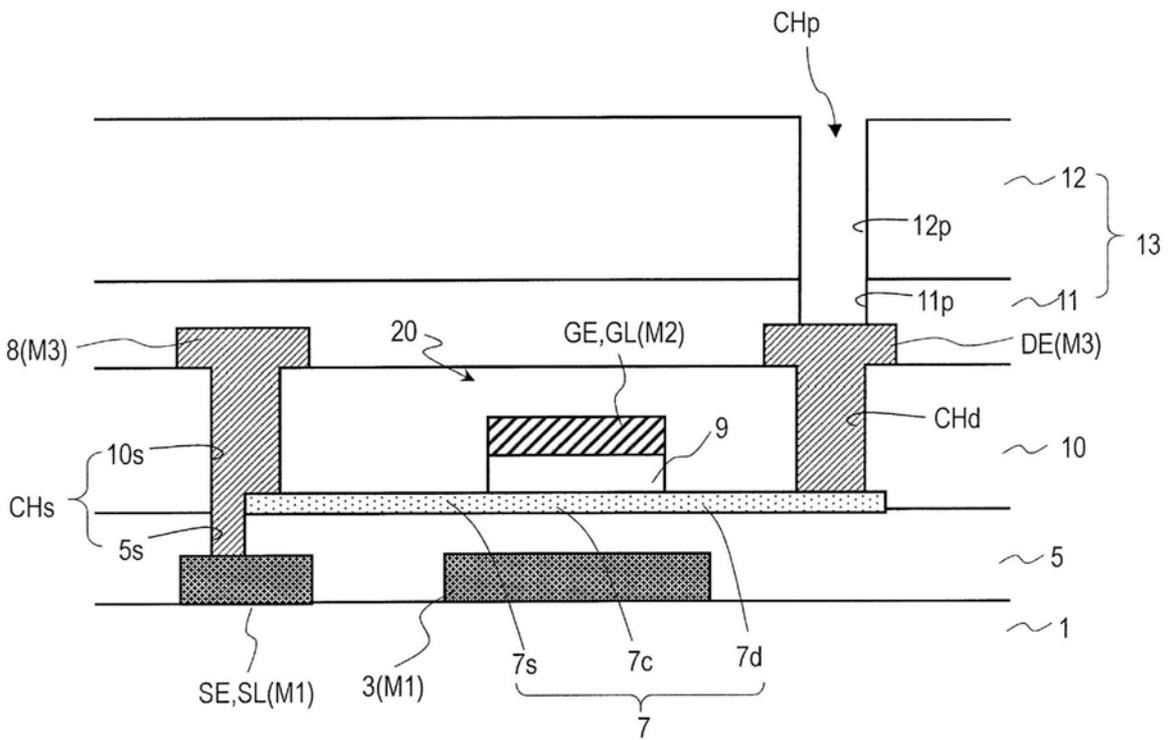


图10C

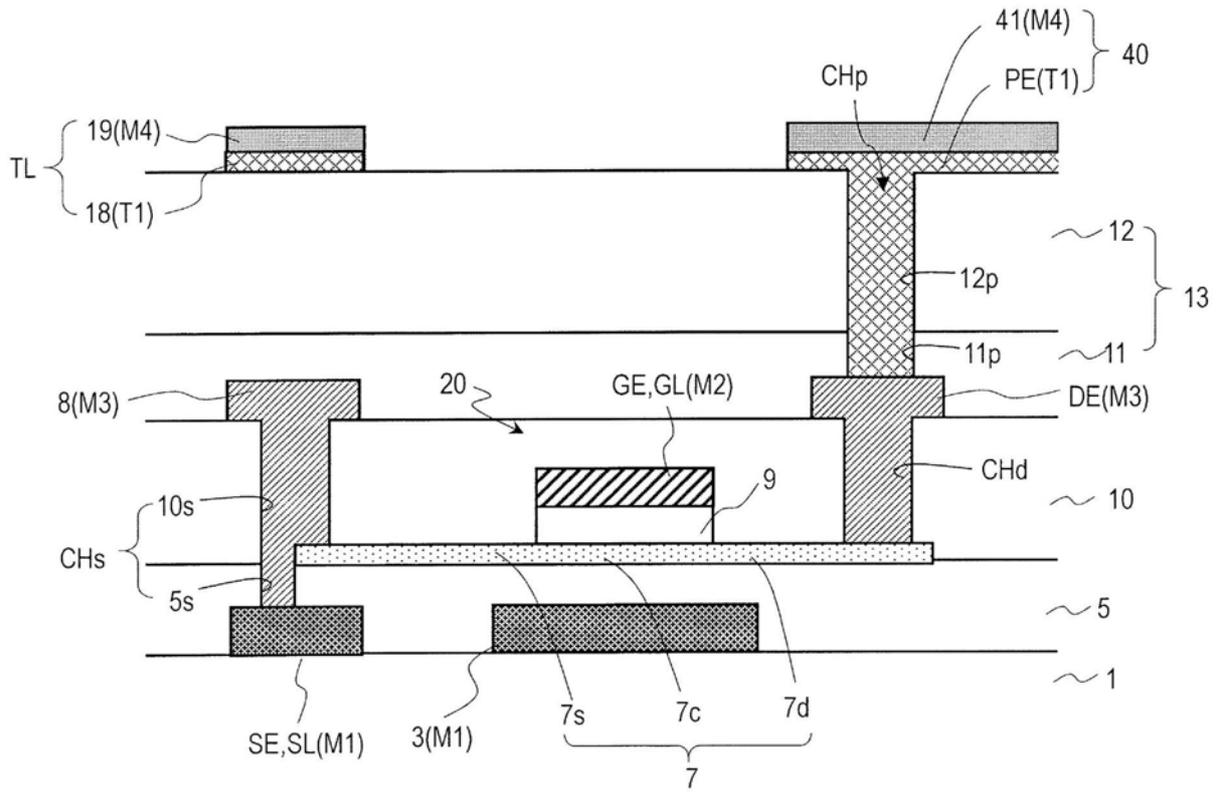


图10D

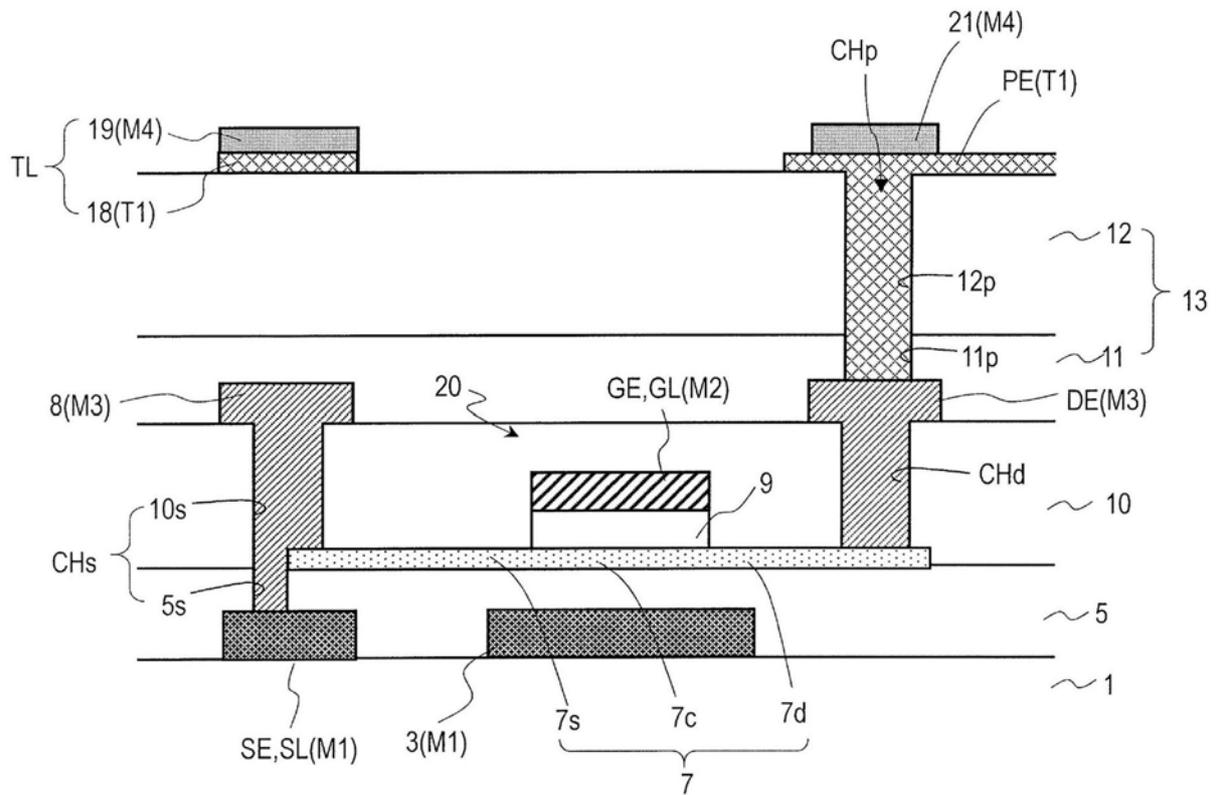


图10E

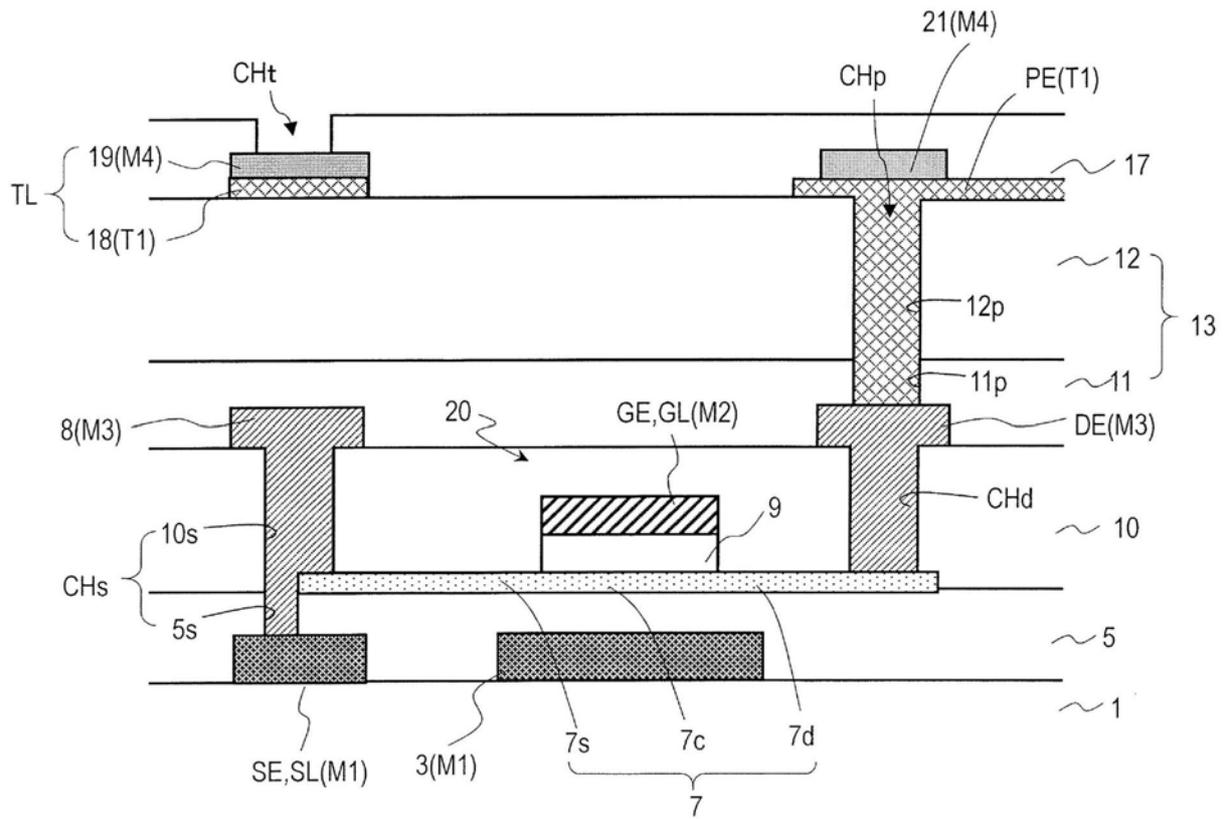


图10F

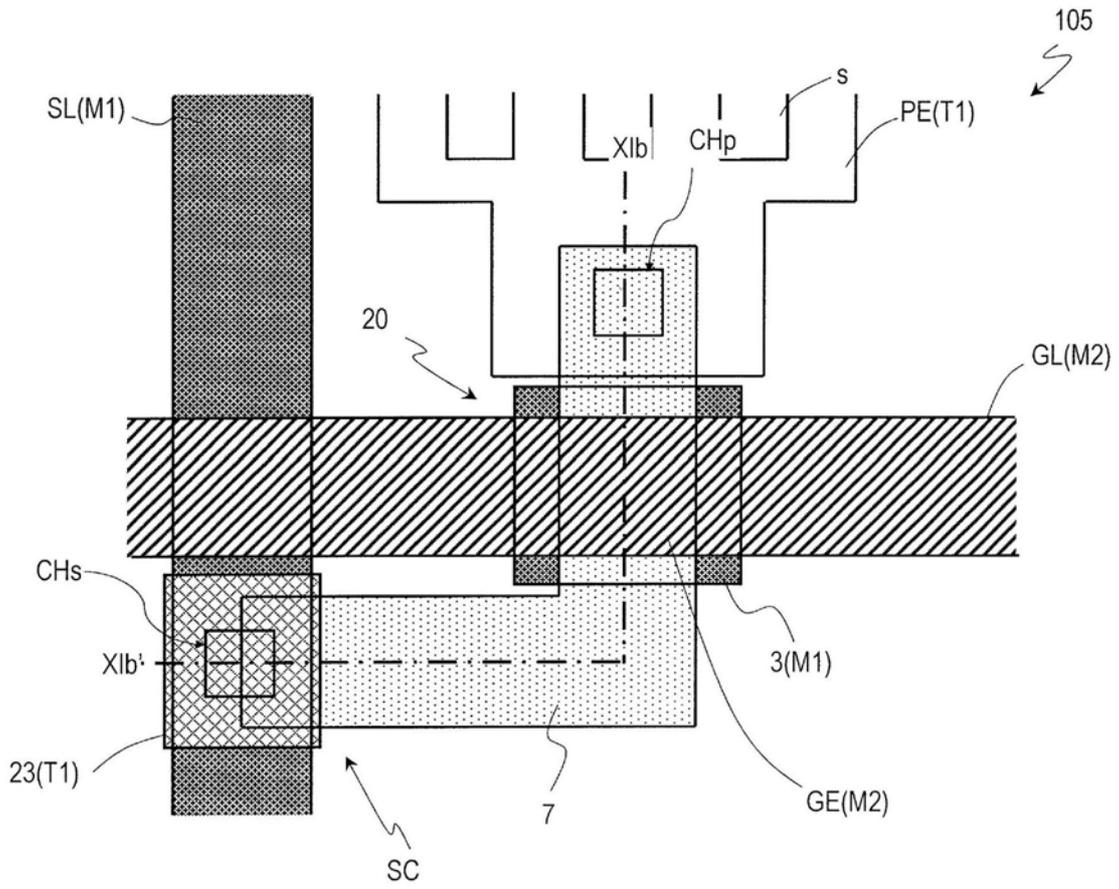


图11A

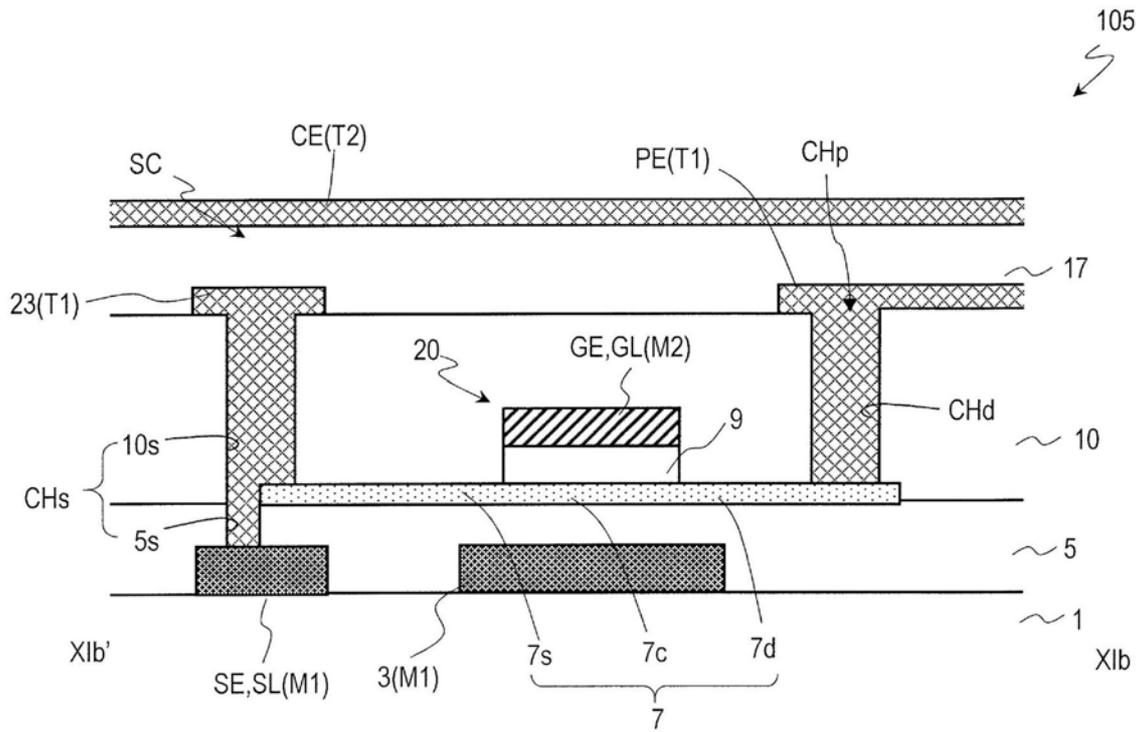


图11B



图12A

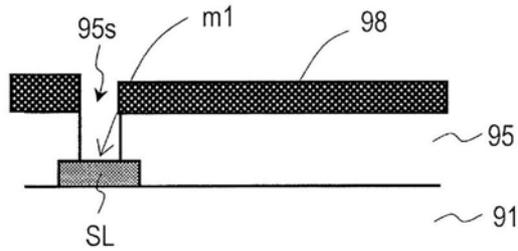


图12B

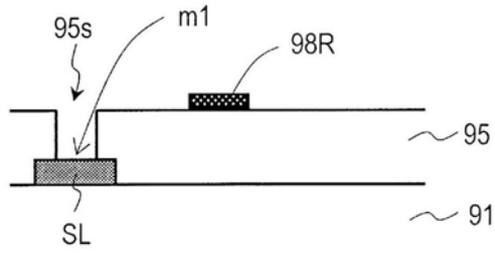


图12C

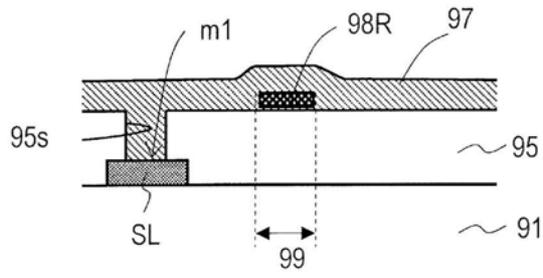


图12D

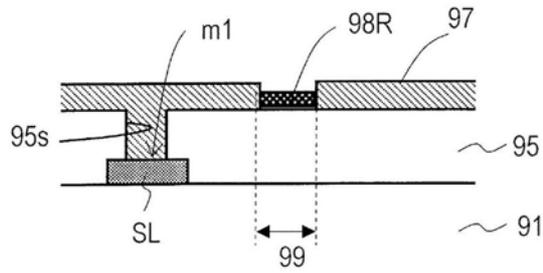


图12E

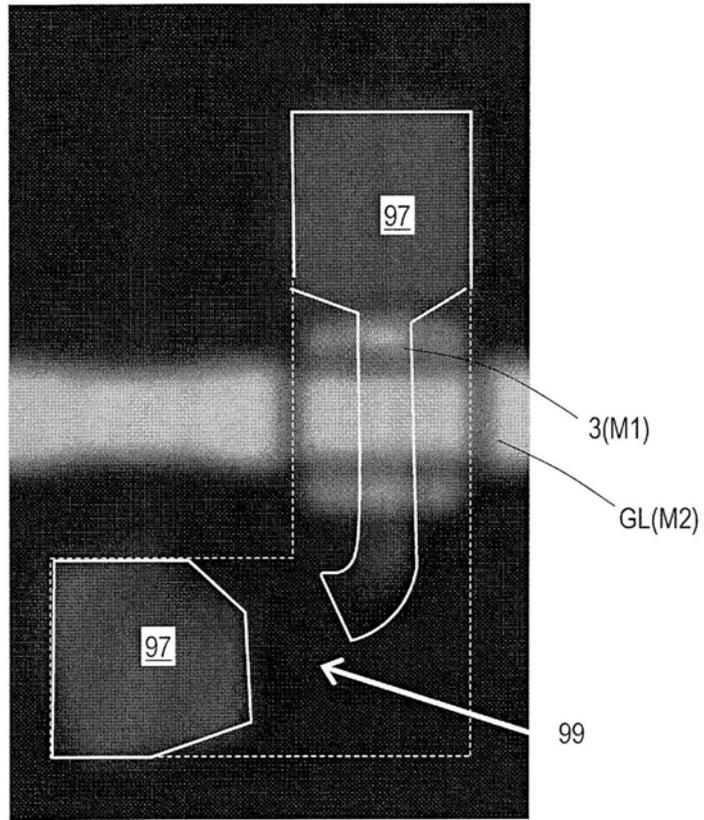


图13