

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4061654号
(P4061654)

(45) 発行日 平成20年3月19日(2008.3.19)

(24) 登録日 平成20年1月11日(2008.1.11)

(51) Int.Cl.	F I
HO2M 3/155 (2006.01)	HO2M 3/155 H

請求項の数 7 (全 23 頁)

(21) 出願番号	特願2005-506338 (P2005-506338)	(73) 特許権者	390013723 デンセイ・ラムダ株式会社 東京都品川区東五反田一丁目11番15号 電波ビルディング
(86) (22) 出願日	平成16年5月19日(2004.5.19)	(74) 代理人	100080089 弁理士 牛木 護
(86) 国際出願番号	PCT/JP2004/006730	(72) 発明者	竹上 栄治 東京都品川区東五反田1丁目11番15号 デンセイ・ラムダ株式会社内
(87) 国際公開番号	W02004/105222		
(87) 国際公開日	平成16年12月2日(2004.12.2)		
審査請求日	平成16年12月24日(2004.12.24)		
(31) 優先権主張番号	特願2003-145428 (P2003-145428)	審査官	服部 俊樹
(32) 優先日	平成15年5月22日(2003.5.22)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 パルス発生器

(57) 【特許請求の範囲】

【請求項1】

パルス幅を変動させた制御パルスを生成するパルス発生器において、その時間幅が単位時間毎に増減するパルス幅分解信号を出力する信号可変出力手段と、前記パルス幅分解信号の時間幅の増減を検知して、前記制御パルスのパルス幅を、前記単位時間よりも短い時間刻みに変動させる時間制御手段とを備え、

前記信号可変出力手段から出力されるパルス幅分解信号は、前記制御パルスのパルス幅に概ね一致した時間幅を有するパルス幅粗分解信号と、前記制御パルスのパルス幅を前記単位時間毎に調整するパルス幅細分解信号とにより構成され、前記時間制御手段は、前記パルス幅粗分解信号により前記制御パルスのパルス幅を概ね決定し、前記パルス幅細分解信号により前記制御パルスのパルス幅を前記単位時間よりも短い時間刻みで調整するものであることを特徴とするパルス発生器。

【請求項2】

前記パルス幅粗分解信号よりも先に前記パルス幅細分解信号を出力するように前記信号可変出力手段を構成すると共に、前記時間制御手段は、前記パルス幅粗分解信号が出力された後に、前記制御パルスのパルス幅を前記単位時間よりも短い時間刻みで調整するものであることを特徴とする請求項1記載のパルス発生器。

【請求項3】

入力電圧が所定の閾値を越えると前記制御パルスを生成するパルス生成手段を備え、前記時間制御手段は、前記パルス幅粗分解信号が出力開始されると、前記パルス幅細分解信号

10

20

に応じた電圧レベルに重畳して、所定の傾きで当該電圧レベルを上昇させるパルス生成信号を生成し、このパルス生成信号を前記入力電圧とすることにより、前記制御パルスのパルス幅を前記単位時間よりも短い時間刻みで調整するものであることを特徴とする請求項2記載のパルス発生器。

【請求項4】

前記時間制御手段は、前記パルス幅粗分解信号の出力開始時に、前記パルス幅細分解信号に応じた電圧レベルを発生するバイアス電圧生成手段を備えたことを特徴とする請求項3記載のパルス発生器。

【請求項5】

入力電圧が所定の閾値を越えると前記制御パルスを生成するパルス生成手段を備え、前記時間制御手段は、前記パルス幅粗分解信号が出力開始されると、前記パルス幅細分解信号に応じた電圧レベルに重畳して、前記閾値を越えたピーク値から所定の傾きで電圧レベルを低下させるパルス生成信号を生成し、このパルス生成信号を前記入力電圧とすることにより、前記制御パルスのパルス幅を前記単位時間よりも短い時間刻みで調整するものであることを特徴とする請求項2記載のパルス発生器。

【請求項6】

前記時間制御手段は、前記パルス幅粗分解信号の出力開始時に、前記パルス幅細分解信号に応じた電圧レベルを発生するバイアス電圧生成手段を備えたことを特徴とする請求項5記載のパルス発生器。

【請求項7】

パルス幅を変動させた制御パルスを生成するパルス発生器において、前記制御パルスのパルス幅に概ね一致した時間幅を有するパルス幅粗分解信号と、前記パルス粗分解信号との位相差が単位時間毎に増減するパルス幅細分解信号とを出力する信号可変出力手段と、前記パルス幅粗分解信号により前記制御パルスのパルス幅を概ね決定し、前記位相差の増減を検知して、前記制御パルスのパルス幅を、前記単位時間よりも短かい時間刻みに変動させる時間制御手段とを備えたことを特徴とするパルス発生器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば出力電圧に応じて帰還回路からの制御パルスのパルス幅（時間幅）を可変することにより、MOSFETなどのスイッチング素子のオン時間を調整して、出力電圧の安定化を図りつつスイッチング素子のスイッチング動作を行なうスイッチング電源装置や、同様のパルス幅可変制御をモータの回転速度や回転角度に対して行なうステップモータの制御パルス生成手段などに組み込まれ、当該制御パルスを発生するパルス発生器に関する。

【背景技術】

【0002】

従来、この種の制御パルスを発生するパルス発生器を利用した装置の例として、スイッチング電源装置が挙げられる。このようなスイッチング電源装置は、例えば特許文献1に示すように、スイッチング素子を備えたスイッチングレギュレータの被監視対象となる出力電圧と、基準電圧供給回路で生成された基準電圧との差を帰還回路によりデジタルデータ化し、このデジタルデータに含まれる帰還量を発振回路からのクロック信号に同期して処理した後に、この処理データをアナログレベルに変換した制御信号を帰還回路から駆動回路に供給することで、スイッチング素子に対して出力電圧に応じてパルス幅（時間幅）が変動する制御パルスとしてのパルス駆動信号が供給され、出力電圧の安定化を図るようにしている。また、この特許文献1では、出力電圧が急激に変化する過渡応答時には、発振回路の周波数が高くなり、それ以外の出力電圧が比較的安定している時には、発振回路の周波数を低くして、出力電圧の急変時における過渡応答特性を改善する考えも提案されている。

【特許文献1】：特開平4 - 322161号公報

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記構成のような帰還回路からの制御信号によりスイッチング素子をスイッチング動作させるスイッチング電源装置において、例えばスイッチング素子駆動回路からのパルス駆動信号が、図10に示すようなパルス発生器内におけるクロック信号のカウント値を基に生成される場合は、パルス駆動信号の立ち上がりと立ち下がりが、例えば階段状に変化するカウント値の立ち上がりや立ち下がりに同期しているため、パルス駆動信号のオン時間幅の最小変動値は、パルス発生器のクロック時間幅 T_{clk} に自ずと制限される。そのため、例えば入力電圧よりも低い出力電圧を取り出す降圧コンバータでは、パルス駆動信号の一周期を T_{sw} とし、入力電圧を V_i としたときに、出力電圧の最小変動値 V_o は、次の数1のようになる。

10

【0004】

[数1]

$$\Delta V_o = V_i \cdot \frac{T_{clk}}{T_{sw}}$$

しかし、上記数1からも明らかなように、装置の小型化を図るために、コンバータのスイッチング周波数を高く、すなわちパルス駆動信号の周期 T_{sw} を小さくしようとすると、被監視対象である例えば出力電圧の最小変動値 V_o が大きくなり、パルス発生器のクロック時間幅 T_{clk} を短くしない限り、出力電圧の設定精度が粗くなるという問題を生じていた。クロック時間幅 T_{clk} を短くするには、パルス発生器に具備された発振回路の周波数自体を低くしなければならないため、大幅な設計変更を要することとなってしまう。

20

【0005】

本願発明は上記問題点に鑑み、パルス発生器の単位時間となるクロック時間幅を短くしなくても、当該単位時間よりも短い時間刻みでのパルス幅制御を可能とするパルス発生器を提供することをその目的とする。

【課題を解決するための手段】

【0006】

本発明のパルス発生器は、パルス幅を変動させた制御パルスを生成するパルス発生器において、その時間幅が単位時間毎に増減するパルス幅分解信号を出力する信号可変出力手段と、前記パルス幅分解信号の時間幅の増減を検知して、前記制御パルスのパルス幅を、前記単位時間よりも短かい時間刻みに変動させる時間制御手段とを備えたことを特徴とする。

30

【0007】

この場合、信号可変出力手段からのパルス幅分解信号は、その時間幅が単位時間毎に増減するが、このパルス幅分解信号を受けた時間制御手段は、制御パルスの時間幅であるパルス幅を、単位時間よりも短かい時間刻みに変動させることができるので、制御パルスのパルス幅の分解能がパルス発生器自身の時間分解能である単位時間のクロック時間幅よりも向上する。そのため、パルス発生器の単位時間となるクロック時間幅をわざわざ短くしなくても、時間制御手段を付加するだけで、当該単位時間よりも短い時間刻みでのパルス幅制御が可能となる。

40

【0008】

また本発明のパルス発生器は、前記信号可変出力手段から出力されるパルス幅分解信号が、前記制御パルスのパルス幅に概ね一致した時間幅を有するパルス幅粗分解信号と、前記制御パルスのパルス幅を前記単位時間毎に調整するパルス幅細分解信号とにより構成され、前記時間制御手段は、前記パルス幅粗分解信号により前記制御パルスのパルス幅を概ね決定し、前記パルス幅細分解信号により前記制御パルスのパルス幅を前記単位時間よりも短かい時間刻みで調整するものであることを特徴とする。

50

【0009】

このようにすると、時間制御手段は、信号可変出力手段から発生するパルス幅粗分解信号によって、制御パルスの時間幅であるパルス幅を概ね決定し、微妙な制御パルスのパルス幅の調整を、同じ信号可変出力手段から得られる別のパルス幅細分解信号によって行なうことができる。したがって時間制御手段は、信号可変出力手段から発生する2つのパルス幅分解信号によって、制御パルスのパルス幅を単位時間よりも短かい時間刻みに変動させることができる。

【0010】

さらに本発明のパルス発生器は、前記パルス幅粗分解信号よりも先に前記パルス幅細分解信号を出力するように前記信号可変出力手段を構成すると共に、前記時間制御手段は、前記パルス幅粗分解信号が出力された後に、前記制御パルスのパルス幅を前記単位時間よりも短い時間刻みで調整するものであることを特徴とする。

10

【0011】

この場合、パルス幅細分解信号が出力され、さらにパルス幅粗分解信号が出力された後に、制御パルスの時間幅であるパルス幅が微妙に調整されることから、制御パルスのパルス幅がパルス幅細分解信号およびパルス幅粗分解信号の出力後に規定される。そのため、制御パルスのパルス幅が無用に長くなるのを防止できる。

【0012】

また本発明のパルス発生器は、入力電圧が所定の閾値を越えると前記制御パルスを生成するパルス生成手段を備え、前記時間制御手段は、前記パルス幅粗分解信号が出力開始されると、前記パルス幅細分解信号に応じた電圧レベルに重畳して、所定の傾きで当該電圧レベルを上昇させるパルス生成信号を生成し、このパルス生成信号を前記入力電圧とすることにより、前記制御パルスのパルス幅を前記単位時間よりも短い時間刻みで調整する構成となっている。

20

【0013】

このようにすると、制御パルスの時間幅であるパルス幅は、信号可変出力手段から発生するパルス生成信号とパルス生成手段に設定された閾値とによって決定される。パルス生成信号は、パルス幅細分解信号が出力開始してからパルス幅粗分解信号が出力開始するまでの時間が長くなるほど、パルス幅粗分解信号が出力開始した後、閾値に達するまでの遅れ時間が短くなって、制御パルスの生成を開始するタイミングが早くなるので、パルス幅細分解信号の出力開始のタイミングを変化させることにより、微妙な制御パルスのパルス幅の調整を行なうことができる。したがって、信号可変出力手段から発生する2つのパルス幅分解信号及びパルス生成手段に設定された閾値によって、制御パルスのパルス幅を単位時間よりも短かい時間刻みに変動させることができる。

30

【0014】

また本発明のパルス発生器は、入力電圧が所定の閾値を越えると前記制御パルスを生成するパルス生成手段を備え、前記時間制御手段は、前記パルス幅粗分解信号が出力開始されると、前記パルス幅細分解信号に応じた電圧レベルに重畳して、前記閾値を越えたピーク値から所定の傾きで電圧レベルを降下させるパルス生成信号を生成し、このパルス生成信号を前記入力電圧とすることにより、前記制御パルスのパルス幅を前記単位時間よりも短い時間刻みで調整する構成としている。

40

【0015】

このようにすると、制御パルスの時間幅であるパルス幅は、信号可変出力手段から発生するパルス生成信号とパルス生成手段に設定された閾値とによって決定される。パルス生成信号は、パルス幅細分解信号が出力開始してからパルス幅粗分解信号が出力開始するまでの時間が長くなるほど、パルス幅粗分解信号が出力開始した時点でのピーク値が高くなって、閾値に降下するまでの時間が長くなる。すなわち、パルス幅細分解信号の出力開始のタイミングを変化させることにより、制御パルスの生成が終了するタイミングを可変して、微妙な制御パルスのパルス幅の調整を行なうことができる。したがって、信号可変出力手段から発生する2つのパルス幅分解信号及びパルス生成手段に設定された閾値によ

50

て、制御パルスのパルス幅を単位時間よりも短かい時間刻みに変動させることができる。

【0016】

また本発明のパルス発生器は、前記時間制御手段が、前記パルス幅粗分解信号の出力開始時に、前記パルス幅細分解信号に応じた電圧レベルを発生するバイアス電圧生成手段を備えている。

【0017】

このようにすると、バイアス電圧生成手段は、パルス幅粗分解信号の出力開始時において、前記パルス幅細分解信号に応じた電圧レベル（言わば切片に相当）をパルス生成信号に与えることができるので、前記信号可変出力手段から、単位時間毎にオン時間または周期の異なるオンパルス群からなるパルス幅細分解信号が出力される場合でも、微妙な制御パルスのパルス幅の調整を行なうことができる。

10

【0018】

また本発明のパルス発生器は、パルス幅を変動させた制御パルスを生成するパルス発生器において、前記制御パルスのパルス幅に概ね一致した時間幅を有するパルス幅粗分解信号と、前記パルス粗分解信号との位相差が単位時間毎に増減するパルス幅細分解信号とを出力する信号可変出力手段と、前記位相差の増減を検知して、前記制御パルスのパルス幅を、前記単位時間よりも短かい時間刻みに変動させる時間制御手段とを備えている。

【0019】

この場合、信号可変出力手段からのパルス幅細分解信号は、パルス幅粗分解信号との位相差が単位時間毎に増減するが、この位相差を受けて時間制御手段は、制御パルスの時間幅であるパルス幅を、単位時間よりも短かい時間刻みに変動させることができるので、制御パルスのパルス幅の分解能がパルス発生器自身の時間分解能である単位時間のクロック時間幅よりも向上する。そのため、パルス発生器の単位時間となるクロック時間幅をわざわざ短くしなくても、時間制御手段を付加するだけで、信号可変出力手段から発生する2つのパルス幅分解信号によって、単位時間よりも短い時間刻みでのパルス幅制御が可能となる。

20

【0020】

また本発明のパルス発生器は、パルス幅を変動させた制御パルスを生成するパルス発生器において、入力電圧が所定の閾値を越えると前記制御パルスを生成するパルス生成手段と、動作電圧の電圧レベルを調整する動作電圧調整手段と、前記動作電圧を上限として電圧レベルを傾斜させるパルス生成信号を生成し、このパルス生成信号を前記入力電圧とすることにより、前記制御パルスのパルス幅を調整する時間制御手段とを備えたものである。

30

【0021】

この場合、時間制御手段からパルス生成手段に与えられるパルス生成信号は、動作電圧を上限としてその電圧レベルが傾斜上昇または傾斜下降するが、当該動作電圧は変動するので、単位時間毎に増減するパルス分解信号を基にパルス生成信号を得る場合であっても、この単位時間に依存することなく、単位時間よりも短い時間刻みでのパルス幅制御が可能となる。

【0022】

また本発明のパルス発生器は、パルス幅を変動させた制御パルスを生成するパルス発生器において、入力電圧が所定の閾値を越えると前記制御パルスを生成するパルス生成手段と、前記閾値の電圧レベルを調整する閾値電圧調整手段と、電圧レベルを傾斜させるパルス生成信号を生成し、このパルス生成信号を前記入力電圧とすることにより、前記制御パルスのパルス幅を調整する時間制御手段とを備えたものである。

40

【0023】

この場合、時間制御手段からパルス生成手段に与えられるパルス生成信号は、その電圧レベルが傾斜上昇または傾斜下降するが、パルス生成手段で設定される閾値の電圧レベルが変動するので、単位時間毎に増減するパルス分解信号を基にパルス生成信号を得る場合であっても、この単位時間に依存することなく、単位時間よりも短い時間刻みでのパルス

50

幅制御が可能となる。

【発明の効果】

【0024】

本発明のパルス発生器によれば、パルス発生器の単位時間となるクロック時間幅を短くしなくても、単位時間毎に時間幅が増減するパルス幅分解信号によって、当該単位時間よりも短い時間刻みでのパルス幅制御が可能となる。

【0025】

また本発明のパルス発生器によれば、信号可変出力手段からの2つのパルス幅分解信号によって、制御パルスのパルス幅を単位時間よりも短い時間刻みに変動させることができる。

10

【0026】

さらに本発明のパルス発生器によれば、制御パルスのパルス幅がパルス幅細分解信号およびパルス幅粗分解信号の出力後に規定されるため、制御パルスのパルス幅が無用に長くなるのを防止できる。

【0027】

また本発明のパルス発生器によれば、信号可変出力手段から発生する2つのパルス幅分解信号及びパルス生成手段に設定された閾値によって、制御パルスのパルス幅を単位時間よりも短い時間刻みに変動させることができる。

【0028】

また本発明のパルス発生器によれば、単位時間毎にオン時間または周期の異なるオンパルス群からなるパルス幅細分解信号が出力される場合でも、微妙な制御パルスのパルス幅の調整を行なうことができる。

20

【0029】

また本発明のパルス発生器によれば、パルス発生器の単位時間となるクロック時間幅をわざわざ短くしなくても、パルス幅細分解信号とパルス幅粗分解信号との間に位相差を持たせることで、信号可変出力手段から発生する2つのパルス幅分解信号によって、単位時間よりも短い時間刻みでのパルス幅制御が可能となる。

【0030】

また本発明のパルス発生器によれば、動作電圧を変動させることで、単位時間毎に増減するパルス分解信号を基にパルス生成信号を得る場合であっても、この単位時間に依存することなく、単位時間よりも短い時間刻みでのパルス幅制御が可能となる。

30

【0031】

また本発明のパルス発生器によれば、パルス生成手段で設定される閾値の電圧レベルを変動させることで、単位時間毎に増減するパルス分解信号を基にパルス生成信号を得る場合であっても、この単位時間に依存することなく、単位時間よりも短い時間刻みでのパルス幅制御が可能となる。

【発明を実施するための最良の形態】

【0032】

以下、添付図面を参照しながら、本発明におけるパルス発生器の好ましい各実施例を説明する。なお、これらの各実施例において、同一箇所には同一符号を付し、共通する部分の説明は重複するため極力省略する。

40

【実施例1】

【0033】

以下、本発明の好ましいパルス発生器を利用したスイッチング電源装置の一実施例について、添付図面である図1および図2を参照して詳細に説明する。

【0034】

装置の全体構成を示す図1において、1, 2は直流入力電源3からの入力電圧 V_i が印加される一対の入力端子で、入力端子1, 2の両端間には、例えばMOS型FETなどからなるスイッチング素子4とダイオード5との直列回路が接続されると共に、ダイオード5の両端間には、チョークコイル6とコンデンサ7とからなる別の直列回路が接続される

50

。また、コンデンサ 7 の両端には一対の出力端子 8 , 9 が接続され、前記スイッチング素子 4 , ダイオード 5 , チョークコイル 6 およびコンデンサ 7 により、入力端子 1 , 2 間の入力電圧 V_i よりも低い出力電圧 V_o を出力端子 8 , 9 間から負荷 10 に供給する降圧コンバータ 11 を構成している。すなわちこの降圧コンバータ 11 は、スイッチング素子 4 のオン期間中にダイオード 5 をオフして、チョークコイル 6 にエネルギーを蓄え、スイッチング素子 4 のオフ期間中にダイオード 5 をオンして、チョークコイル 6 に蓄えられたエネルギーを放出することで、平滑用のコンデンサ 7 の両端間に発生する出力電圧 V_o を、出力端子 8 , 9 から負荷 10 に供給する構成となっている。

【 0 0 3 5 】

なお、本実施例ではトランスの存在しない非絶縁型の降圧コンバータ 11 について説明したが、代わりに非絶縁型の昇圧コンバータや昇降圧コンバータを組み込んでもよい。さらに、トランスを介在して入力側と出力側を絶縁する絶縁型のコンバータ（フォワードコンバータ、フライバックコンバータなど）を用いてもよい。

【 0 0 3 6 】

一方、出力電圧 V_o を安定化するパルス発生器に相当する帰還回路 21 として、本実施例では出力電圧 V_o を分圧して検出信号を出力するために、出力端子 8 , 9 間に接続された出力電圧検出回路としての分圧抵抗 12 , 13 と、前記検出信号の電圧レベルと基準電源 15 の基準電圧とを比較して、その比較結果を出力するコンパレータ 16 と、コンパレータ 16 からの比較結果を受けて、基準となるクロック信号の単位時間（クロック時間幅 T_{clk} ）刻みに、その時間幅が増減するパルス幅細分解信号 V_s を出力する信号可変出力手段としての DSP（デジタル信号処理器）17 と、DSP 17 からのパルス幅細分解信号 V_s の時間幅の増減を、同じく DSP 17 から別に出力されるパルス幅粗分解信号 V_m との時間差により検知し、前記クロック信号の単位時間よりも短い時間幅で、スイッチング素子 4 に供給するパルス駆動信号の時間幅を変動させるような変化部 30 , 31（図 2 参照）を、パルス生成信号としての制御信号 V_d に生成する時間制御手段としての時間制御回路 18 と、時間制御回路 18 で生成された制御信号 V_d の第 2 の変化部 31 が閾値 V_{d_th} に達すると、スイッチング素子 4 にオンパルスのパルス駆動信号 V_g を供給するパルス生成手段としての駆動回路 20 をそれぞれ備えている。とりわけ本実施例では、新規な時間制御回路 18 を備えた点が着目される。すなわち本実施例における時間制御回路 18 は、DSP 17 で生成される時間の刻み幅が大きい 2 つのパルス出力（パルス幅細分解信号 V_s およびパルス幅粗分解信号 V_m ）から、時間の刻み幅がパルス出力よりも小さい制御信号 V_d を生成する機能を備えている。

【 0 0 3 7 】

図 2 は、上段よりパルス幅細分解信号 V_s , パルス幅粗分解信号 V_m , 制御信号 V_d およびパルス駆動信号 V_g の各波形を示している。この図からも明らかなように、前記 DSP 17 からは、同じ周波数のパルス幅細分解信号 V_s およびパルス幅粗分解信号 V_m が出力される。また、パルス幅粗分解信号 V_m のオン時間 T_{on_m} は出力電圧 V_o の急変などにより変動すると共に、パルス幅細分解信号 V_s のオン時間 T_{on_s} も被監視対象の監視結果である出力電圧 V_o が上昇するとクロック時間幅 T_{clk} 毎に短くなり、出力電圧 V_o が低下するとクロック時間幅 T_{clk} 毎に長くなる。さらに、パルス幅細分解信号 V_s およびパルス幅粗分解信号 V_m は同時に立ち下がり、パルス幅細分解信号 V_s の立ち上がり時間がオン時間 T_{on_s} の変動に伴って可変するようになっている。なお、DSP 17 に動作電圧 V_{cc} が印加されている関係で、パルス幅細分解信号 V_s およびパルス幅粗分解信号 V_m は、同じ動作電圧 V_{cc} の電圧レベルを有するオンパルスを出力する。

【 0 0 3 8 】

時間制御回路 18 の構成を説明すると、パルス幅細分解信号 V_s が発生する DSP 17 の一方の出力端子と駆動回路 20 の入力端子との間には、抵抗 R_{11} と逆並列接続された放電用のダイオード D_1 との並列回路が挿入接続され、またパルス幅粗分解信号 V_m が発生する DSP 17 の他方の出力端子と駆動回路 20 の入力端子との間には、別な抵抗 R_{12} と逆流防止用のダイオード D_2 との直列回路が挿入接続される。さらに、駆動回路 20

10

20

30

40

50

の入力端子に繋がる抵抗 R_{11} と抵抗 R_{12} の一端には、共通するコンデンサ C の一端が接続され、このコンデンサ C の他端が接地ラインに接続される。駆動回路 20 の入力端子に発生する制御信号 V_d の電圧レベルは、コンデンサ C の端子間電圧に一致する。

【0039】

前記抵抗 R_{11} とコンデンサ C との直列回路は、パルス幅細分解信号 V_s のオン時間 T_{on_s} に比例して制御信号 V_d の電圧レベルを上昇させる第 1 の時間 - 電圧変換回路に相当する。また、抵抗 R_{12} とコンデンサ C との直列回路は、パルス幅粗分解信号 V_m のオン時間 T_{on_m} に比例して制御信号 V_d の電圧レベルを上昇させる第 2 の時間 - 電圧変換回路に相当する。そして図 2 に示すように、パルス幅細分解信号 V_s が立ち上がったからパルス幅粗分解信号 V_m が立ち上がるまでの状態 1 では、パルス幅細分解信号 V_s のオンパルスにより抵抗 R_{11} を経由してコンデンサ C が充電され、制御信号 V_d が零から傾斜上昇する第 1 の変化部 30 が形成される。また、パルス幅粗分解信号 V_m が立ち上がった後の状態 2 では、パルス幅細分解信号 V_s のオンパルスにより抵抗 R_{11} を経由してコンデンサ C が充電されるのに加えて、パルス幅粗分解信号 V_m のオンパルスにより抵抗 R_{12} を経由してコンデンサ C が充電され、第 1 の変化部 30 よりも急に傾斜上昇する第 2 の変化部 31 が制御信号 V_d に形成される。そしてこの場合は、パルス幅粗分解信号 V_m が立ち上がったから、第 2 の変化部 31 によって制御信号 V_d の電圧レベルが閾値 V_{d_th} に達するまでの状態 2 の時間 T_d が、パルス幅細分解信号 V_s のオン時間 T_{on_s} の増減に伴ない、前記クロック時間幅 T_{clk} よりも短い時間幅刻みで増減するように、抵抗 R_{11} , R_{12} の抵抗値およびコンデンサ C の容量を設定している。

【0040】

なお、本実施例の帰還回路 21 は、被監視対象を出力電圧 V_o として、この出力電圧 V_o を安定化させるために、パルス駆動信号 V_g のオンパルス幅を可変制御しているが、例えばピーク電流制御の帰還回路のように、被監視対象が出力電圧 V_o のみならず、転流用のダイオード 5 またはチョークコイル 6 を流れる電流を被監視対象として含めたものでもよい。

【0041】

次に、上記構成についてその作用を説明する。駆動信号 20 からのパルス駆動信号をスイッチング素子 4 に供給すると、このスイッチング素子 4 がスイッチング動作して、入力電圧 V_i よりも低い出力電圧 V_o が平滑用のコンデンサ 7 の両端間に発生する。この出力電圧 V_o は出力端子 8 , 9 に接続される負荷 10 に供給される。

【0042】

一方、帰還回路 21 は前述のように、出力電圧 V_o の変動を監視して、この出力電圧 V_o が安定化するように駆動回路 20 からのパルス駆動信号 V_g のオンパルス幅を可変制御する。より具体的には、分圧抵抗 12 , 13 によって出力電圧 V_o を分圧した検出信号の電圧レベルと基準電源 15 の基準電圧が、コンパレータ 16 により比較され、この比較した信号出力が DSP 17 の入力端子に供給される。DSP 17 はこの信号出力を受けて、クロック時間幅 T_{clk} を単位時間としてオン時間 T_{on_s} が増減するパルス幅細分解信号 V_s のオンパルスが、一方の出力端子から発生すると共に、このパルス幅細分解信号 V_s の立ち上がり後に、一定のオン時間 T_{on_m} を有するパルス幅粗分解信号 V_m のオンパルスが、他方の出力端子から発生する。

【0043】

ここで時間制御回路 18 は、図 2 に示す状態 1 において、パルス幅細分解信号 V_s のオンパルスが立ち上がると、抵抗 R_{11} を介してコンデンサ C への充電を開始する。このとき制御信号 V_d の電圧レベルは、パルス幅細分解信号 V_s のオンパルスの電圧レベルが動作電圧 V_{cc} に等しい関係で、時間 t が経過するに従って傾斜上昇する第 1 の変化部 30 が形成される。この制御信号 V_d の電圧レベルを線形近似すると、次の数 2 のように表すことができる。

【0044】

[数2]

$$V_d \cong V_{cc} \cdot \frac{t}{R_{11} \cdot C}$$

したがって、パルス幅粗分解信号 V_m のオンパルスが立ち上がる時点での制御信号 V_d の電圧レベル V_{d1} は、パルス幅細分解信号 V_s のオン時間 T_{on_s} が長くなるほど高くなり、次の数3に示すようになる。

【0045】

[数3]

$$V_{d1} \cong V_{cc} \cdot \frac{(T_{on_s} - T_{on_m})}{R_{11} \cdot C}$$

10

パルス幅粗分解信号 V_m のオンパルスが立ち上がる状態2になると、抵抗 R_{11} のみならず抵抗 R_{12} をも経路してコンデンサ C が充電され、このコンデンサ C の両端間電圧である制御信号 V_d の電圧レベルは、それまでの第1の変化部30よりも一段と急に傾斜上昇する第2の変化部31へと移行する。このときの制御信号 V_d の電圧レベルを線形近似すると、次の数式4に示すようになる。

【0046】

[数4]

$$V_d \cong V_{cc} \cdot \frac{t}{(R_{11} // R_{12}) \cdot C} + V_{d1}$$

20

但し、ここでの t は状態2に移行してからの時間であり、また $R_{11} // R_{12}$ は、並列接続される抵抗 R_{11} , R_{12} の合成抵抗値で、次の数5にて表わせる。

【0047】

[数5]

$$R_{11} // R_{12} = \frac{R_{11} \cdot R_{12}}{R_{11} + R_{12}}$$

30

したがって、制御信号 V_d の第2の変化部31の電圧レベルが閾値 V_{d_th} に達し、駆動回路20からのパルス駆動信号 V_g が立ち上がる時点での前記数4の線形近似式は、次の数6にて表わせる。

【0048】

[数6]

$$V_{d_th} \cong V_{cc} \cdot \frac{T_d}{(R_{11} // R_{12}) \cdot C} + V_{d1}$$

40

但し、 T_d はパルス幅粗分解信号 V_m のオンパルスが立ち上がってから、制御信号 V_d の電圧レベルが閾値 V_{d_th} に達するまでの状態2の時間である。

【0049】

制御信号 V_d の電圧レベルが閾値 V_{d_th} に達した後は、コンデンサ C がさらに充電され、パルス幅細分解信号 V_s およびパルス幅粗分解信号 V_m のオンパルスが同時に立ち下がるまで、制御信号 V_d は閾値 V_{d_th} よりも高い電圧レベルを維持する。したがって駆動回路20は、制御信号 V_d の電圧レベルが閾値 V_{d_th} に達してから、パルス幅細分解信号 V_s およびパルス幅粗分解信号 V_m のオンパルスが同時に立ち下がるまでの間

50

、オンパルスのパルス駆動信号 V_g をスイッチング素子 4 に供給し、スイッチング素子 4 がオンする。

【 0 0 5 0 】

その後、パルス幅細分解信号 V_s およびパルス幅粗分解信号 V_m のオンパルスが同時に立ち下がると、スイッチング素子 4 はターンオフする。その後、双方の信号 V_s , V_m が共にオフになる時間が設けられ、コンデンサ C に蓄えられていた電荷が、ダイオード D_1 を経由して $DSP17$ から速やかに放電されるので、制御信号 V_d の電圧レベルは零に戻り、次の状態 1 を待機する。すなわち、制御信号 V_d の電圧レベルが閾値 V_{d_th} に達してから、パルス幅細分解信号 V_s およびパルス幅粗分解信号 V_m のオンパルスが立ち下がるまでの時間が、パルス駆動信号 V_g のオン時間 T_x に相当し、これはスイッチング素子 4 のオン時間に一致する。

10

【 0 0 5 1 】

前記数 6 を変形すると、状態 2 の時間 T_d は次の数 7 のように表わせる。

【 0 0 5 2 】

$$T_d \simeq \frac{\text{[数7]} \{(R11//R12) \cdot C\} \cdot (V_{d_th} - V_{d1})}{V_{cc}}$$

$$\frac{(R11//R12) \cdot C \cdot V_{d_th}}{V_{cc}} \quad \frac{(R11//R12) \cdot (T_{on_s} - T_{on_m})}{R11}$$

20

上記数 7 によれば、パルス駆動信号 V_g のオンパルスが立ち上がる制御信号 V_d の閾値 V_{d_th} と、動作電圧 V_{cc} と、パルス幅粗分解信号 V_m のオン時間 T_{on_m} と、抵抗 $R11$, $R12$ の抵抗値と、コンデンサ C の容量が一定であるとする、パルス幅細分解信号 V_s のオン時間 T_{on_s} が最小単位のクロック時間幅 T_{clk} ($= T_{on_smin}$) だけ増加または減少したときの、状態 2 の最小時間変化幅 T_d は、次の数 8 にて表わせる。

【 0 0 5 3 】

[数8]

$$\Delta T_d \simeq \frac{(R11//R12) \cdot \Delta T_{on_smin}}{R11}$$

30

上記数 8 において、状態 2 における最小時間変化幅 T_d は、パルス駆動信号 V_g のオンパルスの最小時間変化幅に一致するので、図 1 に示すような時間制御回路 18 の構成で、抵抗 $R11$, $R12$ の抵抗値を調整すれば、クロック時間幅 T_{clk} を最小単位としてその時間幅が不連続に変動するパルス幅細分解信号 V_s に対して、パルス駆動信号 V_g のオンパルスの最小時間変化幅を、クロック時間幅 T_{clk} よりも短い任意の値に設定でき、スイッチング素子 4 のスイッチング周波数が高くなっても、出力電圧 V_o の設定精度は低下しない。数 8 によれば、パルス駆動信号 V_g のオンパルスの最小時間変化幅 T_d を小さくしたい場合には、抵抗 $R11$ の抵抗値を大きくし、抵抗 $R12$ の抵抗値を小さくすればよい。なお、パルス幅細分解信号 V_s のオン時間 T_{on_s} を一定として、パルス幅細分解信号 V_s とパルス幅粗分解信号 V_m との位相差を変化させる所謂位相シフトにより、最小時間変化幅 T_d を調節することも可能である。また、数 3 , 数 4 で示したように V_{d1} , V_d は、 V_{CC} の値に比例して変化するため、例えば PCM 変調 , D/A 変換 , オペアンプ等の周知の動作電圧可変手段により、 $DSP17$ の動作電圧 V_{cc} の値を調整してもよい。さらに、駆動回路 20 に閾値可変手段を設けて、当該閾値 V_{d_th} を可変するようにしてもよい。こうした例は、後ほど詳述する。

40

【 0 0 5 4 】

因みに、上記一連の作用を達成するには、以下に示すような設計条件が必要となる。先ず、 $DSP17$ の構成に関し、パルス幅細分解信号 V_s のオン時間 T_{on_s} は、どのよ

50

うに変動してもパルス幅粗分解信号 V_m のオン時間 T_{on_m} よりも長く ($T_{on_s} - T_{on_m} > 0$) する。そのようにしないと、上記数 3 から明らかなように、状態 1 の時間に見合う制御信号の電圧レベル V_{d1} が生成されないからである。

【0055】

また、上記数 8 において、状態 2 の最小時間変化幅 T_d は、パルス幅細分解信号 V_s の最小変動単位時間であるクロック時間幅 T_{clk} ($= T_{on_smin}$) 以下になるように、時間制御回路 18 を構成する抵抗 R_{11} , R_{12} の抵抗値を設定しなければならない。そうしないと、パルス駆動信号 V_g のオンパルスの時間分解能が、DSP17 で生成されるパルス幅細分解信号 V_s やパルス幅粗分解信号 V_m の時間分解能よりも低下して、所望の目的を達成しないからである。

10

【0056】

さらに、パルス駆動信号 V_g のオンパルスが立ち上がる制御信号 V_d の閾値 V_{d_th} は、パルス幅粗分解信号 V_m のオンパルスが立ち上がる時点での制御信号 V_d の電圧レベル V_{d1} を越えていなければならないので、パルス幅細分解信号 V_s のオン時間 T_{on_s} がどのように変動しても、次の数 9 の条件を満たす必要がある。

【0057】

[数9]

$$\frac{V_{cc} \cdot (T_{on_s} - T_{on_m})}{R_{11} \cdot C} < V_{d_th}$$

20

上記条件を満たすには、第 1 の時間 - 電圧変換回路を構成する抵抗 R_{11} の抵抗値またはコンデンサ C の容量を適宜設定して、第 1 の変化部 30 を好ましい勾配に調整すればよい。

【0058】

なお、実施例では駆動回路 20 からのパルス駆動信号 V_g のオンパルスによってスイッチング素子 4 をオンするように構成しているが、スイッチング素子 4 をオンするに十分な制御信号 V_d がスイッチング素子 4 に与えられるならば、駆動回路 20 を省略して制御信号 V_d をスイッチング素子 4 の制御端子 (例えば、MOS 型 FET のゲート) に直接供給してもよい。この場合、制御信号 V_d が制御パルスに相当し、スイッチング素子 4 がオンする制御信号 V_d の閾値 V_{d_th} は、駆動回路 20 ではなくスイッチング素子 4 自身の特性に依存する。また、図 1 の回路図において、DSP17 の内部に基準電源 15 とコンパレータ 16 とを組み込んでもよい。

30

【0059】

以上のように本実施例によれば、例えば出力電圧 V_o などの被監視対象の変動に応じて、パルス幅たる時間幅 T_x を変動させた制御パルスとしてのパルス駆動信号 V_g を生成するパルス発生器に相当する帰還回路 21 において、その時間幅 T_{on_s} が被監視対象の変動に応じて単位時間であるクロック時間幅 T_{clk} 毎に増減するパルス幅分解信号 (パルス幅細分解信号 V_s およびパルス幅粗分解信号 V_m) を出力する信号可変出力手段としての DSP17 と、パルス幅分解信号の特にパルス幅細分解信号 V_s の時間幅 T_{on_s} の増減を検知して、パルス駆動信号 V_g の時間幅 T_x を、単位時間であるクロック時間幅 T_{clk} よりも短い時間刻みに変動させる時間制御手段としての時間制御回路 18 とを備えている。すなわち時間制御回路 18 は、パルス幅細分解信号 V_s およびパルス幅粗分解信号 V_m により、クロック時間幅 T_{clk} よりも短い時間 T_d 刻みにパルス駆動信号 V_g の時間幅 T_x を変動させる変化部 30, 31 を制御信号 V_d に生成する機能を備えている。

40

【0060】

この場合、DSP17 からのパルス幅細分解信号 V_s は、その時間幅 T_{on_s} がクロック時間幅 T_{clk} 毎に増減するが、このパルス幅細分解信号 V_s を受けた時間制御回路 18 は、パルス駆動信号 V_g の時間幅 T_x を、クロック時間幅 T_{clk} よりも短い時間刻みに変動させることができるので、パルス駆動信号 V_g の時間幅 T_x の分解能が DSP

50

17については帰還回路21自身の時間分解能であるクロック時間幅 T_{clk} よりも向上する。そのため、DSP17の単位時間となるクロック時間幅 T_{clk} をわざわざ短くしなくても、時間制御回路18を付加するだけで、当該クロック時間幅 T_{clk} よりも短い時間刻みでのパルス幅制御が可能となる。

【0061】

また、本実施例では、DSP17から出力されるパルス幅分解信号は、パルス駆動信号 V_g の時間幅 T_x に概ね一致した時間幅 T_{on_m} を有するパルス幅粗分解信号 V_m と、パルス駆動信号 V_g の時間幅 T_x を前記単位時間毎に調整する時間幅 T_{on_s} を有するパルス幅細分解信号 V_s とにより構成され、時間制御回路18は、パルス幅粗分解信号 V_m によりパルス駆動信号 V_g の時間幅 T_x を概ね決定し、パルス幅細分解信号 V_s によりパルス駆動信号 V_g の時間幅 T_x をクロック時間幅 T_{clk} よりも短かい時間刻みで調整するよう構成している。

10

【0062】

このようにすると、時間制御回路18は、DSP17から発生するパルス幅粗分解信号 V_m によって、パルス駆動信号 V_g の時間幅 T_x を概ね生成し、微妙なパルス駆動信号 V_g の時間幅 T_x の調整を、同じDSP17から得られる別のパルス幅細分解信号 V_s によって行なうことができる。したがって時間制御回路18は、DSP17から発生する2つのパルス幅分解信号 V_m 、 V_s によって、パルス駆動信号 V_g の時間幅 T_x をクロック時間幅 T_{clk} よりも短かい時間刻みに変動させることができる。

【0063】

また本実施例では、パルス幅粗分解信号 V_m よりも先にパルス幅細分解信号 V_s を出力するようにDSP17を構成すると共に、時間制御回路18は、パルス幅粗分解信号 V_m が出力された後に、パルス駆動信号 V_g の時間幅 T_x をクロック時間幅 T_{clk} よりも短い時間刻みで調整するようにしている。

20

【0064】

この場合、パルス幅細分解信号 V_s が出力され、さらにパルス幅粗分解信号 V_m が出力された後に、パルス駆動信号 V_g の時間幅 T_x が微妙に調整されることから、パルス駆動信号 V_g の時間幅 T_x がパルス幅細分解信号 V_s およびパルス幅粗分解信号 V_m の出力後に規定される。そのため、パルス駆動信号 V_g の時間幅 T_x が無用に長くなるのを防止できる。

30

【0065】

その他本実施例では、パルス幅細分解信号 V_s よりも遅れて立ち上がり、パルス幅細分解信号 V_s と同じタイミングで立ち下がる一定のオン時間 T_{on_m} を有するパルス幅粗分解信号 V_m を生成する基準信号発生器としてのDSP17を備えると共に、時間制御回路18は、パルス幅細分解信号 V_s のオン時間 T_{on_s} に比例して制御信号 V_d の電圧レベルを上昇させる第1の時間-電圧変換回路としての抵抗 R_{11} およびコンデンサ C と、パルス幅粗分解信号 V_m のオン時間 T_{on_m} に比例して制御信号 V_d の電圧レベルを上昇させる第2の時間-電圧変換回路としての抵抗 R_{12} およびコンデンサ C を備えている。

【0066】

このようにすると、パルス幅細分解信号 V_s のオンパルスだけが発生している状態1では、抵抗 R_{11} およびコンデンサ C により制御信号 V_d が電圧レベル V_{d1} にまで上昇し、その後パルス幅粗分解信号 V_m のオンパルスも発生するようになると、抵抗 R_{12} およびコンデンサ C により制御信号 V_d の電圧レベルが、パルス駆動信号 V_g を発生するに十分な閾値 V_{d_th} にまで上昇する。パルス幅粗分解信号 V_m が立ち上がる時の制御信号 V_d の電圧レベル V_{d1} は、パルス幅細分解信号 V_s のオン時間 T_{on_s} の増減に応じて変動するので、パルス駆動信号 V_g のオンパルスが立ち上がるタイミングをクロック時間幅 T_{clk} よりも短かい時間 T_d 刻みに変動させることができる。しかも、この場合のパルス駆動信号 V_g のオンタイミングは、パルス幅粗分解信号 V_m のオンパルスの立ち上がりよりも必ず後になるので、パルス駆動信号 V_g のオンパルス幅をパルス幅粗分解信

40

50

号 V_m によって効果的に規制できる。

【0067】

さらに本実施例では、パルス幅細分解信号 V_s とパルス幅粗分解信号 V_m が、共通するパルス発生器である DSP17 で生成される。これにより、回路構成の簡素化を図って装置内部の小型化を達成できる。

【0068】

また本実施例では、第1の時間 - 電圧変換回路が抵抗 R_{11} およびコンデンサ C で構成され、第2の時間 - 電圧変換回路が別の抵抗 R_{12} および第1の時間 - 電圧変換回路と共通のコンデンサ C で構成される。

【0069】

こうすると、抵抗 R_{11} および抵抗 R_{12} の抵抗値を調整するだけで、パルス駆動信号 V_g のオンパルスの時間分解能である時間 T_d を簡単に可変設定することができる。また、第1の時間 - 電圧変換回路と第2の時間 - 電圧変換回路の充放電素子であるコンデンサ C を共通化することで、ここでも回路構成の簡素化を達成することができる。

【0070】

また本実施例では、入力電圧が所定の閾値 V_{d_th} を越えると制御パルスであるパルス駆動信号 V_g を生成するパルス生成手段としての駆動回路20を備え、前記時間制御回路18は、パルス幅粗分解信号 V_m が例えば立ち上がって出力開始されると、前記パルス幅細分解信号 V_s に応じた電圧レベルに重畳して、別の所定の傾きで当該電圧レベルを上昇させるパルス生成信号（制御信号 V_d ）を生成し、この制御信号 V_d を前記駆動回路20への入力電圧とすることにより、パルス駆動信号 V_g のパルス幅を前記単位時間よりも短い時間刻みで調整する構成となっている。

【0071】

このようにすると、パルス駆動信号 V_g のオン時間幅 T_x であるパルス幅は、信号可変出力手段である DSP17 から時間制御回路18を介して発生する制御信号 V_d と、駆動回路20に設定された閾値 V_{d_th} とによって決定される。制御信号 V_d は、パルス幅細分解信号 V_s が出力開始してからパルス幅粗分解信号 V_m が出力開始するまでの時間が長くなるほど、パルス幅粗分解信号 V_m が出力開始した後、閾値 V_{d_th} に達するまでの遅れ時間が短くなって、パルス駆動信号 V_g の生成を開始するタイミングが早くなるので、パルス幅細分解信号 V_s の出力開始のタイミングを変化させることにより、微妙なパルス駆動信号 V_g のパルス幅の調整を行なうことができる。したがって、DSP17 から発生する2つのパルス幅分解信号 V_m 、 V_s 及び駆動回路20に設定された閾値 V_{d_th} によって、パルス駆動信号 V_g のパルス幅を単位時間よりも短かい時間刻みに変動させることができる。

【0072】

また、別な例として、被監視対象である出力電圧 V_o に応じてパルス幅を変動させた制御パルスとしてのパルス駆動信号 V_g を生成するパルス発生器において、パルス駆動信号 V_g のパルス幅に概ね一致した時間幅を有するパルス幅粗分解信号 V_m と、このパルス粗分解信号 V_m との位相差が出力電圧 V_o に応じて単位時間（クロック時間幅 T_{clk} ）毎に増減するパルス幅細分解信号 V_s とを出力する信号可変出力手段としての DSP17 と、前記位相差の増減を検知して、パルス駆動信号 V_g のパルス幅を、前記単位時間よりも短かい時間刻みに変動させる時間制御回路18とを備えている。

【0073】

この場合、DSP17からのパルス幅細分解信号 V_s は、パルス幅粗分解信号 V_m との位相差が単位時間毎に増減するが、この位相差を受けて時間制御回路18は、パルス駆動信号 V_g の時間幅であるパルス幅を、単位時間よりも短かい時間刻みに変動させることができるので、パルス駆動信号 V_g のパルス幅の分解能がパルス発生器自身の時間分解能である単位時間のクロック時間幅 T_{clk} よりも向上する。そのため、パルス発生器の単位時間となるクロック時間幅 T_{clk} をわざわざ短くしなくても、時間制御回路18を付加するだけで、DSP17から発生する2つのパルス幅分解信号 V_m 、 V_s によって、単位

10

20

30

40

50

時間よりも短い時間刻みでのパルス幅制御が可能となる。

【実施例 2】

【0074】

図3は、本発明におけるパルス発生器の第2実施例を示したものであるが、パルス発生器に相当する帰還回路21のDSP17，時間制御回路18以外の構成は、図1で示した実施例1と同様である。本実施例の時間制御回路18では、パルス幅細分解信号Vsが発生するDSP17の一方の出力端子と駆動回路20の入力端子との間に、ローパスフィルタ（以下、LPF）40が接続され、またパルス幅粗分解信号Vmが発生するDSP17の他方の出力端子と駆動回路20の入力端子との間には、抵抗R13と逆並列接続された放電用のダイオードD3との並列回路が挿入接続されると共に、この並列回路の一端にはコンデンサCが接続されている。そして、加算器41によりパルス幅細分解信号Vsの変換電圧Vscとパルス幅粗分解信号Vmの変換電圧Vmcとを足すことにより、制御信号Vdを生成するように構成している。

10

【0075】

LPF40は、パルス幅細分解信号Vsのオンパルスを平滑して、一定のレベルのバイアス電圧を生成するために設けられており、LPF40の代わりに、例えばDSP17からのパルスコード化されたパルス幅細分解信号Vsをバイアス電圧に変換するPCM変調器や、DSP17からのデジタル化されたパルス幅細分解信号Vsをバイアス電圧に変換するD/A変換器や、DSP17からのパルス幅細分解信号Vsを増幅してバイアス電圧に変換するオペアンプ等の周知のバイアス電圧生成手段を設けてもよい。これらを用いた場合は、DSP17から出力される種々の形態のパルス幅細分解信号Vsを、容易に所望のバイアス電圧とすることができる。

20

【0076】

LPF40と加算器41との直列回路は、オン時間Ton_sを有するパルス幅細分解信号Vsを平滑した変換電圧Vscに応じて制御信号Vdの電圧レベルを上昇させる第1の時間-電圧変換回路に相当する。また、抵抗R13とコンデンサCとの直列回路は、パルス幅粗分解信号Vmのオン時間Ton_mに比例して制御信号Vdの電圧レベルを上昇させる第2の時間-電圧変換回路に相当する。そしてこの場合は、図4で示すように、パルス幅粗分解信号Vmが立ち上がったから、第2の変化部31によって制御信号Vdの電圧レベルが閾値Vd_thに達するまでの状態2の時間Tdが、パルス幅細分解信号Vsの平滑電圧である変換電圧Vscの増減に伴ない、前記クロック時間幅Tclkよりも短い時間幅刻みで増減するように、LPF40のフィルタ定数，抵抗R13の抵抗値およびコンデンサCの容量を設定している。

30

【0077】

次に、上記構成についてその作用を説明する。駆動回路20からのパルス駆動信号をスイッチング素子4に供給すると、このスイッチング素子4がスイッチング動作して、入力電圧Viよりも低い出力電圧Voが平滑用のコンデンサ7の両端間に発生する。この出力電圧Voは出力端子8，9に接続される負荷10に供給される。

【0078】

一方、帰還回路21は前述のように、出力電圧Voの変動を監視して、この出力電圧Voが安定化するように駆動回路20からのパルス駆動信号Vgのオンパルス幅を可変制御する。より具体的には、分圧抵抗12，13によって出力電圧Voを分圧した検出信号の電圧レベルと基準電源15の基準電圧が、コンパレータ16により比較され、この比較した信号出力がDSP17の入力端子に供給される。DSP17はこの信号出力を受けて、クロック時間幅Tclkを単位時間としてオン時間Ton_s（デューティ比）が一定で、かつ前記比較した信号出力に応じて可変する所定の周波数で、パルス幅細分解信号Vsのオンパルス群を一方の出力端子から発生すると共に、このパルス幅細分解信号Vsのオンパルス群の立ち上がり後に、一定のオン時間Ton_mを有するパルス幅粗分解信号Vmのオンパルスが、他方の出力端子から発生する。

40

【0079】

50

ここで時間制御回路 18 は、図 4 に示す区間 T 1 の状態 1 において、パルス幅細分解信号 V_s のオンパルス群が発生すると、パルス幅細分解信号 V_s のオンパルス群が LPF 40 により平滑され、変換電圧 V_{sc} として加算器 41 に入力される。このとき、パルス幅粗分解信号 V_m については変換電圧 V_{mc} は生じていないので、加算器 41 の演算結果として、制御信号 V_d が零から傾斜上昇した後、一定の電圧レベル V_{d2} を維持する第 1 の変化部 30 が形成される。

【0080】

パルス幅粗分解信号 V_m のオンパルスが立ち上がる状態 2 になると、抵抗 R_{13} を経由してコンデンサ C が充電され、このコンデンサ C の両端間電圧が変換電圧 V_{mc} として加算器 41 に入力される。このとき、加算器 41 で得られる制御信号 V_d の電圧レベルは、変換電圧 V_{sc} と変換電圧 V_{mc} とを足した（重畳した）電圧レベルとなる。従って、制御信号 V_d の電圧レベルは、それまでの第 1 の変化部 30 が有する電圧レベル V_{d2} によりバイアスされ、かつ傾斜上昇する第 2 の変化部 31 へと移行する。

【0081】

制御信号 V_d の電圧レベルが閾値 V_{d_th} に達した後は、コンデンサ C がさらに充電され、パルス幅粗分解信号 V_m のオンパルスが立ち下がるまで、制御信号 V_d は閾値 V_{d_th} よりも高い電圧レベルを維持する。したがって駆動回路 20 は、制御信号 V_d の電圧レベルが閾値 V_{d_th} に達してから、パルス幅粗分解信号 V_m のオンパルスが立ち下がるまでの間、オンパルスのパルス駆動信号 V_g をスイッチング素子 4 に供給し、スイッチング素子 4 がオンする。

【0082】

その後、パルス幅粗分解信号 V_m のオンパルスが立ち下がると、スイッチング素子 4 はターンオフする。その後、パルス幅粗分解信号 V_m がオフになる時間として区間 T 2 が設けられ、コンデンサ C に蓄えられていた電荷が、ダイオード D 3 を経由して DSP 17 から速やかに放電されるので、制御信号 V_d の電圧レベルは例えば V_{d2} より低い V_{d3} になり、次の状態 1（区間 T 3）を待機する。すなわち、制御信号 V_d の電圧レベルが閾値 V_{d_th} に達してから、パルス幅粗分解信号 V_m のオンパルスが立ち下がるまでの時間が、パルス駆動信号 V_g のオン時間 T_x に相当し、これはスイッチング素子 4 のオン時間に一致する。

【0083】

区間 T 3 では、パルス幅細分解信号 V_s のオンパルス群が区間 T 1 よりも低い周波数で発生している。それに伴い、LPF 40 により平滑された変換電圧 V_{sc} も低くなるため、第 1 の変化部 30 が有する電圧レベルが V_{d2} より低い例えば V_{d3} となるに従い、制御信号 V_d の電圧レベルが閾値 V_{d_th} に達するまでの最小時間変化幅 T_d が長くなる。すなわち、最小時間変化幅 T_d は、パルス幅粗分解信号 V_m のオンパルスが立ち上がる時点での制御信号 V_d の電圧レベルについてはパルス幅細分解信号 V_s の周波数に応じて変化する。

【0084】

図 4 に示すような時間制御回路 18 の構成で、抵抗 R_{13} の抵抗値を調整すれば、クロック時間幅 T_{clk} を最小単位としてその周波数が不連続に変動するパルス幅細分解信号 V_s に対して、パルス駆動信号 V_g のオンパルスの最小時間変化幅を、クロック時間幅 T_{clk} よりも短い任意の値に設定でき、スイッチング素子 4 のスイッチング周波数が高くなっても、出力電圧 V_o の設定精度は低下しない。パルス駆動信号 V_g のオンパルスの最小時間変化幅 T_d を小さくしたい場合には、抵抗 R_{13} の抵抗値を小さくすればよい。

【0085】

因みに、上記一連の作用を達成するには、以下に示すような設計条件が必要となる。先ず、DSP 17 の構成に関し、パルス幅細分解信号 V_s のオン時間 T_{on_s} 及びその周波数は、例えば区間 T 1 など同じ区間内でどのように変動させてもよいが、LPF 40 で平滑した変換電圧 V_{sc} の電圧レベルが、閾値 V_{d_th} より低くなるように（ $V_{d_th} - V_{sc} > 0$ ）する。そのようにしないと、状態 1 の段階でパルス幅粗分解信号 V_m の

10

20

30

40

50

オンパルスが立ち上がってしまうからである。また、変化部 30 が一定の電圧を維持するように、パルス幅細分解信号 V_s を発生させると、パルス駆動信号 V_g のオンパルスの最小時間変化幅 T_d が抵抗 R_{13} の抵抗値により一意的に定まるため好ましい。

【0086】

本実施例の変形例として、図 5 に示す波形を有する変換電圧 V_{sc} 、 V_{mc} を加算器 41 に入力するものがある。これは、パルス駆動信号 V_g の立下りに遅れ時間をつけるようにしたもので、ここでの変換電圧 V_{sc} 、 V_{mc} の電圧レベルはその立上がりで、それぞれピーク値に達し、それ以後は時間制御回路 18 により決められた傾斜で下降する。この場合、変換電圧 V_{mc} の立ち上がりと同時に制御信号 V_d の電圧レベルが閾値 V_{d_th} を越えてパルス駆動信号 V_g が立ち上がり、その後、制御信号 V_d の下り傾斜 37 が閾値 V_{d_th} にまで下降するとパルス駆動信号 V_g が立ち下がる。パルス駆動信号 V_g が立上がる制御信号 V_d のピーク値は、クロック時間幅 T_{clk} 毎に増減する変換電圧 V_{sc} の立ち上がるタイミングが、変換電圧 V_{mc} の立ち上がるタイミングに近いほど高くなるが、この制御信号 V_d のピーク値が高いほど、制御信号 V_d の電圧レベルが閾値 V_{d_th} に降下するまでの時間が長くなって、パルス駆動信号 V_g のオン時間 T_x も広がることになる。しかもここでは、時間制御回路 18 により、各変換電圧 V_{sc} 、 V_{mc} の下り傾斜 35、36 を加算して得られる制御信号 V_d の下り傾斜 37 の度合いを適宜調整することにより、パルス駆動信号 V_g のオン時間 T_x の最小時間変化幅を、クロック時間幅 T_{clk} よりも短い任意の値に設定できる。

【0087】

以上のように本実施例では、入力電圧が所定の閾値 V_{d_th} を越えると制御パルスであるパルス駆動信号 V_g を生成するパルス生成手段としての駆動回路 20 を備え、前記時間制御回路 18 は、パルス幅粗分解信号 V_m が例えば立ち上がって出力開始されると、前記パルス幅細分解信号 V_s に応じた電圧レベルに重畳して、別の所定の傾きで当該電圧レベルを上昇させるパルス生成信号（制御信号 V_d ）を生成し、この制御信号 V_d を前記駆動回路 20 への入力電圧とすることにより、パルス駆動信号 V_g のパルス幅を前記単位時間よりも短い時間刻みで調整する構成となっており、ここでの時間制御回路 18 は、前記パルス幅粗分解信号 V_m の出力開始時に、前記パルス幅細分解信号 V_s に応じた電圧レベルを発生するバイアス電圧生成手段としての LPF 40 を備えている。

【0088】

このようにすると、特にバイアス電圧生成手段としての LPF 40 は、パルス幅粗分解信号 V_m の出力開始時において、パルス幅細分解信号 V_s に応じた電圧レベル（言わば切片に相当）をパルス生成信号である制御信号 V_d に与えることができるので、DSP 17 から、被監視対象である出力電圧 V_o に応じて単位時間毎にオン時間または周期の異なるオンパルス群からなるパルス幅細分解信号 V_s が出力される場合でも、微妙なパルス駆動信号 V_g のパルス幅の調整を行なうことができる。

【0089】

また図 5 に示すように、本実施例では、入力電圧が所定の閾値 V_{d_th} を越えると制御パルスであるパルス駆動信号 V_g を生成するパルス生成手段としての駆動回路 20 を備え、前記時間制御回路 18 は、パルス幅粗分解信号 V_m が出力開始されると、パルス幅細分解信号 V_s に応じた電圧レベルに重畳して、前記閾値 V_{d_th} を越えたピーク値から別の所定の傾きで電圧レベルを降下させるパルス生成信号としての制御信号 V_d を生成し、この制御信号 V_d を前記駆動回路 20 への入力電圧とすることにより、パルス駆動信号 V_g のパルス幅を前記単位時間よりも短い時間刻みで調整する構成としている。

【0090】

このようにすると、パルス駆動信号 V_g のオン時間幅 T_x であるパルス幅は、信号可変出力手段である DSP 17 から時間制御回路 18 を介して発生する制御信号 V_d と、駆動回路 20 に設定された閾値 V_{d_th} とによって決定される。制御信号 V_d は、パルス幅細分解信号 V_s が出力開始してからパルス幅粗分解信号 V_m が出力開始するまでの時間が長くなるほど、パルス幅粗分解信号 V_m が出力開始した時点でのピーク値が高くなって、

10

20

30

40

50

閾値 V_{d_th} に降下するまでの時間が長くなる。すなわち、パルス幅細分解信号 V_s の出力開始のタイミングを変化させることにより、パルス駆動信号 V_g の生成が終了するタイミングを可変して、微妙なパルス駆動信号 V_g のパルス幅の調整を行なうことができる。したがって、DSP 17 から発生する2つのパルス幅分解信号 V_m 、 V_s 及び駆動回路 20 に設定された閾値 V_{d_th} によって、パルス駆動信号 V_g のパルス幅を単位時間よりも短い時間刻みに変動させることができる。

【実施例 3】

【0091】

図 6 および図 7 は、本発明の第 3 実施例を示すものである。図 6 におけるスイッチング電源装置の構成において、ここではコンパレータ 16 により比較した信号出力が、DSP 17 のみならず動作電圧調整手段 51 にも供給される。動作電圧調整手段 51 は、被監視対象である出力電圧 V_o の電圧レベルに応じて、DSP 17 に供給する動作電圧 V_{cc} の電圧レベルを調整するものである。また DSP 17 は、上記各実施例と同様に、2つのパルス幅分解信号（パルス幅粗分解信号 V_m 、パルス幅細分解信号 V_s ）を時間制御回路 18 に出力するが、ここでのパルス幅細分解信号 V_s のオン時間 T_{on_s} は、出力電圧 V_o の電圧レベルに依存せず一定である。動作電圧調整手段 51 を設けたことにより、パルス幅粗分解信号 V_m のオン時間 T_{on_m} 中における電圧レベルおよびパルス幅細分解信号 V_s のオン時間 T_{on_s} 中における電圧レベルは、出力電圧 V_o の電圧レベルに応じて変動するため、これらのパルス幅粗分解信号 V_m およびパルス幅細分解信号 V_s を基に時間制御回路 18 で生成される制御信号 V_d も、変動する動作電圧 V_{cc} を上限として、その電圧レベルが傾斜上昇する。それ以外の構成は、第一実施例と共通している。

【0092】

なお、この実施例では制御信号 V_d の電圧レベルが時間の経過とともに傾斜上昇して、最終的に動作電圧 V_{cc} にまで達するが、図 5 に示すように、制御信号 V_d の電圧レベルが、パルス幅粗分解信号 V_m の立ち上がりと同時に上限値に達し、その後は時間の経過とともに傾斜下降するものでも構わない。

【0093】

次に図 7 における各部の波形図を参照しながら、上記構成についてその作用を説明すると、動作電圧調整手段 51 は出力電圧 V_o の電圧レベルに応じて、DSP 17 に供給する動作電圧 V_{cc} を可変調整する。例えば出力電圧 V_o が低下すると、動作電圧調整手段 51 からの動作電圧は上昇して、パルス幅粗分解信号 V_m およびパルス幅細分解信号 V_s のオン時電圧レベルも上昇する（図 7 に示す動作電圧 V_{cc}' 参照）。これにより、時間制御回路 18 で生成される制御信号 V_d は、上昇した動作電圧 V_{cc} を上限として、第 1 の変化部 30 や第 2 の変化部 31 も変動し、パルス幅粗分解信号 V_m が立ち上がった後、制御信号 V_d の電圧レベルが閾値 V_{d_th} に達するまでの時間 T_d が短くなるので、パルス駆動信号 V_g のオン時間 T_x が増加し、結果的に出力電圧 V_o を上昇させるように帰還回路 21 が作用する。

【0094】

以上のように本実施例では、出力電圧 V_o に応じてパルス幅を変動させたパルス駆動信号 V_g を生成するパルス発生器としての帰還回路 21 において、入力電圧が所定の閾値 V_{d_th} を越えるとパルス駆動信号 V_g を生成するパルス生成手段としての駆動回路 20 と、出力電圧 V_o に応じて動作電圧 V_{cc} の電圧レベルを調整する動作電圧調整手段 51 と、動作電圧 V_{cc} を上限として電圧レベルを傾斜させるパルス生成信号としての制御信号 V_d を生成し、この制御信号 V_d を前記入力電圧とすることにより、パルス駆動信号 V_g のパルス幅を調整する時間制御回路 18 とを備えている。

【0095】

この場合、時間制御回路 18 から駆動回路 20 に与えられる制御信号 V_d は、動作電圧 V_{cc} を上限としてその電圧レベルが傾斜上昇または傾斜下降するが、当該動作電圧 V_{cc} は出力電圧 V_o に応じて変動するので、単位時間（クロック時間幅 T_{clk} ）毎に増減するパルス幅分解信号 V_m 、 V_s を基に制御信号 V_d を得る場合であっても、この単位時

10

20

30

40

50

間に依存することなく、単位時間よりも短い時間刻みでのパルス幅制御が可能となる。

【実施例 4】

【0096】

図 8 および図 9 は、本発明の第 4 実施例を示すものである。図 8 におけるスイッチング電源装置の構成において、ここではコンパレータ 16 により比較した信号出力が、DSP 17 のみならず閾値電圧調整手段 52 にも供給される。閾値電圧調整手段 52 は、被監視対象である出力電圧 V_o の電圧レベルに応じて、駆動回路 20 における閾値 V_{d_th} の電圧レベルを調整するものである。また DSP 17 は、上記第 1 実施例と同様に、2 つのパルス幅分解信号（パルス幅粗分解信号 V_m 、パルス幅細分解信号 V_s ）を時間制御回路 18 に出力するが、ここでのパルス幅細分解信号 V_s のオン時間 T_{on_s} は、出力電圧 V_o の電圧レベルに依存せず一定である。閾値電圧調整手段 52 を設けたことにより、駆動回路 20 における閾値 V_{d_th} の電圧レベルは、出力電圧 V_o の電圧レベルに応じて変動するため、パルス幅粗分解信号 V_m およびパルス幅細分解信号 V_s を基に時間制御回路 18 で生成される制御信号 V_d が一定であっても、変動する閾値 V_{d_th} によって、パルス駆動信号 V_g のオン時間 T_x が増減する。それ以外の構成は、第一実施例と共通している。

10

【0097】

なお、この実施例では制御信号 V_d の電圧レベルが時間の経過とともに傾斜上昇して、最終的に動作電圧 V_{cc} にまで達するが、図 5 に示すように、制御信号 V_d の電圧レベルが、パルス幅粗分解信号 V_m の立ち上がりと同時に上限値に達し、その後は時間の経過とともに傾斜下降するものでも構わない。

20

【0098】

次に図 9 における各部の波形図を参照しながら、上記構成についてその作用を説明すると、閾値電圧調整手段 52 は出力電圧 V_o の電圧レベルに応じて、駆動回路 20 における閾値 V_{d_th} の電圧レベルを可変調整する。例えば出力電圧 V_o が低下すると、駆動回路 20 における閾値 V_{d_th} の電圧レベルは低下する（図 9 に示す閾値 V_{d_th}' 参照）。これにより、時間制御回路 18 で同じ制御信号 V_d が生成されていても、閾値 V_{d_th} の電圧レベルが低下することにより、パルス幅粗分解信号 V_m が立ち上がった後、制御信号 V_d の電圧レベルが閾値 V_{d_th} に達するまでの時間 T_d が短くなるので、パルス駆動信号 V_g のオン時間 T_x が増加し、結果的に出力電圧 V_o を上昇させるように帰還回路 21 が作用する。

30

【0099】

以上のように本実施例では、出力電圧 V_o に応じてパルス幅を変動させたパルス駆動信号 V_g を生成するパルス発生器としての帰還回路 21 において、入力電圧が所定の閾値 V_{d_th} を越えるとパルス駆動信号 V_g を生成するパルス生成手段としての駆動回路 20 と、出力電圧 V_o に応じて閾値 V_{d_th} の電圧レベルを調整する閾値電圧調整手段 52 と、時間の経過とともに電圧レベルを傾斜上昇または傾斜下降させるパルス生成信号としての制御信号 V_d を生成し、この制御信号 V_d を前記入力電圧とすることにより、パルス駆動信号 V_g のパルス幅を調整する時間制御回路 18 とを備えている。

【0100】

この場合、時間制御回路 18 から駆動回路 20 に与えられる制御信号 V_d は、その電圧レベルが傾斜上昇または傾斜下降するが、駆動回路 20 で設定される閾値 V_{d_th} の電圧レベルが被監視対象である出力電圧 V_o に応じて変動するので、単位時間（クロック時間幅 T_{clk} ）毎に増減するパルス分解信号 V_m 、 V_s を基に制御信号 V_d を得る場合であっても、この単位時間に依存することなく、単位時間よりも短い時間刻みでのパルス幅制御が可能となる。

40

【0101】

なお、本発明は上記各実施例に限定されるものではなく、本発明の要旨の範囲において種々の変形実施が可能である。例えば、時間制御回路 18 の構成は各実施例中のものに限定されず、パルス幅細分解信号 V_s のクロック時間幅 T_{clk} よりも短い時間幅刻みに、

50

パルス駆動信号 V_g の時間幅を可変できる回路構成であれば、どのようなものでも構わない。また、実施例ではパルス幅細分解信号 V_s やパルス幅粗分解信号 V_m のオンパルスを主に利用したが、オフパルスを利用した構成でもよい。同様に、制御信号 V_d に関しても、その電圧レベルが図中に示すものと逆であってもよい。

【産業上の利用可能性】

【0102】

スイッチング電源装置やステッピングモータなどの制御パルス生成手段の他、例えばマイクロコンピュータやシステムLSIなどの制御装置の制御周波数を決定するクロック信号生成など、パルスを必要とする全ての用途に適用できる。

【図面の簡単な説明】

【0103】

[図1] 本発明の第一実施例におけるスイッチング電源装置の一例を示す回路図である。
 [図2] 同上、各部の波形図である。
 [図3] 本発明の第二実施例におけるスイッチング電源装置の一例を示す回路図である。
 [図4] 同上、各部の波形図である。
 [図5] 同上、変形例を示す各部の波形図である。
 [図6] 本発明の第三実施例におけるスイッチング電源装置の一例を示す回路図である。
 [図7] 同上、各部の波形図である。
 [図8] 本発明の第四実施例におけるスイッチング電源装置の一例を示す回路図である。
 [図9] 同上、各部の波形図である。
 [図10] 従来例におけるパルス発生器のカウンタ値とパルス駆動信号との関係を示す波形図である。

【符号の説明】

【0104】

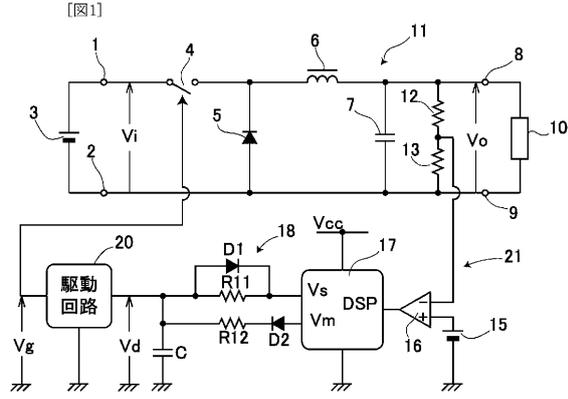
- 17 DSP (信号可変出力手段)
- 18 時間制御回路 (時間制御手段)
- 20 駆動回路 (パルス生成手段)
- 21 帰還回路 (パルス発生器)
- 31 変化部 (所定の傾き)
- 40 LPF (バイアス電圧生成手段)
- 51 動作電圧調整手段
- 52 閾値電圧調整手段

10

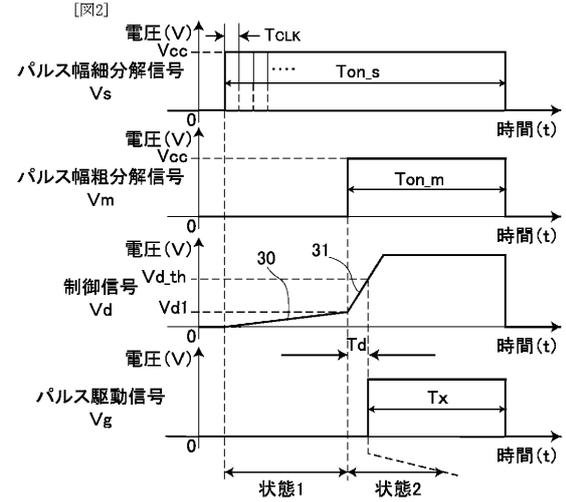
20

30

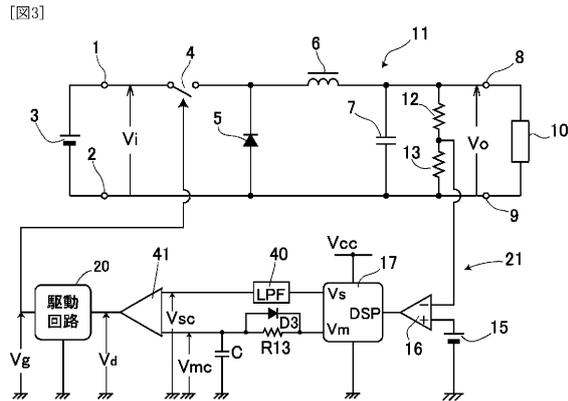
【図1】



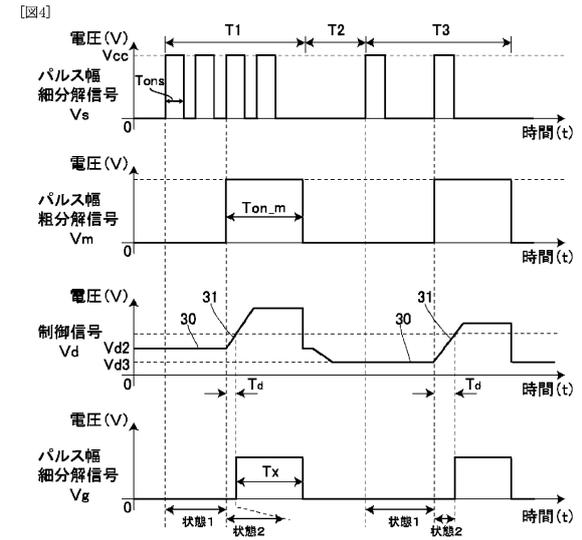
【図2】



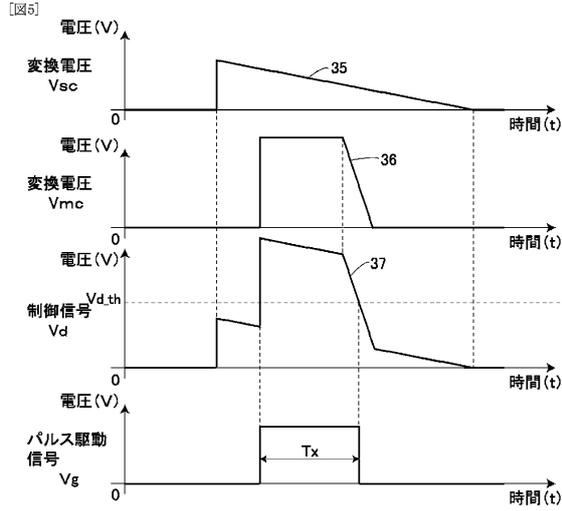
【図3】



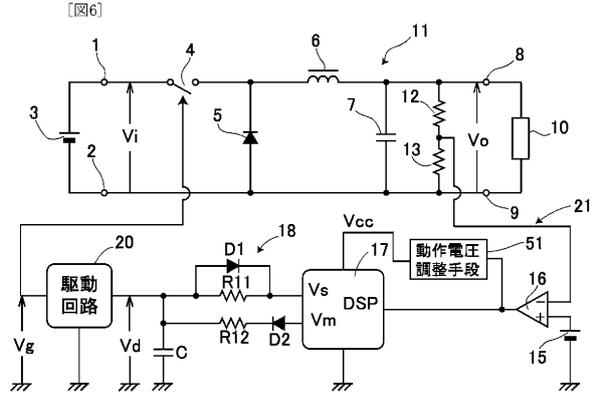
【図4】



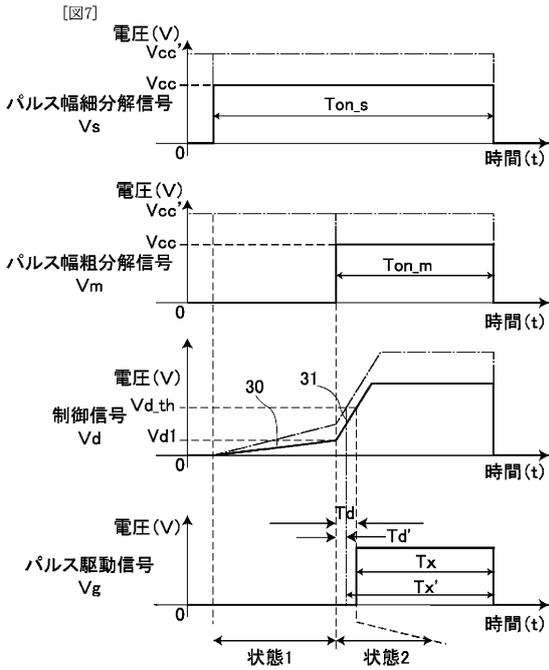
【図5】



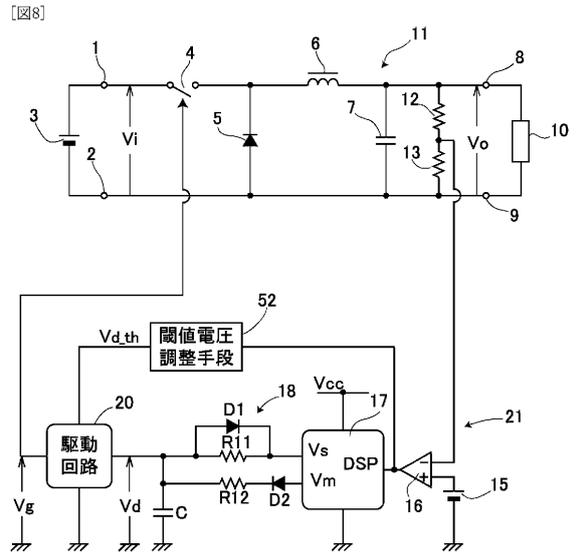
【図6】



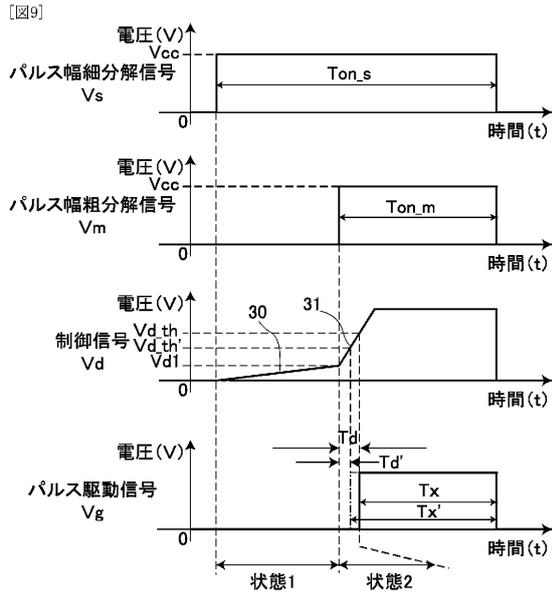
【図7】



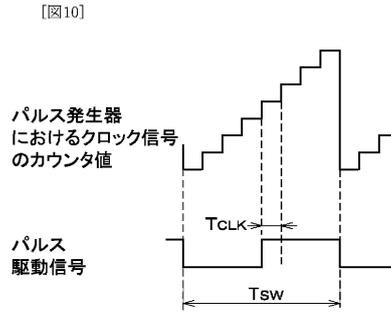
【図8】



【図9】



【図10】



フロントページの続き

- (56)参考文献 特開2003-111400(JP,A)
特開2003-088105(JP,A)
特開2002-218750(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H02M 3/155