



(12) 发明专利

(10) 授权公告号 CN 106663695 B

(45) 授权公告日 2021.03.30

(21) 申请号 201480081280.1

(22) 申请日 2014.09.19

(65) 同一申请的已公布的文献号  
申请公布号 CN 106663695 A

(43) 申请公布日 2017.05.10

(85) PCT国际申请进入国家阶段日  
2017.02.17

(86) PCT国际申请的申请数据  
PCT/US2014/056528 2014.09.19

(87) PCT国际申请的公布数据  
W02016/043770 EN 2016.03.24

(73) 专利权人 英特尔公司  
地址 美国加利福尼亚

(72) 发明人 C·S·莫哈帕特拉 A·S·默西  
G·A·格拉斯 T·加尼

J·T·卡瓦列罗斯 W·拉赫马迪  
M·V·梅茨 G·杜威

(74) 专利代理机构 永新专利商标代理有限公司  
72002

代理人 陈松涛 王英

(51) Int.Cl.  
H01L 29/78 (2006.01)  
H01L 21/336 (2006.01)

(56) 对比文件  
US 2013/0234147 A1, 2013.09.12  
US 2014/0264438 A1, 2014.09.18  
CN 101501826 A, 2009.08.05  
JP 2014063929 A, 2014.04.10  
US 2013/0234147 A1, 2013.09.12

审查员 张雄娥

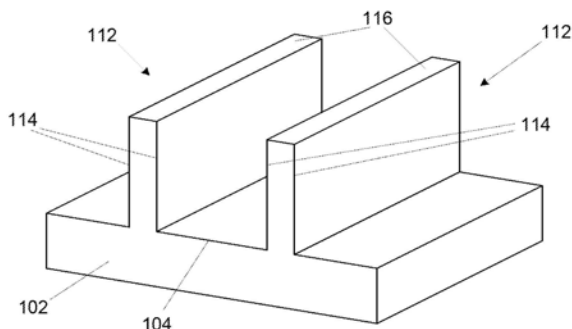
权利要求书2页 说明书7页 附图9页

(54) 发明名称

用于创建缓冲区以减少微电子晶体管中的泄漏的装置和方法

(57) 摘要

晶体管器件具有位于有源沟道与衬底之间的缓冲区,其可以包括在有源沟道与衬底之间的子结构(例如缓冲区)上的包括低带隙材料的有源沟道。子结构可以包括具有期望导带偏移的高带隙材料,以使得泄漏可以被抑制而没有对有源沟道内的电子移动性的显著影响。在实施例中,有源沟道和子结构可以形成在窄沟槽中,以使得由于有源沟道与子结构之间的晶格失配而引起的缺陷在子结构中终止。在另外的实施例中,子结构可以被去除以形成有源沟道与衬底之间的空隙,或者绝缘材料可以被设置在有源沟道与衬底之间,以使得空隙或绝缘材料形成绝缘缓冲区。



1. 一种微电子结构,包括:

衬底;

低带隙有源沟道;

高带隙子结构,其被设置在所述衬底与所述低带隙有源沟道之间,其中,所述高带隙子结构邻接所述低带隙有源沟道;以及

延伸到所述衬底中的成核沟槽和邻接所述成核沟槽的成核层,其中,所述成核层和所述高带隙子结构具有不同的材料,并且其中,所述成核层设置在所述高带隙子结构之下。

2. 根据权利要求1所述的微电子结构,其中,所述高带隙子结构包括选自于由砷化镓铝、磷化铟、磷化镓、砷化镓、铟化镓砷、铟化铝砷、砷化铟铝镓、磷化铟铝镓和砷化铝镓组成的组的材料。

3. 根据权利要求1或2所述的微电子结构,其中,所述低带隙有源沟道包括选自于由砷化铟镓、砷化铟和铟化铟组成的组的材料。

4. 根据权利要求1所述的微电子结构,其中,所述成核沟槽包括具有(111)小面化的成核沟槽。

5. 根据权利要求1或4所述的微电子结构,其中,所述成核层包括选自于由磷化铟、磷化镓和砷化镓组成的组的材料。

6. 根据权利要求1所述的微电子结构,还包括所述有源沟道的在隔离结构上方延伸的部分和形成在所述有源沟道的在所述隔离结构上方延伸的所述部分之上的栅极。

7. 根据权利要求1所述的微电子结构,其中,所述高带隙子结构具有大于50nm的深度和小于25nm的宽度。

8. 一种制造微电子结构的方法,包括:

在衬底上形成至少一个鳍状物,其中,所述至少一个鳍状物包括从所述衬底延伸的一对相对的侧壁;

邻接所述鳍状物侧壁中的每个鳍状物侧壁形成隔离结构;

通过去除所述至少一个鳍状物来形成沟槽;

在所述沟槽中形成高带隙子结构;以及

在所述沟槽中形成低带隙有源沟道,所述低带隙有源沟道邻接所述高带隙子结构,

其中,形成所述沟槽还包括形成延伸到所述衬底中的成核沟槽和邻接所述成核沟槽的成核层,其中,所述成核层和所述高带隙子结构具有不同的材料,并且其中,所述成核层设置在所述高带隙子结构之下。

9. 根据权利要求8所述的方法,其中,形成所述高带隙子结构包括形成具有大于50nm的深度和小于25nm的宽度的高带隙子结构。

10. 根据权利要求8所述的方法,其中,形成所述高带隙子结构包括由以下材料形成所述高带隙子结构,所述材料选自于由砷化铟铝、磷化铟、磷化镓、砷化镓、铟化镓砷、铟化铝砷、砷化铟铝镓、磷化铟铝镓和砷化铝镓组成的组。

11. 根据权利要求8至10中的任一项所述的方法,其中,形成所述低带隙有源沟道包括由以下材料形成所述低带隙有源沟道,所述材料选自于由砷化铟镓、砷化铟和铟化铟组成的组。

12. 根据权利要求8所述的方法,其中,形成所述成核沟槽包括形成具有(111)小面化的

成核沟槽。

13. 根据权利要求8所述的方法, 其中, 形成所述成核层包括由以下材料形成所述成核层, 所述材料选自于由磷化铟、磷化镓和砷化镓组成的组。

14. 根据权利要求8所述的方法, 还包括使所述隔离结构凹进, 以使得所述有源沟道的至少一部分在所述隔离结构上方延伸。

15. 根据权利要求14所述的方法, 还包括在所述有源沟道的在所述隔离结构上方延伸的部分之上形成栅极。

## 用于创建缓冲区以减少微电子晶体管中的泄漏的装置和方法

### 技术领域

[0001] 本说明书的实施例总体上涉及微电子设备的领域,并且更具体地涉及形成与微电子晶体管中的有源沟道相邻的缓冲区以减少电流泄漏。

### 背景技术

[0002] 更高的性能、更低的成本、集成电路部件增加的小型化、以及集成电路更大的封装密度是用于制造微电子设备的微电子工业的正在进行的目标。为了实现这些目标,在微电子设备内的晶体管必须按比例缩小,即变得更小。连同晶体管的尺寸减小一起,还有以在它们的设计、所使用的材料方面和/或在它们的制造过程方面的改进来改进它们的效率的驱动力。这样的设计改进包括独特结构(例如,非平面晶体管,其包括三栅极晶体管、FinFET、TFET、omega-FET和双栅极晶体管)的开发。

### 附图说明

[0003] 本公开内容的主题被特别指出并在说明书的结束部分中被清楚地要求保护。根据结合附图所采取的以下描述和所附权利要求,本公开内容的前述和其它特征将变得显而易见。要理解的是,附图只描绘根据本公开内容的若干实施例,并且因此不应被认为限制其范围。将通过使用附图用附加的特征和细节来描述本公开内容,以使得本公开内容的优点可以被更容易确定,在附图中:

[0004] 图1-8是根据本说明书的实施例的形成非平面晶体管的高带隙缓冲区的制造的斜剖视图。

[0005] 图9-16是根据本说明书的实施例的形成非平面晶体管的绝缘缓冲区的斜剖视图和侧截面视图。

[0006] 图17示出了根据本说明书的一个实施方式的控制设备。

### 具体实施方式

[0007] 在以下具体实施方式中,参考附图,附图通过图示的方式示出了所要求保护的主体可以被实践的具体实施例。这些实施例以足够的细节进行描述以使本领域中的技术人员能够实践主题。要理解的是,各种实施例虽然是不同的,但并不一定是相互排斥的。例如,结合一个实施例在本文中描述的特定特征、结构或特性可以在其它实施例内实施而不偏离所要求保护的主体精神和范围。在此说明书内对“一个实施例”或“实施例”的引用意指结合实施例描述的特定特征、结构或特性被包括在本说明书所内包含的至少一个实施方式中。因此,短语“一个实施例”或“在实施例中”的使用并不一定指同一实施例。另外,要理解的是,在每个所公开的实施例内的单独元件的位置或布置可以被修改而不偏离所要求保护的主体精神和范围。以下具体实施方式因此不应以限制性意义进行理解,并且主题的范围只由适当解释的所附权利要求连同所附权利要求享有权利的等效形式的全范围限定。在附图中,相似的附图标记在整体几个视图中指相同或相似元件或功能,并且在本文中描绘的

元件并不一定彼此按比例,更确切地,单独的元件可以放大或减小,以便于更容易理解在本说明书的上下文中的元件。

[0008] 如本文中使用的术语“在……之上”、“到”和“在……之间”和“在……上”可以指一层相对于其它层的相对位置。在另一层“之上”或“上”或接合“到”另一层的一层可以直接与另一层接触或可以具有一个或多个中间层。在层“之间”的一层可以直接与这些层接触或可以具有一个或多个中间层。

[0009] 如本领域中的技术人员将理解的,控制穿过在有源沟道下方的子结构的源极到漏极泄漏是在任何晶体管设计中的重要考虑因素。在非平面晶体管器件(例如,III-V NMOS TFET器件)中,子结构泄漏提出更大的挑战。这个挑战源于形成有源沟道以便于实现高电子移动性所需的高移动性材料,其内在地具有低带隙并且因此具有高导电性。非平面晶体管可以在有源沟道的形成中利用具有比典型硅衬底(有源沟道在该衬底之上形成)更低的带隙的低带隙材料,例如砷化镓。如果子结构由这些高导电性材料组成,则泄漏将是相当大的,因为子结构材料将形成源极与漏极之间的导电路径。

[0010] 本说明书的实施例涉及具有在有源沟道与衬底之间的缓冲区的晶体管器件的制造。在本说明书的至少一个实施例中,包括低带隙III-V材料的有源沟道可以在有源沟道与衬底之间的子结构(例如,缓冲区)上外延地生长。子结构可以包括可以具有期望导带偏移的高带隙III-V材料,以使得泄漏可以被抑制而没有对在有源沟道内的电子移动性的显著影响。利用本说明书的实施例,与形成没有这样的缓冲区的有源沟道相比较,泄漏可以降低至少三个数量级。在本发明的实施例中,有源沟道和子结构可以形成在窄沟槽中,以使得由于在有源沟道与子结构之间的晶格失配而引起的缺陷通过在有源沟道区下方的子结构中的缺陷俘获而终止。在另外的实施例中,子结构可以被去除以形成有源沟道与衬底之间的空隙,或绝缘材料可以被设置在有源沟道与衬底之间,以使得空隙或绝缘材料形成绝缘缓冲区。

[0011] 如图1中所示,至少一个鳍状物112可以形成在衬底102上,其中鳍状物112可以包括从衬底102的第一表面104延伸并在上表面116中终止的相对侧壁114。为了清楚和简洁,在图1中只示出了两个鳍状物112;然而,要理解的是,可以制造任何适当数量的鳍状物112。在一个实施例中,蚀刻掩模(未示出)可以在衬底102上被图案化,随后对衬底102进行蚀刻,其中由蚀刻掩模(未示出)保护的衬底102的部分变成鳍状物112,并且蚀刻掩模(未示出)可以在其后被去除,如本领域中的技术人员将理解的。在本公开内容的实施例中,衬底102和鳍状物112可以是任何适当的材料,包括但不限于含硅材料,例如单晶硅。然而衬底102和鳍状物112不需要一定由含硅材料制造,并且可以是本领域中已知的其它类型的材料。在另外的实施例中,衬底102可以包括绝缘体上硅(SOI)衬底、悬空硅(silicon-on-nothing)(SON)、锗衬底、绝缘体上锗(GeOI)衬底、或悬空锗(germanium-on-nothing)(GeON)。

[0012] 如图2中所示,可以通过任何适当的沉积工艺将电介质材料沉积在衬底102和鳍状物112之上,并且可以将电介质材料平面化以暴露鳍状物上表面116,从而形成邻接相对的鳍状物侧壁114的被称为浅沟槽隔离结构的隔离结构112。隔离结构112可以由任何适当的电介质材料(包括但不限于二氧化硅(SiO<sub>2</sub>))形成。

[0013] 如图3中所示,可以去除鳍状物112,从而形成沟槽124。可以通过任何已知的蚀刻技术(包括但不限于干蚀刻、湿蚀刻或其组合)来去除鳍状物112。在一个实施例中,每个沟

槽124的一部分可以在去除鳍状物112期间或此后被形成延伸到底102中。沟槽124的这个部分在下文中将被称为成核沟槽132。在一个实施例中，成核沟槽132可以具有(111)小面化(faceting)，其可以有助于III-V材料的生长，如将讨论的。要理解的是，可以利用成核沟槽132的替代几何结构。

[0014] 如图4中所示，成核层142可以形成在成核沟槽132中。成核层142可以由任何形成过程形成，并且可以是任何适当的材料，例如III-V外延材料，包括但不限于磷化铟、磷化镓、砷化镓等。

[0015] 如图4中进一步示出的，子结构144可以形成在沟槽124(见图3)内的成核层142上。子结构144可以由任何已知的形成过程形成，并且可以是任何适当的材料，例如高带隙III-V材料，包括但不限于砷化铟铝、磷化铟、磷化镓、砷化镓、铋化镓砷、铋化铝砷、砷化铟铝镓、磷化铟铝镓、砷化铝镓等。为了本说明书的目的，高带隙材料可以被定义为具有比硅大的带隙的材料。在一个实施例中，子结构144可以是与成核层142相同的材料。在其它实施例中，成核层142可以渐变到子结构144中或其材料成分可以在浓度上从一个浓度阶跃到另一浓度，如本领域中的技术人员将理解的。

[0016] 如还进一步在图4中所示的，有源沟道146可以形成在沟槽124(见图3)内的子结构144上。有源沟道146可以由任何已知的形成过程形成，并且可以是任何适当的材料，例如低带隙III-V材料，包括但不限于砷化铟镓、砷化铟、铋化铟等。为了本说明书的目的，低带隙材料可以被定义为具有比硅小的带隙的材料。在一个实施例中，有源沟道146可以是非掺杂的(电中性的或被掺杂有p型或n型掺杂剂的小于 $5E17$ 的载流子)。

[0017] 在一些示例性实施例中，成核层142、子结构144和/或有源沟道146可以外延地沉积。根据一些具体示例性实施例，子结构144(见图5)的厚度 $T_s$ (见图5)和有源沟道146的厚度 $T_a$ 可以在例如大约500到 $5000\text{\AA}$ 的范围内，虽然其它实施例可以具有其它层厚度，如鉴于本公开内容将显而易见的。具体而言，沟槽填充实施例将在这个厚度范围内，虽然覆盖沉积和随后的图案化实施例可以具有多达更高100倍的厚度值。在一些实施例中，化学气相沉积(CVD)过程或其它适合的沉积技术可以用于沉积或以其它方式形成成核层142、子结构144和/或有源沟道。例如，可以使用III-V材料化合物(例如，铟、铝、砷、磷、镓、铋和/或其前体的组合)通过CVD或快速热CVD(RT-CVD)或低压CVD(LP-CVD)或超高真空CVD(UHV-CVD)或气体源分子束外延(GS-MBE)工具来执行沉积。在一个具体的这样的示例性实施例中，有源沟道146可以是砷化铟镓，并且成核层142和子结构144可以是磷化铟。在任何这样的实施例中，可以存在具有载流子气体(例如，氢气、氮气或惰性气体)的前体起泡器(例如，前体可以在大约0.1-20%浓度下被稀释，平衡是载流子气体)。在一些示例性情况下，可以存在砷前体，例如砷化三氢或叔丁基膦、诸如三丁基膦的磷前体、诸如三甲基镓的镓前体、和/或诸如三甲基铟的铟前体。也可以存在蚀刻剂气体，例如基于卤素的气体，例如氯化氢(HCl)、氯(Cl)或溴化氢(HBr)。成核层142、子结构144和/或有源沟道146的基本沉积可能在使用在例如从在大约 $300^\circ\text{C}$ 与 $650^\circ\text{C}$ 之间或在更具体的示例中(从在大约 $400^\circ\text{C}$ 与 $500^\circ\text{C}$ 之间)的范围内的沉积温度以及例如在大约1托与760托之间的范围内的反应体压力的各种范围的条件是可能的。载流子和蚀刻剂中的每个可以具有在大约10与300SCCM之间的范围内的流量(典型地需要不大于100SCCM的流量，但一些实施例可以受益于更高流速)。在一个具体示例性实施例中，可以在范围在大约100与1000SCCM之间的流速下执行成核层142、子结构144

和/或有源沟道146的沉积。

[0018] 用于子结构144的材料可以被选择为具有期望的导带偏移而有源沟道146将在从子结构144排除电子时有效,从而减少泄漏。此外,由于成核层142、子结构144和有源沟道146的形成出现在相对窄的沟槽124中。在一个实施例中,窄沟槽124可以具有在大约50到500nm的范围内的深度H(见图3)和小于大约25nm(优选地小于10nm)的宽度W(见图3)。在衬底102与成核层142/子结构144之间的晶格失配可以比允许实质上无缺陷形成的晶格失配大,因为成核层142/子结构144可以被形成为具有足够的深度D以俘获缺陷(例如,堆叠故障、位错等)使其远离有源沟道146,如本领域中的技术人员将理解的。因此,在有源沟道146中的电子移动性可以由此不被显著损坏。虽然有源沟道146可以不达到理论最大移动性值,然而其相对于基于硅的n-MOS晶体管提供引人注目的性能优点。在一个实施例中,子结构144可以具有大于大约50nm的深度D(例如,在衬底102与有源沟道146之间的距离)和小于大约25nm的宽度(即,沟槽宽度W)。

[0019] 如还进一步在图4中所示的,有源沟道146的一部分148可以延伸到沟槽(见图3)之外,特别是当外延生长过程被利用时。因此,如图5中所示,可以例如通过化学机械平面化来去除有源沟道146的部分148。如图6中所示,可以例如通过蚀刻过程来使隔离结构122凹进,以使得有源沟道146的至少一部分在隔离结构122的上平面126上方延伸。在一个实施例中,关于隔离结构上平面126延伸的有源沟道146的高度 $F_h$ 可以是大约45nm。在有源沟道146与子结构144之间的交叉部分I可以出现在相对于隔离结构上平面126的深度 $F_d$ 处。在实施例中,交叉部分I可以稍微高于或稍微低于隔离结构上平面126,例如大约10nm之上或之下。

[0020] 如图7中所示,至少一个栅极150可以形成在有源沟道146的在隔离结构122上方延伸的部分之上。可以通过在鳍状物上表面116上或相邻于鳍状物上表面116和在一对横向相对的鳍状物侧壁114上或相邻于这对横向相对的鳍状物侧壁114形成栅极电介质层152并且在栅极电介质层152上或相邻于栅极电介质层152形成栅极电极154;通过栅极第一或栅极最后过程流程来制造栅极150,如本领域中的技术人员将理解的。

[0021] 栅极电介质层152可以由任何公知的栅极电介质材料形成,这些栅极电介质材料包括但不限于二氧化硅( $\text{SiO}_2$ )、氮氧化硅( $\text{SiQ}_x\text{N}_y$ )、氮化硅( $\text{Si}_3\text{N}_4$ )和高k电介质材料(例如,氧化铪、氧化铪硅、氧化镧、氧化镧铝、氧化锆、氧化锆硅、氧化钽、氧化钛、氧化钽锆钛、氧化钽钛、氧化锆钛、氧化钽、氧化铝、氧化钨钽和铌酸铅锌)。可以通过公知的技术,例如通过沉积栅极电极材料(例如,化学气相沉积(“CVD”)、物理气相沉积(“PVD”)、原子层沉积(“ALD”))并接着用公知的光刻法和蚀刻技术图案化栅极电极材料来形成栅极电介质层152,如本领域中的技术人员将理解的。

[0022] 栅极电极154可以由任何适合的栅极电极材料形成。在本公开内容的实施例中,栅极电极154可以由以下材料形成,包括但不限于多晶硅、钨、钽、钼、铂、钴、镍、钨、钨、钛、钽、铝、碳化钛、碳化钨、碳化钽、碳化钨、碳化钨、其它金属碳化物、金属氮化物和金属氧化物。可以通过公知的技术,例如通过覆盖沉积栅极电极材料并接着用公知的光刻法和蚀刻技术图案化栅极电极材料来形成栅极电极154,如本领域中的技术人员将理解的。

[0023] 如图8中所示,可以用公知的沉积和蚀刻技术将栅极间隔体156沉积和图案化在栅极电极154上。栅极间隔体156可以由任何适当的电介质材料(包括但不限于氧化硅、氮化硅等)形成。

[0024] 要理解的是,源极区和漏极区(未示出)可以形成在栅极150的相对侧上的有源沟道146中,或者可以在栅极150的相对侧和代替其而形成的源极区和漏极区上去除有源沟道146的部分。源极和漏极区可以由相同的导电类型(例如p型导电性)形成。在本公开内容的实施例的一些实施方式中,源极和漏极区可以具有实质上相同的掺杂浓度和剖面,虽然在其它实施方式中它们可以变化。要理解的是,只示出了n-MOS,将单独地图案化和处理p-MOS区。

[0025] 图9-15示出了本说明书的附加实施例。从图7开始,可以继续替代栅极过程,其中栅极电介质152和栅极电极154可以由牺牲材料形成。如图9中所示,电介质层162可以沉积在图8的结构之上并被平面化以暴露牺牲栅极电极154。牺牲栅极电极154和栅极电介质152可以被去除以暴露位于栅极间隔体156的剩余部分之间的有源沟道146从而形成暴露的有源沟道区146,如图10和11中所示的(沿着图10的线11-11的截面视图,只有截面结构被示出)。

[0026] 如图12中所示,可以例如通过蚀刻来使隔离结构122凹进到暴露的有源沟道区146内,以暴露子结构144的一部分,以使得选择性蚀刻(例如,湿法蚀刻、干法蚀刻或其组合)可以穿透到子结构144中并去除子结构144以及成核层142,如图13所示。

[0027] 可以沉积电介质材料166以用于填充由于子结构144(见图12)和成核层142(见图12)的去除而留下的空间,如图14中所示,或者用于形成空隙168,如图15中所示。此后,晶体管的剩余部件可以在已知的处理流程(例如三栅极处理流程)之后形成,如本领域中的技术人员将理解的。在另一个实施例中,如图16中所示,栅极氧化物层172可以被形成为包围暴露的有源沟道146,并且栅极电极层174可以被形成为包围栅极氧化物层172,并且晶体管的剩余部件可以以单线或多线构造继续已知的栅极环绕式处理流程,如本领域中的技术人员将理解的。

[0028] 要注意的是,虽然具体实施方式描述了非平面晶体管,但本主题可以在非平面晶体管中实施,如本领域中的技术人员将理解的。

[0029] 图17示出了根据本说明书的一个实施方式的计算设备200。计算设备200容纳母板202。板202可以包括多个部件,包括但不限于处理器204和至少一个通信芯片206A、206B。处理器204物理地和电气地耦合到板202。在一些实施方式中,至少一个通信芯片206A、206B也物理地和电气地耦合到板202。在另外的实施方式中,通信芯片206A、206B是处理器204的部分。

[0030] 根据其应用,计算设备200可以包括可以或不物理地和电气地耦合到板202的其它部件。这些其它部件包括但不限于易失性存储器(例如DRAM)、非易失性存储器(例如ROM)、闪存存储器、图形处理器、数字信号处理器、密码处理器、芯片组、天线、显示器、触摸屏显示器、触摸屏控制器、电池、音频编码解码器、视频编码解码器、功率放大器、全球定位系统(GPS)设备、罗盘、加速度计、陀螺仪、扬声器、照相机和大容量存储设备(例如硬盘驱动器、光盘(CD)、数字通用盘(DVD)等)。

[0031] 通信芯片206A、206B实现了无线通信,以用于将数据转移到计算设备200以及从计算设备200转移数据。术语“无线”及其派生词可以用于描述可通过使用经调制电磁辐射来经由非固体介质传送数据的电路、设备、系统、方法、技术、通信通道等。该术语并不暗示相关联的设备不包含任何电线,虽然在一些实施例中它们可以不包含电线。通信芯片206可以



实施多种无线标准或协议中的任何标准或协议,这些标准或协议包括但不限于Wi-Fi (IEEE 802.11系列)、WiMAX (IEEE 802.16系列)、IEEE 802.20、长期演进 (LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙、其派生物以及被指定为3G、4G、5G和更高代的任何其它无线协议。计算设备200可以包括多个通信芯片206A、206B。例如,第一通信芯片206A可以专用于较短距离的无线通信(例如Wi-Fi和蓝牙),并且第二通信芯片206B可以专用于较长距离的无线通信(例如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO等)。

[0032] 计算设备200的处理器204可以包括如上所述的微电子晶体管。术语“处理器”可以指代对来自寄存器和/或存储器的电子数据进行处理以便将该电子数据转换成可以储存在寄存器和/或存储器中的其它电子数据的任何器件或器件的一部分。此外,通信芯片206A、206B可以包括如上所述的微电子晶体管。

[0033] 在各种实施方式中,计算设备200可以是膝上型电脑、上网本、笔记本、超级本、智能电话、平板电脑、个人数字助理(PDA)、超移动PC、移动电话、桌上型计算机、服务器、打印机、扫描仪、监视器、机顶盒、娱乐控制单元、数字照相机、便携式音乐播放器或数字视频记录器。在另外的实施方式中,计算设备200可以是处理数据的任何其它电子设备。

[0034] 要理解的是,本说明书的主题不一定限于图1-17所示的特定应用。主题可以应用于其它微电子设备和组件应用以及任何其它适当的晶体管应用,如本领域中的技术人员将理解的。

[0035] 以下示例属于另外的实施例,其中,示例1是微电子结构,该微电子结构包括衬底、低带隙有源沟道和被设置在衬底与低带隙有源沟道之间的高带隙子结构,其中,高带隙子结构邻接低带隙有源沟道。

[0036] 在示例2中,示例1的主题可以可选地包括高带隙子结构,其包括选自于由砷化镓、磷化镓、磷化铟、砷化铟、铟化铟、铟化铝、砷化铝、磷化铝、砷化铝组成的组的材料。

[0037] 在示例3中,示例1和2中的任一项的主题可以可选地包括低带隙有源沟道,其包括选自于由砷化镓、砷化铟和铟化铟组成的组的材料。

[0038] 在示例4中,示例1至3中的任一项的主题可以可选地包括延伸到衬底中的成核沟槽和邻接成核沟槽的成核层。

[0039] 在示例5中,示例4的主题可以可选地包括成核沟槽,其包括具有(111)小面化的成核沟槽。

[0040] 在示例6中,示例4和5中的任一项的主题可以可选地包括成核层,其包括选自于由磷化铟、磷化镓和砷化镓组成的组的材料。

[0041] 在示例7中,示例1至6中的任一项的主题可以可选地包括有源沟道的在隔离结构上方延伸的部分和形成在有源沟道的在隔离结构上方延伸的该部分之上的栅极。

[0042] 在示例8中,示例1至7中的任一项的主题可以可选地包括具有大于大约50nm的深度和小于大约25nm的宽度的高带隙子结构。

[0043] 以下示例属于另外的实施例,其中示例9是微电子结构,该微电子结构包括:衬底,其包括位于其中的成核沟槽;低带隙有源沟道,其位于成核沟槽之上;以及绝缘缓冲区,其被设置在成核沟槽与低带隙有源沟道之间。

[0044] 在示例10中,示例9的主题可以可选地包括绝缘缓冲区,其包括绝缘材料。

[0045] 在示例11中,示例9的主题可以可选地包括绝缘缓冲区,其包括空隙。

[0046] 在示例12中,示例9至11中的任一项的主题可以可选地包括低带隙有源沟道,其包括选自于由砷化镓、砷化铟和铟化铟组成的组的材料。

[0047] 在示例13中,示例12的主题可以可选地包括成核沟槽,其包括具有(111)小面化的成核沟槽。

[0048] 在示例14中,示例9至13中的任一项的主题可以可选地包括包围有源沟道的栅极。

[0049] 以下示例属于另外的实施例,其中示例15是微电子结构,该微电子结构包括:在衬底上形成至少一个鳍状物,其中至少一个鳍状物包括从衬底延伸的一对相对的侧壁;形成邻接鳍状物侧壁中的每个鳍状物侧壁的隔离结构;通过去除至少一个鳍状物来形成沟槽;在沟槽中形成高带隙子结构;以及在沟槽中形成低带隙有源沟道,该低带隙有源沟道邻接高带隙子结构。

[0050] 在示例16中,示例15的主题可以可选地包括:形成高带隙子结构包括形成具有大于大约50nm的深度和小于大约25nm的宽度的高带隙子结构。

[0051] 在示例17中,示例15至16中的任一项的主题可以可选地包括由以下材料形成高带隙子结构,所述材料选自于由砷化铟铝、磷化铟、磷化镓、砷化镓、铟化镓砷、铟化铝砷、砷化铟铝镓、磷化铟铝镓和砷化铝镓组成的组。

[0052] 在示例18中,示例15至17中的任一项的主题可以可选地包括由以下材料形成低带隙有源沟道,所述材料选自于由砷化铟镓、砷化铟和铟化铟组成的组。

[0053] 在示例19中,示例15到18中的任一项的主题可以可选地包括:形成延伸到衬底中的成核沟槽。

[0054] 在示例20中,示例19的主题可以可选地包括:形成成核沟槽包括形成具有(111)小面化的成核沟槽。

[0055] 在示例21中,示例15和19中的任一项的主题可以可选地包括形成邻接成核沟槽的成核层。

[0056] 在示例22中,示例21的主题可以可选地包括由以下材料形成成核层,所述材料选自于由磷化铟、磷化镓和砷化镓组成的组。

[0057] 在示例23中,示例15至22中的任一项的主题可以可选地包括使隔离结构凹进,以使得有源沟道的至少一部分在隔离结构上方延伸。

[0058] 在示例24中,示例15至23中的任一项的主题可以可选地包括在有源沟道的在隔离结构上方延伸的部分之上形成栅极。

[0059] 在示例25中,示例15至24中的任一项的主题可以可选地包括去除高带隙子结构以形成低带隙有源沟道与衬底之间的空隙。

[0060] 在示例26中,示例25的主题可以可选地包括形成栅极以包围低带隙有源沟道。

[0061] 在示例27中,示例25和26中的任一项的主题可以可选地包括在空隙内沉积绝缘材料。

[0062] 在这样详细描述了本说明书的实施例后,要理解的是,由所附权利要求限定的本说明书不应被以上描述中所阐述的特定细节限制,因为本说明书的很多明显变型在不脱离其精神和范围的情况下是可能的。

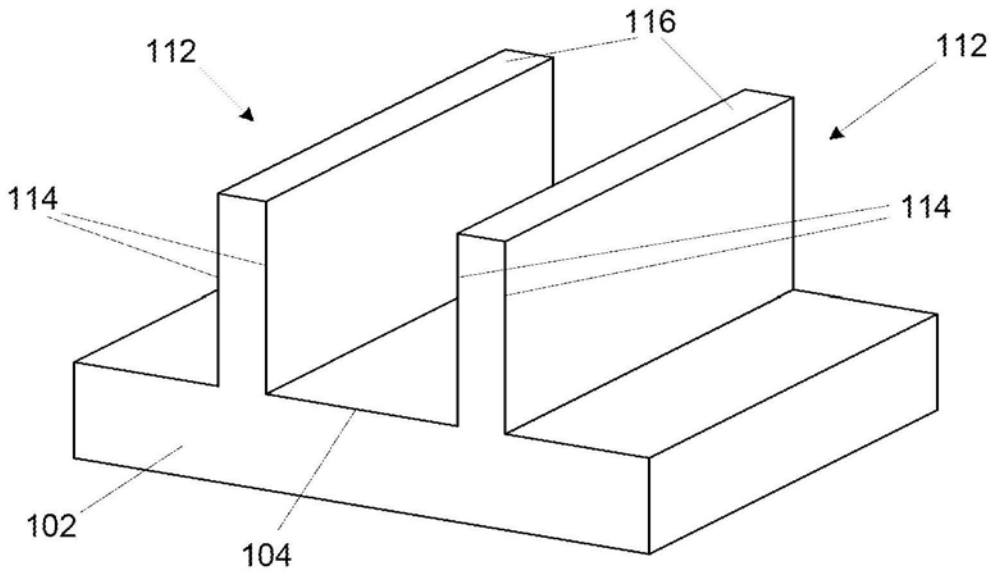


图1

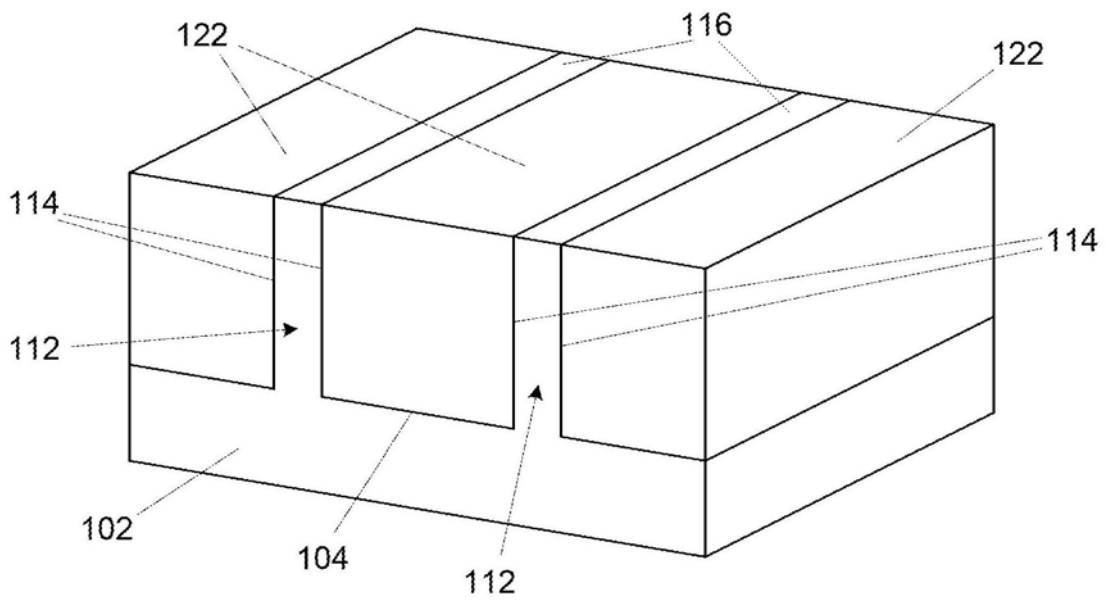


图2

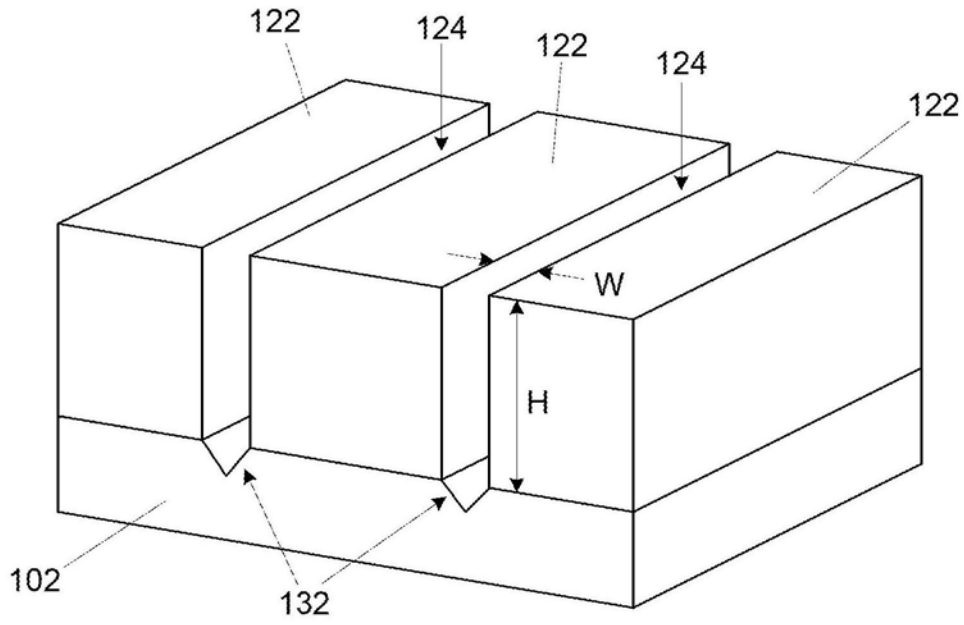


图3

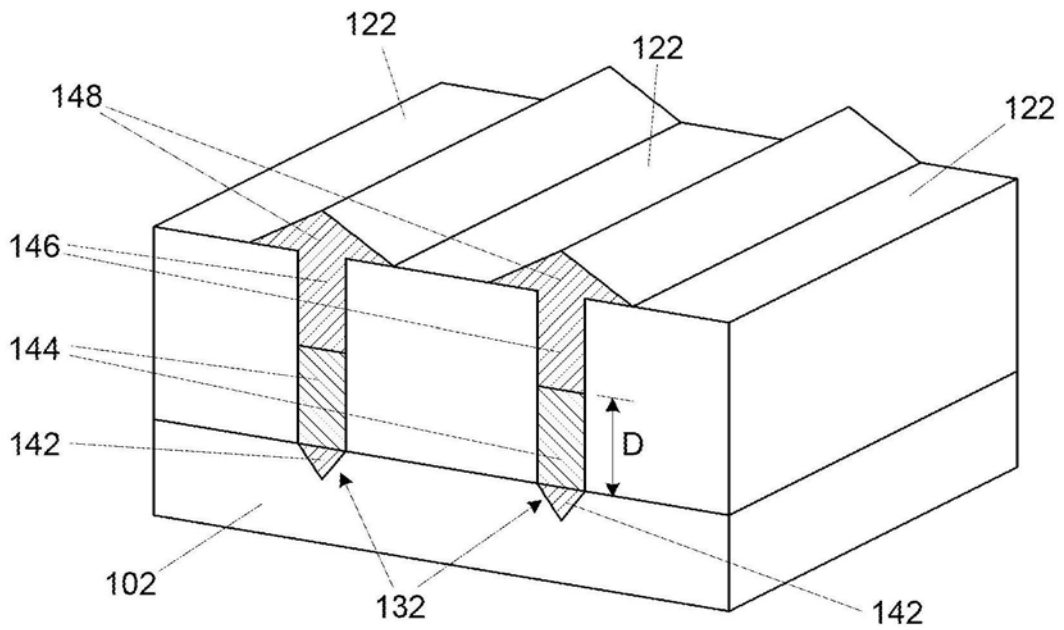


图4

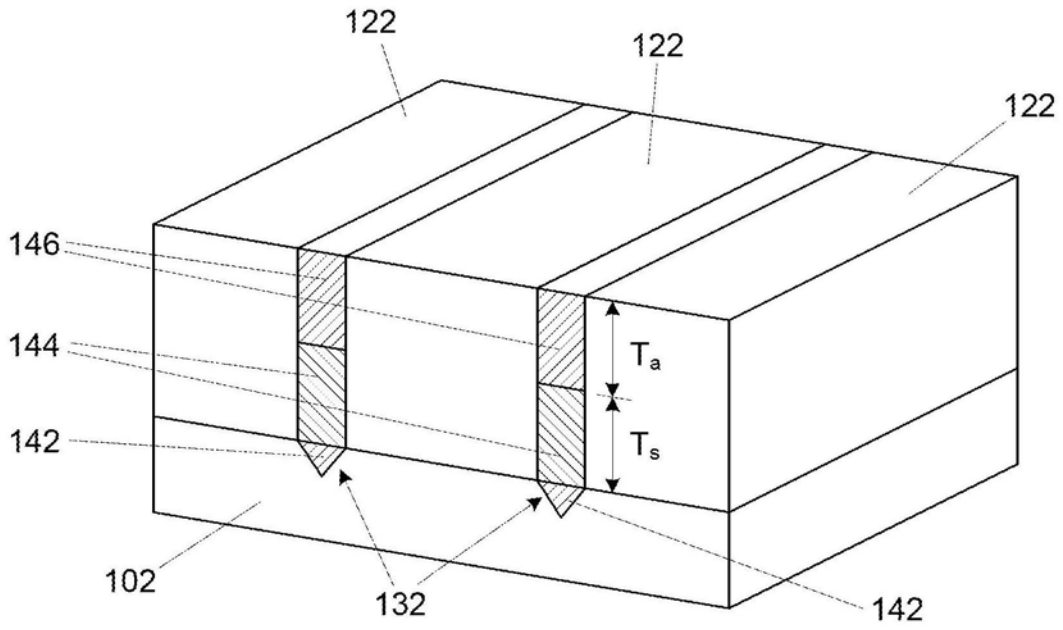


图5

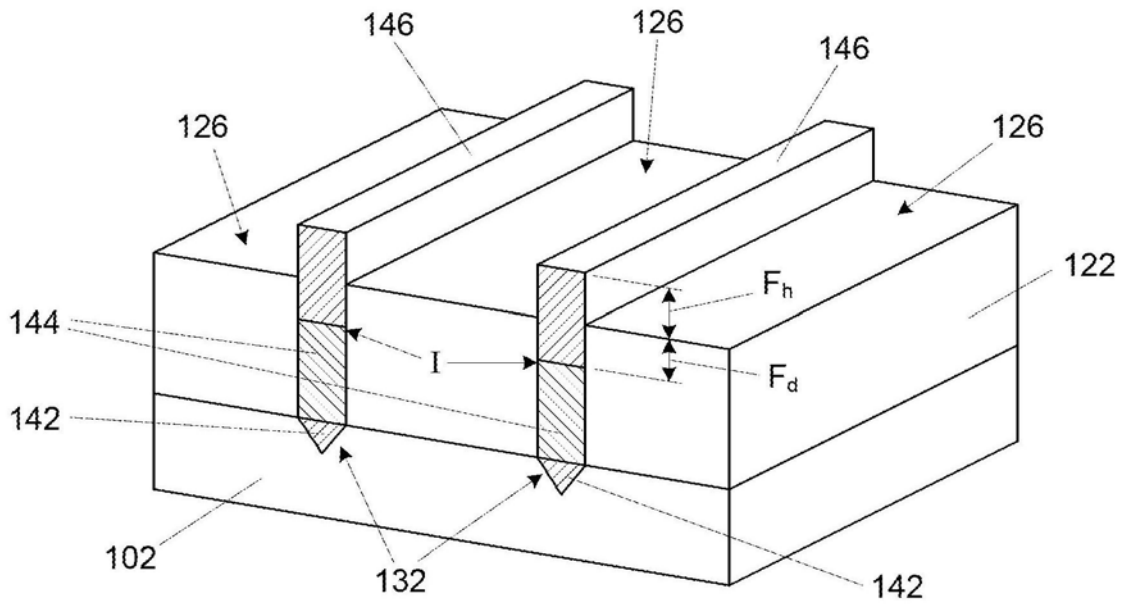


图6

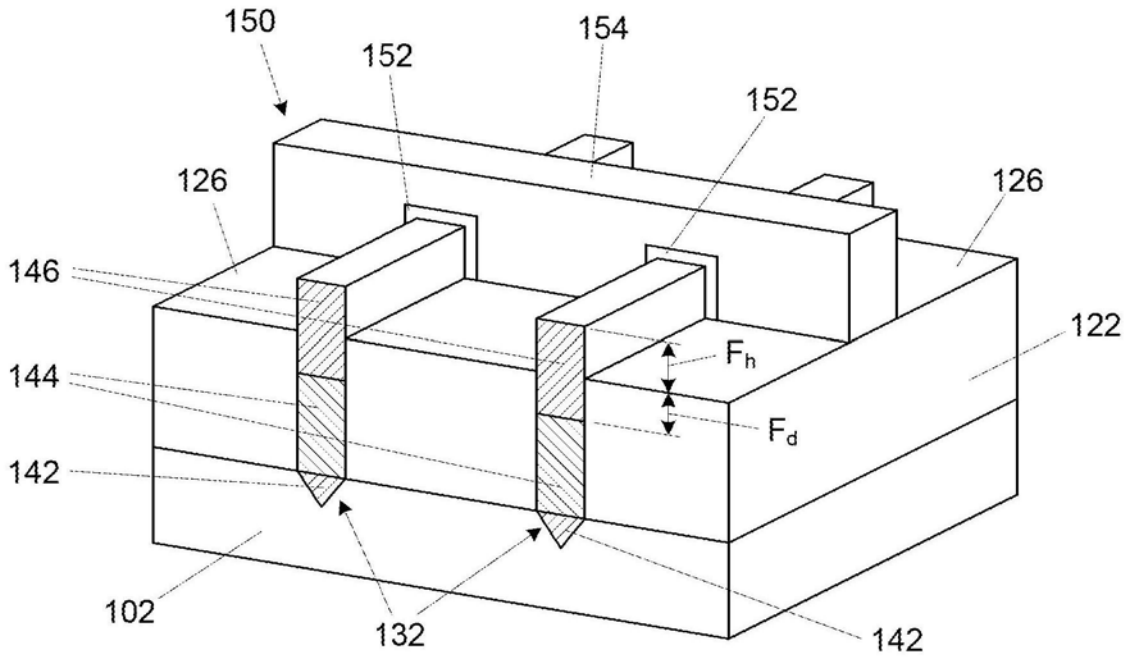


图7

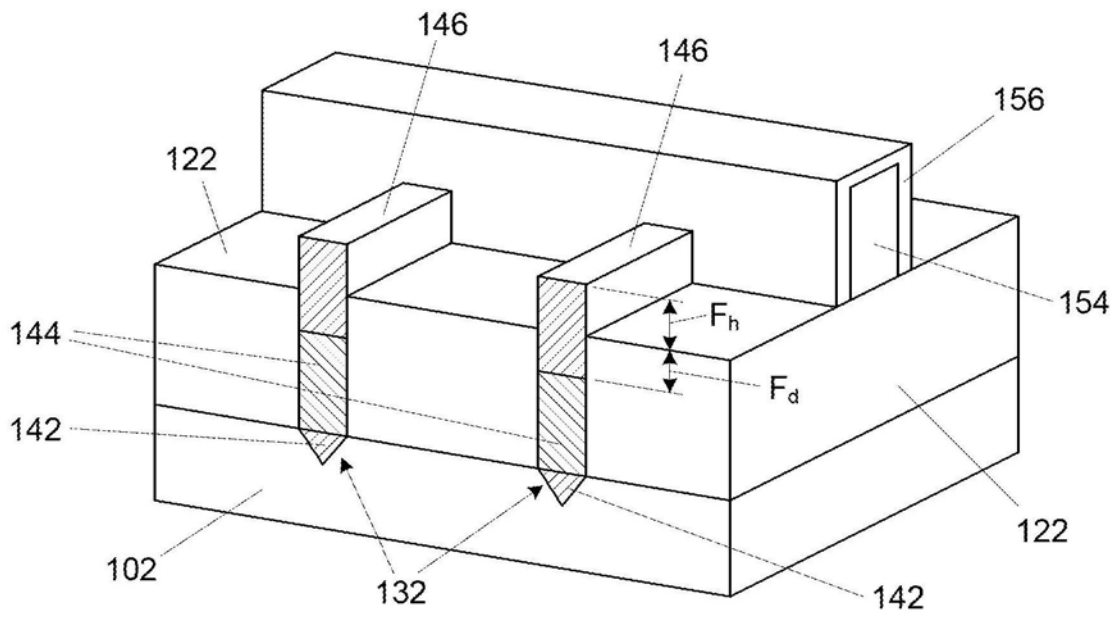


图8

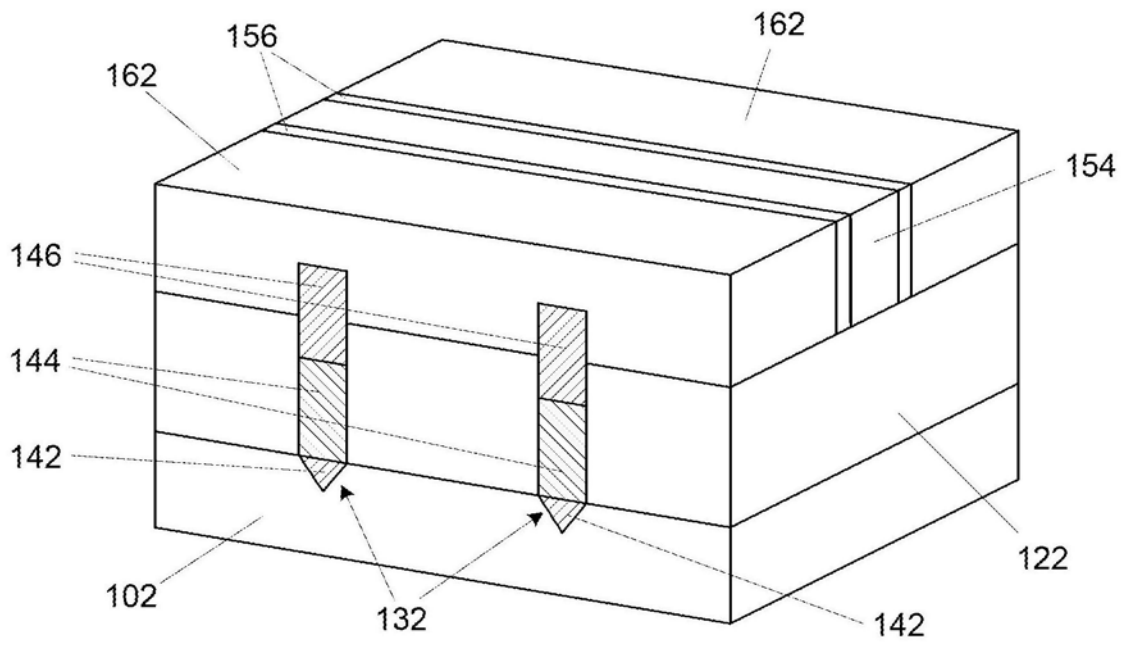


图9

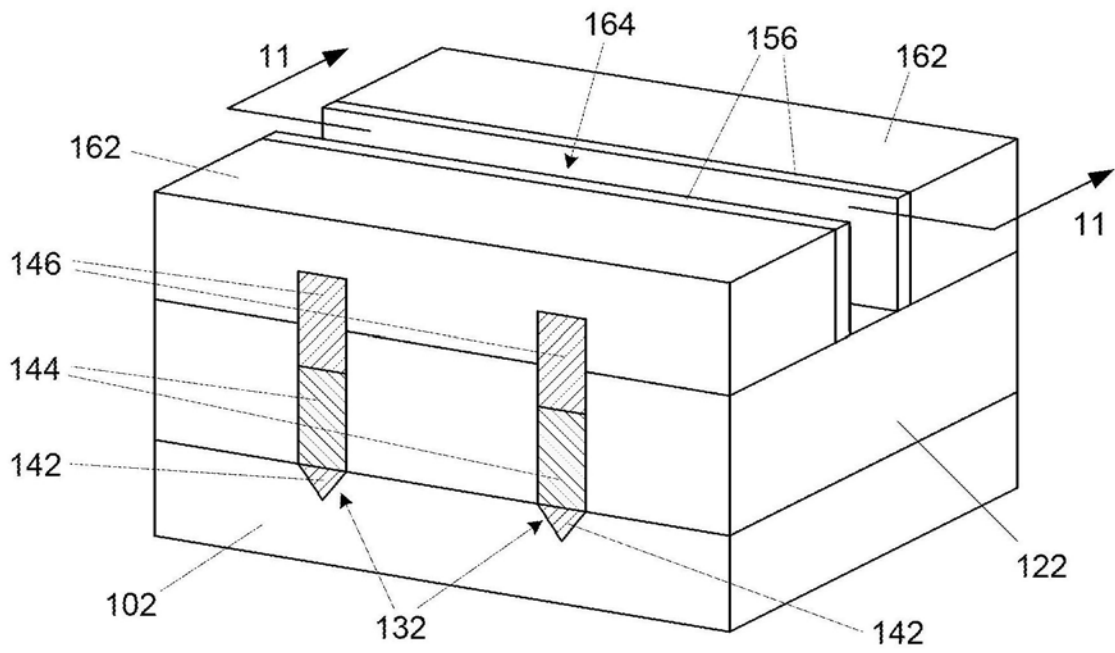


图10

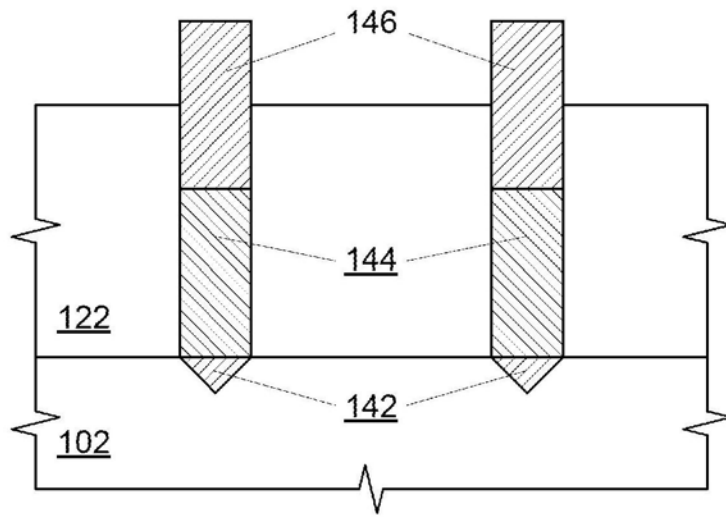


图11

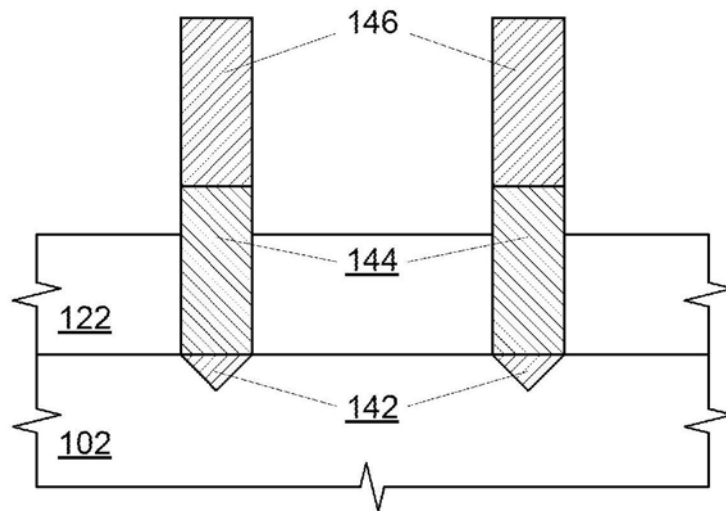


图12



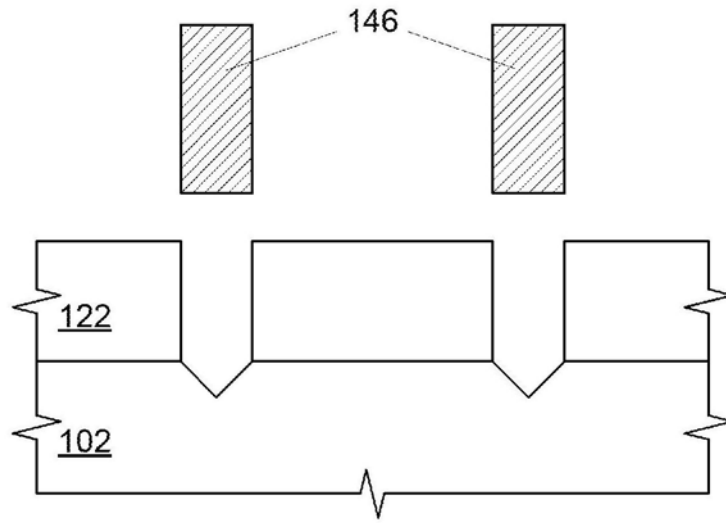


图13

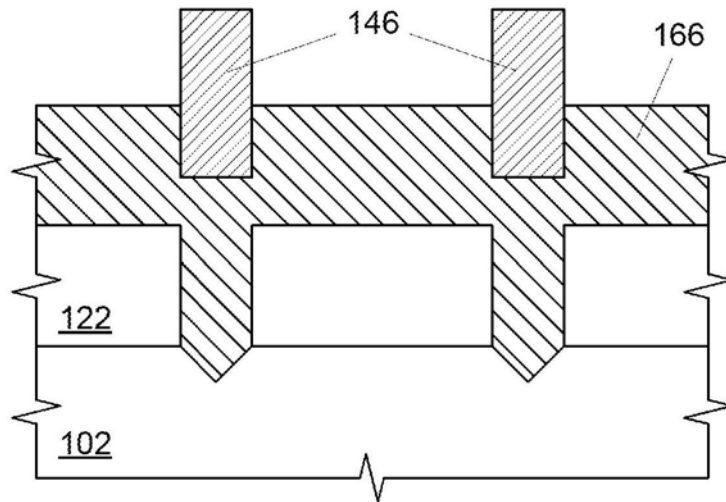


图14

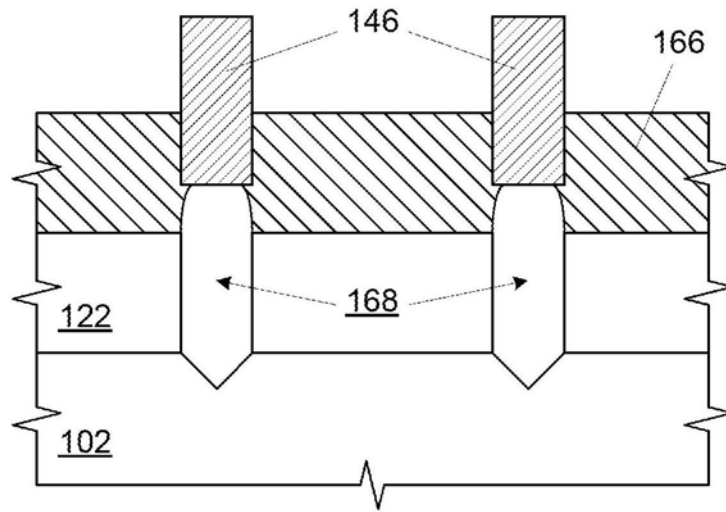


图15

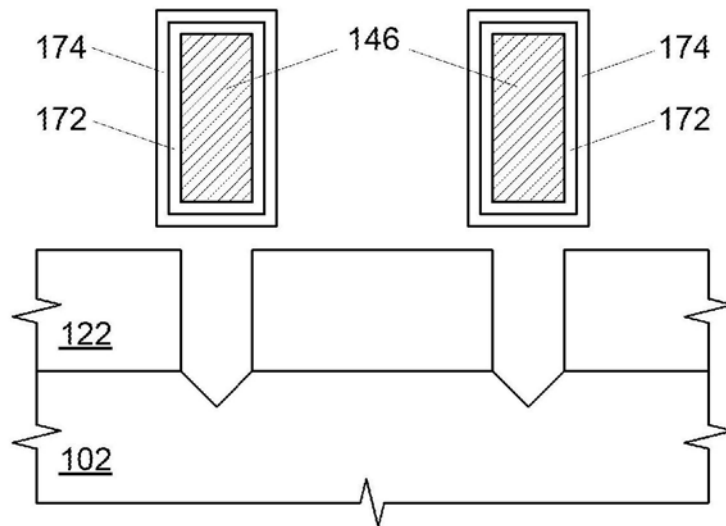


图16

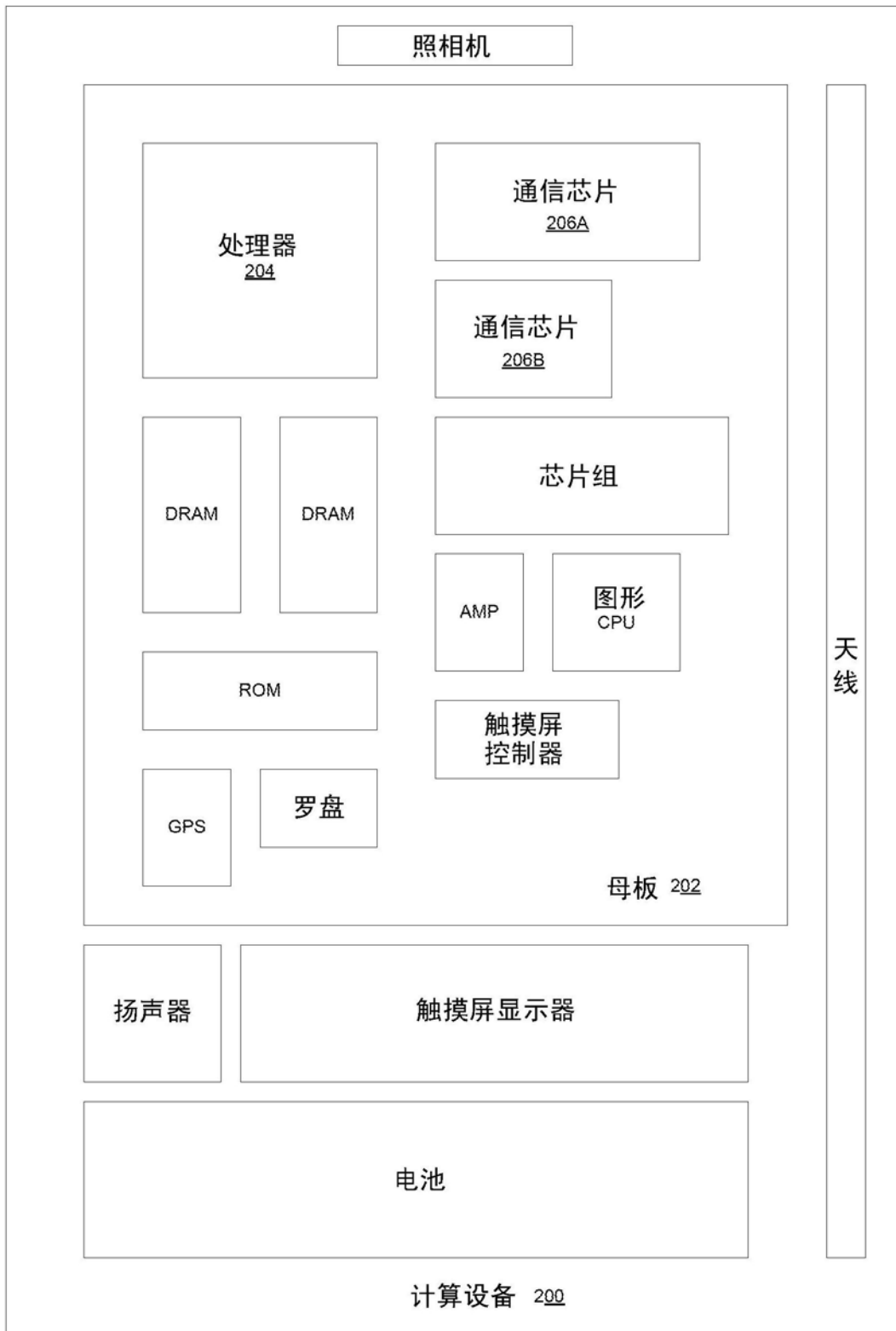


图17