



(12)发明专利申请

(10)申请公布号 CN 112349331 A

(43)申请公布日 2021.02.09

(21)申请号 202010191358.2

(22)申请日 2020.03.18

(30)优先权数据

10-2019-0096325 2019.08.07 KR

(71)申请人 三星电子株式会社

地址 韩国京畿道水原市

(72)发明人 文贵妍 慎钒揆 郑宰溶

(74)专利代理机构 北京铭硕知识产权代理有限公司

公司 11286

代理人 方成 张川绪

(51)Int.Cl.

G11C 16/10(2006.01)

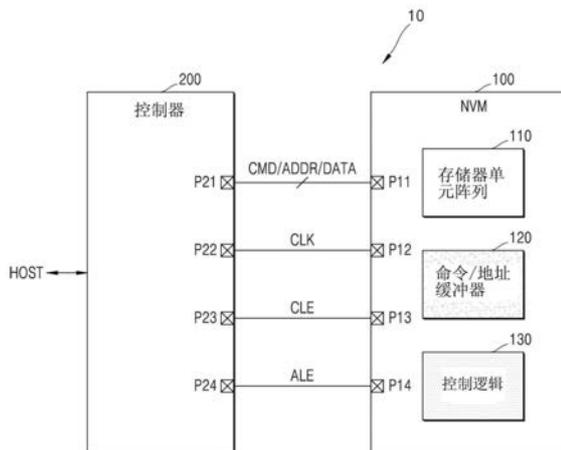
权利要求书3页 说明书15页 附图20页

(54)发明名称

非易失性存储器装置、控制器和存储器系统

(57)摘要

提供了一种非易失性存储器装置、控制器和存储器系统。所述非易失性存储器装置包括：时钟引脚，时钟信号通过时钟引脚从控制器被接收；第一输入/输出引脚；第二输入/输出引脚，数据通过第二输入/输出引脚与时钟信号同步地从控制器被接收；命令/地址缓冲器，被配置为：以第一操作速度进行操作，并且缓冲通过第一输入/输出引脚与时钟信号同步地接收的命令和地址；存储器单元阵列，包括多个存储器单元；和控制逻辑，被配置为：基于缓冲在命令/地址缓冲器中的命令和地址，来控制针对所述多个存储器单元的操作。



1. 一种非易失性存储器装置,包括:  
时钟引脚,时钟信号通过时钟引脚从控制器被接收;  
第一输入/输出引脚;  
第二输入/输出引脚,数据通过第二输入/输出引脚与时钟信号同步地从控制器被接收;  
命令/地址缓冲器,被配置为:以第一操作速度进行操作,并且缓冲通过第一输入/输出引脚与时钟信号同步地接收的命令和地址;  
存储器单元阵列,包括多个存储器单元;和  
控制逻辑,被配置为:基于缓冲在命令/地址缓冲器中的命令和地址,来控制针对所述多个存储器单元的操作。
2. 根据权利要求1所述的非易失性存储器装置,还包括:  
输入/输出缓冲器,被配置为以第一操作速度进行操作,并且缓冲从存储器单元阵列读取的读取数据或将被写入存储器单元阵列中的写入数据。
3. 根据权利要求1所述的非易失性存储器装置,其中,第一操作速度对应于非易失性存储器装置与控制器之间的数据输入/输出速度,并且  
其中,控制逻辑还被配置为以非易失性存储器装置的与第一操作速度不同的内部操作速度进行操作。
4. 根据权利要求1所述的非易失性存储器装置,还包括:  
命令锁存使能引脚,被配置为从控制器接收命令锁存使能信号;和  
地址锁存使能引脚,被配置为从控制器接收地址锁存使能信号。
5. 根据权利要求4所述的非易失性存储器装置,其中,命令/地址缓冲器还被配置为:  
在命令锁存使能信号被使能的同时,缓冲通过第一输入/输出引脚接收的命令,并且在地址锁存使能信号被使能的同时,缓冲通过第一输入/输出引脚接收的地址。
6. 根据权利要求1所述的非易失性存储器装置,其中,时钟信号对应于数据输入/输出时钟信号。
7. 根据权利要求1所述的非易失性存储器装置,其中,时钟信号对应于数据选通信号,时钟引脚对应于数据选通信号引脚,  
其中,命令/地址缓冲器还被配置为通过第一输入/输出引脚与数据选通信号同步地从控制器接收命令和地址,并且  
其中,控制逻辑还被配置为通过第二输入/输出引脚与数据选通信号同步地从控制器接收数据并将数据发送到控制器。
8. 根据权利要求1所述的非易失性存储器装置,其中,时钟信号对应于写入使能信号,  
其中,命令/地址缓冲器还被配置为通过第一输入/输出引脚与写入使能信号同步地从控制器接收命令和地址,以及  
其中,控制逻辑还被配置为通过第二输入/输出引脚与写入使能信号同步地从控制器接收数据。
9. 根据权利要求1所述的非易失性存储器装置,其中,时钟信号包括写入使能信号和读取使能信号,  
其中,命令/地址缓冲器还被配置为通过第一输入/输出引脚与写入使能信号同步地从

控制器接收命令和地址,以及

其中,控制逻辑还被配置为通过第二输入/输出引脚与读取使能信号同步地将数据发送到控制器。

10. 根据权利要求1所述的非易失性存储器装置,其中,控制逻辑还被配置为以与第一操作速度不同的第二操作速度进行操作。

11. 根据权利要求10所述的非易失性存储器装置,其中,第二操作速度低于第一操作速度。

12. 根据权利要求1所述的非易失性存储器装置,其中  
第一输入/输出引脚与第二输入/输出引脚相同,并且  
其中,命令、地址和数据通过第一输入/输出引脚从控制器被接收。

13. 根据权利要求1所述的非易失性存储器装置,其中,时钟信号包括:仅在从控制器接收命令和地址的时段中切换的第一时钟信号、以及仅在从控制器接收数据的时段中切换的第二时钟信号。

14. 一种控制器,包括:

时钟引脚、第一输入/输出引脚和第二输入/输出引脚,被构造为连接到非易失性存储器装置;和

至少一个处理器,被配置为:

通过时钟引脚将时钟信号发送到非易失性存储器装置;

通过第一输入/输出引脚与时钟信号同步地将命令和地址发送到非易失性存储器装置;并且

通过第二输入/输出引脚与非易失性存储器装置收发与时钟信号同步的数据。

15. 根据权利要求14所述的控制器,还包括:被构造为连接到非易失性存储器装置的命令锁存使能信号引脚,

其中,控制器还被配置为通过命令锁存使能信号引脚将指示命令的发送时段的命令锁存使能信号发送到非易失性存储器装置。

16. 根据权利要求14所述的控制器,还包括:被构造为连接到非易失性存储器装置的地址锁存使能信号引脚,

其中,控制器还被配置为通过地址锁存使能信号引脚将指示地址的发送时段的地址锁存使能信号发送到非易失性存储器装置。

17. 根据权利要求14所述的控制器,其中,时钟信号对应于数据选通信号,时钟引脚对应于数据选通信号引脚,并且

其中,所述至少一个处理器还被配置为:

通过第一输入/输出引脚与数据选通信号同步地将命令和地址发送到非易失性存储器装置;和

通过第二输入/输出引脚与数据选通信号同步地与非易失性存储器装置收发数据。

18. 根据权利要求14所述的控制器,其中,时钟信号对应于写入使能信号,并且

其中,所述至少一个处理器还被配置为:

通过第一输入/输出引脚与写入使能信号同步地将命令和地址发送到非易失性存储器装置;并且

通过第二输入/输出引脚与写入使能信号同步地将数据发送到非易失性存储器装置。

19. 根据权利要求14所述的控制器, 其中

第一输入/输出引脚与第二输入/输出引脚相同, 并且

其中, 命令、地址和数据通过第一输入/输出引脚被发送到非易失性存储器装置。

20. 根据权利要求14所述的控制器, 其中, 时钟信号包括: 仅在命令和地址被发送到非易失性存储器装置的时段中切换的第一时钟信号、以及仅在数据被发送到非易失性存储器装置的时段中切换的第二时钟信号。

21. 一种存储器系统, 包括:

非易失性存储器装置; 和

控制器, 被配置为: 将时钟信号、分别与时钟信号同步的命令、地址和数据发送到非易失性存储器装置;

其中, 非易失性存储器装置包括:

时钟引脚, 被配置为从控制器接收时钟信号;

输入/输出引脚, 被配置为从控制器接收与时钟信号同步的命令、地址和数据;

命令锁存使能引脚, 被配置为从控制器接收命令锁存使能信号;

地址锁存使能引脚, 被配置为从控制器接收地址锁存使能信号;

命令/地址缓冲器, 被配置为: 基于命令锁存使能信号和地址锁存使能信号, 缓冲通过输入/输出引脚与通过时钟引脚接收的时钟信号同步地接收的命令和地址;

存储器单元阵列, 包括多个存储器单元; 和

控制逻辑, 被配置为: 基于缓冲在命令/地址缓冲器中的命令和地址, 来控制针对所述多个存储器单元的操作。

22. 根据权利要求21所述的存储器系统, 其中, 命令/地址缓冲器以第一操作速度进行操作, 并且

其中, 控制逻辑以与第一操作速度不同的第二操作速度进行操作。

23. 根据权利要求22所述的存储器系统, 其中, 第一操作速度对应于非易失性存储器装置与控制器之间的数据输入/输出速度, 并且

其中, 第二操作速度对应于非易失性存储器装置的内部操作速度。

24. 根据权利要求21所述的存储器系统, 其中, 时钟信号包括: 仅在命令和地址从控制器被发送到非易失性存储器装置的时段中切换的第一时钟信号、以及仅在数据从控制器被发送到非易失性存储器装置的时段中切换的第二时钟信号。

## 非易失性存储器装置、控制器和存储器系统

[0001] 本申请要求于2019年8月7日提交到韩国知识产权局的第10-2019-0096325号韩国专利申请的优先权,所述韩国专利申请的公开通过引用整体包含于此。

### 技术领域

[0002] 与本公开的实施例一致的方法和设备涉及存储器装置,更具体地,涉及非易失性存储器装置、控制器以及包括非易失性存储器装置和控制器的存储器系统。

### 背景技术

[0003] 近来,存储装置(诸如,固态驱动器(SSD))已被广泛使用。存储装置可对应于例如包括非易失性存储器装置(诸如,闪存)和用于控制非易失性存储器装置的控制器的存储器系统。随着存储装置的性能的提高,存储装置中的非易失性存储器装置与控制器之间的数据输入/输出速度也提高。因此,可在控制器与非易失性存储器装置之间以高速发送和接收数据。另一方面,命令和地址可根据具有预定的固定时间值的时序参数从控制器被发送到非易失性存储器装置。结果,尽管数据输入/输出速度提高,而输入/输出效率可能降低。

### 发明内容

[0004] 根据示例实施例的方面,提供了一种非易失性存储器装置,所述非易失性存储器装置包括:时钟引脚,时钟信号通过时钟引脚从控制器被接收;第一输入/输出引脚;第二输入/输出引脚,数据通过第二输入/输出引脚与时钟信号同步地从控制器被接收;命令/地址缓冲器,被配置为:以第一操作速度进行操作,并且缓冲通过第一输入/输出引脚与时钟信号同步地接收的命令和地址;存储器单元阵列,包括多个存储器单元;和控制逻辑,被配置为:基于缓冲在命令/地址缓冲器中的命令和地址,来控制针对所述多个存储器单元的操作。

[0005] 根据示例实施例的方面,提供了一种控制器,所述控制器包括:时钟引脚、第一输入/输出引脚和第二输入/输出引脚,被构造为连接到非易失性存储器装置;和至少一个处理器,被配置为:通过时钟引脚将时钟信号发送到非易失性存储器装置;通过第一输入/输出引脚与时钟信号同步地将命令和地址发送到非易失性存储器装置;并且通过第二输入/输出引脚与非易失性存储器装置收发与时钟信号同步的数据。

[0006] 根据示例实施例的方面,提供了一种存储器系统,所述存储器系统包括:非易失性存储器装置;和控制器,被配置为:将时钟信号、分别与时钟信号同步的命令、地址和数据发送到非易失性存储器装置。非易失性存储器装置包括:时钟引脚,被配置为从控制器接收时钟信号;输入/输出引脚,被配置为从控制器接收与时钟信号同步的命令、地址和数据;命令锁存使能引脚,被配置为从控制器接收命令锁存使能信号;地址锁存使能引脚,被配置为从控制器接收地址锁存使能信号;命令/地址缓冲器,被配置为:基于命令锁存使能信号和地址锁存使能信号,缓冲通过输入/输出引脚与通过时钟引脚接收的时钟信号同步地接收的命令和地址;存储器单元阵列,包括多个存储器单元;和控制逻辑,被配置为:基于缓冲在命

令/地址缓冲器中的命令和地址,来控制针对所述多个存储器单元的操作。

### 附图说明

[0007] 从下面的结合附图的具体实施方式,将更清楚地理解本公开的以上和其他方面、特征和优点,其中:

[0008] 图1是示出根据示例实施例的存储器系统的框图;

[0009] 图2是示出根据示例实施例的从图1的控制器发送到非易失性存储器装置的信号的示例的时序图;

[0010] 图3是示出根据示例实施例的在图1的控制器与非易失性存储器装置之间的操作的流程图;

[0011] 图4是示出根据示例实施例的存储器系统的框图;

[0012] 图5是更详细地示出根据示例实施例的图4的存储器系统的框图;

[0013] 图6是示出根据示例实施例的存储器系统的框图;

[0014] 图7是示出根据示例实施例的对图6的非易失性存储器装置的写入操作中的信号的示例的时序图;

[0015] 图8是示出根据示例实施例的在图6的控制器与非易失性存储器装置之间的写入操作的流程图;

[0016] 图9是示出根据示例实施例的对图6的非易失性存储器装置的写入操作中的信号的另一示例的时序图;

[0017] 图10是示出根据示例实施例的对图6的非易失性存储器装置的读取操作中的信号的示例的时序图;

[0018] 图11是示出根据示例实施例的在图6的控制器与非易失性存储器装置之间的读取操作的流程图;

[0019] 图12是示出根据示例实施例的对图6的非易失性存储器装置的读取操作中的信号的另一示例的时序图;

[0020] 图13是示出根据示例实施例的存储器系统的框图;

[0021] 图14是示出根据示例实施例的对图13的非易失性存储器装置的写入操作中的信号的示例的时序图;

[0022] 图15是示出根据示例实施例的在图13的控制器与非易失性存储器装置之间的写入操作的流程图;

[0023] 图16是示出根据示例实施例的对图13的非易失性存储器装置的读取操作中的信号的示例的时序图;

[0024] 图17是示出根据示例实施例的在图13的控制器与非易失性存储器装置之间的读取操作的流程图;

[0025] 图18是示出根据示例实施例的非易失性存储器装置的框图;

[0026] 图19是示出根据示例实施例的操作非易失性存储器装置的方法的流程图;以及

[0027] 图20是示出根据示例实施例的存储器装置被应用于SSD系统的示例的框图。

## 具体实施方式

[0028] 在下文中,将参照附图详细描述示例实施例。然而,本公开可以以许多不同的形式来实现,并且不应被解释为限于在此阐述的实施例。贯穿本申请,同样的参考标号表示同样的元件。诸如“……中的至少一个”的表述当在一列元素之后时,修饰整列元素而不是修饰列中的单个元素。例如,表述“a、b和c中的至少一个”应被理解为:仅包括a、仅包括b、仅包括c、包括a和b二者、包括a和c二者、包括b和c二者或者包括全部的a、b和c。

[0029] 图1是示出根据示例实施例的存储器系统10的框图。

[0030] 参照图1,存储器系统10可包括非易失性存储器装置(NVM) 100和控制器200。非易失性存储器装置100可包括包含多个存储器单元的存储器单元阵列110、命令/地址缓冲器120和控制逻辑130。此外,非易失性存储器装置100还可包括第一引脚P11至第四引脚P14,控制器200可包括第一引脚P21至第四引脚P24。例如,存储器系统10可被实现为诸如SSD的存储装置。

[0031] 控制器200可基于来自主机HOST的读取请求/写入请求,控制非易失性存储器装置100,以读取存储在非易失性存储器装置100中的数据或将数据编程在非易失性存储器装置100中。根据一些实施例,控制器200可被称为存储器控制器。具体地,控制器200可通过将命令CMD和地址ADDR提供给非易失性存储器装置100,来控制对非易失性存储器装置100执行的编程操作、读取操作和擦除操作。此外,可在控制器200与非易失性存储器装置100之间发送和接收用于编程的数据DATA和读取数据DATA。

[0032] 通过使用与数据DATA的输入/输出通道相同的输入/输出通道,命令CMD和地址ADDR可从控制器200被发送到非易失性存储器装置100。例如,控制器200可通过输入/输出通道顺序地将命令CMD和地址ADDR发送到非易失性存储器装置100,然后可通过输入/输出通道发送用于编程的数据DATA,或者可从非易失性存储器装置100接收读取数据DATA。

[0033] 控制器200可通过第一引脚P21将命令CMD和地址ADDR发送到非易失性存储器装置100,并且可通过第一引脚P21发送和接收关于非易失性存储器装置100的数据DATA。在下文中,第一引脚P21将被称为“输入/输出引脚”。例如,输入/输出引脚P21可利用多个输入/输出引脚来实现,并且多个输入/输出引脚可通过多条输入/输出线分别电连接到非易失性存储器装置100。

[0034] 然而,示例实施例不限于此,并且在一些示例实施例中,发送命令CMD和地址ADDR所通过的通道与发送和接收数据DATA所通过的通道可彼此分开。因此,控制器200可通过第一输入/输出引脚将命令CMD和地址ADDR发送到非易失性存储器装置100,并且可通过第二输入/输出引脚发送和接收关于非易失性存储器装置100的数据DATA。这将参照图5进行详细描述。控制器200可通过第二引脚P22将时钟信号CLK发送到非易失性存储器装置100。在下文中,第二引脚P22将被称为“时钟引脚”。在一个实施例中,时钟信号CLK可包括数据输入/输出时钟信号(例如,数据选通信号),这将参照图5至图12进行详细描述。在一个实施例中,时钟信号CLK可包括写入使能信号。在一个实施例中,时钟信号CLK可包括读取使能信号。在一个实施例中,时钟信号CLK可包括多个信号,并且可包括例如写入使能信号和读取使能信号,这将参照图13至图17进行详细描述。在一个实施例中,时钟信号CLK可被设置为差分信号。在一些实施例中,时钟信号CLK可仅在发送命令CMD和地址ADDR的时段中或者仅在发送和接收数据DATA的部分中进行切换(toggle)。

[0035] 控制器200可使命令CMD、地址ADDR和数据DATA与时钟信号CLK同步,并且与时钟信号CLK同步的命令CMD、地址ADDR和数据DATA可被发送到非易失性存储器装置100。在一个实施例中,命令CMD、地址ADDR和数据DATA可与时钟信号CLK的上升沿同步。在一个实施例中,命令CMD、地址ADDR和数据DATA可与时钟信号CLK的下降沿同步。在一个实施例中,命令CMD、地址ADDR和数据DATA可与时钟信号CLK的上升沿和下降沿同步。例如,它们可以以双倍数据速率(DDR)模式被发送到非易失性存储器装置100。因此,随着时钟信号CLK的频率提高,命令CMD和地址ADDR以及数据DATA的传输速度可被提高。

[0036] 控制器200可通过第三引脚P23将指示命令CMD的传输时间的命令锁存使能信号CLE发送到非易失性存储器装置100。在下文中,第三引脚P23将被称为“命令锁存使能信号引脚”。此外,控制器200可通过第四引脚P24将指示地址ADDR的传输时间的地址锁存使能信号ALE发送到非易失性存储器装置100。在下文中,第四引脚P24将被称为“地址锁存使能信号引脚”。如上所述,控制器200可通过使用命令锁存使能信号CLE和地址锁存使能信号ALE,将通过同一通道发送到非易失性存储器装置100的命令CMD、地址ADDR和数据DATA彼此区分。

[0037] 非易失性存储器装置100可通过第一引脚P11从控制器200接收命令CMD和地址ADDR,并且可通过第一引脚P11将数据DATA发送到控制器200和/或从控制器200接收数据DATA。在下文中,第一引脚P11将被称为“输入/输出引脚”。例如,输入/输出引脚P11可利用多个输入/输出引脚来实现,并且多个输入/输出引脚可通过多条输入/输出线分别电连接到控制器200。

[0038] 非易失性存储器装置100可通过第二引脚P12从控制器200接收时钟信号CLK。在下文中,第二引脚P12将被称为“时钟引脚”。非易失性存储器装置100可通过第三引脚P13从控制器200接收命令锁存使能信号CLE。在下文中,第三引脚P13将被称为“命令锁存使能信号引脚”。此外,非易失性存储器装置100可通过第四引脚P14从控制器200接收地址锁存使能信号ALE。在下文中,第四引脚P14将被称为“地址锁存使能信号引脚”。

[0039] 命令/地址缓冲器120可缓冲通过输入/输出引脚P11接收的命令CMD和地址ADDR。非易失性存储器装置100可将在命令锁存使能信号CLE的使能时段中通过输入/输出引脚P11接收的信号确定为命令CMD,并且命令/地址缓冲器120可缓冲命令CMD。此外,非易失性存储器装置100可将在地址锁存使能信号ALE的使能时段中通过输入/输出引脚P11接收的信号确定为地址ADDR,并且命令/地址缓冲器120可缓冲地址ADDR。

[0040] 在一个实施例中,命令/地址缓冲器120可以以第一操作速度进行操作。例如,第一操作速度可对应于非易失性存储器装置100与控制器200之间的数据输入/输出速度。因此,命令/地址缓冲器120可以以输入/输出速度接收与时钟信号CLK同步的命令CMD和地址ADDR,并且可缓冲接收的命令CMD和地址ADDR。

[0041] 控制逻辑130可接收缓冲在命令/地址缓冲器120中的命令CMD和地址ADDR,并且可基于接收的命令CMD和地址ADDR来控制包括在存储器单元阵列110中的多个存储器单元的操作。在这个实施例中,控制逻辑130可以以与第一操作速度不同的第二操作速度进行操作。在一个实施例中,控制逻辑130可以以低于第一操作速度的第二操作速度进行操作。例如,第二操作速度可对应于非易失性存储器装置100的内部操作速度。此外,控制逻辑130可通过第二输入/输出引脚与时钟信号(例如,数据选通信号、写入使能信号或读取使能信号

等)同步地从控制器200接收数据和/或将数据发送到控制器200。

[0042] 在一些实施例中,存储器系统10可以是嵌入在电子装置中的内部存储器。例如,存储器系统10可包括SSD、嵌入式通用闪存(UFS)存储器装置或嵌入式多媒体卡(eMMC)。在一些实施例中,存储器系统10可包括可与电子装置分离的外部存储器。例如,存储器系统10可包括UFS存储器卡、紧凑型闪存(CF)卡、安全数字(SD)卡、微型安全数字(Micro-SD)卡、迷你安全数字(Mini-SD)卡、极限数字(xD)卡或记忆棒。

[0043] 存储器系统10和主机可构成存储系统,存储系统可例如实现在个人计算机(PC)中、数据服务器中、联网的存储装置中、物联网(IoT)装置中或便携式电子装置中。便携式电子装置可包括膝上型计算机、移动电话、智能电话、平板PC、个人数字助理(PDA)、企业数字助理(EDA)、数字静态相机、数码摄像机、音频装置、便携式多媒体播放器(PMP)、个人导航装置(PND)、MP3播放器、手持游戏机、电子书、可穿戴装置等。

[0044] 图2是示出根据示例实施例的从图1的控制器200发送到非易失性存储器装置100的信号的示例的时序图。

[0045] 参照图2,时钟信号CLK可以以第一频率进行切换。在一个实施例中,第一频率可对应于控制器200与非易失性存储器装置100之间的数据输入/输出速度。命令锁存使能信号CLE可在命令CMD的发送时段中以逻辑“高”被使能。命令CMD可与时钟信号CLK同步地发送到非易失性存储器装置100。地址锁存使能信号ALE可在地址ADDR的发送时段中以逻辑“高”被使能。地址ADDR可与时钟信号CLK同步地发送到非易失性存储器装置100。例如,命令CMD和地址ADDR可与时钟信号CLK的上升沿和下降沿同步。将通过数据信号线DQ发送的命令CMD和地址ADDR的传输时间可对应于输入/输出速度与时钟信号CLK的周期数的乘积。

[0046] 图3是示出根据示例实施例的在图1的控制器200与非易失性存储器装置100之间的操作的流程图。

[0047] 一起参照图1至图3,在步骤S110中,控制器200可发出命令CMD和地址ADDR。在一个实施例中,控制器200可包括命令/地址缓冲器,并且控制器200可将命令CMD和地址ADDR缓冲在命令/地址缓冲器中。例如,命令CMD可包括写入命令、读取命令、擦除命令等。

[0048] 在步骤S120中,控制器200可使命令锁存使能信号CLE激活。例如,控制器200可将命令锁存使能信号CLE从逻辑“低”激活为逻辑“高”。在一个实施例中,命令锁存使能信号CLE的激活开始时间可与命令CMD的发送开始时间基本相同。然而,示例实施例不限于此,并且在一些示例实施例中,命令锁存使能信号CLE的激活开始时间可比命令CMD的发送开始时间早。

[0049] 在步骤S130中,控制器200可与时钟信号CLK同步地将命令CMD发送到非易失性存储器装置100。例如,控制器200可通过输入/输出引脚P21输出命令CMD,可通过时钟引脚P22输出切换的时钟信号CLK,并且可与时钟信号CLK同步地输出命令CMD。例如,非易失性存储器装置100可通过输入/输出引脚P11接收命令CMD,可通过时钟引脚P12接收切换的时钟信号CLK,并且可与时钟信号CLK同步地接收命令CMD。此时,控制器200还可将激活的命令锁存使能信号CLE发送到非易失性存储器装置100。例如,命令CMD的传输时间可对应于时钟信号CLK的两个循环周期。

[0050] 在步骤S140中,非易失性存储器装置100可将命令CMD缓冲在命令/地址缓冲器120中。命令/地址缓冲器120可以以数据输入/输出速度进行操作,因此命令/地址缓冲器120可

根据数据输入/输出速度直接缓冲与时钟信号CLK同步的命令CMD。此时,非易失性存储器装置100可基于激活的命令锁存使能信号CLE,将通过输入/输出引脚P11从控制器200接收的信号确定为命令CMD。

[0051] 在步骤S150中,控制器200可使地址锁存使能信号ALE激活。例如,控制器200可将地址锁存使能信号ALE从逻辑“低”激活为逻辑“高”。在一个实施例中,命令锁存使能信号CLE的激活开始时间可与地址ADDR的发送开始时间基本相同。然而,示例实施例不限于此,并且在一些示例实施例中,地址锁存使能信号ALE的激活开始时间可比地址ADDR的发送开始时间早。此时,控制器200可使命令锁存使能信号CLE去激活。

[0052] 在步骤S160中,控制器200可与时钟信号CLK同步地将地址ADDR发送到非易失性存储器装置100。例如,控制器200可通过输入/输出引脚P21输出地址ADDR,可通过时钟引脚P22输出切换的时钟信号CLK,并且可与时钟信号CLK同步地输出地址ADDR。例如,非易失性存储器装置100可通过输入/输出引脚P11接收地址ADDR,可通过时钟引脚P12接收切换的时钟信号CLK,并且可与时钟信号CLK同步地接收地址ADDR。此时,控制器200还可将激活的地址锁存使能信号ALE发送到非易失性存储器装置100。例如,地址ADDR的传输时间可对应于时钟信号CLK的三个循环周期。

[0053] 在步骤S170中,非易失性存储器装置100可将地址ADDR缓冲在命令/地址缓冲器120中。命令/地址缓冲器120可以以数据输入/输出速度进行操作,因此命令/地址缓冲器120可根据数据输入/输出速度直接缓冲与时钟信号CLK同步的地址ADDR。此时,非易失性存储器装置100可基于地址锁存使能信号ALE,将通过输入/输出引脚P11从控制器200接收的信号确定为地址ADDR。在步骤S180中,非易失性存储器装置100可基于命令CMD和地址ADDR执行存储器操作。例如,存储器操作可包括写入操作、读取操作、擦除操作等。

[0054] 图4是示出根据示例实施例的存储器系统10a的框图。

[0055] 参照图4,存储器系统10a可包括非易失性存储器装置100a和控制器200a。存储器系统10a可对应于图1的存储器系统10的示例,非易失性存储器装置100a可对应于图1的非易失性存储器装置100的示例,控制器200a可对应于图1的控制器200的示例。以上参照图1至图3给出的描述也可应用于本实施例,并且其冗余描述将被省略。

[0056] 非易失性存储器装置100a可包括存储器单元阵列110、命令/地址缓冲器120、控制逻辑130、输入/输出缓冲器140,并且还包括输入输出接口(I/O I/F)150a。命令/地址缓冲器120和输入/输出缓冲器140可以以第一操作速度进行操作,并且第一操作速度可对应于非易失性存储器装置100a与控制器200a之间的数据输入/输出速度(也就是说,通过输入/输出接口150a的数据输入/输出速度)。控制逻辑130可以以与第一操作速度不同的第二操作速度(例如,以小于第一操作速度的第二操作速度)进行操作,其中,第二操作速度可对应于非易失性存储器装置100a的内部操作速度。

[0057] 控制器200a可包括输入/输出接口210a。输入/输出接口210a和输入/输出接口150a可通过输入/输出通道CH彼此电连接。命令CMD和地址ADDR可根据数据输入/输出速度通过输入/输出通道CH从控制器200a被发送到非易失性存储器装置100a。通过输入/输出接口150a接收的命令CMD和地址ADDR可根据数据输入/输出速度被缓冲在命令/地址缓冲器120中。

[0058] 数据DATA可根据数据输入/输出速度通过输入/输出通道CH在控制器200a与非易

失性存储器装置100a之间发送和接收。通过输入/输出接口150a接收的数据DATA可根据数据输入/输出速度被缓冲在输入/输出缓冲器140中,并且缓冲在输入/输出缓冲器140中的数据DATA可根据数据输入/输出速度通过输入/输出接口150a被发送到控制器200a。

[0059] 控制逻辑130可接收缓冲在命令/地址缓冲器120中的命令CMDb和缓冲在命令/地址缓冲器120中的地址ADDRb,并且可根据非易失性存储器装置100a的内部操作速度,从缓冲的命令CMDb和缓冲的地址ADDRb生成控制信号CTRL。控制逻辑130可根据控制信号CTRL,来控制对包括在存储器单元阵列110中的多个存储器单元执行的存储器操作。

[0060] 例如,存储器操作可包括读取操作,并且从存储器单元阵列110读取的数据DATA可被缓冲在输入/输出缓冲器140中。输入/输出缓冲器140可根据数据输入/输出速度通过输入/输出接口150a,将缓冲的数据DATA发送到控制器200a。例如,存储器操作可包括写入操作,并且输入/输出缓冲器140可根据数据输入/输出速度通过输入/输出接口150a从控制器200a接收将被写入存储器单元阵列110的数据DATA。缓冲在输入/输出缓冲器140中的数据DATA可根据内部操作速度被写入包括在存储器单元阵列110中的存储器单元中。

[0061] 图5是更详细地示出根据示例实施例的图4的存储器系统10a的框图。

[0062] 参照图5,控制器200a可包括输入/输出接口210a,输入/输出接口210a可包括第一输入/输出引脚P21a、第二输入/输出引脚P21b、数据选通信号引脚P22'、命令锁存使能信号引脚P23和地址锁存使能信号引脚P24。控制器200a可通过第一输入/输出引脚P21a将命令CMD和地址ADDR发送到非易失性存储器装置100a,并且可通过第二输入/输出引脚P21b将数据DATA发送到非易失性存储器装置100a。因此,在一些实施例中,控制器200a可在发送数据DATA的同时将命令CMD和地址ADDR发送到非易失性存储器装置100a。

[0063] 数据选通信号引脚P22'可对应于图1的时钟引脚P22的示例。在一个实施例中,数据选通信号DQS可从数据选通信号引脚P22'发送到数据选通信号引脚P12',并且可以以与数据输入/输出速度对应的第二频率进行切换。在一些实施例中,数据选通信号DQS可仅在命令CMD和地址ADDR的发送时段中或在数据DATA的发送/接收时段中进行切换。

[0064] 非易失性存储器装置100a可包括输入/输出接口150a,输入/输出接口150a可包括第一输入/输出引脚P11a、第二输入/输出引脚P11b、数据选通信号引脚P12'、命令锁存使能信号引脚P13和地址锁存使能信号引脚P14。数据选通信号引脚P12'可对应于图1的时钟引脚P12的示例。

[0065] 非易失性存储器装置100a可通过第一输入/输出引脚P11a从控制器200a接收命令CMD和地址ADDR,并且可通过第二输入/输出引脚P11b从控制器200a接收数据DATA。因此,在一些实施例中,非易失性存储器装置100a可在接收数据DATA的同时从控制器200a接收命令CMD和地址ADDR。

[0066] 在一些实施例中,第一输入/输出引脚P11a和第二输入/输出引脚P11b可彼此相同(也就是说,可利用同一引脚来实现)。此外,第一输入/输出引脚P21a和第二输入/输出引脚P21b可彼此相同(也就是说,可利用同一引脚来实现)。在下文中,将主要描述第一输入/输出引脚和第二输入/输出引脚利用同一引脚来实现的实施例。然而,这仅仅是示例实施例,并且本公开不限于此。

[0067] 图6是示出根据示例实施例的存储器系统10b的框图。

[0068] 参照图6,存储器系统10b可包括非易失性存储器装置100b和控制器200b。存储器

系统10b可对应于图4的存储器系统10a的一个实现实施例,非易失性存储器装置100b可对应于图4的非易失性存储器装置100a的一个实现实施例,并且控制器200b可对应于图4的控制器200a的一个实现实施例。因此,以上参照图1至图4给出的描述可对应于存储器系统10b。

[0069] 控制器200b可包括输入/输出接口210b,输入/输出接口210b可包括输入/输出引脚P21、数据选通信号引脚P22'、命令锁存使能信号引脚P23和地址锁存使能信号引脚P24。数据选通信号引脚P22'可对应于图1的时钟引脚P22的示例。非易失性存储器装置100b可包括输入/输出接口150b,输入/输出接口150b可包括输入/输出引脚P11、数据选通信号引脚P12'、命令锁存使能信号引脚P13和地址锁存使能信号引脚P14。数据选通信号引脚P12'可对应于图1的时钟引脚P12的示例。

[0070] 图7是示出根据示例实施例的对图6的非易失性存储器装置100b的写入操作中的信号的示例的时序图。

[0071] 一起参照图6和图7,芯片使能信号nCE可在对非易失性存储器装置100b的写入操作期间被使能。命令锁存使能信号CLE可从命令锁存使能信号引脚P23被发送到命令锁存使能信号引脚P13,并且可在命令CMD0和CMD1的发送时段中被使能。地址锁存使能信号ALE可从地址锁存使能信号引脚P24被发送到地址锁存使能信号引脚P14,并且可在地址ADDR0至ADDR2的发送时段中被使能。读取使能信号RE可在写入操作中被禁用。

[0072] 数据选通信号DQS可从数据选通信号引脚P22'被发送到数据选通信号引脚P12',并且可以以与数据输入/输出速度对应的第二频率进行切换。数据信号线DQ可连接在输入/输出引脚P21与输入/输出引脚P11之间,命令CMD0和CMD1、地址ADDR0至ADDR2以及数据DATA0至DATA2可通过数据信号线DQ与数据选通信号DQS同步地发送和接收。

[0073] 命令CMD0和CMD1可与数据选通信号DQS同步地从输入/输出引脚P21顺序地发送到输入/输出引脚P11。例如,命令CMD0和CMD1可与数据选通信号DQS的上升沿同步,并且命令CMD0和CMD1可对应于写入命令。

[0074] 随后,地址ADDR0至ADDR2可与数据选通信号DQS同步地从输入/输出引脚P21顺序地发送到输入/输出引脚P11。例如,地址ADDR0至ADDR2可与数据选通信号DQS的上升沿同步,并且地址ADDR0至ADDR2可对应于写入地址。

[0075] 随后,数据DATA0至DATA2可与数据选通信号DQS同步地从输入/输出引脚P21顺序地发送到输入/输出引脚P11。例如,数据DATA0至DATA2可与数据选通信号DQS的上升沿同步,并且数据DATA0至DATA2可对应于将被写入存储器单元阵列110的数据。

[0076] 图8是示出根据示例实施例的在图6的控制器200b与非易失性存储器装置100b之间的写入操作的流程图。

[0077] 一起参照图6至图8,根据本实施例的写入操作可对应于图3中示出的操作的实现示例,并且冗余描述将被省略。在步骤S210中,控制器200b可发出写入命令WCMD和地址ADDR。在步骤S220中,控制器200b可与数据选通信号DQS同步地将写入命令WCMD发送到非易失性存储器装置100b。例如,控制器200b可通过输入/输出引脚P21输出写入命令WCMD,并且通过数据选通信号引脚P22'输出切换的数据选通信号DQS,命令CMD可与数据选通信号DQS同步地输出。例如,非易失性存储器装置100b可通过输入/输出引脚P11接收写入命令WCMD,可通过数据选通信号引脚P12'接收切换的数据选通信号DQS,并且可与数据选通信号DQS同

步地接收命令CMD。此时，控制器200b还可将激活的命令锁存使能信号CLE发送到非易失性存储器装置100b。在步骤S230中，非易失性存储器装置100b可将写入命令WCMD缓冲在命令/地址缓冲器120中。

[0078] 在步骤S240中，控制器200b可与数据选通信号DQS同步地将地址ADDR发送到非易失性存储器装置100b。例如，控制器200b可通过输入/输出引脚P21输出地址ADDR并可通过数据选通信号引脚P22'输出切换的数据选通信号DQS，并且可与数据选通信号DQS同步地输出地址ADDR。例如，非易失性存储器装置100b可通过输入/输出引脚P11接收地址ADDR，可通过数据选通信号引脚P12'接收切换的数据选通信号DQS，并且可与数据选通信号DQS同步地接收地址ADDR。此时，控制器200b还可将激活的地址锁存使能信号ALE发送到非易失性存储器装置100b。在步骤S250中，非易失性存储器装置100b可将地址ADDR缓冲在命令/地址缓冲器120中。

[0079] 在步骤S260中，控制器200b可与数据选通信号DQS同步地将数据DATA发送到非易失性存储器装置100b。在步骤S270中，非易失性存储器装置100b可将数据DATA缓冲在输入/输出缓冲器140中。在步骤S280中，非易失性存储器装置100b可执行写入操作。具体地，非易失性存储器装置100b可将缓冲的数据DATA写入存储器单元阵列110中。在步骤S290中，非易失性存储器装置100b可将指示写入操作完成的响应消息发送到控制器200b。

[0080] 图9是示出根据示例实施例的对图6的非易失性存储器装置100b的写入操作中的信号的另一示例的时序图。

[0081] 参照图9，根据本实施例的写入操作可对应于图7中示出的写入操作的修改。根据本实施例，与写入操作中的命令和地址相关的时序参数可被确定为数据选通信号DQS的时钟周期数的倍数。例如，如图9中所示，在命令CMD0与命令CMD1之间存在三个时钟周期。在这方面，命令CMD0与命令CMD1之间的时序参数 $t_1$ 可被确定为与数据选通信号DQS的三个时钟周期对应的值。因此，随着数据选通信号DQS的切换频率提高，命令CMD0和CMD1的传输时间可减少，因此输入/输出效率可被提高或保持。

[0082] 例如，时序参数 $t_1$ 可对应于 $t_{VDLY}$ ， $t_{VDLY}$ 指示在通过使用量(volume)选择命令来选择新的量之后直到发出下个命令为止的延迟。在现有技术中， $t_{VDLY}$ 已是固定的时间值。因此，尽管控制器200b与非易失性存储器装置100b之间的数据输入/输出速度被提高，但是由于固定的时间值 $t_{VDLY}$ ，输入/输出效率已降低。然而，根据示例实施例， $t_{VDLY}$ 可被确定为数据选通信号DQS的时钟周期数的倍数。因此，随着控制器200b与非易失性存储器装置100b之间的数据输入/输出速度被提高， $t_{VDLY}$ 可减小。因此，可根据数据输入/输出速度的提高来减少命令和地址的传输时间，从而可提高或保持输入/输出效率。

[0083] 图10是示出根据示例实施例的对图6的非易失性存储器装置100b的读取操作中的信号的示例的时序图。

[0084] 一起参照图6和图10，芯片使能信号 $nCE$ 可在对非易失性存储器装置100b的读取操作期间被使能。命令锁存使能信号CLE可在命令CMD0和CMD1的发送时段中被使能。地址锁存使能信号ALE可在地址ADDR0至ADDR2的发送时段中被使能。读取使能信号RE可在通过数据线DQ发送数据DATA0至DATA2的时段中以第三频率进行切换。

[0085] 数据选通信号DQS可以以与数据输入/输出速度对应的第二频率进行切换。命令CMD0和CMD1可与数据选通信号DQS同步地顺序地发送。例如，命令CMD0和CMD1可与数据选通

信号DQS的上升沿同步,并且命令CMD0和CMD1可对应于读取命令。地址ADDR0至ADDR2可与数据选通信号DQS同步地顺序地发送。例如,地址ADDR0至ADDR2可与数据选通信号DQS的上升沿同步,并且地址ADDR0至ADDR2可对应于读取地址。

[0086] 数据DATA0至DATA2可与数据选通信号DQS同步地从输入/输出引脚P11顺序地发送到输入/输出引脚P21。例如,数据DATA0至DATA2可与数据选通信号DQS的上升沿同步,并且数据DATA0至DATA2可对应于从存储器单元阵列110读取的数据。具体地,首先读取使能信号RE可进行切换,然后数据选通信号DQS可进行切换。基于读取使能信号RE,非易失性存储器装置100b可使数据DATA0至DATA2与数据选通信号DQS同步,并将数据DATA0至DATA2发送到控制器200b。

[0087] 图11是示出根据示例实施例的在图6的控制器200b与非易失性存储器装置100b之间的读取操作的流程图。

[0088] 一起参照图6、图10和图11,根据本实施例的读取操作可对应于图3中示出的操作的实现示例,并且冗余描述将被省略。在步骤S310中,控制器200b可发出读取命令RCMD和地址ADDR。在步骤S320中,控制器200b可与数据选通信号DQS同步地将读取命令RCMD发送到非易失性存储器装置100b。例如,控制器200b可通过输入/输出引脚P21输出读取命令RCMD,并且可通过数据选通信号引脚P22'输出切换的数据选通信号DQS,命令CMD可与数据选通信号DQS同步地输出。例如,非易失性存储器装置100b可通过输入/输出引脚P11接收读取命令RCMD,可通过数据选通信号引脚P12'接收切换的数据选通信号DQS,并且可与数据选通信号DQS同步地接收命令RCMD。此时,控制器200b还可将激活的命令锁存使能信号CLE发送到非易失性存储器装置100b。在步骤S330中,非易失性存储器装置100b可将读取命令RCMD缓冲在命令/地址缓冲器120中。

[0089] 在步骤S340中,控制器200b可与数据选通信号DQS同步地将地址ADDR发送到非易失性存储器装置100b。例如,控制器200b可通过输入/输出引脚P21输出地址ADDR,并可通过数据选通信号引脚P22'输出切换的数据选通信号DQS,并且可与数据选通信号DQS同步地输出地址ADDR。例如,非易失性存储器装置100b可通过输入/输出引脚P11接收地址ADDR,可通过数据选通信号引脚P12'接收切换的数据选通信号DQS,并且可与数据选通信号DQS同步地接收地址ADDR。此时,控制器200b还可将激活的地址锁存使能信号ALE发送到非易失性存储器装置100b。在步骤S350中,非易失性存储器装置100b可将地址ADDR缓冲在命令/地址缓冲器120中。

[0090] 在步骤S360中,非易失性存储器装置100b可执行读取操作。详细地,非易失性存储器装置100b可从存储器单元阵列110读取数据。在步骤S370中,非易失性存储器装置100b可将读取的数据DATA缓冲在输入/输出缓冲器140中。在步骤S380中,非易失性存储器装置100b可与数据选通信号DQS同步地将数据DATA发送到控制器200b。

[0091] 图12是示出根据示例实施例的对图6的非易失性存储器装置100b的读取操作中的信号的另一示例的时序图。

[0092] 参照图12,根据本实施例的读取操作可对应于图10中示出的读取操作的修改。根据本实施例,与读取操作中的命令和地址相关的时序参数可被确定为数据选通信号DQS的时钟周期数的倍数。例如,如图12中所示,在地址ADDR2和数据DATA0之间存在三个时钟周期。在这方面,地址ADDR2与数据DATA0之间的时序参数 $t_2$ 可被确定为与数据选通信号DQS的

三个时钟周期对应的值。因此,随着数据选通信号DQS的切换频率提高,地址ADDR2与数据DATA0之间的时间可减少,因此输入/输出效率可被提高或保持。

[0093] 例如,时序参数 $t_2$ 可以是指示从地址到数据输出周期的时间的 $t_{WHR}$ 。在现有技术中, $t_{WHR}$ 已是固定的时间值。因此,尽管控制器200b与非易失性存储器装置100b之间的数据输入/输出速度被提高,但是由于固定的时间值 $t_{WHR}$ ,输入/输出效率已降低。然而,根据示例实施例, $t_{WHR}$ 可被确定为数据选通信号DQS的时钟周期数的倍数。因此,随着控制器200b与非易失性存储器装置100b之间的数据输入/输出速度提高, $t_{WHR}$ 可减小。因此,可根据数据输入/输出速度的提高来减少命令和地址的传输时间,从而可提高或保持输入/输出效率。

[0094] 图13是示出根据示例实施例的存储器系统10c的框图。

[0095] 参照图13,存储器系统10c可包括非易失性存储器装置100c和控制器200c。存储器系统10b可对应于图4的存储器系统10a的一个实现实施例,非易失性存储器装置100c可对应于图4的非易失性存储器装置100a的一个实现实施例,并且控制器200c可对应于图4的控制器200a的一个实现实施例。因此,以上参照图1至图4给出的描述可对应于存储器系统10c。

[0096] 控制器200c可包括输入/输出接口210c,输入/输出接口210c可包括输入/输出引脚P21、写入使能信号引脚P22a、读取使能信号引脚P22b和命令锁存使能信号引脚P23和地址锁存使能信号引脚P24。写入使能信号引脚P22a和读取使能信号引脚P22b可对应于图1的时钟引脚P22的示例。非易失性存储器装置100c可包括输入/输出接口150c,输入/输出接口150c可包括输入/输出引脚P11、写入使能信号引脚P12a、读取使能信号引脚P12b、命令锁存使能信号引脚P13和地址锁存使能信号引脚P14。写入使能信号引脚P12a和读取使能信号引脚P12b可对应于图1的时钟引脚P12的示例。

[0097] 图14是示出根据示例实施例的对图13的非易失性存储器装置100c的写入操作中的信号的示例的时序图。

[0098] 一起参照图13和图14,芯片使能信号 $nCE$ 可在对非易失性存储器装置100c的写入操作期间被使能。命令锁存使能信号 $CLE$ 可从命令锁存使能信号引脚P23发送到命令锁存使能信号引脚P13,并且可在命令 $CMD0$ 和 $CMD1$ 的发送时段中被使能。地址锁存使能信号 $ALE$ 可从地址锁存使能信号引脚P24被发送到地址锁存使能信号引脚P14,并且可在地址 $ADDR0$ 至 $ADDR2$ 的发送时段中被使能。读取使能信号 $RE$ 可在写入操作中被禁用。

[0099] 写入使能信号 $WE$ 可从写入使能信号引脚P22a被发送到写入使能信号引脚P12a,并且可以以第四频率进行切换。数据信号线 $DQ$ 可连接在输入/输出引脚P21与输入/输出引脚P11之间,命令 $CMD0$ 和 $CMD1$ 、地址 $ADDR0$ 至 $ADDR2$ 以及数据 $DATA0$ 至 $DATA2$ 可通过数据信号线 $DQ$ 与写入使能信号 $WE$ 同步地发送和接收。

[0100] 命令 $CMD0$ 和 $CMD1$ 可与写入使能信号 $WE$ 同步地从输入/输出引脚P21顺序地发送到输入/输出引脚P11。例如,命令 $CMD0$ 和 $CMD1$ 可与写入使能信号 $WE$ 的上升沿同步,并且命令 $CMD0$ 和 $CMD1$ 可对应于写入命令。

[0101] 随后,地址 $ADDR0$ 至 $ADDR2$ 可与写入使能信号 $WE$ 同步地从输入/输出引脚P21顺序地发送到输入/输出引脚P11。例如,地址 $ADDR0$ 至 $ADDR2$ 可与写入使能信号 $WE$ 的上升沿同步,并且地址 $ADDR0$ 至 $ADDR2$ 可对应于写入地址。

[0102] 随后,数据DATA0至DATA2可与写入使能信号WE同步地从输入/输出引脚P21顺序地发送到输入/输出引脚P11。例如,数据DATA0至DATA2可与写入使能信号WE的上升沿同步,并且数据DATA0至DATA2可对应于将被写入存储器单元阵列110的数据。

[0103] 图15是示出根据示例实施例的在图13的控制器200c与非易失性存储器装置100c之间的写入操作的流程图。

[0104] 一起参照图13至图15,根据本实施例的写入操作可对应于图3中示出的操作的实现示例,并且冗余描述将被省略。在步骤S410中,控制器200c可发出写入命令WCMD和地址ADDR。在步骤S420中,控制器200c可与写入使能信号WE同步地将写入命令WCMD发送到非易失性存储器装置100c。例如,控制器200c可通过输入/输出引脚P21输出写入命令WCMD,并且通过写入使能信号引脚P22a输出切换的写入使能信号WE,命令CMD可与写入使能信号WE同步地输出。例如,非易失性存储器装置100c可通过输入/输出引脚P11接收写入命令WCMD,通过写入使能信号引脚P12a接收切换的写入使能信号WE,命令CMD可与写入使能信号WE同步地接收。此时,控制器200c还可将激活的命令锁存使能信号CLE发送到非易失性存储器装置100c。在步骤S430中,非易失性存储器装置100c可将写入命令WCMD缓冲在命令/地址缓冲器120中。

[0105] 在步骤S440中,控制器200c可与写入使能信号WE同步地将地址ADDR发送到非易失性存储器装置100c。例如,控制器200c可通过输入/输出引脚P21输出地址ADDR并通过写入使能信号引脚P22a输出切换的写入使能信号WE,地址ADDR可与写入使能信号WE同步地输出。例如,非易失性存储器装置100c可通过输入/输出引脚P11接收地址ADDR,并通过写入使能信号引脚P12a接收切换的写入使能信号WE,地址ADDR可与写入使能信号WE同步地接收。此时,控制器200c还可将激活的地址锁存使能信号ALE发送到非易失性存储器装置100c。在步骤S450中,非易失性存储器装置100c可将地址ADDR缓冲在命令/地址缓冲器120中。

[0106] 在步骤S460中,控制器200c可与写入使能信号WE同步地将数据DATA发送到非易失性存储器装置100c。在步骤S470中,非易失性存储器装置100c可将数据DATA缓冲在输入/输出缓冲器140中。在步骤S480中,非易失性存储器装置100c可执行写入操作。具体地,非易失性存储器装置100c可将缓冲的数据DATA写入存储器单元阵列110中。在步骤S490中,非易失性存储器装置100c可将指示写入操作完成的响应消息发送到控制器200c。

[0107] 图16是示出根据示例实施例的对图13的非易失性存储器装置100c的读取操作中的信号的示例的时序图。

[0108] 一起参照图13和图16,芯片使能信号nCE可在对非易失性存储器装置100c的读取操作期间被使能。命令锁存使能信号CLE可在命令CMD0和CMD1的发送时段中被使能。地址锁存使能信号ALE可在地址ADDR0至ADDR2的发送时段中被使能。

[0109] 写入使能信号WE可以以第四频率进行切换。在一个实施例中,写入使能信号WE可在命令CMD0和CMD1以及ADDR0至ADDR2的发送时段中以第四频率进行切换,然后可不在数据DATA0至DATA2的发送时段中进行切换。命令CMD0和CMD1可与写入使能信号WE同步地顺序地发送。例如,命令CMD0和CMD1可与写入使能信号WE的上升沿同步,并且命令CMD0和CMD1可对应于读取命令。地址ADDR0至ADDR2可与写入使能信号WE同步地顺序地发送。例如,地址ADDR0至ADDR2可与写入使能信号WE的上升沿同步,并且地址ADDR0至ADDR2可对应于读取地址。

[0110] 读取使能信号RE可以以第三频率进行切换。根据一个实施例,读取使能信号RE可在通过数据信号线DQ发送数据DATA0至DATA2的时段中以第三频率进行切换。数据DATA0至DATA2可与读取使能信号RE同步地从输入/输出引脚P11顺序地发送到输入/输出引脚P21。例如,数据DATA0至DATA2可与读取使能信号RE的上升沿同步,并且数据DATA0至DATA2可对应于从存储器单元阵列110读取的数据。

[0111] 图17是示出根据示例实施例的在图13的控制器200c与非易失性存储器装置100c之间的读取操作的流程图。

[0112] 一起参照图13、图16和图17,根据本实施例的读取操作可对应于图3中示出的操作的实现示例,并且冗余描述将被省略。在步骤S510中,控制器200c可发出读取命令RCMD和地址ADDR。在步骤S520中,控制器200c可与写入使能信号WE同步地将读取命令RCMD发送到非易失性存储器装置100c。例如,控制器200c可通过输入/输出引脚P21输出读取命令RCMD,并且通过写入使能信号引脚P22a输出切换的写入使能信号WE,命令CMD可与写入使能信号WE同步地输出。例如,非易失性存储器装置100c可通过输入/输出引脚P11接收读取命令RCMD,并通过写入使能信号引脚P12a接收切换的写入使能信号WE,命令CMD可与写入使能信号WE同步地接收。此时,控制器200c还可将激活的命令锁存使能信号CLE发送到非易失性存储器装置100c。在步骤S530中,非易失性存储器装置100c可将读取命令RCMD缓冲在命令/地址缓冲器120中。

[0113] 在步骤S540中,控制器200c可与写入使能信号WE同步地将地址ADDR发送到非易失性存储器装置100c。例如,控制器200c可通过输入/输出引脚P21输出地址ADDR,并通过写入使能信号引脚P22a输出切换的写入使能信号WE,地址ADDR可与写入使能信号WE同步地输出。例如,非易失性存储器装置100c可通过输入/输出引脚P11接收地址ADDR,并通过写入使能信号引脚P12a接收切换的写入使能信号WE,地址ADDR可与写入使能信号WE同步地接收。此时,控制器200c还可将激活的地址锁存使能信号ALE发送到非易失性存储器装置100c。在步骤S550中,非易失性存储器装置100c可将地址ADDR缓冲在命令/地址缓冲器120中。

[0114] 在步骤S560中,非易失性存储器装置100c可执行读取操作。详细地,非易失性存储器装置100c可从存储器单元阵列110读取数据。在步骤S570中,非易失性存储器装置100c可将读取的数据DATA缓冲在输入/输出缓冲器140中。在步骤S580中,非易失性存储器装置100c可与读取使能信号RE同步地将数据DATA发送到控制器200c。

[0115] 图18是更详细地示出根据示例实施例的非易失性存储器装置100d的框图。

[0116] 参照图18,非易失性存储器装置100d可包括存储器单元阵列110、命令/地址缓冲器120、控制逻辑130、输入/输出缓冲器140、电压生成器160、行解码器170和页缓冲器单元180。根据本实施例的非易失性存储器装置100d可对应于图1的非易失性存储器装置100的一个实现实施例,以上参照图1至图17描述的描述可对应于非易失性存储器装置100d。

[0117] 命令/地址缓冲器120和输入/输出缓冲器140可以以与数据输入/输出速度对应的第一操作速度进行操作,控制逻辑130、电压生成器160、行解码器170和页缓冲器单元180可以以与非易失性存储器装置100d的内部操作速度对应的第二操作速度进行操作。根据一个或多个示例实施例,非易失性存储器装置100d还可包括预解码器、温度传感器、命令解码器、地址解码器等,并且它们可以以第二操作速度进行操作。

[0118] 存储器单元阵列110可通过位线BL连接到页缓冲器单元180,并且可通过字线WL、

串选择线SSL和地选择线GSL连接到行解码器170。存储器单元阵列110可包括多个存储器单元(例如,多个存储器单元可包括NAND闪存单元)。然而,示例实施例不限于此,并且在一些示例实施例中,多个存储器单元可包括电阻式存储器单元,诸如,电阻式RAM(ReRAM)、相变RAM(PRAM)或磁性RAM(MRAM)。

[0119] 在一个实施例中,存储器单元阵列110可包括三维存储器单元阵列,其中,三维存储器单元阵列可包括多个NAND串,每个NAND串可包括分别连接到垂直堆叠在基底上的字线的存储器单元。第7,679,133号美国专利、8,553,466号美国专利、8,654,587号美国专利、8,559,235号美国专利、和公开号为2011/0233648的美国专利申请通过引用包含于此。在一些实施例中,存储器单元阵列110可包括二维存储器单元阵列,二维存储器单元阵列可包括沿着行方向和列方向设置的多个NAND串。

[0120] 页缓冲器单元180可包括多个页缓冲器PB1至PBn(n为2或更大的整数),多个页缓冲器PB1至PBn可通过多条位线BL分别连接到存储器单元。页缓冲器单元180可基于列地址Y-ADDR在位线BL之中选择一些位线。详细地,页缓冲器单元180可根据操作模式用作写入驱动器或感测放大器。

[0121] 控制逻辑130可基于缓冲的命令CMD<sub>b</sub>和缓冲的地址ADDR<sub>b</sub>输出各种控制信号(例如,电压控制信号CTRL<sub>vol</sub>)、行地址X-ADDR和列地址Y-ADDR,以便将数据编程在存储器单元阵列110中,从存储器单元阵列110读取数据,或擦除存储在存储器单元阵列110中的数据。因此,控制逻辑130可整体上控制非易失性存储器装置100d中的各种操作。

[0122] 电压生成器160可基于电压控制信号CTRL<sub>vol</sub>来生成用于对存储器单元阵列110执行编程操作、读取操作和擦除操作的各种电压。详细地,电压生成器160可生成字线电压VWL,例如,编程电压、读取电压、编程验证电压等。行解码器170可基于行地址X-ADDR选择多条字线WL之一,并且可选择串选择线SSL之一。

[0123] 图19是示出根据示例实施例的操作非易失性存储器装置的方法的流程图。

[0124] 参照图19,根据本实施例的操作非易失性存储器装置的方法可包括例如在图18的非易失性存储器装置100d中顺序地执行的步骤。在下文中,将一起参照图6、图18和图19来对描述进行描述。在步骤S610中,非易失性存储器装置100d可从控制器200b接收与数据选通信号DQS同步的命令CMD。然而,示例实施例不限于数据选通信号DQS,并且非易失性存储器装置100d可接收与从控制器200b提供的时钟信号同步的命令CMD。

[0125] 在步骤S615中,非易失性存储器装置100d可将接收的命令CMD缓冲在命令/地址缓冲器120中。在步骤S620中,非易失性存储器装置100d可从控制器200b接收与数据选通信号DQS同步的地址ADDR。然而,示例实施例不限于数据选通信号DQS,并且非易失性存储器装置100d可接收与从控制器200b提供的时钟信号同步的地址ADDR。在步骤S625中,非易失性存储器装置100d可将接收的地址ADDR缓冲在命令/地址缓冲器120中。

[0126] 在步骤S630中,非易失性存储器装置100d可确定缓冲的命令CMD<sub>b</sub>是否是写入命令。如果确定缓冲的命令CMD<sub>b</sub>是写入命令,则可执行步骤S640,否则,可执行步骤S660。在步骤S640中,非易失性存储器装置100d可从控制器200b接收与数据选通信号DQS同步的数据DATA。在步骤S650中,非易失性存储器装置100d可将接收的数据DATA写入存储器单元阵列110中。

[0127] 在步骤S660中,非易失性存储器装置100d可确定缓冲的命令CMD<sub>b</sub>是否是读取命

令。如果确定缓冲的命令CMD<sub>b</sub>是读取命令,则可执行步骤S670,否则,可执行步骤S690。在步骤S670中,非易失性存储器装置100d可从存储器单元阵列110读取数据DATA。在步骤S680中,非易失性存储器装置100d可与数据选通信号DQS同步地将读取的数据发送到控制器200b。在步骤S690中,非易失性存储器装置100d可根据命令执行存储器操作。例如,该命令可以是擦除命令,并且非易失性存储器装置100d可基于擦除命令对与擦除地址对应的存储器块执行擦除操作。

[0128] 图20是示出根据一个或多个示例实施例的应用了存储器装置的SSD系统1000的框图。

[0129] 参照图20,SSD系统1000可包括主机1100和SSD 1200。SSD 1200可通过信号连接器与主机1100交换信号SIG,并通过电力连接器接收电力PWR。SSD 1200可包括SSD控制器1210、辅助电源1220以及存储器装置(MEM) 1230、1240和1250。存储器装置1230、1240和1250可通过通道Ch1、Ch2和Ch<sub>n</sub>分别连接到SSD控制器1210。

[0130] 可通过使用以上参照图1至图19描述的控制器的200、200a、200b和200c来实现SSD控制器1210。详细地,SSD控制器1210可通过与数据的输入/输出通道相同的输入/输出通道来输出命令和地址,并使命令和地址与数据输入/输出时钟信号同步,以将命令和地址发送到存储器装置1230、1240和1250。

[0131] 可通过使用以上参照图1至图19描述的非易失性存储器装置100、100a、100b、100c和100d来实现存储器装置1230、1240和1250。详细地,存储器装置1230、1240和1250中的每个可通过与数据的输入/输出通道相同的输入/输出通道从SSD控制器1210接收命令和地址,并与时钟信号(诸如,数据输入/输出时钟信号)同步地从SSD控制器1210接收命令和地址。

[0132] 尽管以上已经示出和描述了示例实施例,但是对于本领域技术人员将清楚的是,在不脱离权利要求的精神和范围的情况下,可做出修改和变化。

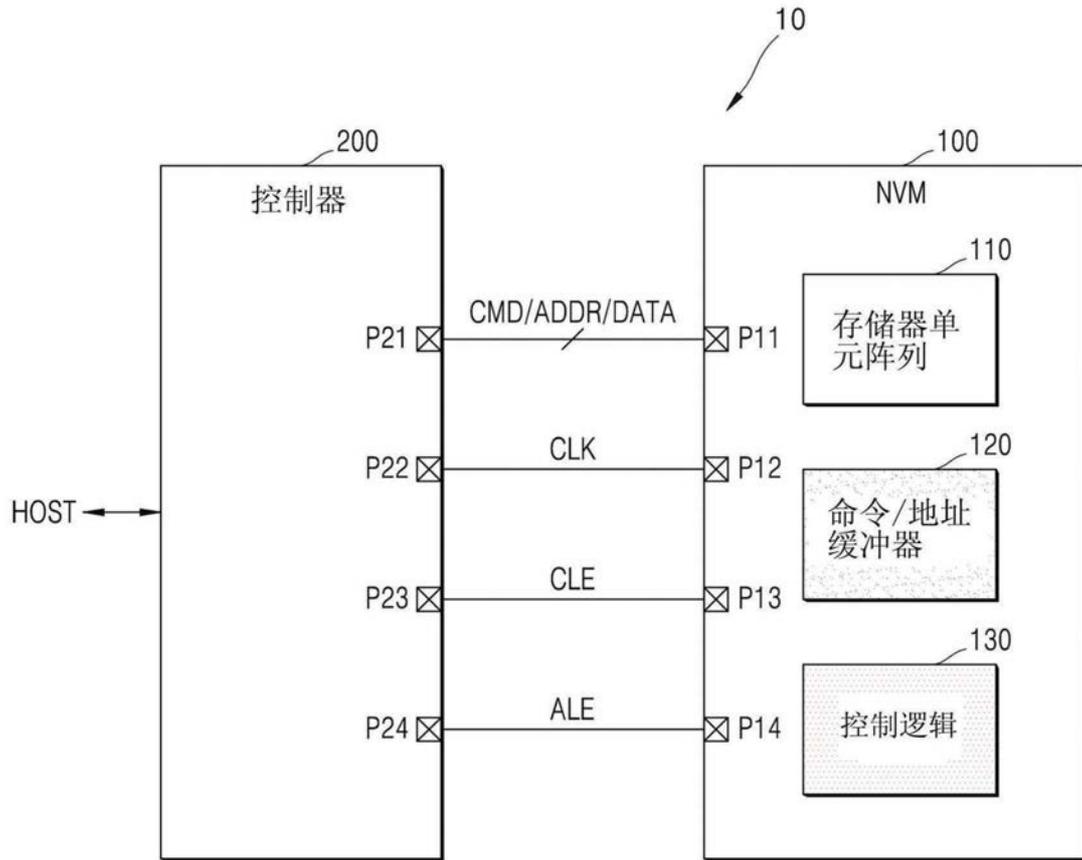


图1

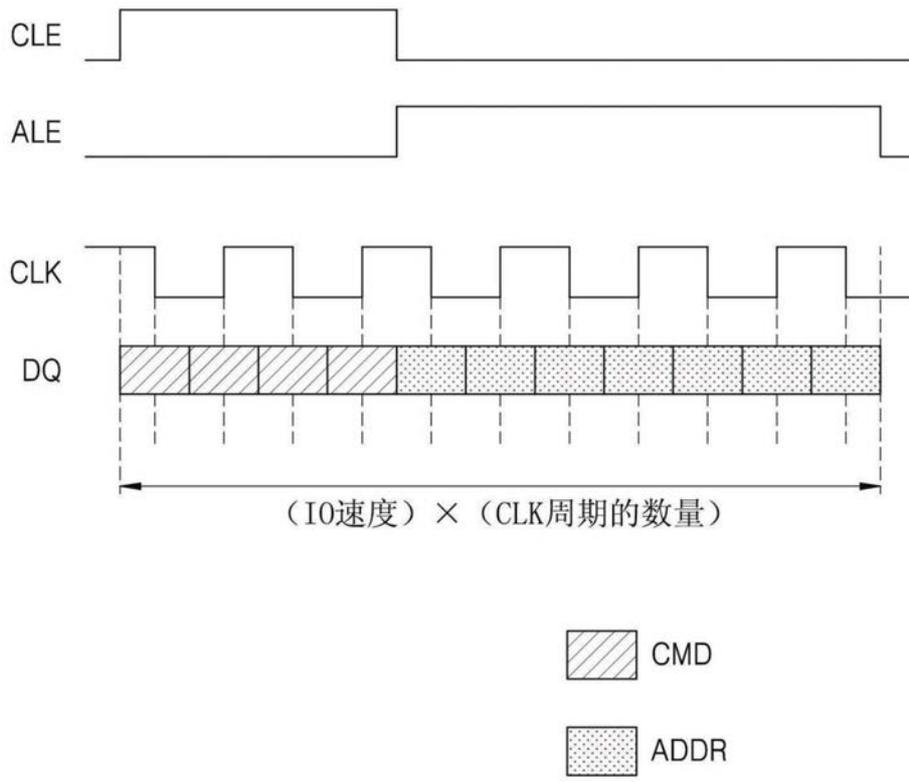


图2

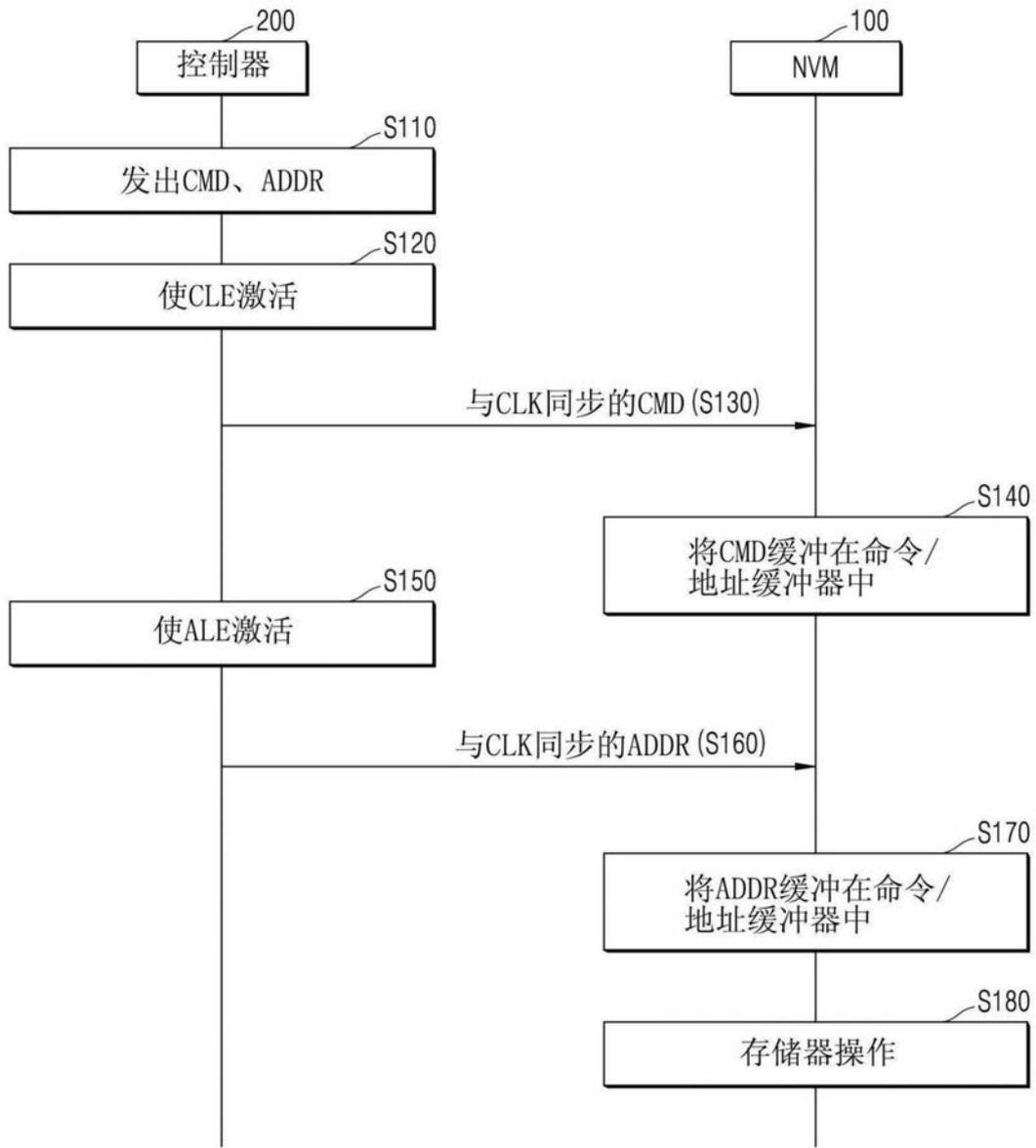


图3

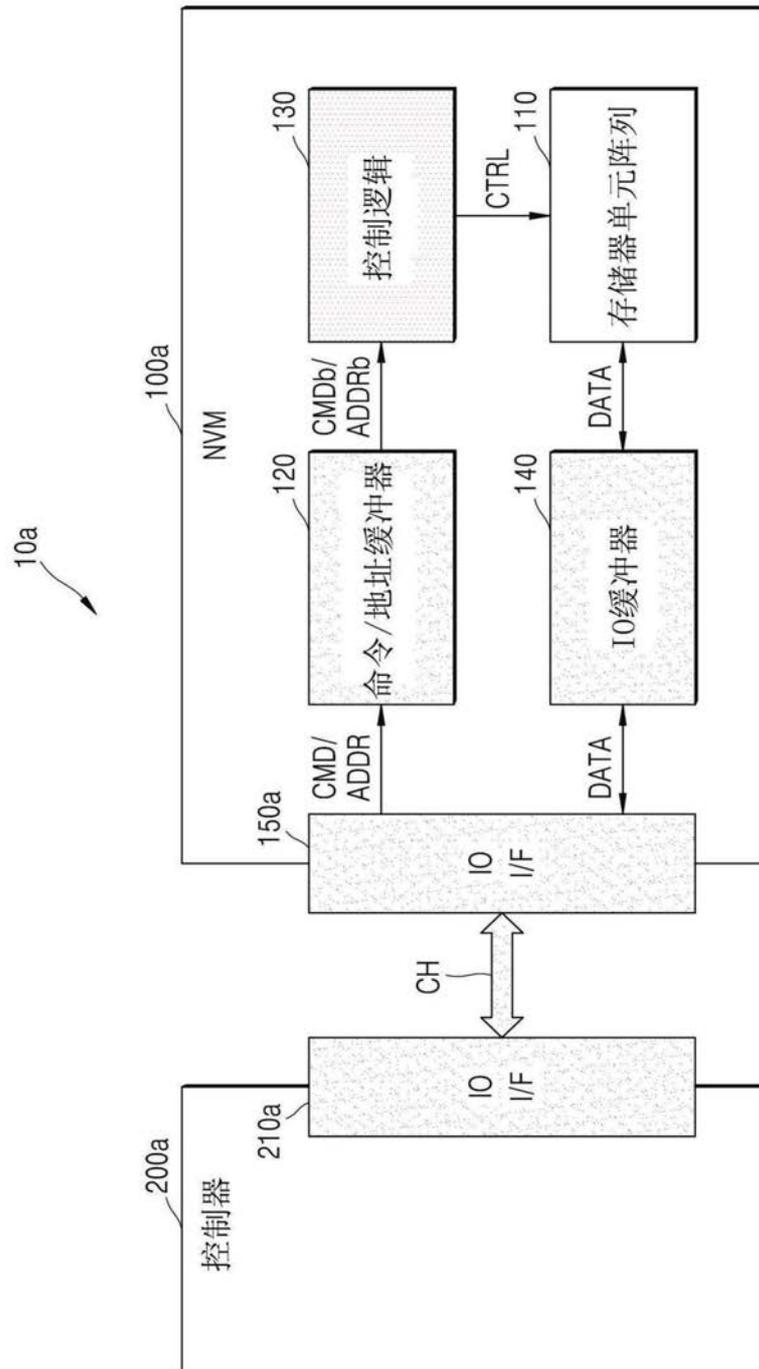


图4

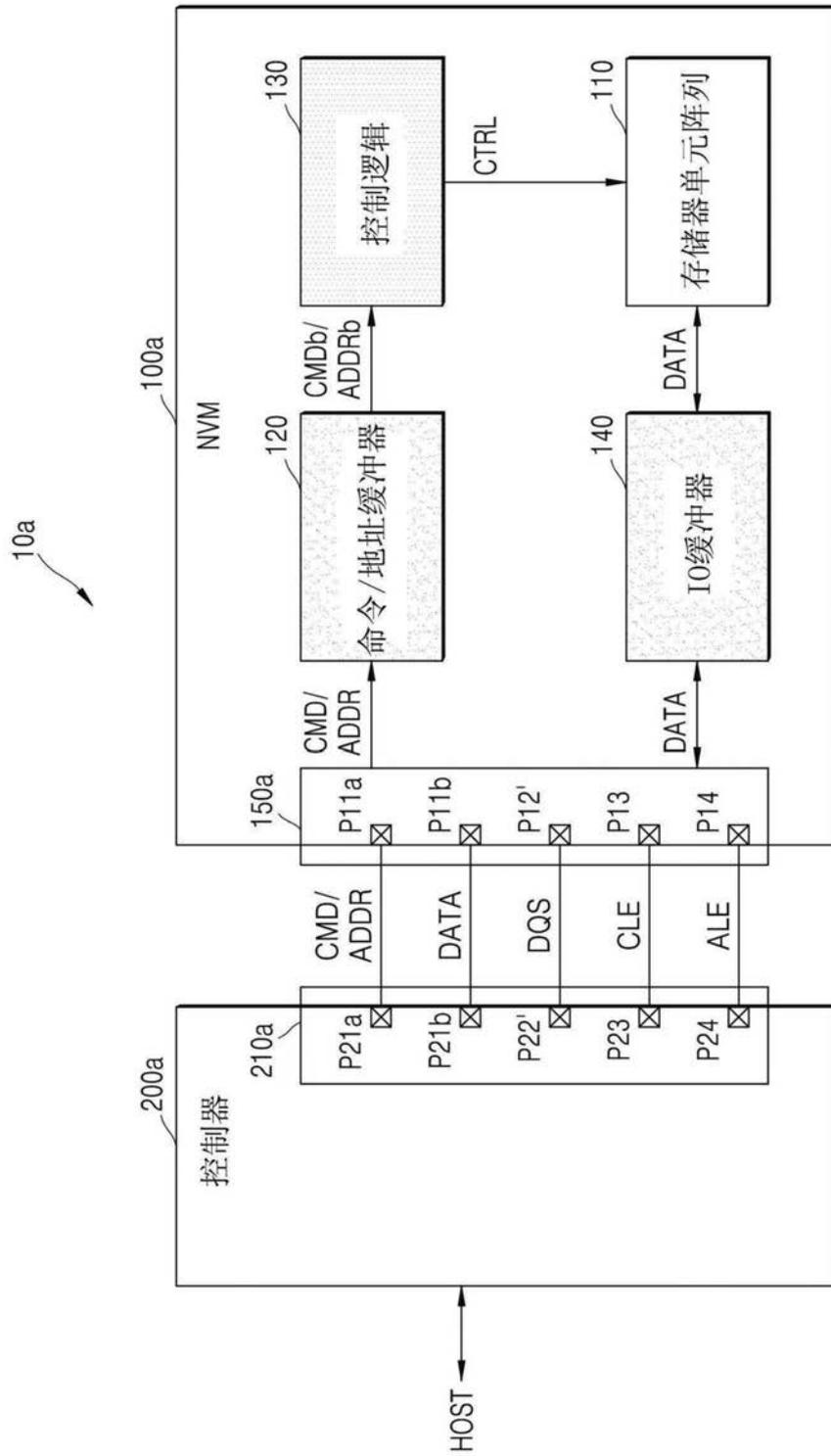


图5

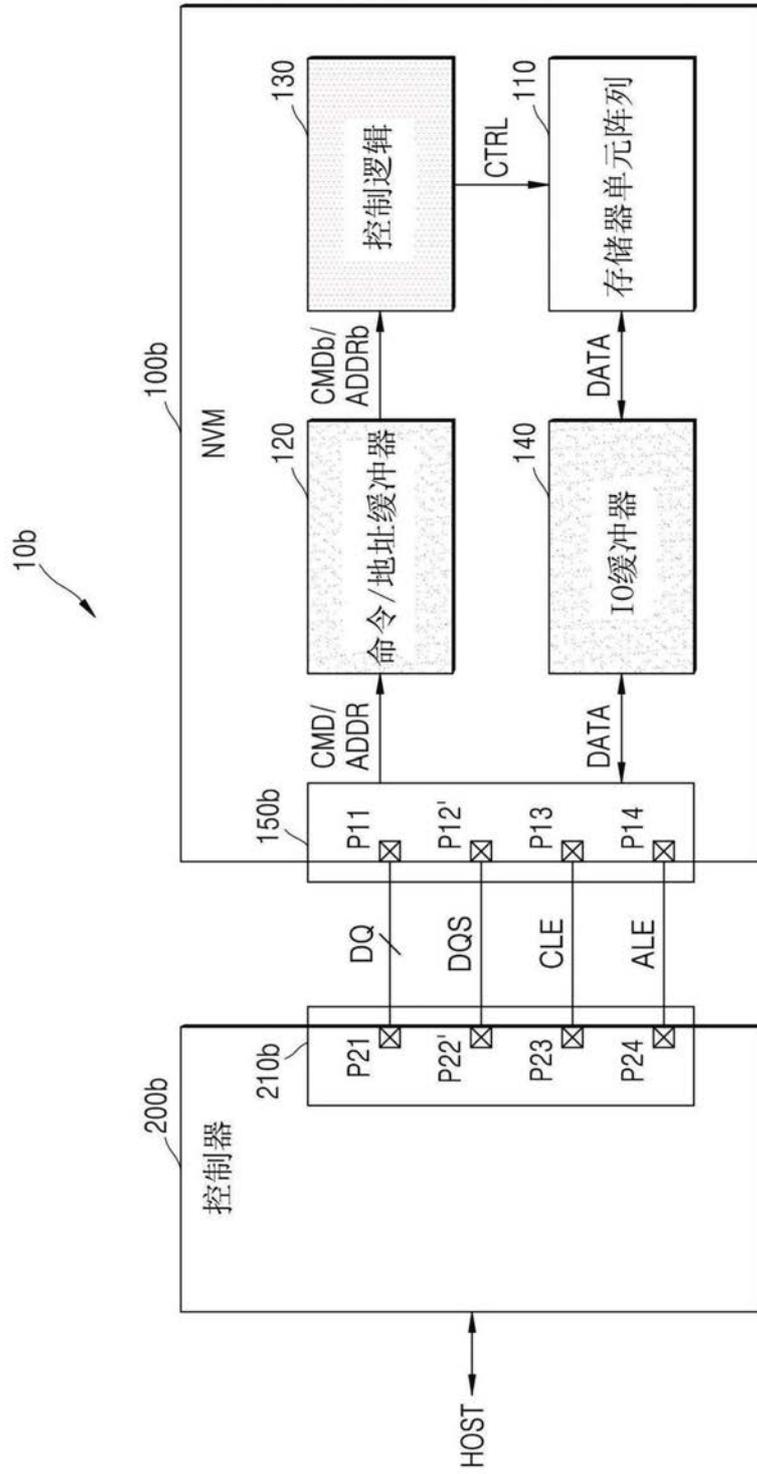


图6

写入操作

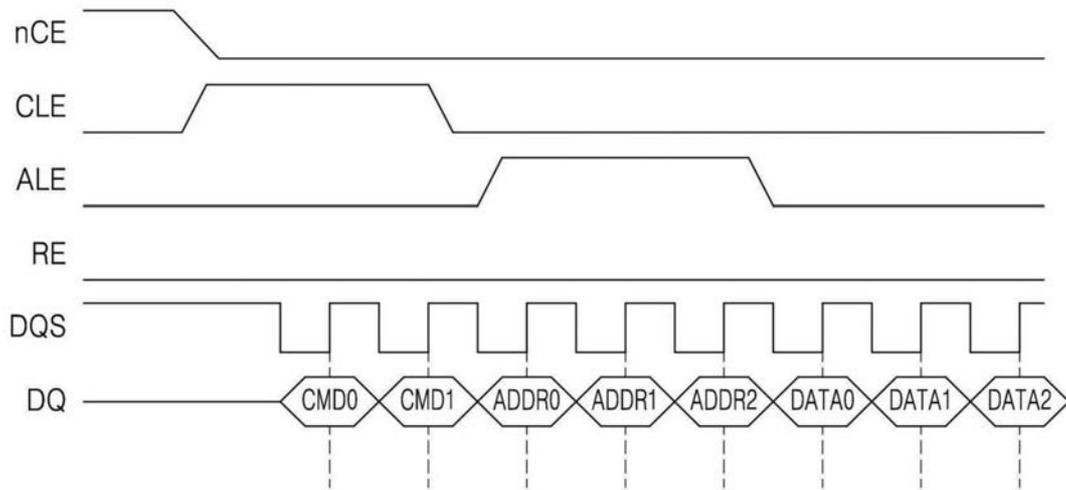


图7

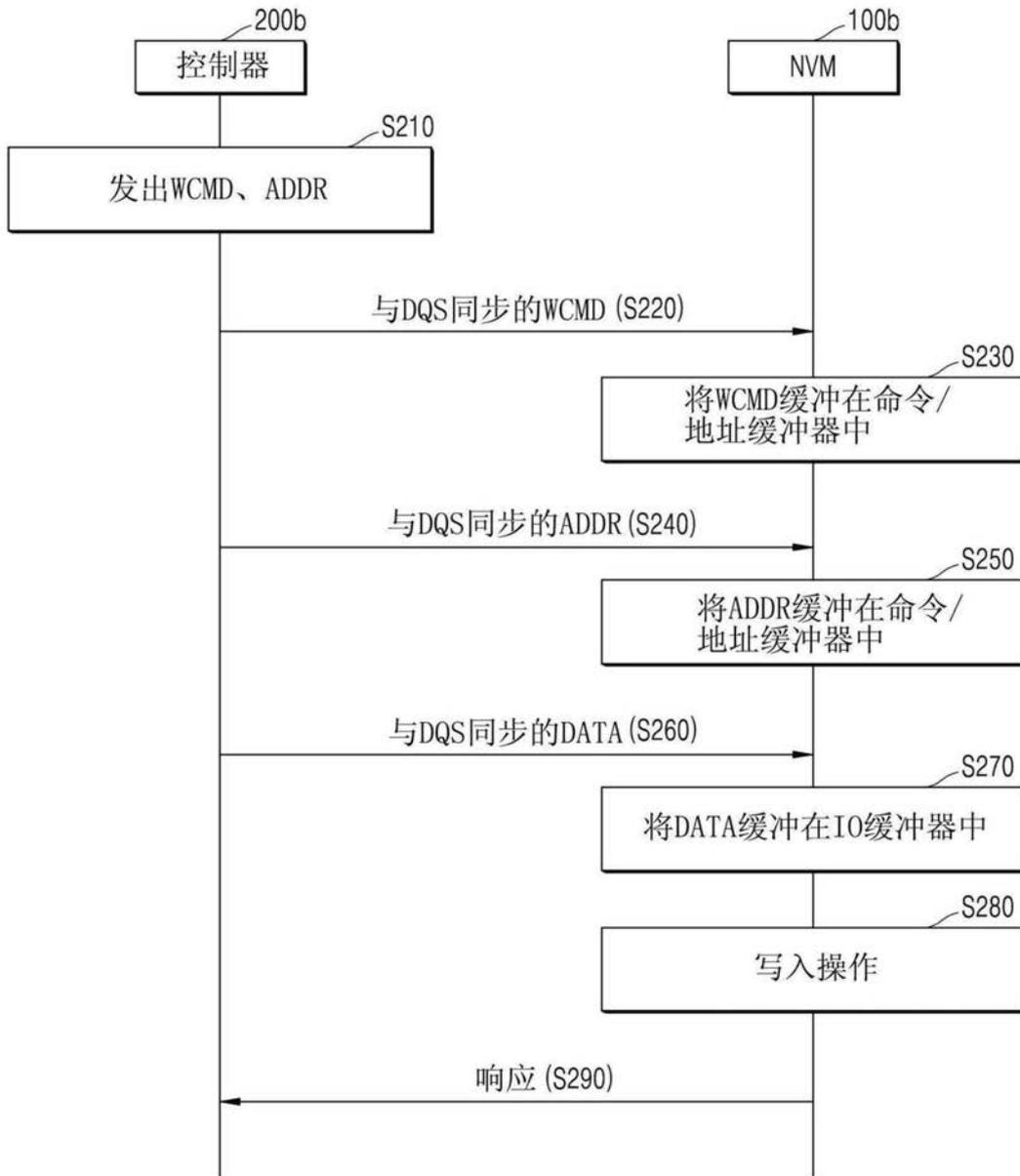


图8

写入操作

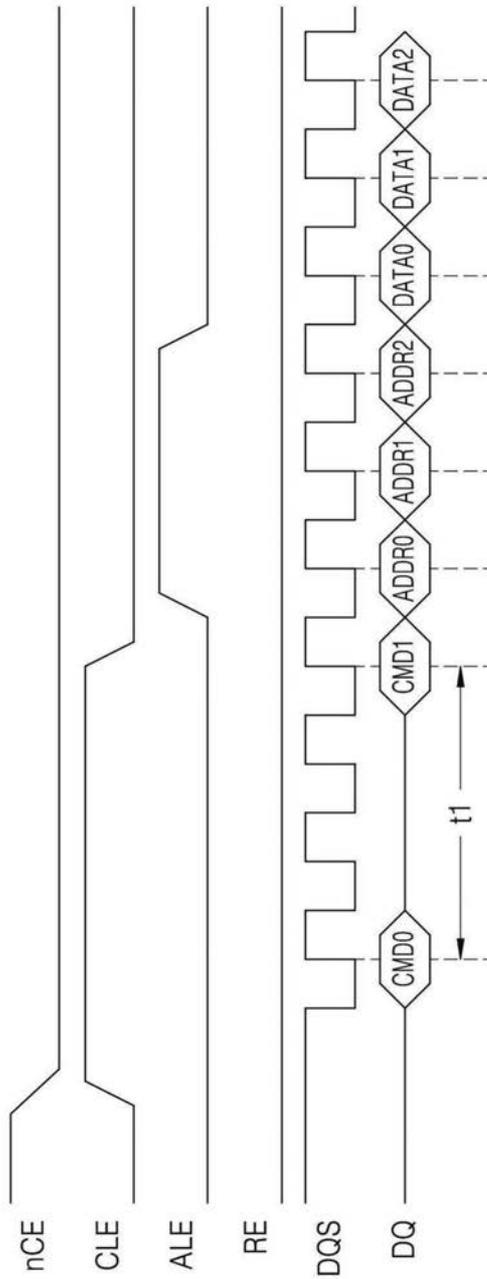


图9

读取操作

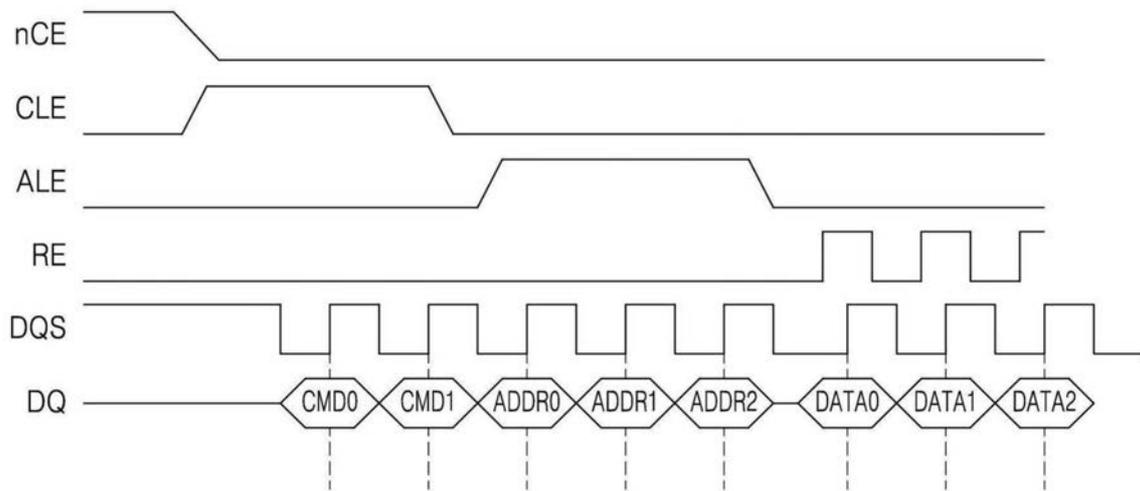


图10

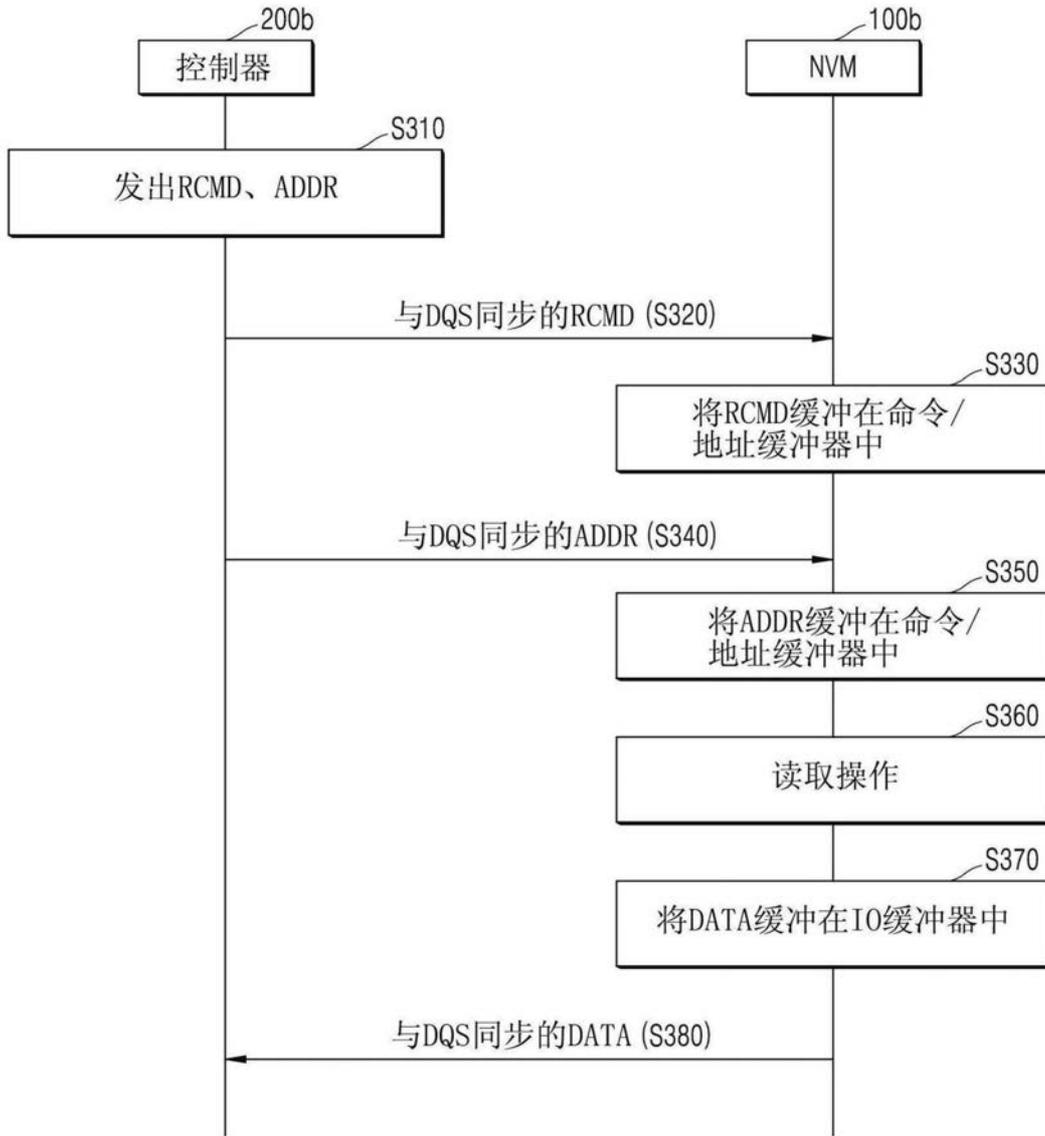


图11

读取操作

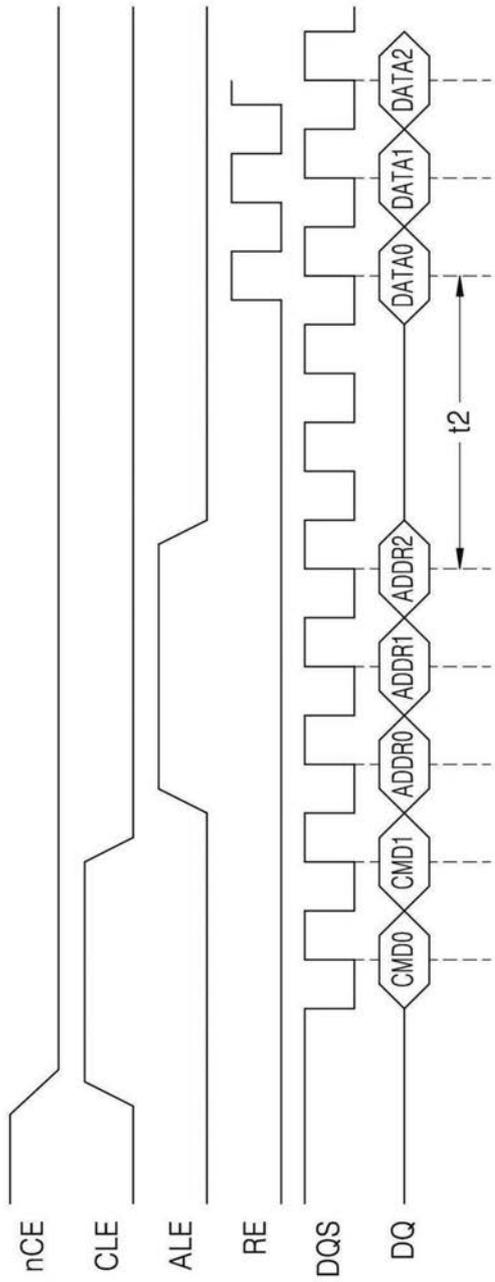


图12

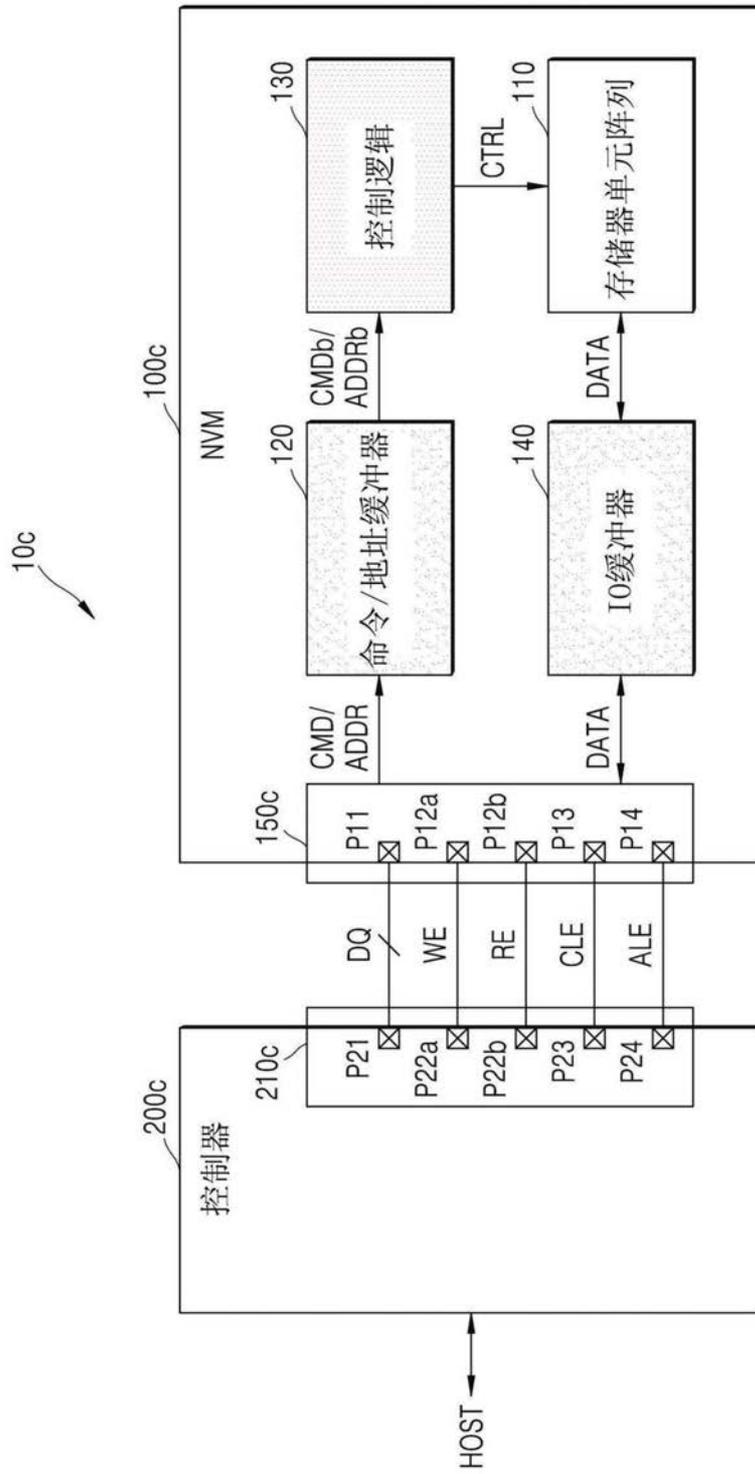


图13

写入操作

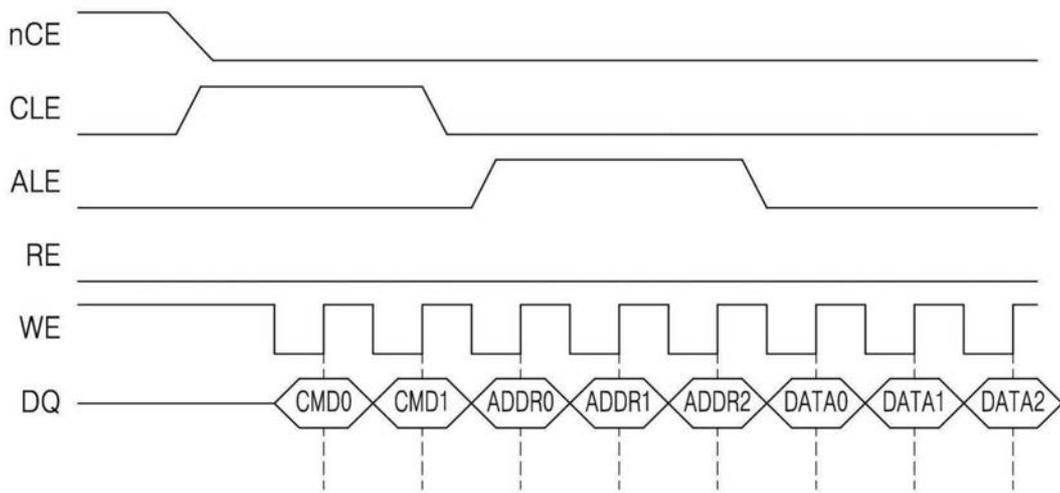


图14

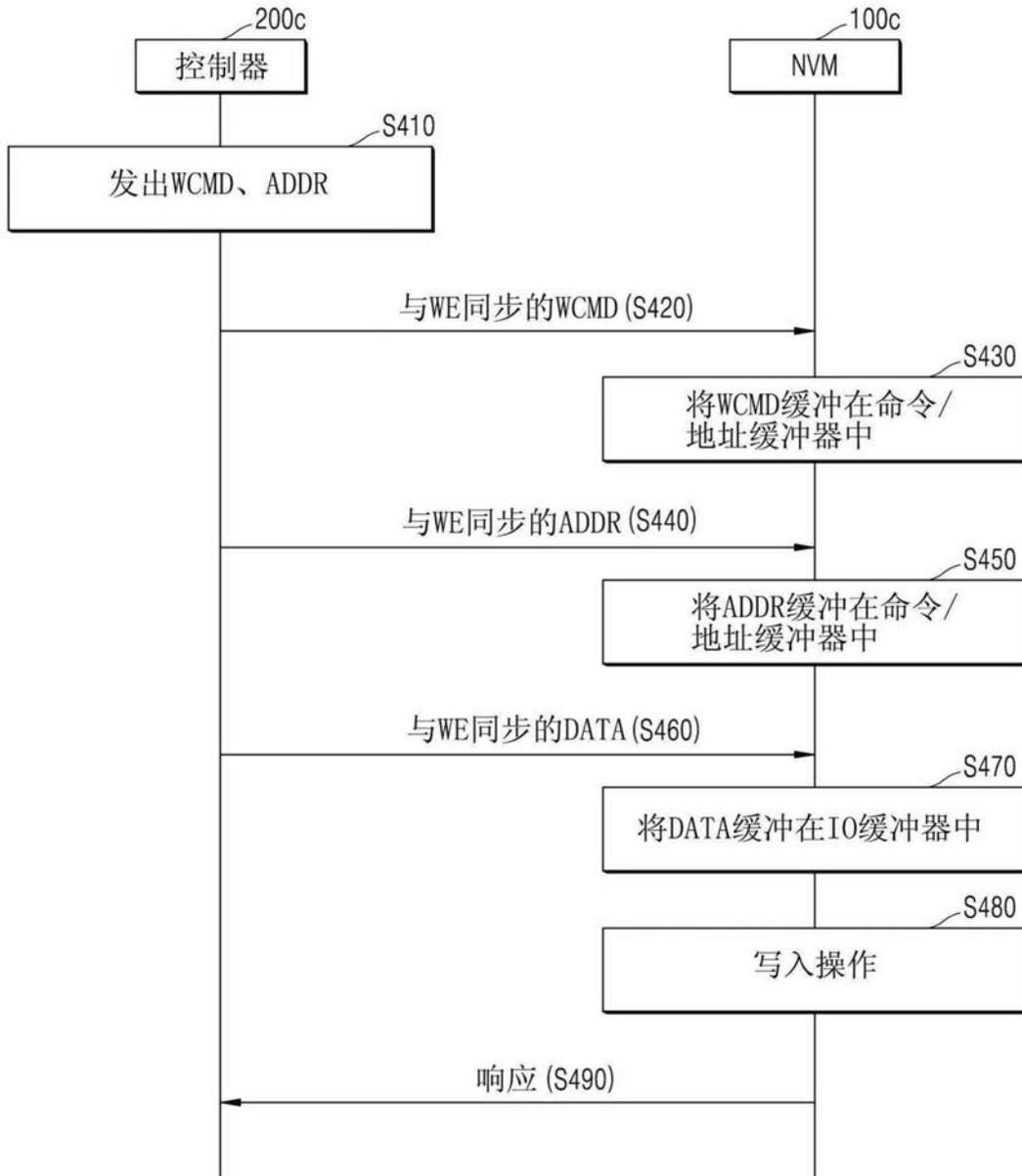


图15

读取操作

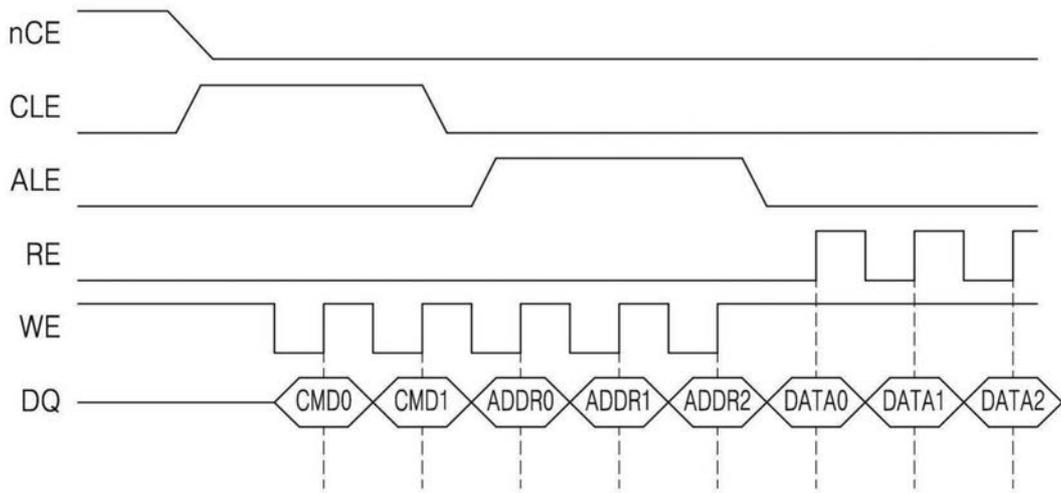


图16

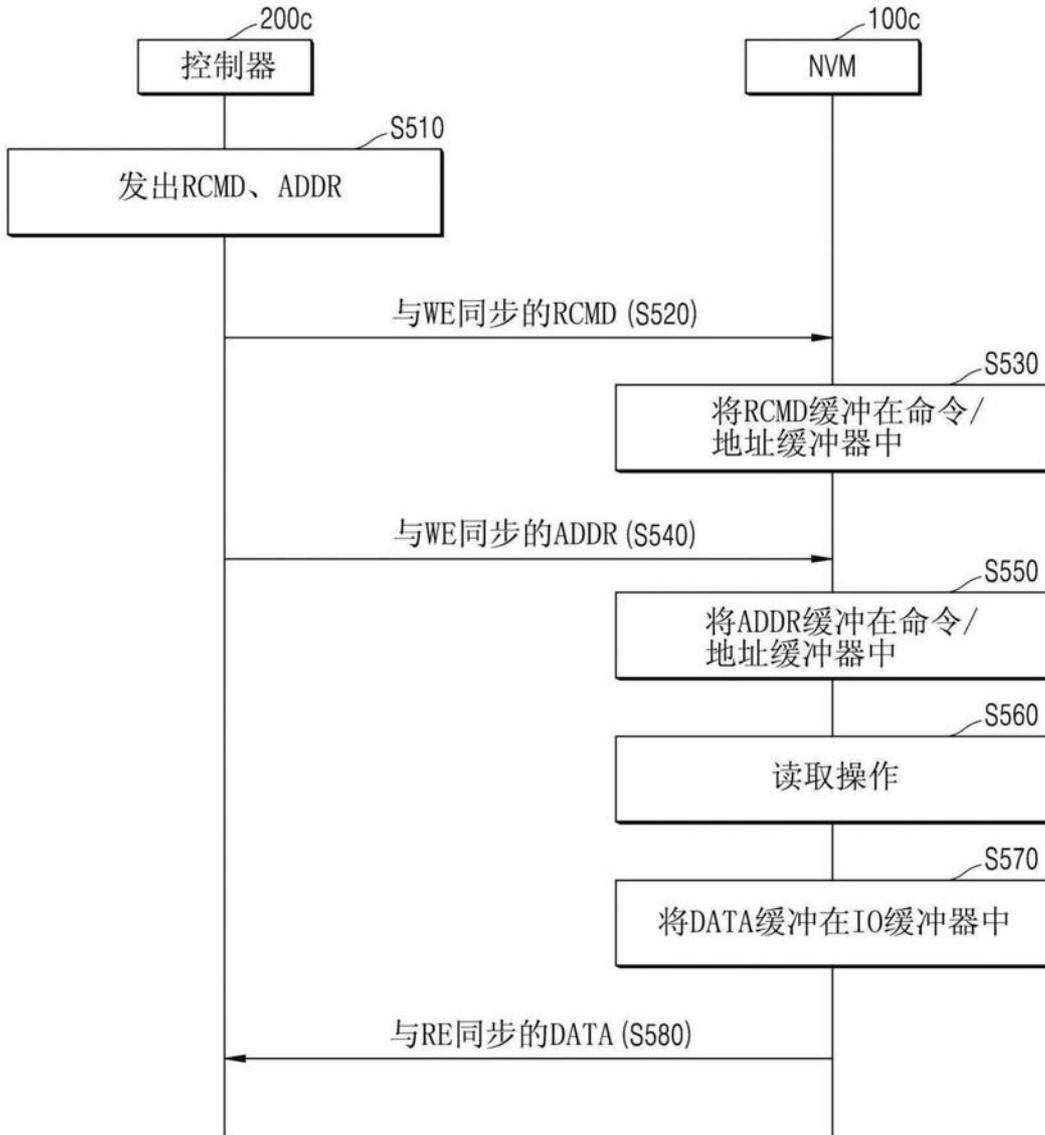


图17

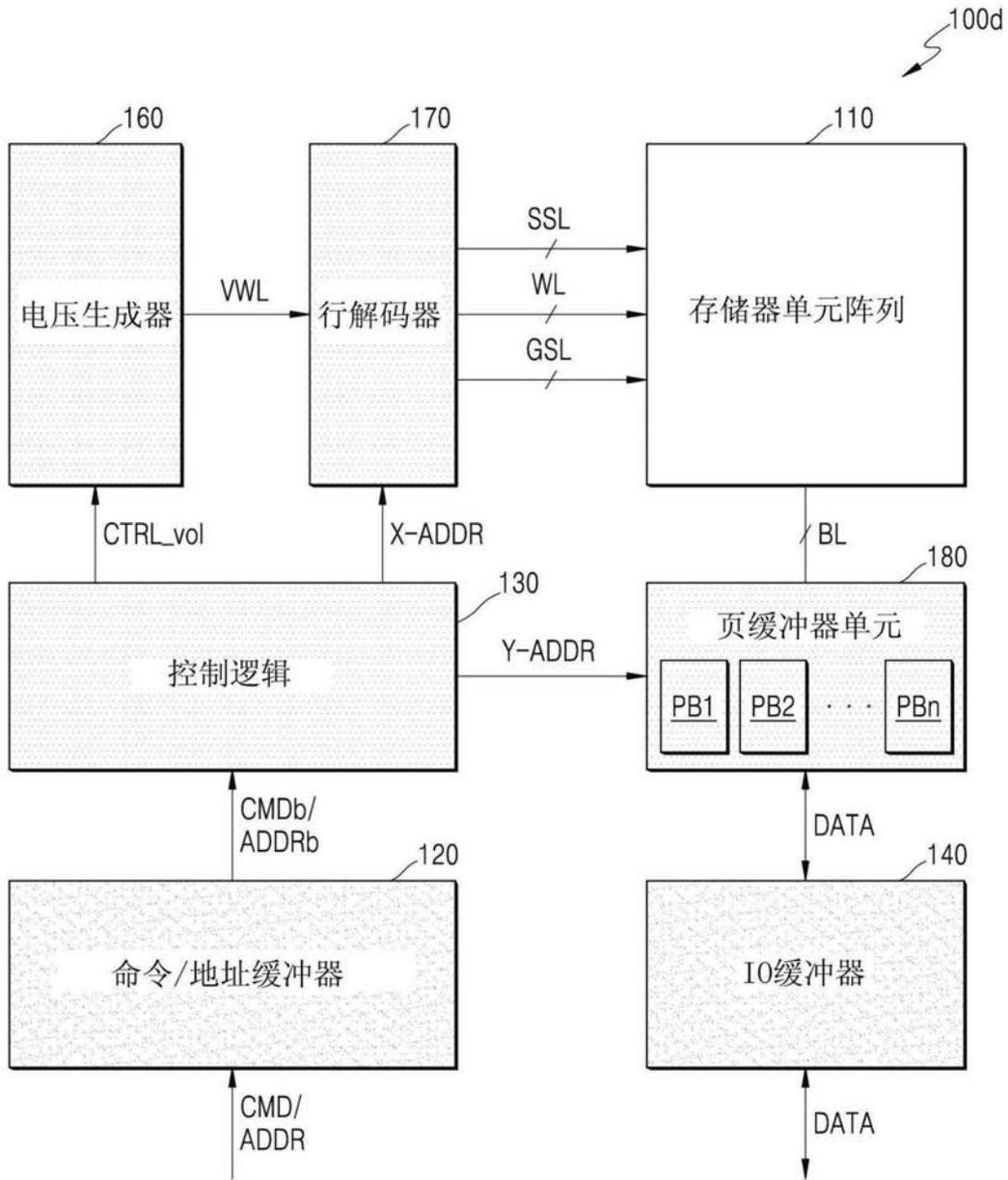


图18

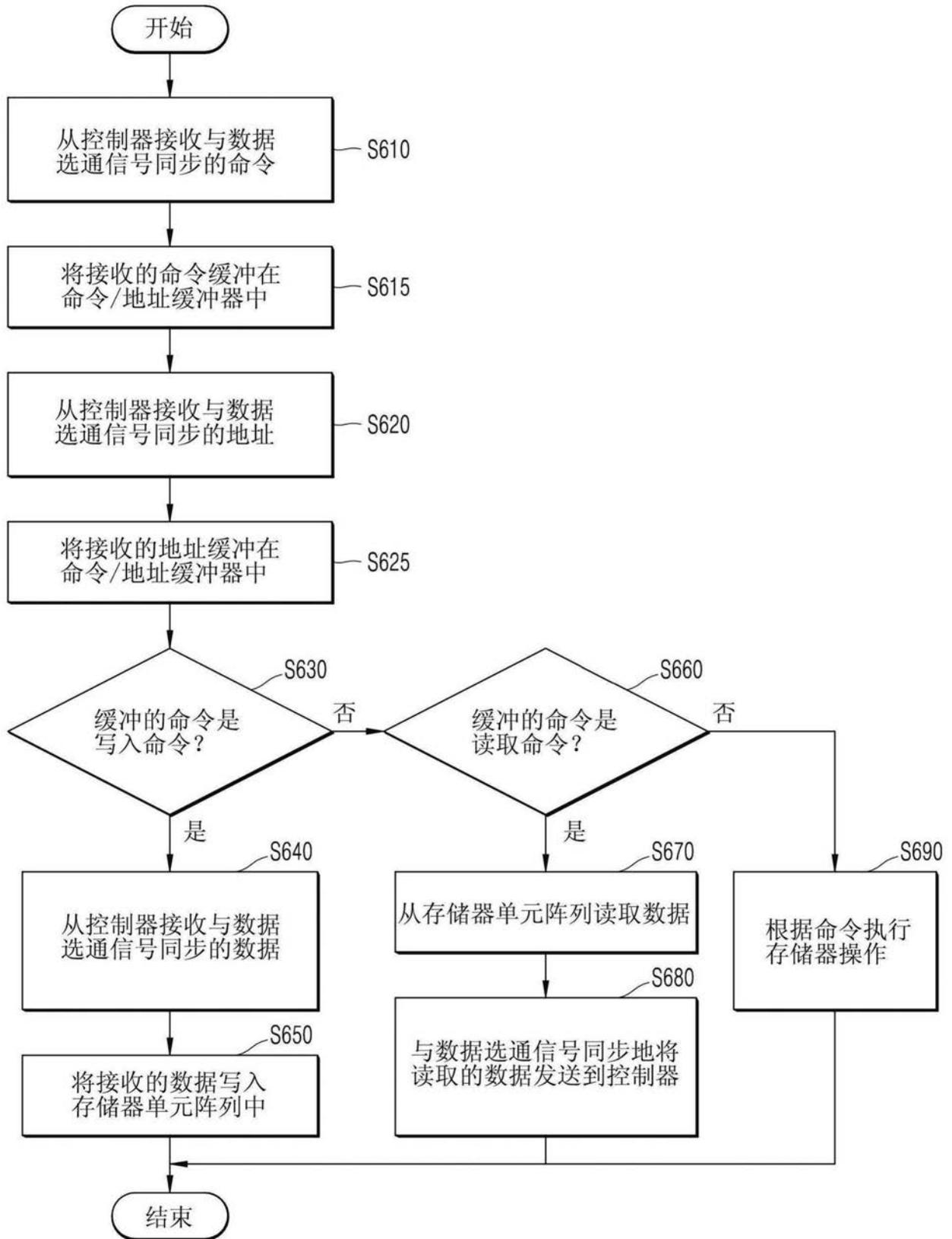


图19

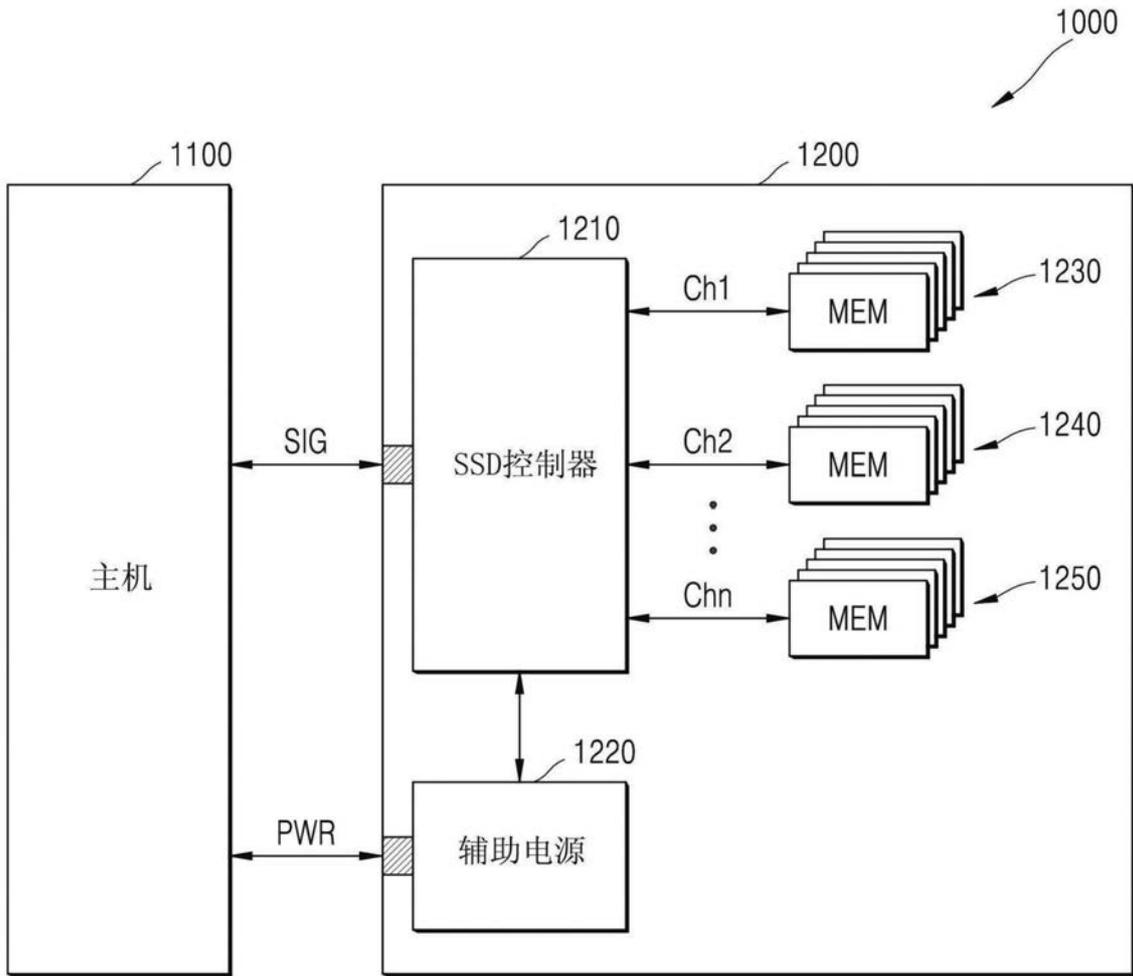


图20