

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/136

(11) 공개번호 10-2005-0068165
(43) 공개일자 2005년07월05일

(21) 출원번호 10-2003-0099327
(22) 출원일자 2003년12월29일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 이경목
서울특별시구로구오류2동152번지우석빌라1동106호
오재영
경기도의왕시내손1동포일아파트101동210호
홍성진
서울특별시관악구봉천3동관악현대아파트124동1501호

(74) 대리인 박장원

심사청구 : 있음

(54) 액정표시소자 제조방법

요약

본 발명은 액정표시소자의 제조방법에 관한 것으로 특히 슬릿마스크를 적용하지 않고 4마스크에 의해 박막트랜지스터를 형성하는 방법에 관한 것이다. 본 발명의 액정표시소자는 기판 상에 제 1 마스크를 적용하여 게이트 전극을 형성하는 단계, 제 2 마스크를 적용하여 액티브층을 정의하는 단계, 제 3 마스크를 적용하여 채널 상부에 콘택홀을 형성하는 단계, 제 4 마스크를 적용하여 화소전극 및 소오스, 드레인 전극을 분리하는 단계를 포함하여 형성되는 것을 특징으로 한다.

대표도

도 3h

색인어

4 마스크, 액정표시소자, 박막트랜지스터, 선택비

명세서

도면의 간단한 설명

도 1a~1e는 종래의 5 마스크에 의해 액정표시소자를 제조하는 방법을 나타내는 수순도.

도 2a~2h는 종래의 4 마스크에 의해 액정표시소자를 제조하는 방법을 나타내는 수순도.

도 3a~3h는 본 발명에 의한 액정표시소자를 제조하는 방법을 나타내는 수순도.

*****도면의 주요부분에 대한 부호의 설명*****

301:기판 302a:게이트 전극

302b:스토리지 전극 302c:게이트 패드부 패턴

303:게이트 절연막 304a:액티브층

305a:고농도 불순물층 306a:전극층

310,320,330,340:컨택홀 307,309,312:감광막

311:화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 스위칭 소자로 사용되는 박막트랜지스터를 제조하는 방법에 관한 것으로서, 특히 슬릿마스크를 적용하지 않고 4마스크에 의해 박막트랜지스터를 제조하는 방법에 관한 것이다.

액정표시장치는 스위칭 소자로써 박막트랜지스터가 배열되는 박막트랜지스터 어레이 기판과 영상을 컬러로 표시하기 위한 컬러필터 기판이 서로 대향하여 형성되며 상기 컬러필터 기판과 박막트랜지스터 어레이 기판 사이에 형성되는 공간에 액정층이 충전되어 있다.

그 중 박막트랜지스터 어레이 기판 제조공정은 액정표시장치의 성능을 결정하는 중요한 소자로써 많은 공정을 수반한다. 특히, 박막트랜지스터 어레이 기판 제조 공정의 핵심은 스위칭 소자로써 박막트랜지스터를 형성하는 공정인데, 이하, 액정표시장치의 박막트랜지스터(Thin Film Transistor, TFT)를 제조공정에 대해서 살펴본다. 오늘날, TFT어레이 기판에 적용되는 TFT의 제조공정은 5마스크 공정과 4 마스크 공정에 의해서 주로 이루어지고 있다.

도 1a ~ 1e 은 5마스크를 사용하여 박막트랜지스터를 제조하는 공정을 나타낸다.

먼저, 도1a에 도시한 바와같이, 유리등의 투명한 기판(1) 상에 게이트 전극물질을 형성한다. 보통 게이트 전극물질은 금속으로서 스퍼터링(sputtering)방법에 의하여 형성된다. 특히, 기판 위에 금속막을 곧바로 증착하지 않고 기판 상에 존재하는 불순물등이 TFT어레이 기판 제조공정중에 침투하는 것을 차단하기 위하여 기판 위에 산화막을 형성 할 수도 있다.

상기의 게이트 금속막을 형성한 다음, 포토레지스터(미도시)를 상기 금속막 위에 증착하고 제1 마스크(미도시)를 통해 포토리소그래피(photolithography) 공정을 실시하여 기판(1)의 채널영역의 게이트 전극(2a), 저장영역의 스토리지 전극(2b) 및 게이트 패드부 패턴(2c)을 선택적으로 형성한다.

다음으로, 도1b에 도시한 바와 같이, 상기 게이트 전극, 스토리지 전극 및 게이트 패드가 형성된 기판 상에 실리콘 산화막 또는 실리콘 질화막으로 구성되는 게이트절연층(3)과 반도체층을 순차적으로 형성한 다음, 제2 마스크(도면상에 미도시)를 적용하고 포토리소그래피 공정을 실시하여 상기 채널영역 상에 액티브층(4)을 형성한다. 상기 액티브층(4)은 비정질실리콘(a-Si)과 고농도의 불순물이 도핑된 비정질실리콘층의 적층일 수 있다.

상기의 게이트 절연층(3) 및 액티브층의 형성은 통상 플라즈마화학기상증착 방법(plasma enhanced chemical vapor deposition, PECVD)방법에 의해 이루어질 수 있다.

PECVD법이란 전기장에서 가속되는 플라즈마 상태의 불활성 기체의 이온들이 반응 가스와 충돌하여 반응 가스들을 여기시키고 여기된 반응가스들이 기판의 용융점 이하에서도 증착될 수 있게 하는 증착방법이다.

상기 방법에 의해 액티브층을 형성한 다음, 도1c에 도시한 바와 같이, 상기 결과물의 상부에 소스/드레인 전극물질을 형성하고 제3 마스크(도면상에 미도시)를 적용하고 포토리소그래피를 실시하여 채널영역 상에 형성되는 소오스 및 드레인 전극(5,6)과 저장영역 상에 형성되는 스토리지 전극(7)과 데이터 패드(8)을 각각 형성한다.

다음으로, 도 1d에 도시한 바와같이, 상기 소오스 및 드레인 전극(5,6) 상에 무기막질의 보호막(9)을 형성하고 제4 마스크(도면상에 미도시)를 통해 포토리소그래피를 실시하여 상기 채널영역의 드레인 영역(6), 스토리지 전극(7), 게이트 패드부(2c) 및 데이터 패드부(8)가 노출될 수 있도록 상기 보호막을 식각하여 컨택홀을 형성한다.

상기 보호막 상에 컨택홀을 형성한 다음, 도1e에 도시한 바와 같이, 제 5 마스크(도면상에 미도시)를 통해 포토리소그래피를 실시하여 상기 채널영역의 드레인 전극(6)과 저장영역의 스토리지 전극(7)을 접속시키는 픽셀전극(10)을 형성함과 아울러 게이트 패드부의 게이트 패턴(2c)과 연결되는 배선(11) 및 데이터 패드부의 전극(8)과 연결되는 배선(12)을 동시에 형성할 수 있도록 선택적으로 식각한다.

상기한 바와같은 종래 액정 표시장치의 제조방법은 5개의 마스크를 적용하여 포토리소그래피를 실시함에 따라 제조비용의 절감 및 공정 단순화 등에 한계를 갖는 문제점이 있었다.

따라서, 4개의 마스크가 적용되는 액정 표시장치의 제조방법이 제안되었다. 이하, 4개의 마스크를 적용한 종래 액정 표시장치의 제조방법을 도2a 내지 도2g를 참조하여 설명한다.

먼저, 도2a에 도시한 바와같이, 기판(21) 상에 전극물질을 형성한 다음 제1 마스크(도면상에 미도시)를 통해 포토리소그래피를 실시하여 기판(21)의 채널영역내의 게이트 전극(22a), 저장영역 내의 스토리지 전극(22b) 및 게이트 패드부 상의 패턴(22c)을 선택적으로 형성한다.

그리고, 도2b에 도시한 바와같이, 상기 결과물의 상부에 실리콘산화막 또는 실리콘 질화막으로 구성되는 게이트절연막(23), 반도체층(24) 및 전극층(25)을 순차적으로 형성한다. 이때, 상기 반도체층(24)은 비정질실리콘(a-Si)과 고농도의 엔(N+)이 도핑된 반도체층이다.

다음으로, 도2c에 도시한 바와 같이, 상기 전극층(25)의 상부에 감광막(26)을 형성한 다음, 제 2 마스크(27)를 통해 포토 리소그래피를 실시하여 상기 채널영역, 저장영역 및 데이터 패드부 상에 선택적으로 잔류하는 감광막(26a)의 패턴을 형성한다. 특히, 상기 게이트 전극(22a)상의 전극층(25) 상부의 감광막(26a)에는 회절노광을 적용하여 다른 영역의 감광막(26) 패턴에 비해 얇은 두께를 갖도록 한다. 상기의 회절노광의 결과, 게이트 전극 상부의 포토레지스터는 채널 상부의 포토레지스터가 소오스 및 드레인 영역보다 얇은 단차 구조를 형성하여 향후 서로 다른 식각율을 나타낼 수 있게 된다.

도 2d는 상기 감광막(26a) 패턴을 통해 상기 전극층(25) 및 게이트 절연층(24)이 제거되고 채널 영역, 스토리지 전극 및 데이터 패드부 전극이 형성된 모습을 보여준다.

다음으로, 도2e에 도시한 바와같이, 상기 회절노광된 채널영역 상부의 감광막(26a)을 선택적으로 제거한다. 그 결과, 도 2e에 도시한 바와 같이, 상기 액티브층(24a) 중 채널층 상부의 전극층(25)이 노출되고 상기 감광막 패턴(26a)을 식각 마스크로 적용하여 상기 전극층(25)을 식각하여 소오스 및 드레인 전극(28,29)을 형성한다.

상기 소스/드레인 전극(28,29)을 형성한 다음, 상기 잔류하는 감광막(26a)의 패턴을 제거한다.(도2f)

그리고, 도 2g에 도시한 바와같이, 상기 결과물의 상부전면에 무기막으로 구성되는 보호막(30)을 형성하고, 제 3 마스크(도면상에 미도시)를 통해 포토리소그래피를 실시하여 상기 드레인 전극(29), 저장영역의 전극층(25), 게이트 패드부의 게이트 패턴(22c) 및 데이터 패드부의 전극층(25)이 노출되도록 컨택홀을 형성한다.

다음으로, 도 2h에 도시한 바와같이, 상기 결과물의 상부에 투명전극물질을 형성하고 제 4 마스크(도면상에 미도시)를 적용하고 포토리소그래피를 실시하여 상기 채널영역의 드레인 전극(29)과 저장영역의 전극층(25)을 접속시키는 픽셀전극(31)을 형성함과 아울러 게이트 패드부의 게이트 패턴(22c)과 연결되는 배선(32) 및 데이터 패드부의 전극층(25)과 연결되는 배선(32)을 동시에 형성할 수 있도록 선택적으로 식각한다.

상기한 바와 같은 4개의 마스크를 적용하여 포토리소그래피를 실시한 액정 표시장치의 제조방법은 5개의 마스크를 적용하는 것에 비해 제조비용을 절감시키고, 공정을 단순화할 수 있게 된다.

즉, 마스크의 사용 갯수를 최소화하는 것이 제조비용 절감 및 공정단순화에 기여할 수 있다.

그런데 상기 4마스크 공정에 사용되는 슬릿 마스크는 고가의 장비로 박막트랜지스터 제조비용을 상승시키는 원인이 되고 있다.

발명이 이루고자 하는 기술적 과제

그러므로 본 발명은 박막트랜지스터를 형성함에 있어서, 슬릿마스크를 적용하지 않고 4마스크 공정으로 박막트랜지스터를 형성하는 것을 목적으로 한다. 또한 슬릿 마스크를 적용하지 않고 박막트랜지스터를 형성함으로써 박막트랜지스터를 제조하는 비용을 줄이는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 액정표시소자 제조방법은 기판 상의 채널영역 상에 게이트 전극, 저장영역 상에 스토리지 전극, 게이트 패드부 상에 게이트 패드층을 형성하는 단계; 상기 게이트 전극 상에 제 1절연층, 반도체층 및 전극층을 연속하여 형성하는 단계; 상기 제 1절연층, 반도체층 및 전극층을 패터닝하여 액티브층 및 전극층 패턴을 형성하는 단계; 상기 전극층 패턴 상에 제 2 절연층을 형성하는 단계; 상기 액티브층 중 채널영역 상부의 제 2 절연층을 오픈하여 컨택홀을 형성하는 단계; 상기 컨택홀을 포함하는 제 2 절연층 상에 화소전극 물질층을 형성하는 단계; 상기 화소전극 물질층을 패터닝하여 화소전극을 형성하는 단계; 상기 컨택홀 하부의 전극층 및 반도체층을 제거하여 소오스, 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

이하 본 발명의 액정표시소자를 제조하는 공정을 도 3a~3h를 통하여 상세히 살펴본다.

도 3a에 도시된 바와 같이, 투명한 기판 상의 채널 영역 상에 게이트 라인 및 이로부터 분기되는 게이트 전극(302a), 저장영역(스토리지 영역)에 스토리지 전극(302b), 게이트 패드부의 게이트 패드 패턴(302c)을 형성하기 위한 금속박막을 형성한다. 상기 금속 박막은 알루미늄 합금 또는 알루미늄 및 폴리브텐의 이중층으로 구성될 수 있다.

상기 금속 박막은 스퍼터링 방법에 의해 상기 기판 상에 형성되며 금속 박막이 형성된 다음, 상기 금속 박막 상에 감광막(미도시)을 도포하고 제 1 마스크(미도시)를 적용하여 사진식각 방법에 의해 상기 금속박막을 패터닝한다.

상기 금속박막을 패터닝하는 방법으로는 습식각 방법이 적용될 수 있다.

상기 습식각에 의해 상기 금속박막은 게이트 라인(미도시) 및 게이트전극(302a), 스토리지 전극(302b) 및 게이트 패드부 패턴(302c)이 형성된다.

다음으로 기판(301) 상에 제 1 절연막(303), 반도체층(304,305) 및 전극층을 형성하는 단계를 진행한다.

상기 제 1 절연층(303)은 실리콘 산화막 또는 실리콘 질화막으로 구성되며 특히, 건식식각 특성이 우수한 실리콘 질화막(SiNx)으로 구성될 수 있고, 이 경우, 약 4000Å 두께로 형성한다. 상기 제 1 절연층(303)은 플라즈마 화학기상증착방법(plasma enhanced chemical vapor deposition, PECVD)에 의해 형성될 수 있으며, 게이트 전극(302a)을 절연하고 보호하는 역할을 한다.

상기 방법에 의해 제 1 절연층(303)이 형성된 다음, 실리콘으로 구성되는 반도체층(304,305)을 형성한다. 상기 반도체층(304,305)은 비정질실리콘층(304)과 고농도 N+ 불순물층(305)으로 구성되며 상기 비정질실리콘층(304)은 박막트랜지스터의 채널로써 작용하고 상기 고농도 N+ 불순물층(305)은 반도체층과 소오스 및 드레인 전극층과 오믹(ohmic)컨택(contact)을 위하여 형성된다.

상기 반도체층(304,305)은 PECVD방법에 의해 형성될 수 있으며, 상기 반도체층 중 고농도 불순물층(305)은 비정질의 실리콘층이 형성되는 공정에서 불순물 이온을 더 포함시켜 증착함으로써 이루어 질 수 있다.

상기 방법에 의해 반도체층(304,305)이 형성된 다음, 상기 반도체층 상에 전극층(306)을 형성한다. 특히, 본 발명은 실리콘질화막으로 구성되는 절연층과 선택적 식각특성을 가지는 폴리브덴(Mo)층으로 구성될 수 있으며, 상기 전극층은 절연막과 선택적 식각특성을 가지는 소정의 금속층일 수 있다.

상기 폴리브덴은 건식식각방법 및 습식식각방법에 의해 식각이 이루어질 수 있으며, 특히, 실리콘 질화막과 선택적 식각비를 가지며 건식식각 될 수 있다. 즉, 실리콘 질화막이 건식식각에 의해 식각되는 동안, 상기 폴리브덴층도 일부 식각이 이루어진다. 그러나 상기 절연층이 식각되는 동안 식각되지 않는 소정의 금속층을 상기 전극층으로 사용할 수 있다.

상기 공정에 의해 전극층(306)이 형성된 다음, 상기 전극층(306) 상에 감광막(307)을 도포하고 사진식각 공정을 진행한 다. 상기 사진식각공정에서 마스크를 적용하여 상기 감광막을 노광하고 현상한 결과, 도 3b에 도시된 바와 같이, 감광막(307)은 채널영역 상부와 데이터 패드부 상부에 잔존하며, 상기 감광막 패턴(307)을 마스크로 적용하여 채널 영역 상에 형성된 제 1 절연층(303), 반도체층(304,305) 및 전극층(306)을 식각한다.

상기 전극층(306)은 습식식각에 의해 효과적으로 식각될 수 있고, 상기 반도체층(304,305) 및 제 1 절연층(303)은 건식식각에 의해 효과적으로 식각될 수 있다.

상기 식각결과, 상기 채널영역 상부에는 액티브층(304a,305a)이 형성되며 상기 액티브층 상에 소오스 및 드레인 전극 형성용 전극층(306a)이 패턴닝되어 적층구조를 이룬다.

다음으로, 상기 액티브층(304a,305a) 및 액티브층 상의 소오스 및 드레인 전극 형성용 전극층(306a) 상에 보호막으로 실리콘 질화막 또는 실리콘 산화막으로 구성되는 제 2 절연층(308)을 형성한다. 특히, 본 발명의 일 실시 예에서는 건식식각 특성이 우수한 실리콘 질화막을 보호막으로 적용한다.

상기 제 2 절연층(308)을 형성한 다음, 도 3d에 도시한 바와 같이, 상기 제 2 절연층(308) 상에 다수의 컨택홀을 형성하는 공정을 진행한다.

상기 컨택홀은 상기 채널 영역에 형성되는 채널의 상부에 형성되는 제 1 컨택홀(310)과 액티브층의 드레인 영역 상에 형성되는 제 2 컨택홀(320)과 게이트 패드부 상에 형성되는 제 3 컨택홀(330)과 데이터 패드부 상에 형성되는 제 4 컨택홀(340)을 포함하여 형성된다.

상기 컨택홀들은 감광막을 제 2 절연층 상에 형성하고 사진식각공정을 통하여 형성할 수 있으며, 특히, 제 2 절연층으로 실리콘 질화막을 사용하는 경우에는 건식식각을 통하여 식각하면 습식각에 비해 정확한 패턴닝이 가능하다.

상기 제 2 절연층(308)의 건식각에 의해 채널 상부의 제 1 컨택홀(310)내의 제 2 절연막, 드레인 영역 상부의 제 2 컨택홀(320)내의 제 2 절연막, 게이트 패드부 상부의 제 3 컨택홀(330)내의 제 2 절연막 및 데이터 패드부 상부의 제 4 컨택홀(340)내의 제 2 절연막이 각각 식각되어 제거된다. 도 3e는 상기 제 2 절연층(308)의 일부가 제거되어 컨택홀이 형성된 모습을 도시하고 있다.

다음으로 상기 컨택홀을 형성하기 위하여 사용한 감광막(309) 패턴을 그대로 마스크로 적용하여 제 3 컨택홀(330) 하부의 제 1 절연층(303)을 계속 식각한다. 특히, 상기 식각 방법은 제 2 절연층과 제 1 절연층이 실리콘 질화막으로써 동일한 막질일 경우, 제 2 절연층을 식각하는 방법과 동일한 방법에 의해서 식각할 수 있다. 즉 건식각 방법에 의해서 제 3 컨택홀(330) 하부의 제 1 절연층(303)을 식각한다.

한편, 상기 제 3 컨택홀(330) 하부의 제 1 절연층(303)이 식각되는 동안, 상기 제 1,2,4,컨택홀(310,320,340) 하부의 전극층이 일부 식각되어 제거된다.

특히, 본 발명의 일 실시 예로써 상기 전극층(306)으로 폴리브덴층을 사용하는 경우에는 상기 폴리브덴층은 상기 제 3 컨택홀(310)하부의 제 1 절연층(303)이 건식각되는 동안 약 1000Å 정도 식각되어 제거된다.

도 3f는 제 1,2,4 컨택홀(310,320,340)하부의 전극층(306)의 일부가 제거되고 게이트 패드부의 제 3 컨택홀(330)이 완성된 모습을 도시하고 있다.

다음으로, 도 3g에 도시된 바와 같이, 상기 결과물에 투명전극 물질을 형성한다. 상기 투명전극 물질로는 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)를 사용할 수 있으며 스퍼터링 방법에 의해 형성된다.

상기 투명전극(311)을 형성한 다음, 상기 투명전극 상에 감광막(미도시)을 도포하고 상기 감광막을 제 4마스크를 적용하여 노광 및 현상하여 패턴을 형성한다. 상기 감광막 패턴이 형성된 모습을 도 3g를 통하여 볼 수 있다. 상기 감광막 패턴(312)를 마스크로 적용하여 상기 투명전극 물질을 식각한다. 상기 식각 방법은 습식각 방법을 선택하여 사용할 수 있다.

상기 결과, 도 3h에 도시된 바와 같이, 상기 투명전극 물질은 패터닝되어 화소전극(313) 및 게이트 패드(314) 및 데이터 패드(315)가 된다.

상기 감광막(312)을 마스크로 적용하여 상기 투명전극을 패터닝한 다음, 상기 감광막(312)을 계속 마스크로 적용하여 건식각 방법에 의해 제 1 컨택홀 하부의 폴리브덴으로 구성되는 전극층(306a) 및 고농도 불순물층(305a)를 식각한다. 상기 건식각을 통하여 상기 전극층(306a)은 소오스 및 드레인 전극(316,317)으로 분리된다. 상기 결과, 상기 소오스 전극 및 드레인 전극으로 분리된 전극층은 상기 분리 영역에 비정질의 실리콘층으로 구성되는 채널층을 구비하는 박막트랜지스터를 완성하게 된다.

특히, 상기 전극층은 게이트 패드부 상에 제 3 컨택홀을 형성하는 과정에서 일부 식각되었기 때문에, 제 2 절연층에 큰 손상을 주지 않고도 채널 상부에 잔존하는 화소전극 및 고농도 불순물 층을 효과적으로 제거할 수 있다.

한편, 상기에서는 채널층 상부의 전극층(306a) 및 고농도 불순물층(305a)을 제거하는 방법으로 화소전극을 형성할 때 사용된 마스크(312)를 그대로 적용하였으나, 상기 화소전극(313)은 건식각에 강한 특성이 있으므로 상기 화소전극 상의 감광막을 제거하고 건식각을 통하여 채널 상부의 제 1 컨택홀(310) 아래에 형성되는 전극층(306a) 및 고농도 불순물층(305a)을 제거하여 소오스 및 드레인 전극(316,317)을 형성할 수 있다.

상기 결과, 본 발명의 액정표시소자는 게이트 전극 형성시 제 1 마스크를 사용하고, 액티브 패턴을 형성할 때 제 2 마스크를 사용하며, 채널층 상부에 컨택홀을 형성하기 위하여 제 3 마스크를 사용하며, 화소전극 및 소오스, 드레인 전극을 형성하기 위하여 제 4 마스크를 사용함으로써 회절노광 방법을 적용하지 않고서도 4마스크에 의한 액정표시소자를 완성한다.

발명의 효과

상기와 같이 본 발명은 4 마스크 공정을 통해 액정표시소자를 제조하므로써 종래의 5마스크 공정에 비해 공정 수를 줄여 생산효율을 증대할 수 있다.

또한, 종래의 4 마스크 공정과 비교해 볼 때, 동일한 4 마스크를 사용하지만 본 발명에서는 박막트랜지스터를 제조하는 공정에서 사용되는 절연막과 소오스 및 드레인 전극층으로 사용되는 전극층의 선택적 식각비를 이용하여 고가의 회절마스크를 적용하지 않고도 저비용으로 액정표시소자를 제조할 수 있다.

(57) 청구의 범위

청구항 1.

기판 상의 채널영역 상에 게이트 전극, 저장영역 상에 스토리지 전극, 게이트 패드부 상에 게이트 패드 패턴을 형성하는 단계;

상기 게이트 전극 상에 제 1절연층, 반도체층 및 전극층을 연속하여 형성하는 단계;

상기 제 1절연층, 반도체층 및 전극층을 패터닝하여 액티브층 및 전극층 패턴을 형성하는 단계;

상기 전극층 패턴 상에 제 2 절연층을 형성하는 단계;

상기 액티브층 중 채널상부의 제 2 절연층을 제거하여 컨택홀을 형성하는 단계;

상기 게이트 패드부 상에 컨택홀을 형성하는 단계;

상기 제 2 절연층 상에 화소전극을 형성하는 단계;

상기 채널영역 상부의 컨택홀 내에 형성되는 전극층 및 반도체층을 제거하여 소오스, 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자 제조방법.

청구항 2.

제 1 항에 있어서, 상기 화소전극을 형성하는 단계는

상기 제 2 절연층 상에 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 마스크로 적용하여 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자 제조방법.

청구항 3.

제 1 항에 있어서, 상기 반도체층을 형성하는 단계는

상기 제 1 절연층 상에 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층 상에 고농도 불순물 층을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자 제조방법.

청구항 4.

제 1 항에 있어서, 상기 채널영역 상부의 제 2 절연층을 제거하여 컨택홀을 형성하는 단계에서

상기 액티브층 중 드레인 영역 상부 및 데이터 패드부 상부에 컨택홀이 더 형성되는 것을 특징으로 하는 액정표시소자 제조방법.

청구항 5.

제 1 항에 있어서, 상기 게이트 패드부 상에 컨택홀을 형성하는 단계에서 상기 채널영역 상의 컨택홀 내에 형성되는 전극층의 일부가 동시에 제거되는 것을 특징으로 하는 액정표시소자 제조방법.

청구항 6.

제 1 항에 있어서, 상기 전극층은 몰리브덴층인 것을 특징으로 하는 액정표시소자 제조방법.

청구항 7.

제 5 항에 있어서, 상기 채널 상부의 전극층 일부를 제거하는 단계는 건식식각에 의해 형성되는 것을 특징으로 하는 액정표시소자 제조방법.

청구항 8.

제 1 항에 있어서, 상기 소오스 및 드레인 전극을 형성하는 단계는

상기 화소전극을 패터닝하기 위하여 사용된 감광막 패턴을 마스크로 적용하고 상기 채널 영역 상부의 전극층 및 반도체층을 제거하므로써 이루어 지는 것을 특징으로 하는 액정표시소자 제조방법.

청구항 9.

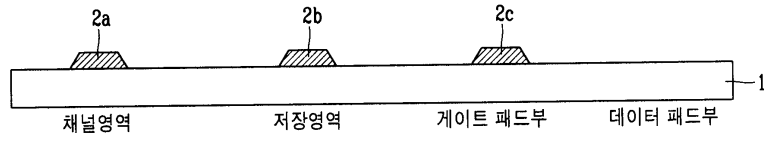
제 1 항에 있어서, 상기 소오스 및 드레인 전극을 형성하는 단계는 상기 제 2 절연층과 상기 전극층의 선택적 식각비를 이용하는 것을 특징으로 하는 액정표시소자 제조방법.

청구항 10.

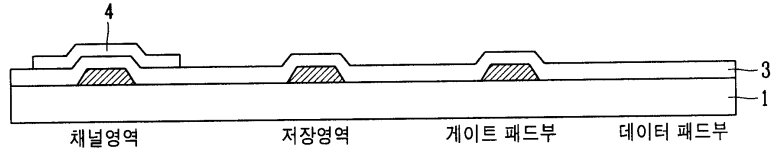
제 1 항에 있어서, 상기 제 1 절연층 및 제 2 절연층은 실리콘 질화막인 것을 특징으로 하는 액정표시소자 제조방법.

도면

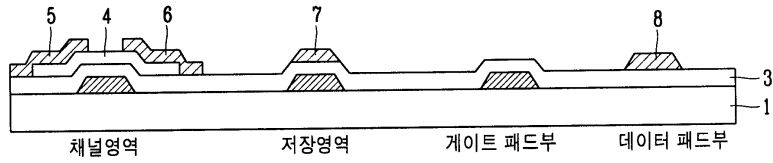
도면1a



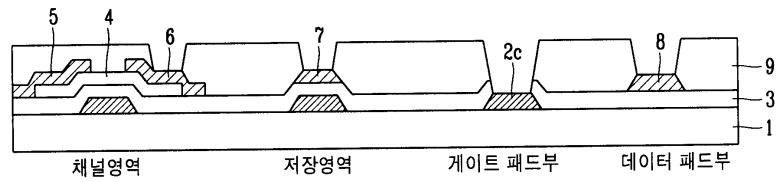
도면1b



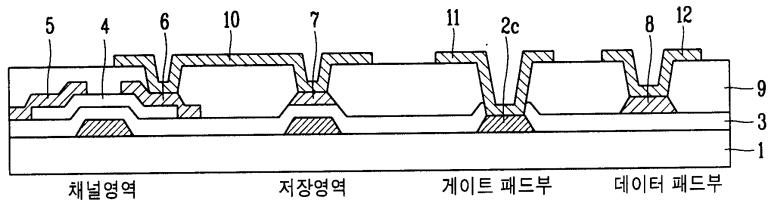
도면1c



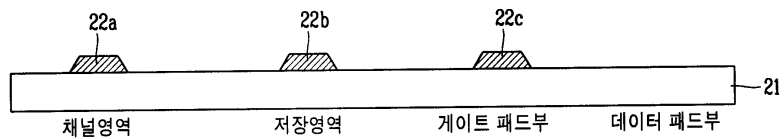
도면1d



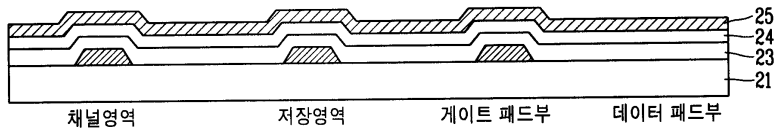
도면1e



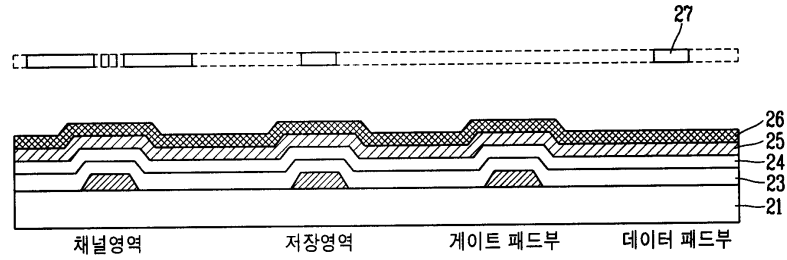
도면2a



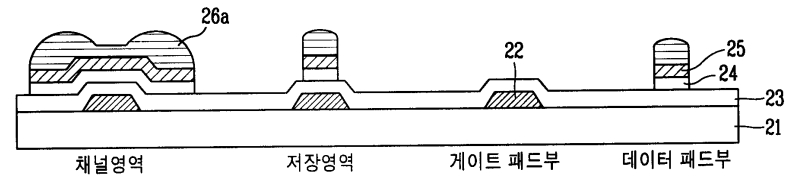
도면2b



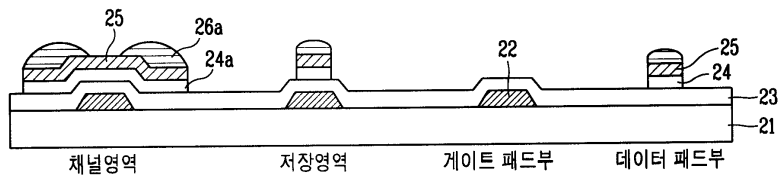
도면2c



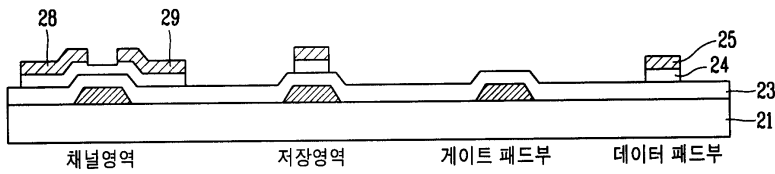
도면2d



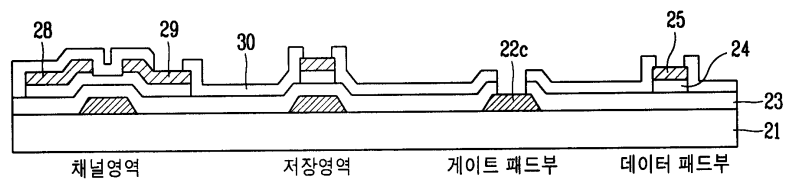
도면2e



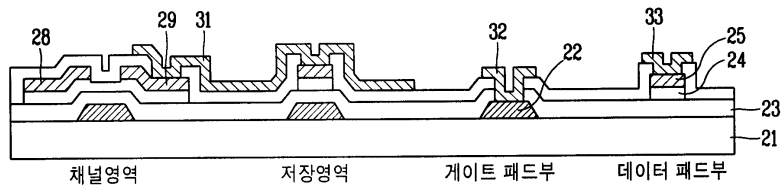
도면2f



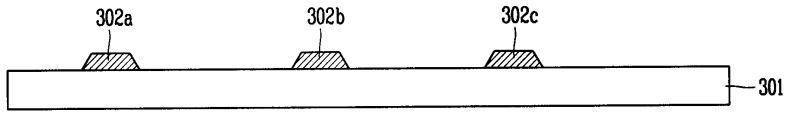
도면2g



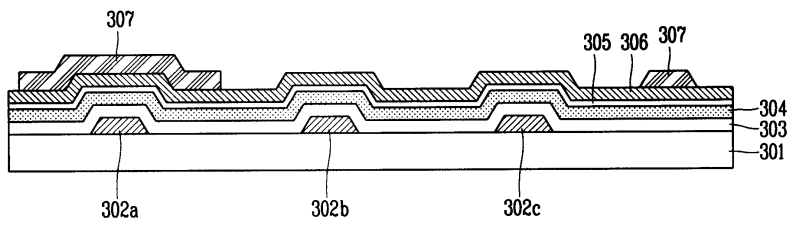
도면2h



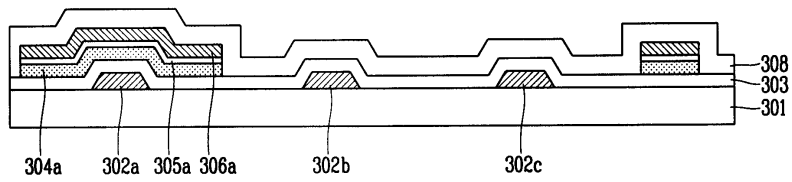
도면3a



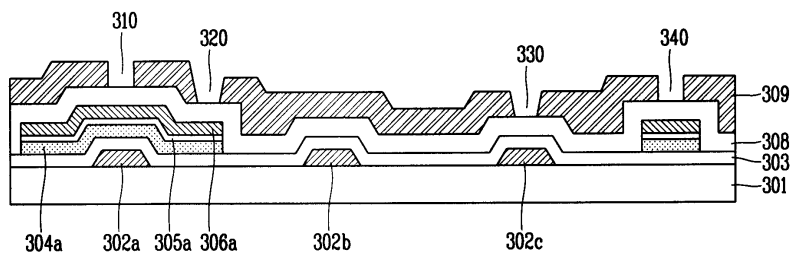
도면3b



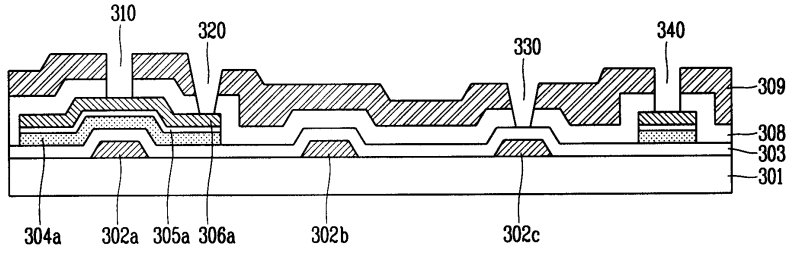
도면3c



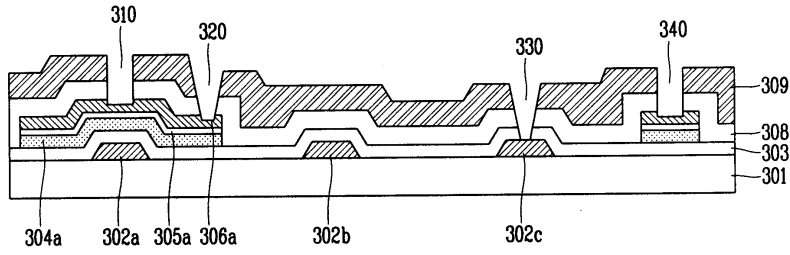
도면3d



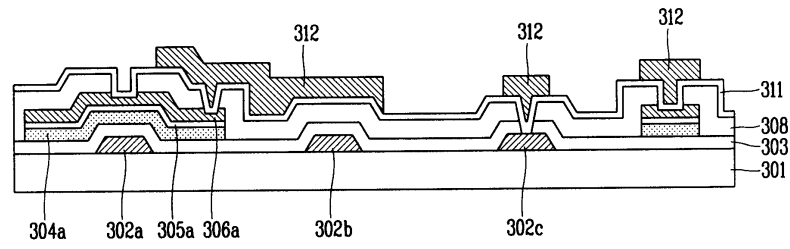
도면3e



도면3f



도면3g



도면3h

