



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년03월25일
(11) 등록번호 10-0889978
(24) 등록일자 2009년03월16일

(51) Int. Cl.

H01L 21/3063 (2006.01) H01L 21/306 (2006.01)

(21) 출원번호 10-2007-0103186

(22) 출원일자 2007년10월12일

심사청구일자 2007년10월12일

(56) 선행기술조사문헌

KR1020030077423 A

KR1019990063376 A

JP07302889 A

KR1020030059281 A

전체 청구항 수 : 총 7 항

(73) 특허권자

전남대학교산학협력단

광주 북구 용봉동 300

(72) 발명자

류상완

광주 북구 일곡동 현대3차아파트 301동 903호

박준모

광주 남구 봉선동 라인광장아파트 105동 1001호

(74) 대리인

정대훈

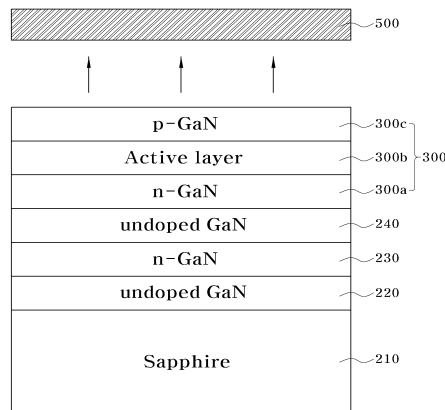
심사관 : 오창석

(54) 반도체 영역의 선택적 식각방법, 반도체층의 분리방법 및 반도체소자를 기판으로부터 분리하는 방법

(57) 요약

본 발명은 n-GaN계열의 제1 반도체영역과 상기 제1 반도체영역과 다른 도전 유형을 갖는 GaN계열의 제2반도체 영역을 포함하는 반도체 구조물을 양극으로 하고 전해액을 음극으로 하여 전해 에칭을 수행하여, 제1 반도체영역의 에칭 속도가 제2 반도체 영역의 에칭 속도에 비해 큰 반도체층 분리방법을 제공한다.

대표도 - 도3a



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

제1 기판 상에 N형 GaN계열의 반도체층을 포함하는 반도체 구조물을 준비하는 단계;

상기 반도체 구조물을 제2 기판에 부착하는 단계;

상기 반도체 구조물을 양극으로 하고 옥살산을 포함하는 전해액을 음극으로 하여 전해 에칭을 수행하는 단계;
및

상기 반도체층의 식각에 의해 제1 기판과 제2 기판이 서로 분리되는 것으로 특징으로 하는 반도체 구조물의 분리방법.

청구항 5

삭제

청구항 6

제1 기판 상에 N형 GaN계열의 제1 반도체층과 상기 제1 반도체영역과 다른 도핑 유형을 갖는 GaN계열의 제2 반도체층, 및 반도체 소자부를 순차적으로 준비하는 단계;

상기 반도체 소자부를 제2 기판에 부착하는 단계;

상기 제1 기판과 상기 제2 기판을 양극으로 하고 옥살산을 포함하는 전해액을 음극으로 하여 전해 에칭을 수행하는 단계; 및

상기 제1 반도체층의 에칭 속도가 상기 제2 반도체층의 에칭 속도에 비해 큼을 이용하여 상기 제1 반도체층이 상기 제2 반도체 보다 빨리 되어 상기 제1 기판과 상기 제2 기판은 상기 제1 반도체층의 식각에 의해 분리되는 것으로 특징으로 하는 반도체소자를 기판으로부터 분리하는 방법.

청구항 7

삭제

청구항 8

제6 항에 있어서,

상기 제1 반도체층과 다른 도핑 유형을 갖는 GaN계열은 도핑되지 않거나 P형 도핑된 것을 특징으로 하는 반도체 소자를 기판으로부터 분리하는 방법.

청구항 9

제6 항에 있어서,

상기 제2 반도체층은 상기 반도체 소자부의 일부를 구성하거나 더미 형태로 삽입되는 반도체소자를 기판으로부터 분리하는 방법.

청구항 10

제6 항에 있어서,

상기 반도체 소자부를 제2 기관에 부착하기 전에,

상기 제1 반도체층의 적어도 일부를 노출 시키기 위해 상기 반도체소자부와 상기 제2 반도체층을 식각하는 단계를 더 포함하는 반도체소자를 기관으로부터 분리하는 방법.

청구항 11

제10 항에 있어서,

상기 제2 반도체층의 식각 단계 이후에, 보호막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자를 기관으로부터 분리하는 방법.

청구항 12

제6 항에 있어서,

상기 제1 기관은 반도체 기관이고, 제2 기관은 금속 기관인 것을 특징으로 하는 반도체소자를 기관으로부터 분리하는 방법.

청구항 13

삭제

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 영역의 선택적 식각방법에 관한 것으로, 전해에칭 방식을 적용할 때 반도체층의 도전 유형에 따라서 식각속도가 달라지는 현상을 이용하는 반도체 영역의 선택적 식각방법, 반도체층의 분리방법 및 반도체 소자를 기관으로부터 분리하는 방법에 관한 것이다.

배경기술

<2> 발광다이오드의 고효율, 고출력 동작이 요구됨에 따라 LED 칩에서 발생한 열을 신속하게 외부로 방출해야 하는 필요성이 커지고 있다. 현재 가장 높은 열방출 효율을 보이는 구조는 사파이어 기관 위에 성장된 LED 에피를 박리(lift-off) 공정으로 떼어내서 금속 기관에 접촉하는 방법을 사용하고 있다. 이로서 낮은 열전도도를 갖는 사파이어 기관을 통하지 않고 높은 열전도도의 금속기관을 통해 열을 방출할 수 있게 되어 고출력의 LED제작에 응용할 수 있다. 또한, 한국등록공보 495215호는 이러한 방식의 한 예를 설명하고 있다.

<3> 그러나, 레이저 광을 이용하는 방식은 공정비용이 많이 소요되고 레이저 노광 영역이 작아서 공정 시간도 많이 걸리는 문제점이 있는 것은 물론이고 레이저 노광에 의해 발생하는 응력 또한 소자의 신뢰성에 나쁜 영향을 미치는 문제점이 있었다.

발명의 내용

해결하고자하는 과제

<4> 본 발명은 이러한 문제점을 해결하기 위한 것으로서 본 발명의 목적은 고효율은 물론, 제조가 용이하고, 제조 단가를 절감할 수 있는 반도체층의 분리방법 및 반도체소자를 기관으로부터 분리하는 방법을 제공 하는데 있다.

과제 해결수단

<5> 상술한 문제점을 해결하기 위한 기술적 수단으로서, 본 발명의 제1측면은 N형 GaN 계열의 제1 반도체영역과 상기 제1 반도체영역과 다른 도핑 유형을 갖는 GaN계열의 제2반도체 영역을 기관 상에 준비하는 단계와 제1 반도체영역과 제2 반도체 영역을 양극으로 하고 전해액을 음극으로 하여 전해 에칭을 수행하는 단계와, 제1 반도체 영역의 에칭 속도가 상기 제2 반도체 영역의 에칭 속도에 비해 큰 반도체 영역의 선택적 식각방법을 제공한다.

- <6> "GaN 계열"이라 함은 Ga, N 만으로 이루어진 물질 일수도 있고, Ga, N 이외의 In, Al 등 III족 또는 P, As, Sb 등 V족이 함유된 물질도 포함하는 것으로 해석되어야 한다.
- <7> 바람직하게는, 전해액은 옥살산 또는 KOH를 함유한다.
- <8> 한편, 제1 반도체영역과 다른 도핑 유형을 갖는 GaN계열은 도핑되지 않거나 P형 도핑되는 것을 의미한다.
- <9> 본 발명의 제2 측면은 제1 기판 상에 N형 GaN계열의 반도체층을 포함하는 반도체 구조물을 준비하는 단계와, 반도체 구조물을 제2 기판에 부착하는 단계와, 반도체 구조물을 양극으로 하고 전해액을 음극으로 하여 전해 에칭을 수행하는 단계와, 반도체층의 식각에 의해 제1 기판과 제2 기판이 서로 분리되는 반도체 구조물의 분리방법을 제공한다.
- <10> 본 발명의 제3 측면은 제1 기판 상에 N형 GaN계열의 제1 반도체층과 상기 제1 반도체영역과 다른 도핑 유형을 갖는 GaN계열의 제2 반도체층 및 반도체 구조물을 순차적으로 준비하는 단계와, 반도체 구조물을 제2 기판에 부착하는 단계와, 제1 기판과 상기 제2 기판을 양극으로 하고 전해액을 음극으로 하여 전해 에칭을 수행하는 단계와, 제1 반도체층의 에칭 속도가 상기 제2 반도체층의 에칭 속도에 비해 큼을 이용하여 상기 제1 반도체층이 상기 제2 반도체 보다 빨리 제거되어 상기 제1 기판과 상기 제2 기판은 상기 제1 반도체층의 식각에 의해 분리되는 것으로 특징으로 하는 반도체 구조물을 기판으로부터 분리하는 방법을 제공한다.
- <11> 한편, 제2 반도체층은 응용하고자 하는 소자에 따라 반도체 LED 및 LD 구조를 포함할 수도 있다. 즉, 제2 반도체층은 상기 반도체 소자부의 일부를 구성하거나 더미 형태로 반도체 소자의 일부를 형성하지는 않고 반도체소자를 기판으로부터 분리하기 위한 필요에서 삽입될 수도 있다.
- <12> 제1 기판은 반도체 기판이고, 제2 기판은 금속 기판으로 하면 금속 기판에서는 열을 효과적으로 방출할 수 있는 구조를 가질 수 있다.

효 과

- <13> 본 발명에 의하면, 전해액을 이용한 전해에칭 방식을 통해 기판에 성장된 반도체 구조물을 손쉽게 분리할 수 있어 이 반도체 구조물을 다른 기판에 전이할 수 있게 된다.
- <14> 본 발명을 LED 제조에 응용하면, 낮은 열전도도를 갖는 사파이어 기판에 성장이 용이한 GaN 계열의 물질을 포함하는 광소자를 성장시키고 이를 높은 열전도도의 금속기판으로 전이함으로써 금속기판을 통해 열을 용이하게 방출할 수 있게 되어 고효율의 LED를 제작할 수 있게 되는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <15> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시 예를 첨부된 도면을 참조하여 설명하기로 한다. 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시의 예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <16> 도 1은 본 발명의 실시예에 따라서 반도체 영역의 선택적 식각방법을 설명하기 위한 단면도이다.
- <17> 도 1을 참조하면, 기판(110) 상에 n-GaN계열의 제1 반도체층(130)과 undoped-GaN계열의 제2 반도체층(120, 140)을 적층한 구조가 도시되어 있다. 제1 반도체층(130)과 p-GaN계열의 제2반도체층(120, 140)을 양극으로 하고 전해액을 음극으로 하여 전해 에칭을 수행한다. 전해액은 옥살산 또는 KOH를 함유하는 것이 바람직하다.
- <18> 상기 전해액을 이용하여 전해 에칭을 수행하면 n-GaN계열의 제1 반도체층(130)은 undoped-GaN계열의 제2 반도체층(120, 140)에 비해 에칭속도가 월등하게 크다.
- <19> 본 발명자들은 상술한 옥살산 또는 KOH 전해 용액을 이용하여 에칭을 수행하면 n-GaN계열의 제1 반도체층이 이와는 다른 전도타입인 undoped GaN계열, p-GaN계열의 반도체층에 비해 에칭 속도가 훨씬 빠른 사실을 확인하였다. 이러한 점을 GaN 계열의 반도체 소자를 제조에 이용하면, 다양한 제조 공정의 응용이 가능하게 된다.
- <20> 도 2a 및 도 2b는 본 발명의 실험예에 따라서 반도체층이 분리되고 있는 상황을 도시한 사진들이다.
- <21> 본 실험에서는 전해액 옥살산 (COOH)₂, 농도 0.3 M, 전압 40 V, 온도 10°C에서 실험을 수행한 결과를 도시하고

있다.

- <22>
- <23> 도 2c는 본 발명의 실시예에 따라서 전압에 따른 에칭비율을 도시한 그래프이다.
- <24> 전해액 옥살산 (COOH)₂, 농도 0.3 M, 온도 10^oC 에서 전압을 변화시키면서 에칭되는 비율을 그래프로 나타내었다. 그 결과에 의하면, 20V에서 60V 까지의 영역에서 특히 높은 에칭비율을 나타내었다.
- <25> (반도체 구조물을 기판으로부터 분리하는 방법)
- <26> 다음으로, 도 3a 및 도 3b는 본 발명의 실시예에 따른 반도체 구조물을 기판으로부터 분리하는 방법을 설명하기 위한 도면들이다.
- <27> 도 3a를 참조하면, 제1 기판(210) 상에 n-GaN계열의 제1 반도체층(230)과 상기 제1 반도체층(230)과 다른 도전유형을 갖는 GaN계열의 제2 반도체층(220,240) 및 반도체 구조물(300)이 순차적으로 준비된 기판이 마련된다.
- <28> 다음으로, 반도체 구조물(300)을 제2 기판(500)에 부착한다. 부착하는 방식은 부착하기 위한 점착층을 이용하는 방법 등 공지의 방식을 이용한다.
- <29> 반도체 구조물(300)은 반도체 소자의 일부 또는 전부가 적층되는 것이 가능함은 물론이고, 본 실시예에 있어서는 성장이 용이하지만 열전달이 불리한 제1 기판(210) 상에 반도체층들을 성장시킨 다음, 열전달이 우수한 제2 기판에 이들 반도체층들을 옮겨 부착시킴으로써 목적을 달성할 수 있다.
- <30> 도 3a에서는 반도체 구조물(300)의 각 층은 전해 에칭시 노출이 되지 않도록 하고(그 일례는 도 4b에 상세히 설명함), n-GaN 계열의 반도체층(230)이 전해액에 노출되도록 함으로써 n-GaN 계열의 반도체층(230)이 식각되어 양 기판이 분리될 수 있도록 한다. 결과적으로, 반도체구조물(300)은 제1 기판(210)으로부터 전이되어 제2 기판(500)에 부착될 수 있게 된다.
- <31> 본 실시예에서 n-GaN 계열의 반도체층(230)이 식각에 의해 희생층으로서의 기능을 수행하여 제1 기판(210)과 제2 기판(500)을 분리할 수 있으면 본 발명의 기술적 사상의 범위에 포함되는 것으로 해석해야한다. 즉, n-GaN 계열의 반도체층(230)과 전해 에칭에 의한 때 식각 선택비가 우수한 다른 물질들을 도입하면 본 발명은 제1 반도체층(230)과 다른 도전유형을 갖는 GaN계열을 반드시 채택하지 않을 수 있다.
- <32> (반도체 소자를 기판으로부터 분리하는 방법)
- <33> 도 4a 및 도 4b는 앞의 도 3의 박리공정을 위한 반도체 구조물의 준비를 설명하기 위한 도면들이다. 전해에칭이 일어나기 위해서는 아래쪽 n-GaN층(330)에 전해액이 접촉해야 하고, 반면 위쪽 n-GaN층(350)은 LED 구조의 일부로 제거하지 않는 것이 바람직하다.
- <34> 도 4a를 참조하면, 제1 기판(310) 상에 undoped GaN층(320), n-GaN계열의 반도체층(330)과 undoped GaN층(340)을 순차적으로 형성하고 그 상부에 n-GaN층(350), 활성층(360), 및 p-GaN층을 형성한다.
- <35> 다음으로, n-GaN계열의 반도체층(330)을 기준으로 전해 에칭을 통하여 분리작업을 진행하되, 다른 n-GaN 계열의 층에는 전해액이 접근하지 못하고 n-GaN계열의 반도체층(330)에만 전해액이 접근할 수 있도록 홀(Hole)을 형성한다.
- <36> 도 4b를 참조하면, 이러한 홀에 의해서 전해액은 n-GaN계열의 반도체층(330)에만 닿도록 하기 위해서 홀(Hole)의 측부에 보호막(410)을 형성한다. 보호막(410)은 전해 에칭에 의해 n-GaN계열의 반도체층에 비해 식각 속도가 낮은 물질을 채택하여 형성한다.
- <37> 이러한 보호막(410)에 의하면 반도체 소자부에 n-GaN 계열의 물질이 적층되어 있더라도 n-GaN계열의 반도체층(330)이 기판 분리 역할을 하는데 지장이 없게 된다.
- <38> 이 경우는 반도체 소자부를 제2 기판에 부착하기 전에, n-GaN계열의 반도체층(330)의 적어도 일부를 노출시켜 홀을 형성하기 위해 선택적으로 식각한다.

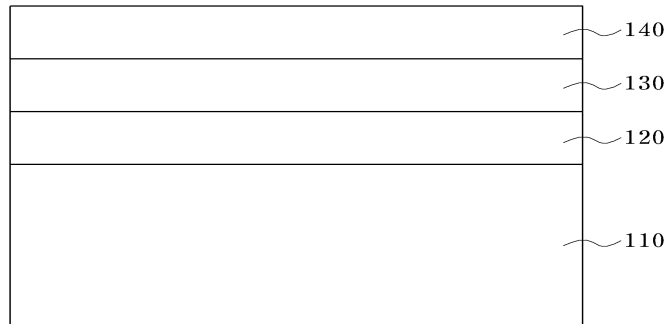
도면의 간단한 설명

- <39> 도 1은 본 발명의 실시예에 따른 반도체층의 분리방법을 설명하기 위한 평면도이다.

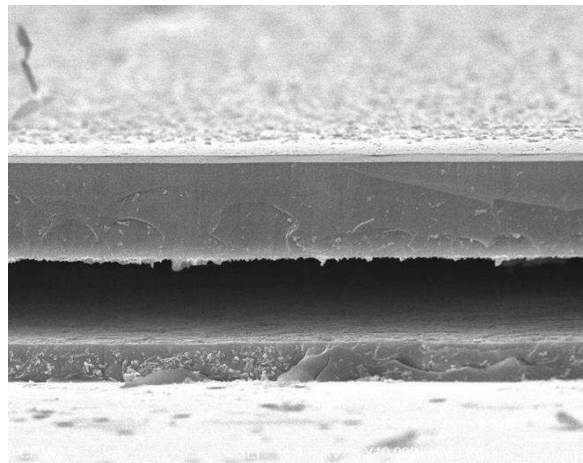
- <40> 도 2a 및 도 2b는 본 발명의 실험예에 따라서 반도체층이 분리되고 있는 상황을 도시한 사진들이다.
- <41> 도 2c는 본 발명의 실시예에 따라서 전압에 따른 에칭비율을 도시한 그래프이다.
- <42> 도 3a 및 도 3b는 본 발명의 실시예에 따른 반도체 구조물을 기판으로부터 분리하는 방법을 설명하기 위한 도면들이다.
- <43> 도 4a 및 도 4b는 본 발명의 다른 실시예에 따른 반도체소자를 기판으로부터 분리하는 방법을 설명하기 위한 도면들이다.

도면

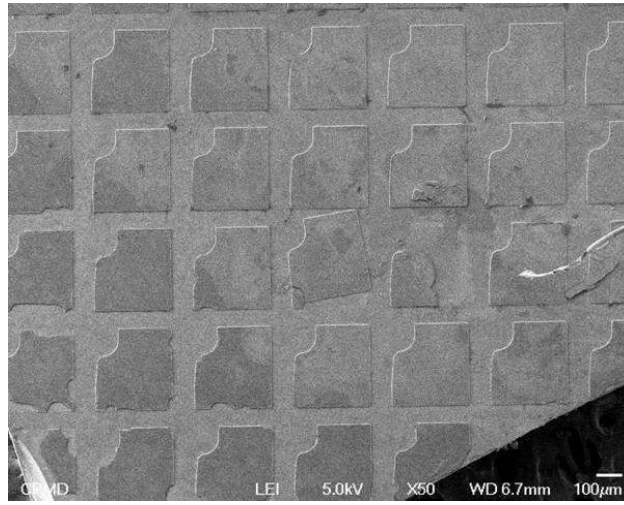
도면1



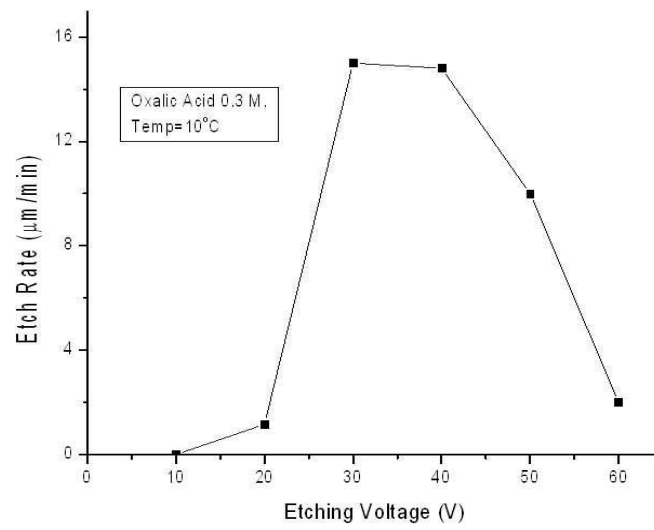
도면2a



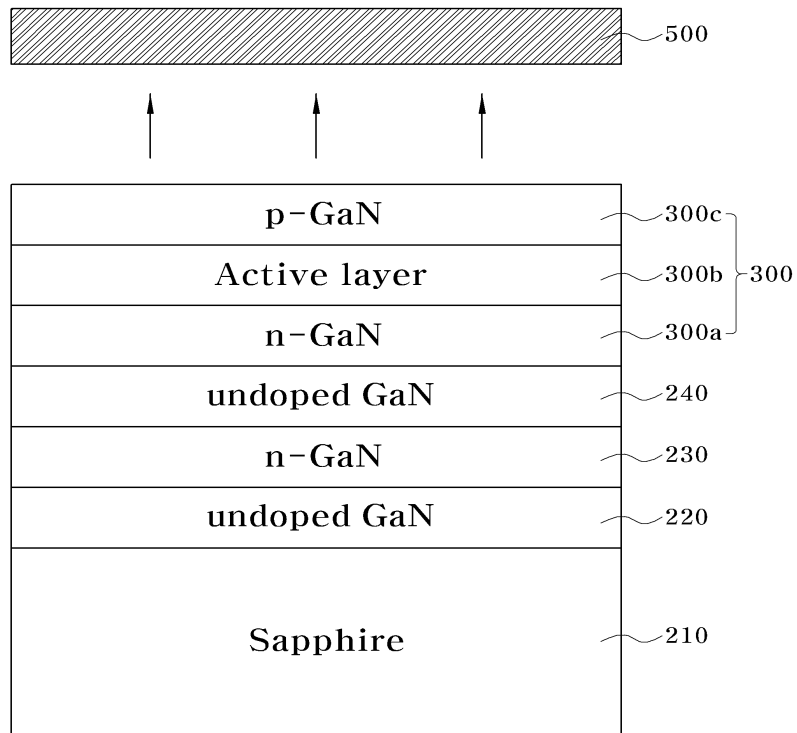
도면2b



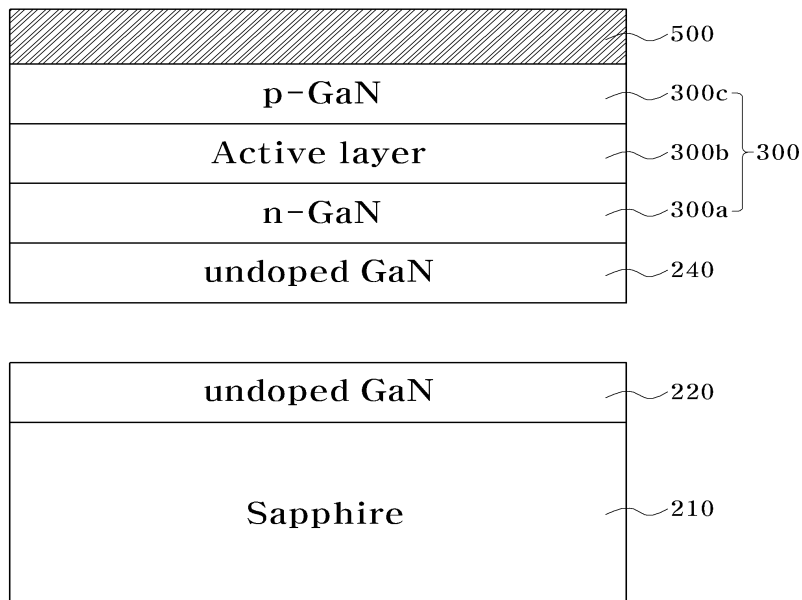
도면2c



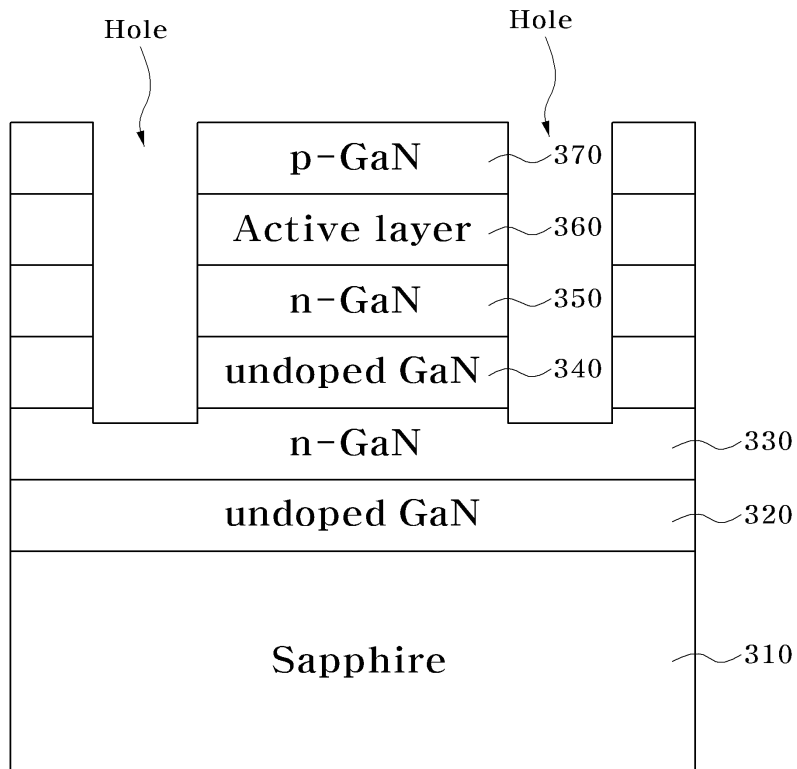
도면3a



도면3b



도면4a



도면4b

