

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-162363

(P2017-162363A)

(43) 公開日 平成29年9月14日(2017.9.14)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 11/30 (2006.01)	G06F 11/30 140N	5B042
G06F 11/34 (2006.01)	G06F 11/34 176	5B225
G11C 17/00 (2006.01)	G11C 17/00 B	
G11C 16/02 (2006.01)	G11C 17/00 601E	

審査請求 未請求 請求項の数 12 O L (全 16 頁)

(21) 出願番号 特願2016-48332(P2016-48332)
 (22) 出願日 平成28年3月11日(2016.3.11)

(71) 出願人 591107481
 株式会社エルイーテック
 東京都墨田区錦糸3丁目2番1号
 (74) 代理人 100086771
 弁理士 西島 孝喜
 (74) 代理人 100088694
 弁理士 弟子丸 健
 (74) 代理人 100094569
 弁理士 田中 伸一郎
 (74) 代理人 100067013
 弁理士 大塚 文昭
 (74) 代理人 100109070
 弁理士 須田 洋之
 (74) 代理人 100109335
 弁理士 上杉 浩

最終頁に続く

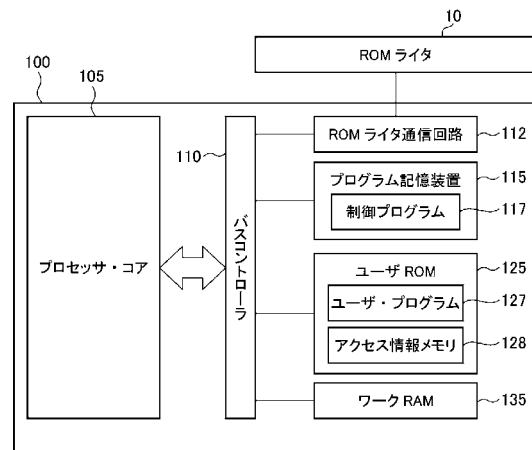
(54) 【発明の名称】 ROMへのアクセスに関する情報を管理する装置

(57) 【要約】

【課題】ROMへのアクセスに関するエラーの原因をより簡単かつ迅速に特定するための情報を提供する。

【解決手段】本発明の実施例は、ROMへのアクセスに関する情報を保持する構成を有する。例えば、ROMへの情報の書込、消去、読出などの開始時及び終了時に、ROMへのアクセスに関する情報を保持する機構を有することによって、本発明の実施例は、保持された情報を用いて、ROMへのアクセスに関するエラーの原因の特定に役立たせることができる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

装置であって、

プロセッサ・コアと、

ROMと、

前記ROMにアクセスするためのROMライタと通信を行うROMライタ通信回路と、

アクセス情報メモリと、を備え、

前記ROMライタ通信回路が前記ROMライタからコマンド及び/又はデータを受信したことに応じて、前記プロセッサ・コアは、前記コマンド及び/又はデータに基づいて、前記ROMにアクセスし、当該アクセスに関する情報を前記アクセス情報メモリに記憶させる、装置。

10

【請求項 2】

前記アクセス情報は、前記ROMへデータの書込を開始したことを示す書込開始情報及び前記ROMへのデータの書込を終了したことを示す書込終了情報を含む書込情報の組、前記ROMからデータの読出を開始したことを示す読出開始情報及び前記ROMからのデータの読出を終了したことを示す読出終了情報を含む読出情報の組及び、前記ROMのデータの消去を開始したことを示す消去開始情報及び前記ROMのデータの消去を終了したことを示す消去終了情報を含む消去情報の組、前記ROMライタからの前記データと前記ROMのデータとの正当性を確認するベリファイを開始したことを示すベリファイ開始情報及び前記ベリファイを終了したことを示すベリファイ終了情報を含むベリファイ情報の組、及び、前記ROMのデータのブランク確認を開始したことを示すブランク確認開始情報及び前記ROMのデータのブランク確認を終了したことを示すブランク確認終了情報を含むブランク確認情報の組の少なくともいずれか一つの組を含み、及び/又は、前記アクセス情報は、前記ROMライタ通信回路が前記ROMライタから情報を受信したことを示すROMライタ通信（受信）終了情報及び前記ROMライタ通信回路が前記ROMライタに情報を送信したことを示すROMライタ通信（送信）終了情報の少なくとも一方を含む、請求項 1 に記載の装置。

20

【請求項 3】

前記ROMライタが前記ROMにアクセスを行おうとした後、前記プロセッサ・コアがアクセスを行う前に、前記プロセッサ・コアは、アクセスを開始すること示す情報を前記アクセス情報メモリに記憶させる、請求項 2 に記載の装置。

30

【請求項 4】

前記アクセスを開始すること示す情報は、読込開始情報、書出開始情報、消去開始情報、ベリファイ開始情報、及び、ブランク確認開始情報の少なくとも一つを含む、請求項 3 に記載の装置。

【請求項 5】

前記プロセッサ・コアが前記ROMにアクセスを行った後、前記プロセッサ・コアは、アクセスを終了すること示す情報を前記アクセス情報メモリに記憶させる、請求項 2 ないし 4 のいずれか一つに記載の装置。

【請求項 6】

前記アクセスを終了すること示す情報は、読込終了情報、書出終了情報、消去終了情報、ベリファイ終了情報、ブランク確認終了情報の少なくとも一つを含む請求項 5 に記載の装置。

40

【請求項 7】

前記プロセッサ・コアは、前記ROMライタ通信回路が前記ROMライタから情報を受信した後、前記ROMライタ通信回路が前記ROMライタから情報を受信したことを示すROMライタ通信（受信）終了情報を前記アクセス情報メモリに記憶させる、請求項 2 ないし 6 のいずれか一つに記載の装置。

【請求項 8】

前記プロセッサ・コアは、前記ROMライタ通信回路が前記ROMライタに情報を送信した後、前記ROMライタ通信回路が前記ROMライタに情報を送信したことを示すROMライタ通信（

50

送信)終了情報を前記アクセス情報メモリに記憶させる、請求項2ないし7のいずれか一つに記載の装置。

【請求項9】

請求項1ないし8に記載の装置は、遊技機用装置である。

【請求項10】

請求項1ないし8に記載の装置を備えた遊技機用チップ。

【請求項11】

請求項1ないし9に記載の装置又は請求項10に記載のチップを備えた遊技機用基板。

【請求項12】

請求項11に記載の遊技機用基板を備えた遊技機。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ROMへのアクセスに関する情報を管理する装置に関する。

【背景技術】

【0002】

従来、パチンコ機や、回胴式遊技機とも称されるパチスロ機などで用いられる遊技機用プロセッサ及びそれに関する装置は、内蔵のROMへの情報の書込、消去、読出などのメモリアクセスに関し、アクセスしたことを表す情報(例えば、アクセス回数やアクセスしたことを表すフラグなど)や、正常にアクセスが完了したことを表す情報などを保持する構成を有していなかった。

20

【0003】

したがって、従来技術では、ROMライターによるROMへの情報の書込、消去、読出などのときにエラーが発生した場合、エラーの原因を判断することができなかった。エラーの原因の例としては、ROMへのアクセスに起因するエラーとROM以外の機器や装置に起因するエラーとがある。すなわち、従来技術では、エラーの原因が判断することができないため、エラーの原因を特定するために、ROM及びROM以外の機器や装置の全てを調査する必要があった。

【0004】

従来技術において、ROMにアクセスしたことを表す情報が記憶されていないことから、エラーの原因を特定するためにROM及びROM以外の機器や装置の全てを調査する必要があった。したがって、製造者は、購入者から全ての機器などを引きとった後、調査を行うことから、エラーの解析に多くの工数を必要としていた。

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

ROMへのアクセスに関するエラーの原因をより簡単かつ迅速に特定するための情報を提供する。

【課題を解決するための手段】

【0006】

従来、ROMへのアクセスに関する情報を保持していなかった。本発明の実施例は、ROMへのアクセスに関する情報を保持する構成を有する。例えば、ROMへの情報の書込、消去、読出などの開始時及び終了時に、ROMへのアクセスに関する情報を保持する機構を有することによって、本発明の実施例は、保持された情報を用いて、ROMへのアクセスに関するエラーの原因の特定に役立たせることができる。

40

【0007】

本発明の実施例による装置は、プロセッサ・コアと、ROMと、ROMにアクセスするためのROMライターと通信を行うROMライター通信回路と、アクセス情報メモリとを備え、ROMライター通信回路がROMライターからコマンド及び/又はデータを受信したことに応じて、プロセッサ・コアは、コマンド及び/又はデータに基づいて、ROMにアクセスし、当該アクセスに

50

関する情報をアクセス情報メモリに記憶させることができる。

【0008】

本発明の実施例において、アクセス情報は、ROMヘデータの書込を開始したことを示す書込開始情報及びROMへのデータの書込を終了したことを示す書込終了情報を含む書込情報の組、ROMからデータの読出を開始したことを示す読出開始情報及びROMからのデータの読出を終了したことを示す読出終了情報を含む読出情報の組及び、ROMのデータの消去を開始したことを示す消去開始情報及びROMのデータの消去を終了したことを示す消去終了情報を含む消去情報の組、ROMライターからのデータとROMのデータとの正当性を確認するペリファイを開始したことを示すペリファイ開始情報及びペリファイを終了したことを示すペリファイ終了情報を含むペリファイ情報の組、及び、ROMのデータのブランク確認を開始したことを示すブランク確認開始情報及びROMのデータのブランク確認を終了したことを示すブランク確認終了情報を含むブランク確認情報の組の少なくともいずれか一つの組を含み、及び/又は、アクセス情報は、ROMライター通信回路がROMライターから情報を受信したことを示すROMライター通信（受信）終了情報及びROMライター通信回路がROMライターに情報を送信したことを示すROMライター通信（送信）終了情報の少なくとも一方を含むことができる。

10

【0009】

本発明の実施例において、ROMライターがROMにアクセスを行おうとした後、プロセッサ・コアがアクセスを行う前に、プロセッサ・コアは、アクセスを開始することを示す情報をアクセス情報メモリに記憶させることができる。

20

【0010】

本発明の実施例において、アクセスを開始することを示す情報は、少なくとも、読込開始情報、書出開始情報、消去開始情報、ペリファイ開始情報、及び、ブランク確認開始情報を含むことができる。

【0011】

本発明の実施例において、プロセッサ・コアがROMにアクセスを行った後、プロセッサ・コアは、アクセスを終了することを示す情報をアクセス情報メモリに記憶させることができる。

【0012】

本発明の実施例において、アクセスを終了することを示す情報は、少なくとも、読込終了情報、書出終了情報、消去終了情報、ペリファイ終了情報、ブランク確認終了情報を含むことができる。

30

【0013】

本発明の実施例において、プロセッサ・コアは、ROMライター通信回路がROMライターから情報を受信した後、ROMライター通信回路がROMライターから情報を受信したことを示すROMライター通信（受信）終了情報をアクセス情報メモリに記憶させることができる。

【0014】

本発明の実施例において、プロセッサ・コアは、ROMライター通信回路がROMライターに情報を送信した後、ROMライター通信回路がROMライターに情報を送信したことを示すROMライター通信（送信）終了情報をアクセス情報メモリに記憶させることができる。

40

【0015】

本発明の実施例において、装置は、遊技機用装置である。

【0016】

本発明の実施例において、遊技機用チップは、装置を備えることができる。

【0017】

本発明の実施例において、遊技機用基板は、装置又はチップを備えることができる。

【0018】

本発明の実施例において、遊技機は、遊技機用基板を備えることができる。

【図面の簡単な説明】

【0019】

50

【図1】本発明の実施例による装置を示す。

【図2】アクセス情報メモリ128が有するメモリ空間を示す。

【図3】本発明の実施例による処理フローを示す。

【図4】装置100のモードの切り替えを示す。

【発明を実施するための形態】

【0020】

本発明の実施例

図1は、本発明の実施例による装置を示す。装置100は、ROMライタ10に接続されており、プロセッサ・コア105、バスコントローラ110、ROMライタ通信回路112、プログラム記憶装置115、ユーザROM125及びワークRAM135を有する。プロセッサ・コア105は、バスコントローラ110を介してROMライタ通信回路112、プログラム記憶装置115、ユーザROM125及びワークRAM135に接続されている。装置100は、一つのチップ上で実装されてもよい。また、装置100は、ワンチッププロセッサや、マイコンなどと称される、一つのチップ上で実装されるプロセッサでもよい。

10

【0021】

ROMライタ10は、装置100のROMライタ通信回路112に接続されている。装置100は、ROMライタ10に着脱可能とすることができる。ROMライタ通信回路112は、ROMに書込などを行うコマンド及び/又は書込などを行うためのデータをROMライタ10から受信し、プロセッサ・コア105は、プログラム記憶装置115に保存されている制御プログラムに基づいて、受信したコマンド及び/又はデータにより、ユーザROM125のブランクチェック及びベリファイの実行、さらに、ユーザROM125へのデータの書込、読出及び消去を実行する。さらに、プロセッサ・コア105は、ブランクチェック及びベリファイの実行に関する情報、さらに、ユーザROM125へのデータの書込、読出及び消去を実行したことに係る情報をユーザROM125のアクセス情報メモリ128に保存する。

20

【0022】

プロセッサ・コア105は、ROMライタ通信回路112が受信したコマンドに基づいて、ユーザROM125のブランクチェック及びベリファイの実行を行うことができる。ブランクチェックは、ユーザROM125の一部又は全部がブランクになっているか確認可能であり、例えば、ユーザROM125へのデータの消去を実行した後、データが消去されたことを確認するために用いられる。ベリファイは、例えば、ROMライタ10のデータとユーザROM125のデータとを比較し、データが正しく書込されたかを確認することができる。

30

【0023】

プロセッサ・コア105は、ROMライタ通信回路112が受信したコマンドに基づいて、ROMライタ通信回路112が受信したデータをユーザROM125におけるユーザ・プログラム127のエリアヘデータの書込を行う。ROMライタ10から受信したデータは、遊技機を動作させるためのユーザ・プログラムや、ユーザ・プログラムが用いるデータなどとすることができる。また、プロセッサ・コア105は、ROMライタ通信回路112が受信したコマンドに基づいて、ユーザROM125におけるユーザ・プログラム127のエリアのデータの読出及び消去を行うことができる。

40

【0024】

遊技機用の装置100において、開発用装置と量産用装置が用いられる場合があり、この場合、開発用装置のユーザROM125には、複数回の書込みが可能であり、量産用装置のユーザROM125には、1回のみ書込みが可能であるように装置100が制御されていてもよい。一実施例において、開発用装置では、ROMの内容の消去が実行でき、量産用装置では、ROMの内容の消去が実行できないように制御される。量産用装置において、ROMの消去が行えないことから、書込みは1回しか行うことができない。この場合、プロセッサ・コア105が、ROMの内容の消去を行えるかを制御してもよい。例えば、プロセッサ・コア105は、プログラム記憶装置115及び/又はユーザROM125の予め設定された所定のフラグを確認し、フラグがオンになっている場合、装置が開発用であると判定する

50

ことができる。他の実施例において、開発用装置及び量産用装置は、例えば、それぞれで専用のハードウェアで実装されてもよい。

【0025】

ROMライタ10は、装置100がPROMモードなどと称される所定のモードのときに、ユーザROM125へアクセスすることができる。PROMモードへの切り替えは、装置100にある端子で行うことができる。PROMモードではない通常のモードでは、装置100は、プログラム記憶装置115に保存されている制御プログラム117及び/又はユーザROM125に保存されているユーザ・プログラム127に基づいて動作する。

【0026】

図4は、装置100のモードの切り替えを示す。パワーオンリセットやシステムリセットなどが装置100で行われる(状態405)。装置100は、端子入力の状態がPROMモードの状態であるか否かを判定する。この時、端子入力状態は“LOW-レベル”、“HIGH-レベル”や、“0”、“1”の状態などとすることができる。PROMモードでない、例えば、セキュリティモードである場合(状態410)、ROMライタ10は、装置100のROMへアクセスすることができない。装置100は、セキュリティモードにおいて、装置100のセキュリティが確立できているかをユーザROM125のユーザ・プログラムの合理性をチェックし確認する。セキュリティが確立できている場合、装置100は、ユーザモードとなり、遊技機の制御を開始することができる(状態415)。PROMモードである場合(状態420)、ROMライタ10は、装置100のROMへアクセスすることができる。ここでユーザ・プログラムの合理性は、予めユーザ・プログラムを計算して格納してあるセキュリ
20
リティコード(チェックサム、ハッシュ値等)の再計算を行い、再計算とセキュリティコードとの比較等でチェックされる。

【0027】

プロセッサ105は、さらに、上記ユーザモードにおいて、ユーザROM125に記憶されているユーザ・プログラムやデータなどに基づいて動作し、ワークRAM135や、その他のコンポーネントの制御を行うことによって、遊技機を動作させる。

【0028】

記憶装置及びメモリに関し、典型的には、プログラム記憶装置115はROMであり、プログラム記憶装置115及びユーザROM125は、一つのROMで実現されてもよい。他の実施例において、プログラム記憶装置115は不揮発性のRAMであってもよい。
30

【0029】

図2は、アクセス情報メモリ128が有するメモリ空間を示す。アクセス情報メモリ128は、書込開始情報エリア205、書込終了情報エリア210、読出開始情報エリア215、読出終了情報エリア220、消去開始情報エリア225、消去終了情報エリア230、ペリファイ開始情報エリア235、ペリファイ終了情報エリア240、ブランク確認開始情報エリア245、ブランク確認終了情報エリア250、ROMライタ通信(送信)終了情報エリア255及びROMライタ通信(受信)終了情報エリア260を有していてもよい。

【0030】

書込開始情報エリア205、書込終了情報エリア210、読出開始情報エリア215、
40
読出終了情報エリア220、消去開始情報エリア225、消去終了情報エリア230、ペリファイ開始情報エリア235、ペリファイ終了情報エリア240ブランク確認開始情報エリア245、ブランク確認終了情報エリア250ROMライタ通信(送信)終了情報エリア255及びROMライタ通信(受信)終了情報エリア260は、ユーザROM125へのアクセス情報を記憶する。

【0031】

アクセス情報に関し、書込開始情報エリア205は、ROMライタ10がユーザROM125へデータの書込を開始すること(すなわち、データを書込もうとしていること)を表す情報である書込開始情報を記憶する。書込開始情報の例としては、ROMライタ10がデータをユーザROM125に書込もうとした後、ユーザROM125にデータを書込む前に、書込開
50

始情報エリア 205 に書込開始情報が保存される。

【0032】

書込終了情報エリア 210 は、ROMライター 10 がユーザROM 125 にデータの書込を終了すること（すなわち、データを書込んだこと）を表す情報である書込終了情報を記憶する。書込終了情報の例としては、ROMライター 10 がデータをユーザROM 125 に書込んだ後に、書込終了情報エリア 210 に書込終了情報が保存される。

【0033】

具体的には、ROMライター 10 が装置 100 へ書込を行いユーザROM 125 へデータの書込を開始すると、ROMライター通信回路 112 がROMライター 10 から書込コマンド及びデータを受信する。プロセッサ・コア 105 は、ROMライター通信回路 112 が受信したコマンドが書込であることを判定し、ユーザROM 125 の書込開始情報エリア 205 に書込開始情報を保存する。そして、プロセッサ・コア 105 は、ROMライター通信回路 112 が受信したデータを一旦、ワークRAM 135 へ書込み、そのデータをユーザROM 125 のユーザ・プログラム 127 のエリアに書込を行う。その後、プロセッサ・コア 105 は、ユーザROM 125 の書込終了情報エリア 210 に書込終了情報を保存する。この時、ROMライター 10 からの受信データの受信結果を書込開始情報エリア 205、書込終了情報エリア 210、及び/又は、他のエリア、又は、他の記憶装置に記録してもよい。受信データの受信結果は、受信データのチェックコード等のチェック結果や書込みデータが複数ブロックに分かれて送られてくる場合では受信されたブロック情報等を含んでもよい。さらに、プロセッサ・コア 105 は、書込コマンドの終了とその結果情報をROMライター通信回路 112 によりROMライター 10 に送信する。

10

20

【0034】

ROMライター 10 が装置 100 の読出を行い、ユーザROM 125 のデータ読出を開始すると、ROMライター通信回路 112 がROMライター 10 から読出コマンドを受信し、プロセッサ・コア 105 は、ROMライター通信回路 112 が受信したコマンドが読出しであることを判定し、ユーザROM 125 の読出開始情報エリア 215 に読出開始情報を保存する。そして、プロセッサ・コア 105 は、ユーザROM 125 のユーザ・プログラム 127 を一旦、ワークRAM 135 へ読出し、プロセッサ・コア 105 は、ユーザROM 125 の読出終了情報エリア 220 に読出終了情報を保存し、ROMライター通信回路 112 よりROMライター 10 へ読出データと読出コマンドの終了とその結果情報を送信する。

30

【0035】

その他のコマンドとして、ROMライター 10 が装置 100 にベリファイ、消去、ブランク確認を行った場合は上記、書込、読出しと同様にコマンドの実行結果をROMライター通信回路 112 によりROMライター 10 に送信する。

【0036】

消去開始情報エリア 225 と消去終了情報エリア 230 との組、ベリファイ開始情報エリア 235 とベリファイ終了情報エリア 240 との組、及び、ブランク確認開始情報エリア 245 とブランク確認終了情報エリア 250 との組も、書込開始情報エリア 205 と書込終了情報エリア 210 との組、及び、読出開始情報エリア 215 と読出終了情報エリア 220 との組と同様に、それぞれ、読出開始情報及び読出終了情報、消去開始情報及び消去終了情報、ベリファイ開始情報及びベリファイ終了情報、及び、ブランク確認開始情報及びブランク確認終了情報が保存される。したがって、ROMライター 10 がユーザROM 125 にアクセスを行おうとした後、プロセッサ・コア 105 がアクセスを行う前に、プロセッサ・コア 105 は、アクセスを開始すること示す情報をアクセス情報メモリ 128 に記憶させる。プロセッサ・コア 105 がユーザROM 125 にアクセスを行った後、プロセッサ・コア 105 は、アクセスを終了すること示す情報をアクセス情報メモリ 128 に記憶させる。ここで、アクセスを開始すること示す情報は、読込開始情報、書出開始情報、消去開始情報、ベリファイ開始情報、ブランク確認開始情報の少なくとも一つを含み、アクセスを終了すること示す情報は、読込終了情報、書出終了情報、消去終了情報、ベリファイ終了情報、ブランク確認終了情報の少なくとも一つを含む。

40

50

【 0 0 3 7 】

ROMライタ通信（送信）終了情報エリア 2 5 5 には、ROMライタ通信回路 1 1 2 がROMライタ 1 0 に情報を送信する時に、プロセッサ・コア 1 0 5 は、ROMライタ通信（送信）終了情報をROMライタ通信（送信）終了情報エリア 2 5 5 に保存する。ROMライタ通信（送信）終了情報としては、送信コマンド、到達確認情報（リトライ回数等）、及び/又は、エラーコードが記録されてもよい。また、この時、送信時間等が記録されてもよい。ROMライタ通信（受信）終了情報エリア 2 6 0 には、ROMライタ通信回路 1 1 2 がROMライタ 1 0 から情報を受信する時に、プロセッサ・コア 1 0 5 は、ROMライタ通信（受信）終了情報をROMライタ通信（受信）終了情報エリア 2 6 0 に保存する。ROMライタ通信（受信）終了情報としては、受信コマンド、受信エラーの回数、及び/又は、コマンドエラーの回数等通信路の通信品質が判断される情報などの受信に関する情報が記録されてもよい。また、この時、受信に関する情報には、受信時間等が含まれていてもよい。これにより、ROMライタ 1 0 とROMライタ通信回路 1 1 2 との間で情報の送受信が行われたか否かの情報がROMライタ通信（送信）終了情報エリア 2 5 5 及びROMライタ通信（受信）終了情報エリア 2 6 0 に保存され、後のエラー解析時などに用いることができる。

10

【 0 0 3 8 】

本発明の実施例において、このようなユーザROM 1 2 5 への書込などに関する情報が記憶されることから、書込開始情報エリア 2 0 5 の書込開始情報と書込終了情報エリア 2 1 0 の書込終了情報とを参照することによって、ユーザROM 1 2 5 へのデータの書込中にエラーが発生したか否かを特定することができる。例えば、正常にROMへの書込みが行われたときに保存されるべき書込開始情報と書込終了情報とが同じ値であると仮定すると、書込開始情報が書込終了情報と異なる場合、書込開始情報又は書込終了情報が正しく保存されていないことから、ユーザROM 1 2 5 へのデータの書込中にエラーが発生したことが特定される。他の実施例において、エラーが発生した場合、書込開始情報及び/又は書込終了情報には、エラーを表す情報が保存されてもよい。同様に、読出開始情報及び読出終了情報、消去開始情報及び消去終了情報、ベリファイ開始情報及びベリファイ終了情報、及び、ブランク確認開始情報及びブランク確認終了情報を用いることによって、ユーザROM 1 2 5 への読出、消去、ベリファイ及びブランク確認が正しく行われたかを確認することができる。

20

【 0 0 3 9 】

アクセス情報の内容に関し、書込開始情報、書込終了情報、読出開始情報、読出終了情報、消去開始情報、消去終了情報、ベリファイ開始情報、ベリファイ終了情報、ブランク確認開始情報、ブランク確認終了情報、ROMライタ通信（送信）終了情報及びROMライタ通信（受信）終了情報は、フラグ又は回数、及び/又は、時刻とすることができる。当業者であれば理解されるように、それらの情報は、参照することによってエラーが発生したか否かやエラーの内容などが特定できる情報であれば、他の形態であってもよい。

30

【 0 0 4 0 】

本実施例において、上記格納されたアクセス情報 1 2 8 はROMライタ 1 0 または専用の解析装置により、装置 1 0 0 にアクセス情報読出コマンドを実行することによって読出することができる。又、装置 1 0 0 に内蔵されたテスト回路を介して（不図示）、テスターなどの外部装置が直接アクセス情報メモリ 1 2 8 にアクセスすることにより読出することができる。

40

【 0 0 4 1 】

アクセス情報の更新に関し、書込開始情報、書込終了情報、読出開始情報、読出終了情報、消去開始情報、消去終了情報、ベリファイ開始情報、ベリファイ終了情報、ブランク確認開始情報、ブランク確認終了情報、ROMライタ通信（送信）終了情報及びROMライタ通信（受信）終了情報がフラグである場合、それぞれの書込、読出、消去、ベリファイ、ブランク確認、ROMライタ通信（送信）、ROMライタ通信（受信）の処理が行われる前に又は処理が行われた後にクリアされる（例えば、フラグがオフに設定される）。例えば、書込開始情報及び書込終了情報は、書込が行われる前に又は書込が行われた後にクリアされ、

50

読出開始情報及び読出終了情報は、読出が行われる前に又は読出が行われた後にクリアされ、消去開始情報及び消去終了情報は、消去が行われる前に又は消去が行われた後にクリアされ、ベリファイ開始情報及びベリファイ終了情報は、ベリファイが行われる前に又はベリファイが行われた後にクリアされ、ブランク確認開始情報及びブランク確認終了情報は、ブランク確認が行われる前に又はブランク確認が行われた後にクリアされ、ROMライター通信（送信）終了情報は、ROMライター10にデータが送信される前に又はROMライター10にデータが送信された後にクリアされ、及び、ROMライター通信（受信）終了情報は、ROMライター10からデータを受信する前に又はROMライター10からデータを受信した後にクリアされる。

【0042】

アクセス情報の更新に関し、書込開始情報、書込終了情報、読出開始情報、読出終了情報、消去開始情報、消去終了情報、ベリファイ開始情報、ベリファイ終了情報、ブランク確認開始情報、ブランク確認終了情報、ROMライター通信（送信）終了情報及びROMライター通信（受信）終了情報が回数である場合、書込開始情報及び書込終了情報は、それぞれ、書込開始及び書込終了が行われるときにインクリメントされ、読出開始情報及び読出終了情報は、それぞれ、読出開始及び読出終了が行われるときにインクリメントされ、消去開始情報及び消去終了情報は、それぞれ、消去開始及び消去終了が行われるときにインクリメントされ、ベリファイ開始情報及びベリファイ終了情報は、それぞれ、ベリファイ開始及びベリファイ終了が行われるときにインクリメントされ、ブランク確認開始情報及びブランク確認終了情報は、それぞれ、ブランク確認開始及びブランク確認終了が行われるときにインクリメントされ、ROMライター通信（送信）終了情報及びROMライター通信（受信）終了情報は、それぞれ、ROMライター通信の送信及び受信が行われるときにインクリメントされる。

【0043】

アクセス情報の更新に関し、書込開始情報、書込終了情報、読出開始情報、読出終了情報、消去開始情報、消去終了情報、ベリファイ開始情報、ベリファイ終了情報、ブランク確認開始情報、ブランク確認終了情報、ROMライター通信（送信）終了情報及びROMライター通信（受信）終了情報が時刻である場合、書込開始情報及び書込終了情報は、それぞれ、書込開始及び書込終了が行われるときの時間であり、読出開始情報及び読出終了情報は、それぞれ、読出開始及び読出終了が行われるときの時間であり、消去開始情報及び消去終了情報は、それぞれ、消去開始及び消去終了が行われるときの時間であり、ベリファイ開始情報及びベリファイ終了情報は、それぞれ、ベリファイ開始及びベリファイ終了が行われるときの時間であり、ブランク確認開始情報及びブランク確認終了情報は、それぞれ、ブランク確認開始及びブランク確認終了が行われるときの時間とすることができる。これにより、それぞれの開始情報及び終了情報の時刻を比較することによって、エラーが発生したことが特定される。例えば、書込開始情報の更新時間と書込終了情報の更新時間とを比較し、書込開始情報の更新時間が書込終了情報の更新時間より前でない場合、ROMへの書込時にエラーが発生したことが特定され、書込開始情報の更新時間が書込終了情報の更新時間より前である場合、ROMへの書込時にエラーが発生していないことが特定される。

【0044】

ROMライター通信（送信）終了情報及びROMライター通信（受信）終了情報は、それぞれ、ROMライター通信（送信）及びROMライター通信（受信）が行われるときの時間とすることができる。これにより、エラーが発生したときのROMライターとの通信時間を特定することができる。

【0045】

本実施例において、時刻は、時間情報のみではなく、日時の情報であってもよい。装置100がタイマなどの時刻情報を有する回路（例えば、タイマ回路）を備えている場合、そのような回路が時刻をプロセッサ・コア105に提供することができる。他の実施例において、装置100がタイマなどの時刻情報を有する回路を備えていない場合、ROMライター10が時刻情報をROMライター通信回路112に送信してもよい。この場合、プロセッサ

10

20

30

40

50

・コア105は、ROMライタ10が送信した時刻情報をROMデータ読込などのアクセス開始時刻として用い、ROMデータ読込などの処理の終了時刻を表すアクセス終了時刻をアクセス開始時刻及びプロセッサ・コア100のクロック数に基づいて計算するようにしてもよい。

【0046】

他の実施例において、書込開始情報、書込終了情報、読出開始情報、読出終了情報、消去開始情報、消去終了情報、ベリファイ開始情報、ベリファイ終了情報、ブランク確認開始情報、ブランク確認終了情報、ROMライタ通信（送信）終了情報及びROMライタ通信（受信）終了情報を、時刻とフラグ又は回数との組み合わせとすることができる。これにより、エラー発生 の判定が更新時間とフラグ又は回数との2つの要素によって行われ、エラーが発生したであろう時刻が得られることから、エラー判定及びエラー原因の解析の精度を向上させることができる。

10

【0047】

不揮発性メモリには書込み寿命がある場合があるが、他の実施例において、書込終了情報を回数で記憶している場合、書込回数の管理ができ、ROMライタ10が書込みを行う度に書込回数をチェックすれば残り書込回数の表示が可能となったり、書込回数の制限をおこなうこともできる。

【0048】

他の実施例において、ユーザ・プログラムへの書込、読込、消去のアクセスはブロック単位（たとえば1024byte）単位で行われることもあり、その場合の書込開始情報、書込終了情報、読出開始情報、読出終了情報、消去開始情報、消去終了情報、ベリファイ開始情報、ベリファイ終了情報、ブランク確認開始情報、ブランク確認終了情報は、各ブロック単位の情報としてもよい。

20

【0049】

他の実施例において、ROMライタ通信（受信）終了情報には、上記情報と併せて又は単独で、ROMライタ通信回路112が受信した情報の一部又は全部（例えば、コマンド及び/又はデータ）が保存されてもよい。ROMライタ通信（送信）終了情報には、上記情報と併せて又は単独で、ROMライタ通信回路112が送信する情報の一部又は全部が保存されてもよい。これより、エラーが発生したであろう時の通信内容が得られることから、エラー判定及びエラー原因の解析の精度をさらに向上させることができる。

30

【0050】

他の実施例において、アクセス情報はリングバッファ構造とし、各コマンドの受信情報、コマンドの開始終了情報、結果の送信情報などを実行履歴としてリングバッファに記憶し、ROMライタや他の解析装置よりアクセスの履歴として読出しその内容を解析することができる。

【0051】

アクセス情報の更新に関し、当業者であれば理解されるように、アクセス情報は、上記で説明した以外の他の方法及び他の内容によって更新されてもよい。

【0052】

図3は、本発明の実施例による処理フローを示す。処理が開示され（ステップ310）、ROMライタ通信回路112がコマンド及び/又はデータをROMライタ10から受信する（ステップ312）。プロセッサ・コア105又はROMライタ通信回路112は、ROMライタ10との通信にエラーが存在するか否かを判定する（ステップ314）。エラーが存在した場合（ステップ314）、プロセッサ・コア105は、通信エラー情報をユーザROM125のアクセス情報メモリ128に保存する（ステップ318）。通信エラー情報の例としては、エラー内容、エラー内容を表すエラーコード及びエラー発生時の通信内容の一つ又は組み合わせとすることができる。通信エラーが存在していなかった場合（ステップ314）、プロセッサ・コア105は、ROMライタ通信（受信）が終了したことを表すROMライタ通信（受信）終了情報をROMライタ通信（受信）終了情報エリア260に保存する（ステップ316）。

40

50

【 0 0 5 3 】

プロセッサ・コア 1 0 5 は、ユーザROM 1 2 5 へのコマンドが書込であるかを判定する（ステップ 3 2 0）。コマンドが書込である場合（ステップ 3 2 0）、プロセッサ・コア 1 0 5 は、書込開始情報をアクセス情報メモリ 1 2 8 に保存する（ステップ 3 2 2）。その後、プロセッサ・コア 1 0 5 は、ROMライタ通信回路 1 1 2 が受信したデータをユーザROM 1 2 5 に書込を行う（ステップ 3 2 4）。プロセッサ・コア 1 0 5 は、書込終了情報をアクセス情報メモリ 1 2 8 に保存する（ステップ 3 2 6）。

【 0 0 5 4 】

プロセッサ・コア 1 0 5 は、コマンドの処理が終了すると、そのコマンドの実行結果をROMライタ10に送信する（ステップ 3 2 8）。プロセッサ・コア 1 0 5 は、ROMライタ通信（送信）が終了したことを表すROMライタ通信（送信）終了情報をROMライタ通信（送信）終了情報エリア 2 6 0 に保存する（ステップ 3 3 0）。

10

【 0 0 5 5 】

ステップ 3 2 2 からステップ 3 2 6 において、ユーザROM 1 2 5 への書込時にエラーが発生すると、発生したエラーを表す情報が書込終了情報として保存され、エラーが発生した後、アクセス情報メモリ 1 2 8 を解析することができる。一実施例において、書込開始情報及び書込終了情報の両方を用いて、比較や計算などを行うことによって、エラーが発生したことが特定されてもよい。

【 0 0 5 6 】

一実施例において、書込開始情報及び書込終了情報は、フラグとすることができ、フラグは、ステップ 3 2 2 の前にクリアされてもよい。他の実施例において、書込が正常に終了した場合、書込開始情報及び書込終了情報のフラグは、ステップ 3 2 6 の後に、クリアされてもよい。

20

【 0 0 5 7 】

一実施例において、書込開始情報及び書込終了情報が回数である場合、書込開始情報及び書込終了情報は、それらのメモリ空間に十分大きな値をとることができる空間を与えることによって、クリアされないようにすることができる。他の実施例において、書込開始情報及び書込終了情報が回数である場合、書込開始情報及び書込終了情報は、クリアされないようにしてもよく、又は、同じ範囲で循環する数値（例えば、0 から 7 や、0 から 1 2 7 などの範囲を循環する数値）とすることができる。

30

【 0 0 5 8 】

ROMライタ 1 0 のユーザROM 1 2 5 へのアクセスが書込でなく（ステップ 3 2 0）、かつ、ROMライタ 1 0 のユーザROM 1 2 5 へのアクセスが読出である（ステップ 3 3 2）場合、プロセッサ・コア 1 0 5 は、読出開始情報をアクセス情報メモリ 1 2 8 に保存する（ステップ 3 3 4）。その後、プロセッサ・コア 1 0 5 は、ユーザROM 1 2 5 からワークRAMへデータの読出を行う（ステップ 3 3 6）。プロセッサ 1 0 5 は、読出終了情報をアクセス情報メモリ 1 2 8 に保存する（ステップ 3 3 8）。その後、ステップ 3 2 8 及び 3 3 0 が実行される。

【 0 0 5 9 】

ステップ 3 3 4 からステップ 3 3 8 において、ユーザROM 1 2 5 のデータの読出時にエラーが発生すると、発生したエラーを表す情報が読出終了情報として保存され、エラーが発生した後、アクセス情報メモリ 1 2 8 を解析することができる。一実施例において、読出開始情報及び読出終了情報の両方を用いて、比較や計算などを行うことによって、エラーが発生したことが特定されてもよい。

40

【 0 0 6 0 】

ROMライタ 1 0 のユーザROM 1 2 5 へのアクセスが書込でなく（ステップ 3 2 0）、ROMライタ 1 0 のユーザROM 1 2 5 へのアクセスが読出でなく（ステップ 3 3 2）、かつ、ROMライタ 1 0 のユーザROM 1 2 5 へのアクセスがブランク確認である（ステップ 3 4 0）場合、プロセッサ・コア 1 0 5 は、ブランク確認開始情報をアクセス情報メモリ 1 2 8 に保存する（ステップ 3 4 2）。その後、プロセッサ・コア 1 0 5 は、ブランク確認（ブラン

50

クチェックとも呼ばれる)を行う(ステップ344)。プロセッサ・コア105は、ブランク確認終了情報をアクセス情報メモリ128に保存する(ステップ346)。その後、ステップ328及び330が実行される。

【0061】

ステップ342からステップ346において、ユーザROM125のブランク確認時にエラーが発生すると、発生したエラーを表す情報がブランク確認終了情報として保存され、エラーが発生した後、アクセス情報メモリ128を解析することができる。一実施例において、ブランク確認開始情報及びブランク確認終了情報の両方を用いて、比較や計算などを行うことによって、エラーが発生したことが特定されてもよい。

【0062】

ROMライタ10のユーザROM125へのアクセスが書込でなく(ステップ320)、ROMライタ10のユーザROM125へのアクセスが読出でなく(ステップ332)、かつ、ROMライタ10のユーザROM125へのアクセスがブランク確認でなく(ステップ340)、ROMライタ10のユーザROM125へのアクセスがベリファイである(ステップ348)場合、プロセッサ・コア105は、ベリファイ開始情報をアクセス情報メモリ128に保存する(ステップ350)。その後、プロセッサ・コア105は、ユーザROM125のデータのベリファイを行う(ステップ352)。プロセッサ・コア105は、ベリファイ終了情報をアクセス情報メモリ128に保存する(ステップ354)。ここで、ベリファイの例としては、ユーザROM125のデータがROMライタ10が有するデータと同じであるかを比較する。一実施例において、ベリファイに関し、プロセッサ・コア105は、ROMライタ10からベリファイのコマンドとデータを受信し、ユーザROM125のデータの一部又は全部とROMライタ10から受信したデータ一部又は全部を比較する。ユーザROM125のデータがROMライタ10から受信したデータと同じ場合、プロセッサ・コア105は、ユーザROM125のデータは正当であると判断し、同じでない場合、ユーザROM125のデータは正当でないと判断する。プロセッサ・コア105は、正当であるか否かを判断した結果をROMライタ10に返す(ステップ328)。その後、ステップ330が実行される。

【0063】

ステップ350からステップ354において、ユーザROM125のベリファイ時にエラーが発生すると、発生したエラーを表す情報がベリファイ終了情報として保存され、エラーが発生した後、アクセス情報メモリ128を解析することができる。一実施例において、ベリファイ開始情報及びベリファイ終了情報の両方を用いて、比較や計算などを行うことによって、エラーが発生したことが特定されてもよい。

【0064】

ROMライタ10のユーザROM125へのアクセスが書込でなく(ステップ320)、ROMライタ10のユーザROM125へのアクセスが読出でなく(ステップ332)、かつ、ROMライタ10のユーザROM125へのアクセスがブランク確認でなく(ステップ340)、ROMライタ10のユーザROM125へのアクセスがベリファイでなく(ステップ348)、ROMライタ10のユーザROM125へのアクセスが消去である(ステップ356)場合、プロセッサ・コア105は、装置100が量産用であるか否かを判定する(ステップ358)。

【0065】

上述した通り、一実施例において、プロセッサ・コア105は、プログラム記憶装置115及び/又はユーザROM125の所定の量産用(0)/開発用(1)判定フラグを確認し、フラグがオン(1)になっている場合、装置が開発用であると判定することができる。また、プロセッサ・コア105は、他の手段によって、装置100が開発用であるか又は量産用であるかを判定してもよい。

【0066】

装置100が量産用である(ステップ358)場合、プロセッサ・コア105は、ユーザROM125への消去は許可しないことを示す結果をROMライタ10に返す(ステップ328)。装置100が量産用でない(ステップ358)場合(例えば、開発用装置である場

10

20

30

40

50

合)、プロセッサ・コア105は、消去開始情報をアクセス情報メモリ128に保存する(ステップ360)。その後、プロセッサ・コア105は、ユーザROM125へのデータの消去を行う(ステップ362)。プロセッサ・コア105は、消去終了情報をアクセス情報メモリ128に保存する(ステップ364)。その後、ステップ328及び330が実行される。

【0067】

ステップ360からステップ364において、ユーザROM125の消去時にエラーが発生すると、発生したエラーを表す情報が消去終了情報として保存され、エラーが発生した後、アクセス情報メモリ128を解析することができる。一実施例において、消去開始情報及び消去終了情報の両方を用いて、比較や計算などを行うことによって、エラーが発生したことが特定されてもよい。

10

【0068】

読出開始情報及び読出終了情報、ブランク確認開始情報及びブランク確認終了情報、ペリファイ開始情報及びペリファイ終了情報、及び、消去開始情報及び消去終了情報も、書込開始情報及び書込終了情報と同様に、クリアされる値であるフラグ、クリアされない値である回数、又は、循環する数値とすることができる。

【0069】

ユーザROM125の読出に関する処理の後(ステップ338の後)、ユーザROM125のブランク確認に関する処理の後(ステップ346の後)、ユーザROM125のペリファイに関する処理の後(ステップ354の後)、又は、ユーザROM125の消去に関する処理の後(ステップ364の後)、処理は、プロセッサ・コア105が実行結果をROMライタ10に返すステップ328に進み、その後、ステップ330が実行される。ただし、読出に関する処理については、読出に関する処理の後(ステップ338の後)のROMライタ10に返すステップ328は、一旦ワークRAM135に格納されたユーザROM内のユーザ・プログラム127の読出データをROMライタ10へ送信する処理を含む。

20

【0070】

一実施例において、装置100は遊技機を制御する遊技機用装置であってもよい。一実施例において、図1に示した装置100は、一つのチップ上で実装されていてもよい。そのような一つのチップは、マイクロコンピュータ、マイコン、ワンチップマイコン、プロセッサチップなどと称される。この場合、プロセッサ105は、プロセッサコアとすることもできる。他の実施例において、一つのチップ上で実装される装置100は、基板に実装されていてもよい。この場合、遊技機において、当該基板を主基板及びサブ基板として用いた遊技機が構成されていてもよい。遊技機において、主基板は、主に遊技機の抽選を制御し、サブ基板は、遊技機の払出し及び/又は演出を制御する。

30

【0071】

上記の実施例において、ハードウェアで実現するよう説明されたいいくつかの要素の一部又は全ては、ソフトウェアで実現することができ、そして、ソフトウェアで実現するよう説明されたいいくつかの要素の一部又は全ては、ハードウェアで実現することができることは理解されるであろう。

【0072】

以上に説明した処理又は処理順序において、ある処理において、その処理ではまだ利用することができないはずのデータを利用しているなどの処理又は処理順序上の矛盾が生じない限りにおいて、処理又は処理順序を自由に変更することができる。

40

【0073】

以上に説明してきた各実施例に関し、各実施例の一部又は全部を組み合わせるとして一つの実施例として実現されてもよい。

【0074】

以上に説明してきた各実施例は、本発明を説明するための例示であり、本発明はこれらの実施例に限定されるものではない。本発明は、その要旨を逸脱しない限り、種々の形態で実施することができる。

50

【符号の説明】

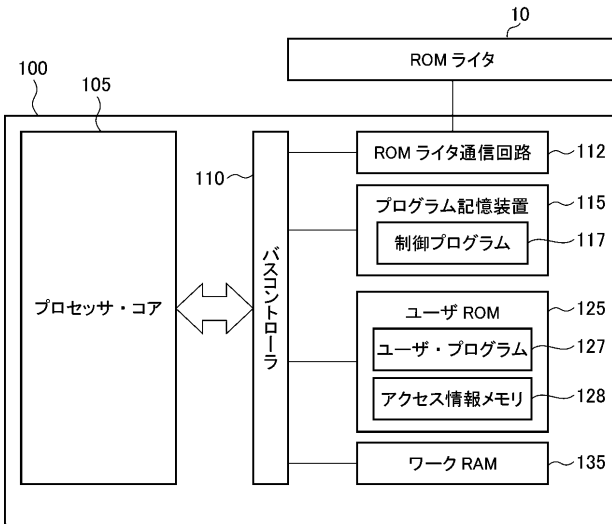
【0075】

- 100 装置
- 105 プロセッサ
- 110 バスコントローラ
- 112 ROMライタ通信回路
- 115 プログラム記憶装置
- 117 制御プログラム
- 125 ユーザROM
- 127 ユーザ・プログラム
- 128 アクセス情報メモリ
- 135 ワークRAM
- 205 書込開始情報エリア
- 210 書込終了情報エリア
- 215 読出開始情報エリア
- 220 読出終了情報エリア
- 225 消去開始情報エリア
- 230 消去終了情報エリア
- 235 ベリファイ開始情報エリア
- 240 ベリファイ終了情報エリア
- 245 ブランク確認開始情報エリア
- 250 ブランク確認終了情報エリア
- 255 ROMライタ通信（送信）終了情報エリア
- 260 ROMライタ通信（受信）終了情報エリア

10

20

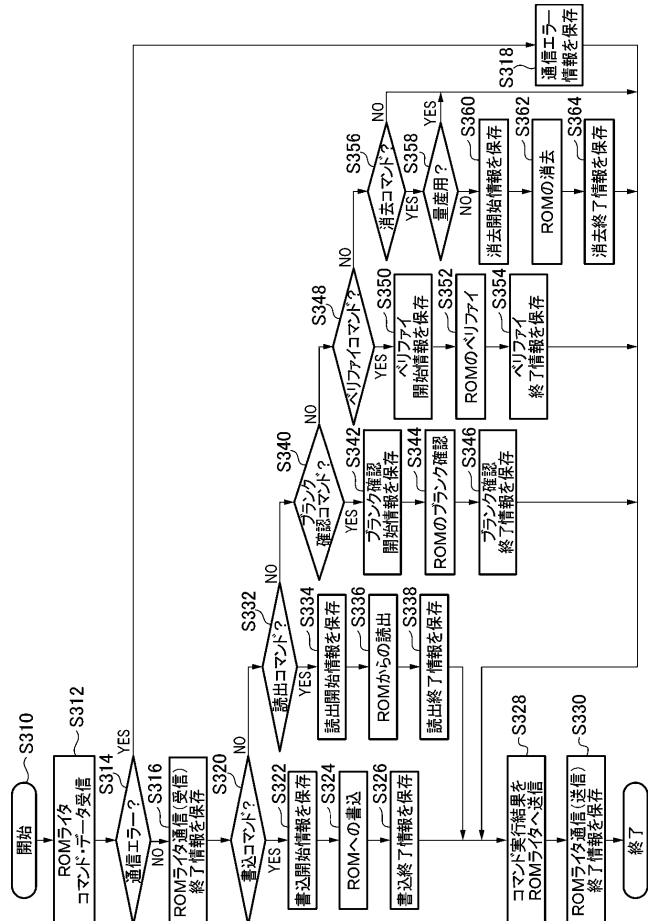
【図1】



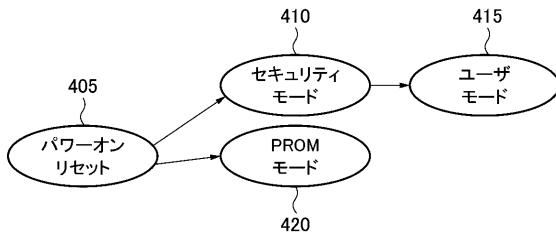
【図2】

205	書込開始情報	書込終了情報	210
215	読出開始情報	読出終了情報	220
225	消去開始情報	消去終了情報	230
235	ベリファイ開始情報	ベリファイ終了情報	240
245	ブランク確認開始情報	ブランク確認終了情報	250
255	ROMライタ通信（送信） 終了情報	ROMライタ通信（受信） 終了情報	260

【図3】



【 図 4 】



フロントページの続き

(74)代理人 100120525

弁理士 近藤 直樹

(74)代理人 100158551

弁理士 山崎 貴明

(72)発明者 向後 哲郎

東京都墨田区錦糸 3 丁目 2 番 1 号 株式会社エルイーテック内

Fターム(参考) 5B042 GA07 GA13 GA33 JJ10 JJ30 MA04 MA17 MC15 MC24 MC27

MC35 MC37

5B225 BA01 CA11 DD11 EK01 EK02 EK04 EK08 FA01