

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-340442

(P2006-340442A)

(43) 公開日 平成18年12月14日(2006.12.14)

(51) Int. Cl. F I テーマコード (参考)
 H02M 3/155 (2006.01) H02M 3/155 P 5H730

審査請求 未請求 請求項の数 21 O L (全 29 頁)

(21) 出願番号	特願2005-159838 (P2005-159838)	(71) 出願人	000006220 ミツミ電機株式会社
(22) 出願日	平成17年5月31日 (2005.5.31)	(74) 代理人	100077838 弁理士 池田 憲保
		(74) 代理人	100082924 弁理士 福田 修一
		(74) 代理人	100129023 弁理士 佐々木 敬
		(72) 発明者	中島 平裕 東京都多摩市鶴牧2丁目11番2 ミツミ電機株式会社内
		Fターム(参考)	5H730 AA14 AS01 BB13 BB57 BB82 BB89 DD04 EE13 FG05 FG07 FG22

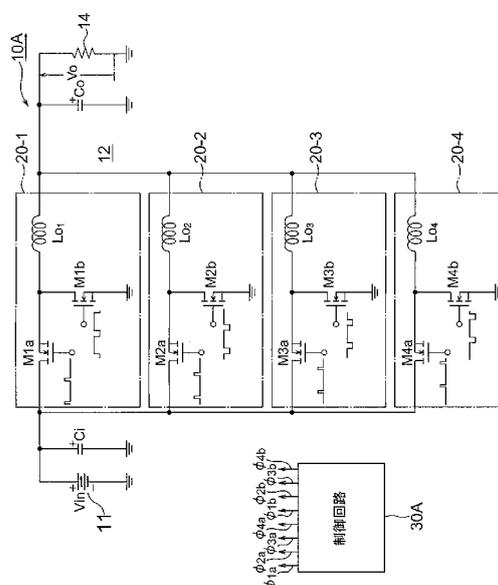
(54) 【発明の名称】 マルチフェーズDC/DCコンバータおよびその制御方法

(57) 【要約】

【課題】 軽負荷時での効率を上げること。

【解決手段】 入力電圧(V_{in})を受け、複数のスイッチ(M1a~M4a)を互いに同一周期かつ異なる位相でオン/オフ動作させることにより、1つの出力電圧(V_o)を1つの負荷(14)へ供給するマルチフェーズDC/DCコンバータ(10A)において、制御回路(30A)は、負荷14が軽負荷時に、複数のスイッチをオン/オフ動作させる制御信号(1a~4a)のスイッチング周波数(f_{sw})を下げる。

【選択図】 図9



【特許請求の範囲】

【請求項 1】

入力電圧を受け、複数のスイッチを互いに同一周期かつ異なる位相でオン/オフ動作させることにより、1つの出力電圧を1つの負荷へ供給するマルチフェーズDC/DCコンバータにおいて、前記負荷が軽負荷時に、前記複数のスイッチをオン/オフ動作させる制御信号のスイッチング周波数を下げる制御回路を備えたことを特徴とするマルチフェーズDC/DCコンバータ。

【請求項 2】

前記制御回路は、前記負荷の重さを判断する判断手段と、該判断手段の判断結果に基づいて、前記負荷が軽くなるにつれて前記制御信号のスイッチング周波数を下げるように前記スイッチング周波数を可変する周波数可変手段とを有する、請求項 1 に記載のマルチフェーズDC/DCコンバータ。

10

【請求項 3】

前記判断手段は、前記負荷に流れる負荷電流に基づいて、前記負荷の重さを判断する手段から構成されている、請求項 2 に記載のマルチフェーズDC/DCコンバータ。

【請求項 4】

前記判断手段は、前記出力電圧に基づいて、前記負荷の重さを判断する手段から構成されている、請求項 2 に記載のマルチフェーズDC/DCコンバータ。

【請求項 5】

前記周波数可変手段は、前記負荷の軽重に応じて、前記制御信号のスイッチング周波数を段階的に増減する、請求項 2 乃至 4 のいずれか 1 つに記載のマルチフェーズDC/DCコンバータ。

20

【請求項 6】

前記周波数可変手段は、前記負荷の軽重に応じて、前記制御信号のスイッチング周波数を連続的に増減する、請求項 2 乃至 4 のいずれか 1 つに記載のマルチフェーズDC/DCコンバータ。

【請求項 7】

スイッチング周波数が可聴周波数領域よりも高い、請求項 6 に記載のマルチフェーズDC/DCコンバータ。

【請求項 8】

入力電圧を受け、複数のスイッチを互いに同一周期かつ異なる位相でオン/オフ動作させることにより、1つの出力電圧を1つの負荷へ供給するマルチフェーズDC/DCコンバータの制御方法において、前記負荷が軽負荷時に、前記複数のスイッチをオン/オフ動作させる制御信号のスイッチング周波数を下げるように制御するステップを含むことを特徴とするマルチフェーズDC/DCコンバータの制御方法。

30

【請求項 9】

前記制御するステップは、前記負荷の重さを判断するステップと、該判断するステップの判断結果に基づいて、前記負荷が軽くなるにつれて前記制御信号のスイッチング周波数を下げるように前記スイッチング周波数を可変するステップとを含む、請求項 8 に記載のマルチフェーズDC/DCコンバータの制御方法。

40

【請求項 10】

前記判断するステップは、前記負荷に流れる負荷電流に基づいて、前記負荷の重さを判断する、請求項 9 に記載のマルチフェーズDC/DCコンバータの制御方法。

【請求項 11】

前記判断するステップは、前記出力電圧に基づいて、前記負荷の重さを判断する、請求項 9 に記載のマルチフェーズDC/DCコンバータの制御方法。

【請求項 12】

前記スイッチング周波数を可変するステップは、前記負荷の軽重に応じて、前記制御信号のスイッチング周波数を段階的に増減する、請求項 9 乃至 11 のいずれか 1 つに記載のマルチフェーズDC/DCコンバータの制御方法。

50

【請求項 13】

前記スイッチング周波数を可変するステップは、前記負荷の軽重に応じて、前記制御信号のスイッチング周波数を連続的に増減する、請求項 9 乃至 11 のいずれか 1 つに記載のマルチフェーズ DC / DC コンバータの制御方法。

【請求項 14】

スイッチング周波数が可聴周波数領域よりも高い、請求項 13 に記載のマルチフェーズ DC / DC コンバータの制御方法。

【請求項 15】

1 つの入力電圧から 1 つの出力電圧を生成して、該出力電圧を負荷へ供給するマルチフェーズ DC / DC コンバータにおいて、

互いに並列に接続され、それぞれ、第 1 乃至第 N (N は 2 以上の整数) のスイッチを含み、それぞれ、第 1 乃至第 N のスイッチングされた電流を出力する第 1 乃至第 N 相回路と

、
前記第 1 乃至第 N のスイッチングされた電流を合成して、前記出力電圧を出力する出力コンデンサと、

前記第 1 乃至第 N のスイッチのオン / オフを制御する制御回路とを備え、

前記制御回路は、前記負荷が軽負荷時に、前記第 1 乃至第 N のスイッチをオン / オフ動作させる制御信号のスイッチング周波数を下げることの特徴とするマルチフェーズ DC / DC コンバータ。

【請求項 16】

前記制御回路は、前記負荷の重さを判断する判断手段と、該判断手段の判断結果に基づいて、前記負荷が軽くなるにつれて前記制御信号のスイッチング周波数を下げるように前記スイッチング周波数を可変する周波数可変手段とを有する、請求項 15 に記載のマルチフェーズ DC / DC コンバータ。

【請求項 17】

前記判断手段は、前記負荷に流れる負荷電流に基づいて、前記負荷の重さを判断する手段から構成されている、請求項 16 に記載のマルチフェーズ DC / DC コンバータ。

【請求項 18】

前記判断手段は、前記出力電圧に基づいて、前記負荷の重さを判断する手段から構成されている、請求項 16 に記載のマルチフェーズ DC / DC コンバータ。

【請求項 19】

前記周波数可変手段は、前記負荷の軽重に応じて、前記制御信号のスイッチング周波数を段階的に増減する、請求項 16 乃至 18 のいずれか 1 つに記載のマルチフェーズ DC / DC コンバータ。

【請求項 20】

前記周波数可変手段は、前記負荷の軽重に応じて、前記制御信号のスイッチング周波数を連続的に増減する、請求項 16 乃至 18 のいずれか 1 つに記載のマルチフェーズ DC / DC コンバータ。

【請求項 21】

スイッチング周波数が可聴周波数領域よりも高い、請求項 20 に記載のマルチフェーズ DC / DC コンバータ。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、電源装置に関し、特に、1 つの DC 入力電圧を複数相のスイッチを用いてスイッチングし、1 つの負荷へ 1 つの DC 出力電圧を供給するマルチフェーズ DC / DC コンバータおよびその制御方法に関する。

【背景技術】**【0002】**

直流 (DC) 入力電圧をその DC 入力電圧とは異なる DC 出力電圧に変換する電源装置

10

20

30

40

50

として、DC/DCコンバータが知られている。また、大電流用途のDC/DCコンバータとして、1つのDC入力電圧（以下、単に「入力電圧」とも呼ぶ。）を複数相のスイッチを用いてスイッチングし、1つの負荷へ1つのDC出力電圧（以下、単に「出力電圧」とも呼ぶ。）を供給するDC/DCコンバータがある。このように複数相のスイッチを有するDC/DCコンバータは、マルチフェーズDC/DCコンバータと呼ばれる。換言すれば、マルチフェーズDC/DCコンバータは、複数のスイッチを互いに同一周期かつ異なる位相でオン/オフ動作させることにより、スイッチング周波数を実効的に高めている。

【0003】

このようなマルチフェーズDC/DCコンバータは、例えば、CPU（中央処理装置）の電源装置として使用される。この技術分野において周知のように、CPUの負荷状態（CPUへ流れる負荷電流）は変化する。すなわち、通常の使用状態では、CPUへは大きな負荷電流を流す必要があるため、CPUは重負荷になっている。一方、例えば、スリープ状態では、CPUへは少ない負荷電流を流すだけで良いので、CPUは軽負荷である。

10

【0004】

このような負荷状態の変動に対応するために、負荷の大きさによって動作（駆動）させるスイッチの相数を増減させ、小電流出力時（軽負荷時）には1相のみのスイッチを動作（駆動）させるようにしたマルチフェーズDC/DCコンバータが提案されている（例えば、特許文献1参照）。

【0005】

図1を参照して、従来マルチフェーズDC/DCコンバータ10について説明する。本例は、相数Nが4の場合を示している。図示のマルチフェーズDC/DCコンバータ10は、同期整流型マルチフェーズDC/DCコンバータである。

20

【0006】

図示のマルチフェーズDC/DCコンバータ10は、第1乃至第4の通電スイッチM1a、M2a、M3a、M4aと、第1乃至第4の短絡スイッチM1b、M2b、M3b、M4bと、平滑回路12とを有する。第1乃至第4の通電スイッチM1a～M4a及び第1乃至第4の短絡スイッチM1b～M4bの各々は、例えば、MOS（金属酸化膜半導体）FETで構成されている。尚、第1乃至第4の通電スイッチM1a～M4aの各々は、ハイサイド（High-side）のスイッチと呼ばれ、第1乃至第4の短絡スイッチM1b～M4bの各々は、ローサイド（Low-side）のスイッチと呼ばれる。

30

【0007】

第1乃至第4の通電スイッチM1a～M4aは、共通入力電源11から供給される入力電圧Vinをそれぞれオン/オフ制御する。各通電スイッチM1a～M4aにてそれぞれオン/オフ制御された電圧（電流）は、平滑回路12に入力されて集められる。第1乃至第4の通電スイッチM1a～M4aの出力側には、それぞれ、フライホイール回路を形成する第1乃至第4の短絡スイッチM1b～M4bが接続されている。

【0008】

平滑回路12は、第1乃至第4の通電スイッチM1a～M4aの出力側にそれぞれ直列に接続された第1乃至第4のインダクタンス素子Lo1、Lo2、Lo3、Lo4と、各インダクタンス素子Lo1～Lo4を流れる第1乃至第4の通電電流を集めて充電する共通のキャパシタンス素子（出力コンデンサ）Coとによって構成されている。平滑回路12は、第1乃至第4の通電スイッチM1a～M4aでオン/オフ制御された第1乃至第4の通電電流を多重合成しながら平滑して、平滑した電圧を負荷14へ供給する。尚、図1の破線で示されるように、共通入力電源11と並列に入力コンデンサCiが接続されても良い。

40

【0009】

第1の通電スイッチM1aと第1の短絡スイッチM1bと第1のインダクタンス素子Lo1とによって第1相回路20-1が構成されている。第2の通電スイッチM2aと第2の短絡スイッチM2bと第2のインダクタンス素子Lo2とによって第2相回路20-2

50

が構成されている。第3の通電スイッチM3aと第3の短絡スイッチM3bと第3のインダクタンス素子L_{o3}とによって第3相回路20-3が構成されている。第4の通電スイッチM4aと第4の短絡スイッチM4bと第4のインダクタンス素子L_{o4}とによって第4相回路20-4が構成されている。

【0010】

第1乃至第4相回路20-1~20-4は、それぞれ、第1乃至第4のスイッチングされた電流を出力する。出力コンデンサC_oは、第1乃至第4のスイッチングされた電流を合成して、出力電圧V_oを出力する。

【0011】

マルチフェーズDC/DCコンバータ10は制御回路30を含む。制御回路30は、後述するように、負荷14の大きさによって動作(駆動)させるスイッチの相数を増減させるように、第1乃至第4の通電スイッチM1a~M4a及び第1乃至第4の短絡スイッチM1b~M4bのオン/オフを制御する。また、第1乃至第4の短絡スイッチM1b~M4bは、それぞれ、第1乃至第4の通電スイッチM1a~M4aとはオン/オフ動作が逆になるように、そのオン/オフが制御される。

10

【0012】

制御回路30は、負荷14に流れる負荷電流及び出力コンデンサC_oの出力電圧V_oに基いて、第1乃至第4の通電スイッチM1a~M4aを90度の位相差でそれぞれオン/オフ動作させる第1乃至第4の正相PWM信号1a、2a、3a、4aと、第1乃至第4の短絡スイッチM1b~M4bを第1乃至第4の通電スイッチM1a~M4aに対してそれぞれ相補的にオン/オフ動作させる第1乃至第4の逆相PWM信号1b、2b、3b、4bとを出力する。とにかく、制御回路30は、制御信号として、第1乃至第4の正相PWM信号1a~4a及び第1乃至第4の逆相PWM信号1b~4bを出力する。

20

【0013】

次に、図1に加えて図2乃至図4をも参照して、従来のマルチフェーズDC/DCコンバータ10の動作について説明する。図2は負荷14が重負荷のときのマルチフェーズDC/DCコンバータ10の動作を説明するためのタイムチャートであり、図3は負荷14が中負荷のときのマルチフェーズDC/DCコンバータ10の動作を説明するためのタイムチャートであり、図4は負荷14が軽負荷のときのマルチフェーズDC/DCコンバータ10の動作を説明するためのタイムチャートである。

30

【0014】

また、図2乃至図4の各々において、(a)の実線は第1の通電スイッチM1aのオン/オフ状態を示し、(a)の点線は第1の短絡スイッチM1bのオン/オフ状態を示し、(b)の実線は第2の通電スイッチM2aのオン/オフ状態を示し、(b)の点線は第2の短絡スイッチM2bのオン/オフ状態を示し、(c)の実線は第3の通電スイッチM3aのオン/オフ状態を示し、(c)の点線は第3の短絡スイッチM3bのオン/オフ状態を示し、(d)の実線は第4の通電スイッチM4aのオン/オフ状態を示し、(d)の点線は第4の短絡スイッチM4bのオン/オフ状態を示す。

【0015】

図2に示されるように、負荷14が重負荷時には、制御回路30は、第1乃至第4の通電スイッチM1a~M4a及び第1乃至第4の短絡スイッチM1b~M4bのすべてをオン/オフ動作させている。換言すれば、制御回路30は、第1乃至第4相回路20-1~20-4の全てを駆動する。

40

【0016】

図3に示されるように、負荷14が中負荷時には、制御回路30は、第1及び第3の通電スイッチM1a、M3aと第1及び第3の短絡スイッチM1b、M3bだけをオン/オフ動作させ、第2及び第4の通電スイッチM2a、M4aと第2及び第4の短絡スイッチM2b、M4bとを常時オフしている。換言すれば、制御回路30は、第1及び第3相回路20-1、20-3のみを駆動する。

50

【0017】

図4に示されるように、負荷14が軽負荷時には、制御回路30は、第1の通電スイッチM1aと第1の短絡スイッチM1bだけをオン/オフ動作させ、第2乃至第4の通電スイッチM2a~M4aと第2乃至第4の短絡スイッチM2b~M4bとを常時オフしている。換言すれば、制御回路30は、第1相回路20-1のみを駆動する。

【0018】

図5に示されるように、従来のマルチフェーズDC/DCコンバータ10においては、負荷14の軽重とは無関係に、個々のスイッチをオン/オフ動作させる制御信号の各相のスイッチング周波数 f_{sw} は常に一定である。図5に於いて、横軸は負荷14(Pout)の重さ(%)を示し、縦軸は各相のスイッチング周波数 f_{sw} (kHz)を示す。尚、本例では、スイッチング周波数 f_{sw} が400kHzに等しい場合を示している。また、負荷14(Pout)の重さは、その最大値に対応する100%から最小値である0%までの間で変動する。

10

【0019】

図6に、従来のマルチフェーズDC/DCコンバータ10における、負荷14(Pout)の重さ(%)と動作させるスイッチの相数 n (1~4)と間の関係を示す。図6において、横軸は負荷14(Pout)の重さ(%)を示し、縦軸は動作させるスイッチの相数 n を示す。図6に示されるように、負荷14(Pout)の重さが50%~100%の範囲にあるときは、負荷14は「重負荷」であるので、動作させるスイッチの相数 n は4である。負荷14(Pout)の重さが25%~50%の範囲にあるときは、負荷14は「中負荷」であるので、動作させるスイッチの相数 n は2である。負荷14(Pout)の重さが25%以下の範囲にあるときは、負荷14は「軽負荷」であるので、動作させるスイッチの相数 n は1である。

20

【0020】

従って、動作させるスイッチの相数 n に応じて、従来のマルチフェーズDC/DCコンバータ10における見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ は、各相のスイッチング周波数 f_{sw} の n 倍となる。

【0021】

図7に、従来のマルチフェーズDC/DCコンバータ10における、負荷14(Pout)の重さ(%)と見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ との間の関係を示す。図7において、横軸は負荷14(Pout)の重さ(%)を示し、縦軸に見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ を示す。

30

【0022】

まず、負荷14(Pout)の重さが50%~100%の範囲にあるとする。この場合、制御回路30は、負荷14(Pout)が「重負荷」とであると判定し、第1乃至第4相回路20-1~20-4の全てを駆動(動作)する。したがって、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ は、各相のスイッチング周波数 f_{sw} の4倍となる($n * f_{sw} = 4 f_{sw}$)。

【0023】

次に、負荷14(Pout)の重さが25%~50%の範囲にあるとする。この場合、制御回路30は、負荷14(Pout)が「中負荷」とであると判定し、第1及び第3相回路20-1、20-3のみを駆動(動作)する。したがって、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ は、各相のスイッチング周波数 f_{sw} の2倍となる($n * f_{sw} = 2 f_{sw}$)。

40

【0024】

最後に、負荷14(Pout)の重さが25%以下の範囲にあるとする。この場合、制御回路30は、負荷14(Pout)が「軽負荷」とであると判定し、第1相回路20-1のみを駆動(動作)する。したがって、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ は、各相のスイッチング周波数 f_{sw} に等しい($n * f_{sw} = f_{sw}$)。

50

【0025】

従って、従来のマルチフェーズDC/DCコンバータ10においては、図5に示されるように、各相のスイッチング周波数 f_{sw} を常に一定に維持しつつ、図6に示されるように、負荷14(Pout)の重さが軽くなるに従って動作させるスイッチの相数 n を減数して、図7に示されるように、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ を段階的に低下させている。

【0026】

このように、従来のマルチフェーズDC/DCコンバータ10では、負荷14(Pout)の重さによって動作させる(駆動する)スイッチの相数 n を増減させ、小電流出力時(軽負荷時)には1相のスイッチのみを動作させて(駆動して)いる。

10

【0027】

尚、マルチフェーズDC/DCコンバータではないが、本発明に関連する他の電源装置も種々知られている。例えば、スイッチング素子として半導体スイッチを用い、定周波数可変オン時間制御を行うDC/DCコンバータの制御装置において、直流電源のリップルを検出し、これを設定値と比較してその偏差を増幅し、リップル信号が大きい時にはスイッチング周波数を増加させるように制御する技術的思想が知られている(例えば、特許文献2参照)。

【0028】

また、スイッチ素子のON周期とON時間の双方を同時に制御するようにした「スイッチングレギュレータ」が知られている(例えば、特許文献3参照)。この特許文献3に開示されているスイッチングレギュレータでは、出力負荷容量変動に対して出力容量が大きい際はスイッチ素子のON周期を減少させると共にON時間を増加させ、出力容量が少ない際にはON周期を増加させると共にON時間を減少させて、急激な負荷変動に対しても出力電圧変動を防いでスイッチ素子のスイッチングロスの増大を防ぎしかも重負荷時に可聴周波数とすることが無い。

20

【0029】

尚、負荷が重くなるとスイッチングレギュレータの出力電圧が下がり、負荷が軽くなるとスイッチングレギュレータの出力電圧が上がることも知られている(例えば、特許文献4参照)。

【0030】

【特許文献1】特開2002-44941号公報

【特許文献2】特開昭63-265562号公報

【特許文献3】特開昭63-257459号公報

【特許文献4】特開2005-33888号公報

【発明の開示】

【発明が解決しようとする課題】

【0031】

しかしながら、図1に図示した従来のマルチフェーズDC/DCコンバータ10において、軽負荷時であっても1相のスイッチのみで駆動させることは、電流の集中を招き、局部的に発熱が大きくなってしまふ。その為、熱の偏りによって相間に温度差ができる。その結果、相間の電流バランスが崩れたり、特定の部品の寿命が縮まるなどの問題を引き起こす虞がある。

40

【0032】

また、スイッチを構成するMOSFETのオン抵抗ロスやコイル(インダクタンス素子)の銅損は、それらを通る電流の2乗に比例する。その結果、1相のスイッチに電流を集中させるのは、損失(ロス)が大きくなって、効率が悪くなる。

【0033】

図8に、従来のマルチフェーズDC/DCコンバータ10における、負荷14(Pout)の重さ(%)と損失(W)との間の関係を示す。図8において、横軸は負荷14(Pout)の重さ(%)を示し、縦軸は損失(W)を示す。図8において、 P_{on} (High-s

50

ide) はハイサイドのスイッチ (MOS) のオン抵抗ロスを示し、 P_{sw} (High-side) はハイサイドのスイッチ (MOS) のスイッチングロスを示し、 P_{Dr} (High-side) はハイサイドのスイッチ (MOS) のドライブ損失を示し、 P_{on} (Low-side) はローサイドのスイッチ (MOS) のオン抵抗ロスを示し、 P_{sw} (Low-side) はローサイドのスイッチ (MOS) のスイッチングロスを示し、 P_{Dr} (Low-side) はローサイドのスイッチ (MOS) のドライブ損失を示し、 P_{Cu} はインダクタンス素子 (コイル) の銅損を示し、 P_{Fe} はインダクタンス素子 (コイル) の鉄損を示す。

【0034】

下記の数1～数5に、それぞれ、各損失 (MOSのオン抵抗ロス P_{on} 、MOSのスイッチングロス P_{sw} 、MOSのドライブ損失 P_{Dr} 、コイルの銅損 P_{Cu} 、コイルの鉄損 P_{Fe}) の計算式を示す。 10

【0035】

【数1】

$$P_{on} = \left(\frac{I_o}{n} \right)^2 \cdot R_{on} \cdot Duty \cdot n \quad (W)$$

【0036】

20

【数2】

$$P_{sw} = \frac{1}{2} \cdot V_{IN} \cdot \frac{I_o}{n} \cdot (t_r + t_f) \cdot f_{sw} \cdot n \quad (W)$$

【0037】

【数3】

$$P_{Dr} = Q_g \cdot V_{gs} \cdot f_{sw} \cdot n \quad (W)$$

30

【0038】

【数4】

$$P_{Cu} = \left(\frac{I_o}{n} \right)^2 \cdot R_{DC} \cdot n \quad (W)$$

【0039】

40

【数5】

$$P_{Fe} = 6.11 \times 10^{-18} \cdot B^{2.7} \cdot f_{sw}^{2.04} \cdot n \quad (mW)$$

【0040】

上記数1～数5において、 I_o は負荷電流を示し、 n は駆動している相数を示し、 R_{on} はMOSのオン抵抗を示し、 $Duty$ はデューティ比を示し、 V_{IN} は入力電圧を示し、 t_r はゲート立下り時間を示し、 t_f はゲート立上り時間を示し、 f_{sw} は各相のスイッチング周波数を示し、 Q_g はゲートチャージ電荷量を示し、 V_{gs} はゲート・ソース 50

電圧を示し、 R_{DC} はコイルの直流抵抗を示し、 B は磁束密度を示す。

【0041】

また、下記の数6～数9に計算条件を示す。

【0042】

【数6】

$$V_{IN} = 12 \text{ V}$$

$$V_{out} = 1.2 \text{ V}$$

$$\text{Duty} = 10 \%$$

$$I_O = 0 \sim 100 \text{ A}$$

10

【0043】

【数7】

High-side MOSFET

$$R_{on} = 10 \text{ m}\Omega$$

$$t_r = t_f = 1 \text{ ns}$$

$$Q_g = 10 \text{ nC}$$

20

【0044】

【数8】

Low-side MOSFET

$$R_{on} = 2 \text{ m}\Omega$$

$$t_r = t_f = 5 \text{ ns}$$

$$Q_g = 50 \text{ nC}$$

30

【0045】

【数9】

Coil

$$R_{DC} = 1 \text{ m}\Omega$$

$$B = 500 \text{ Gauss}$$

40

【0046】

上記数1及び数4から明らかなように、MOSのオン抵抗ロス P_{on} やコイルの銅損 P_{cu} は、負荷電流 I_O の2乗に比例するので、軽負荷時において、従来のマルチフェーズDC/DCコンバータ10の損失が大きくなり、効率が悪くなる。

【0047】

したがって、本発明の課題は、軽負荷時での効率を上げることができる、マルチフェーズDC/DCコンバータを提供することにある。

【0048】

50

本発明の他の課題は、発熱を抑えることができる、マルチフェーズDC/DCコンバータを提供することにある。

【0049】

本発明の更に他の課題は、負荷状態とは無関係に、相間の電流バランスをとることができる、マルチフェーズDC/DCコンバータを提供することにある。

【課題を解決するための手段】

【0050】

本発明の第1の態様によれば、入力電圧(V_{in})を受け、複数のスイッチ($M_{1a} \sim M_{4a}$; $SW_{11} \sim SW_{N1}$)を互いに同一周期かつ異なる位相でオン/オフ動作させることにより、1つの出力電圧(V_o)を1つの負荷(14)へ供給するマルチフェーズDC/DCコンバータにおいて、前記負荷が軽負荷時に、前記複数のスイッチをオン/オフ動作させる制御信号($1a \sim 4a$; $1a \sim Na$)のスイッチング周波数(f_{sw})を下げる制御回路(30A; 30B, 40; 30C)を備えたことを特徴とするマルチフェーズDC/DCコンバータ(10A; 10B; 10C)が得られる。

【0051】

上記本発明の第1の態様によるマルチフェーズDC/DCコンバータ(10B; 10C)において、前記制御回路(30B, 40; 30C)は、例えば、前記負荷の重さを判断する判断手段(40, 31; $R_1, R_2, 32, 31A$)と、該判断手段の判断結果に基づいて、前記負荷が軽くなるにつれて前記制御信号のスイッチング周波数(f_{sw})を下げるように前記スイッチング周波数を可変する周波数可変手段(31, $33-1 \sim 33-N$; $31A, 33-1 \sim 33-N$)とから構成されて良い。前記判断手段は、前記負荷に流れる負荷電流(I_o)に基づいて、前記負荷の重さを判断する手段(40, 31)から構成されて良い。又は、前記判断手段は、前記出力電圧(V_o)に基づいて、前記負荷の重さを判断する手段($R_1, R_2, 32, 31A$)から構成されて良い。前記周波数可変手段は、前記負荷の軽重に応じて、前記制御信号のスイッチング周波数(f_{sw})を段階的に増減して良い(図13)。或いは、前記周波数可変手段(31, $33-1 \sim 33-N$; $31A, 33-1 \sim 33-N$)は、前記負荷の軽重に応じて、前記制御信号のスイッチング周波数を連続的に増減して良い(図17; 図21; 図22)。スイッチング周波数(f_{sw})は、可聴周波数領域よりも高いことが望ましい(図21; 図22)。

【0052】

本発明の第2の態様によれば、入力電圧(V_{in})を受け、複数のスイッチ($M_{1a} \sim M_{4a}$; $SW_{11} \sim SW_{N1}$)を互いに同一周期かつ異なる位相でオン/オフ動作させることにより、1つの出力電圧(V_o)を1つの負荷(14)へ供給するマルチフェーズDC/DCコンバータの制御方法において、前記負荷が軽負荷時に、前記複数のスイッチをオン/オフ動作させる制御信号($1a \sim 4a$; $1a \sim Na$)のスイッチング周波数(f_{sw})を下げるように制御するステップ(30A; 30B, 40; 30C)を含むことを特徴とするマルチフェーズDC/DCコンバータ(10A; 10B; 10C)の制御方法が得られる。

【0053】

上記本発明の第2の実施の形態に係るマルチフェーズDC/DCコンバータ(10B; 10C)の制御方法において、前記制御するステップ(30B, 40; 30C)は、前記負荷の重さを判断するステップ(40, 31; $R_1, R_2, 32, 31A$)と、該判断するステップの判断結果に基づいて、前記負荷が軽くなるにつれて前記制御信号のスイッチング周波数(f_{sw})を下げるように前記スイッチング周波数を可変するステップ(31, $33-1 \sim 33-N$; $31A, 33-1 \sim 33-N$)とを含んで良い。前記判断するステップ(40, 31)は、前記負荷に流れる負荷電流(I_o)に基づいて、前記負荷の重さを判断して良い。又は、前記判断するステップ($R_1, R_2, 32, 31A$)は、前記出力電圧(V_o)に基づいて、前記負荷の重さを判断しても良い。前記スイッチング周波数を可変するステップは、前記負荷の軽重に応じて、前記制御信号のスイッチング周波数(f_{sw})を段階的に増減して良い(図13)。或いは、前記スイッチング周波数を可変す

るステップは、前記負荷の軽重に応じて、前記制御信号のスイッチング周波数を連続的に増減しても良い(図17;図21;図22)。スイッチング周波数(f_{sw})は、可聴周波数領域よりも高いことが望ましい(図21;図22)。

【0054】

本発明の第3の態様によれば、1つの入力電圧(V_{in})から1つの出力電圧(V_o)を生成して、該出力電圧を負荷(14)へ供給するマルチフェーズDC/DCコンバータにおいて、互いに並列に接続され、それぞれ、第1乃至第N(Nは2以上の整数)のスイッチ($M_{1a} \sim M_{4a}$; $SW_{11} \sim SW_{N1}$)を含み、それぞれ、第1乃至第Nのスイッチングされた電流を出力する第1乃至第N相回路(20-1~20-N)と、前記第1乃至第Nのスイッチングされた電流を合成して、前記出力電圧を出力する出力コンデンサ(V_o)と、前記第1乃至第Nのスイッチのオン/オフを制御する制御回路(30A;30B,40;30C)とを備え、前記制御回路は、前記負荷が軽負荷時に、前記第1乃至第Nのスイッチをオン/オフ動作させる制御信号(1a~4a;1a~Na)のスイッチング周波数(f_{sw})を下げることを特徴とするマルチフェーズDC/DCコンバータ(10A;10B;10C)が得られる。

10

【0055】

上記本発明の第3の態様によるマルチフェーズDC/DCコンバータ(10B;10C)において、前記制御回路(40,30B;30C)は、前記負荷の重さを判断する判断手段(40,31;R1,R2,32,31A)と、該判断手段の判断結果に基づいて、前記負荷が軽くなるにつれて前記制御信号のスイッチング周波数(f_{sw})を下げるように前記スイッチング周波数を可変する周波数可変手段(31,33-1~33-N;31A,33-1~33-N)とから構成されて良い。前記判断手段は、前記負荷に流れる負荷電流(I_o)に基づいて、前記負荷の重さを判断する手段(40,31)から構成されて良い。又は、前記判断手段は、前記出力電圧(V_o)に基づいて、前記負荷の重さを判断する手段(R1,R2,32,31A)から構成されても良い。前記周波数可変手段は、前記負荷の軽重に応じて、前記制御信号のスイッチング周波数(f_{sw})を段階的に増減して良い(図13)。或いは、前記周波数可変手段は、前記負荷の軽重に応じて、前記制御信号のスイッチング周波数(f_{sw})を連続的に増減して良い(図17;図21;図22)。スイッチング周波数(f_{sw})は、可聴周波数領域よりも高いことが望ましい(図21;図22)。

20

30

【0056】

尚、上記括弧内の符号は、本発明の理解を容易にするために付したものであり、一例にすぎず、これらに限定されないのは勿論である。

【発明の効果】

【0057】

本発明では、軽負荷時にスイッチング周波数を下げているので、軽負荷時でのマルチフェーズDC/DCコンバータの効率を向上させることができるという効果を奏する。

【発明を実施するための最良の形態】

【0058】

以下、図面を参照して、本発明の実施の形態について詳細に説明する。

40

【0059】

図9を参照して、本発明に係るマルチフェーズDC/DCコンバータ10Aの原理について説明する。本例は、相数Nが4の場合を示している。図示のマルチフェーズDC/DCコンバータ10Aは、同期整流型マルチフェーズDC/DCコンバータである。

【0060】

図示のマルチフェーズDC/DCコンバータ10Aは、制御回路の制御動作が後述するように相違する点を除いて、図1に図示した従来のマルチフェーズDC/DCコンバータ10と同様の構成を有する。したがって、制御回路に30Aの参照符号を付してある。また、図1に示したものと同様の機能を有するものには同一の参照符号を付して、説明の簡略化のために、それらの説明は省略する。

50

【 0 0 6 1 】

マルチフェーズ DC / DC コンバータ 1 0 A において、制御回路 3 0 A は、常に全相のスイッチ（第 1 乃至第 4 相回路 2 0 - 1 ~ 2 0 - 4）を動作させるが、負荷 1 4 の軽重に応じて、個々のスイッチをオン / オフ動作させる制御信号のスイッチング周波数（各相のスイッチング周波数） $f_{s w}$ を変化させる。具体的には、負荷 1 4 が軽負荷時には、各相のスイッチング周波数 $f_{s w}$ を下げる。

【 0 0 6 2 】

次に、図 9 に加えて図 1 0 乃至図 1 2 をも参照して、マルチフェーズ DC / DC コンバータ 1 0 A の動作について説明する。図 1 0 は負荷 1 4 が重負荷のときのマルチフェーズ DC / DC コンバータ 1 0 A の動作を説明するためのタイムチャートであり、図 1 1 は負荷 1 4 が中負荷のときのマルチフェーズ DC / DC コンバータ 1 0 A の動作を説明するためのタイムチャートであり、図 1 2 は負荷 1 4 が軽負荷のときのマルチフェーズ DC / DC コンバータ 1 0 A の動作を説明するためのタイムチャートである。

10

【 0 0 6 3 】

また、図 1 0 乃至図 1 2 の各々において、(a) の実線は第 1 の通電スイッチ M 1 a のオン / オフ状態を示し、(a) の点線は第 1 の短絡スイッチ M 1 b のオン / オフ状態を示し、(b) の実線は第 2 の通電スイッチ M 2 a のオン / オフ状態を示し、(b) の点線は第 2 の短絡スイッチ M 2 b のオン / オフ状態を示し、(c) の実線は第 3 の通電スイッチ M 3 a のオン / オフ状態を示し、(c) の点線は第 3 の短絡スイッチ M 3 b のオン / オフ状態を示し、(d) の実線は第 4 の通電スイッチ M 4 a のオン / オフ状態を示し、(d) の点線は第 4 の短絡スイッチ M 4 b のオン / オフ状態を示す。

20

【 0 0 6 4 】

図 1 0 に示されるように、負荷 1 4 が重負荷時には、制御回路 3 0 A は、第 1 乃至第 4 の通電スイッチ M 1 a ~ M 4 a 及び第 1 乃至第 4 の短絡スイッチ M 1 b ~ M 4 b のすべてをオン / オフ動作させている。換言すれば、制御回路 3 0 A は、第 1 乃至第 4 相回路 2 0 - 1 ~ 2 0 - 4 の全てを駆動する。

【 0 0 6 5 】

図 1 1 に示されるように、負荷 1 4 が中負荷時には、制御回路 3 0 A は、各相のスイッチング周波数 $f_{s w}$ を重負荷時の $1 / 2$ にして、第 1 乃至第 4 の通電スイッチ M 1 a ~ M 4 a 及び第 1 乃至第 4 の短絡スイッチ M 1 b ~ M 4 b のすべてをオン / オフ動作させている。とにか、負荷 1 4 が中負荷のときには、制御回路 3 0 A は、各相のスイッチング周波数 $f_{s w}$ を重負荷時の $1 / 2$ にして、第 1 乃至第 4 相回路 2 0 - 1 ~ 2 0 - 4 の全てを駆動している。

30

【 0 0 6 6 】

図 1 2 に示されるように、負荷 1 4 が軽負荷時には、制御回路 3 0 A は、各相のスイッチング周波数 $f_{s w}$ を重負荷時の $1 / 4$ にして、第 1 乃至第 4 の通電スイッチ M 1 a ~ M 4 a 及び第 1 乃至第 4 の短絡スイッチ M 1 b ~ M 4 b のすべてをオン / オフ動作させている。とにか、負荷 1 4 が軽負荷のときには、制御回路 3 0 A は、各相のスイッチング周波数 $f_{s w}$ を重負荷時の $1 / 4$ にして、第 1 乃至第 4 相回路 2 0 - 1 ~ 2 0 - 4 の全てを駆動している。

40

【 0 0 6 7 】

図 1 0 乃至図 1 2 から明らかなように、マルチフェーズ DC / DC コンバータ 1 0 A においては、常に全てのスイッチを動作させつつ、負荷 1 4 の軽重に応じて、各相のスイッチング周波数 $f_{s w}$ を変動させている。また、本例では、スイッチの相数 N は 4 に等しいので、マルチフェーズ DC / DC コンバータ 1 0 A における見かけのスイッチング周波数（実効スイッチング周波数） $n * f_{s w}$ は、常に、各相のスイッチング周波数 $f_{s w}$ の 4 倍である。

【 0 0 6 8 】

本発明においては、各相のスイッチング周波数 $f_{s w}$ を変化させる方法として、次に述べるような二通りの駆動方法（動作モード）のいずれかを採用することができる。第 1 の

50

駆動方法（動作モード）は、従来のマルチフェーズDC/DCコンバータ10のように動作させる相数 n を段階的に変化させる場合と同様に、各相のスイッチング周波数 f_{sw} を負荷14の軽重に応じて段階的に変化させる方法である。第2の駆動方法（動作モード）は、各相のスイッチング周波数 f_{sw} を負荷14の軽重に応じて連続的に変化させる方法である。

【0069】

最初に図13乃至図16を参照して、本発明のマルチフェーズDC/DCコンバータ10Aの第1の駆動方法（動作モード）について説明する。

【0070】

図13に、マルチフェーズDC/DCコンバータ10Aの第1の動作モードにおける、負荷14（Pout）の重さ（%）と個々のスイッチをオン/オフ動作させる制御信号の各相のスイッチング周波数 f_{sw} との間の関係を示す。図13において、横軸は負荷14（Pout）の重さ（%）を示し、縦軸は各相のスイッチング周波数 f_{sw} （kHz）を示す。図13に示されるように、負荷14（Pout）の重さが50%～100%の範囲にあるときは、負荷14は「重負荷」であるので、各相のスイッチング周波数 f_{sw} を400kHzに設定している。負荷14（Pout）の重さが25%～50%の範囲にあるときは、負荷14は「中負荷」であるので、各相のスイッチング周波数 f_{sw} を重負荷時の1/2である200kHzに設定している。負荷14（Pout）の重さが25%以下の範囲にあるときは、負荷14は「軽負荷」であるので、各相のスイッチング周波数 f_{sw} を重負荷時の1/4である100kHzに設定している。

10

20

【0071】

一方、図14に示されるように、マルチフェーズDC/DCコンバータ10Aの第1の動作モードにおいては、負荷14の軽重とは無関係に、常に全てのスイッチを動作させている。図14において、横軸は負荷14（Pout）の重さ（%）を示し、縦軸は動作させるスイッチの相数 n を示す。図14から明らかのように、負荷14の軽重とは無関係に、動作させるスイッチの相数 n は常に4である。

【0072】

従って、マルチフェーズDC/DCコンバータ10Aにおける見かけのスイッチング周波数（実効スイッチング周波数）は、常に、各相のスイッチング周波数 f_{sw} の4倍となる。

30

【0073】

図15に、マルチフェーズDC/DCコンバータ10Aの第1の動作モードにおける、負荷14（Pout）の重さ（%）と見かけのスイッチング周波数（実効スイッチング周波数） $n * f_{sw}$ との関係を示す。図15において、横軸は負荷14（Pout）の重さ（%）を示し、縦軸に見かけのスイッチング周波数（実効スイッチング周波数） $n * f_{sw}$ を示す。

【0074】

図15と図7とを比較して明らかのように、見かけのスイッチング周波数（実効スイッチング周波数） $n * f_{sw}$ は、本発明によるマルチフェーズDC/DCコンバータ10Aと従来のマルチフェーズDC/DCコンバータ10の両方とも、負荷14の軽重に応じて、段階的に変化していることが分かる。

40

【0075】

まず、負荷14（Pout）の重さが50%～100%の範囲にあるとする。この場合、制御回路30Aは、負荷14（Pout）が「重負荷」であると判定して、各相のスイッチング周波数 f_{sw} を400kHzに設定する。また、制御回路30Aは、第1乃至第4相回路20-1～20-4の全てを駆動（動作）するので、見かけのスイッチング周波数（実効スイッチング周波数） $n * f_{sw}$ は、各相のスイッチング周波数 f_{sw} の4倍に等しい（ $n * f_{sw} = 4 f_{sw}$ ）。

【0076】

次に、負荷14（Pout）の重さが25%～50%の範囲にあるとする。この場合、

50

制御回路30は、負荷14 (P o u t) が「中負荷」であると判定して、各相のスイッチング周波数 $f_{s w}$ を重負荷時の $1/2$ である 200kHz に設定する。制御回路30Aは、第1乃至第4相回路20-1~20-4の全てを駆動(動作)する。したがって、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{s w}$ も、重負荷時の $1/2$ になる。

【0077】

最後に、負荷14 (P o u t) の重さが 25% 以下の範囲にあるとする。この場合、制御回路30Aは、負荷14 (P o u t) が「軽負荷」であると判定して、各相のスイッチング周波数 $f_{s w}$ を重負荷時の $1/4$ である 100kHz に設定する。制御回路30Aは、第1乃至第4相回路20-1~20-4の全てを駆動(動作)する。したがって、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{s w}$ も、重負荷時の $1/4$ になる。

10

【0078】

従って、本発明に係るマルチフェーズDC/DCコンバータ10Aの第1の動作モードにおいては、図14に示されるように、常に全てのスイッチを動作させつつ、図13に示されるように、負荷14 (P o u t) の重さが軽くなるに従って、各相のスイッチング周波数 $f_{s w}$ を段階的に低くすることにより、図15に示されるように、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{s w}$ も段階的に低下させている。

【0079】

このように、本発明に係るマルチフェーズDC/DCコンバータ10Aの第1のモードでは、負荷14 (P o u t) の重さに応じて、各相のスイッチング周波数 $f_{s w}$ を段階的に変動させている。

20

【0080】

図16に、本発明に係るマルチフェーズDC/DCコンバータ10Aの第1の動作モードにおける、負荷14 (P o u t) の重さ(大きさ)(%)と損失(W)との関係を示す。図16において、横軸は負荷14 (P o u t) の重さ(%)を示し、縦軸は損失(W)を示す。図16において、 $P_{o n}$ (High-side) はハイサイドのスイッチ(MOS)のオン抵抗ロスを示し、 $P_{s w}$ (High-side) はハイサイドのスイッチ(MOS)のスイッチングロスを示し、 $P_{D r}$ (High-side) はハイサイドのスイッチ(MOS)のドライブ損失を示し、 $P_{o n}$ (Low-side) はローサイドのスイッチ(MOS)のオン抵抗ロスを示し、 $P_{s w}$ (Low-side) はローサイドのスイッチ(MOS)のスイッチングロスを示し、 $P_{D r}$ (Low-side) はローサイドのスイッチ(MOS)のドライブ損失を示し、 $P_{c u}$ はインダクタンス素子(コイル)の銅損を示し、 $P_{F e}$ はインダクタンス素子(コイル)の鉄損を示す。

30

【0081】

尚、各損失($P_{o n}$ 、 $P_{s w}$ 、 $P_{D r}$ 、 $P_{c u}$ 、 $P_{F e}$)の計算式としては、上記数1~数5に示したものを使用し、計算条件も上記数6~数9に示したものを使用した。

【0082】

図16と図8とを比較すると、次のことが分かる。すなわち、負荷14が重負荷のときには、従来のマルチフェーズDC/DCコンバータ10及び本発明に係るマルチフェーズDC/DCコンバータ10Aとも損失は等しいことが分かる。しかしながら、負荷14が中負荷或いは軽負荷のときには、本発明に係るマルチフェーズDC/DCコンバータ10Aの方が従来のマルチフェーズDC/DCコンバータ10に比較して損失が低くなっていることが分かる。

40

【0083】

この理由は次の通りである。上記数1~数5に示した各損失の計算式より、負荷14の軽重とは無関係に、従来のマルチフェーズDC/DCコンバータ10及び本発明に係るマルチフェーズDC/DCコンバータ10Aとも、実効スイッチング周波数($n * f_{s w}$)は変わらないため、ドライブ損失は変わらない。しかしながら、上記数1~数5に示した各損失の計算式より、オン抵抗ロス、スイッチングロス、コイルの銅損は、相数 n が多い

50

ほうが損失が少なく、コイルの鉄損はスイッチング周波数 f_{sw} が低いほうが損失が少ないからである。

【0084】

とにかく、本発明の第1の動作モードによる駆動方法を採用することにより、軽負荷時における損失を従来よりも減少させることができ、効率を向上させることができる。また、常に全てのスイッチを駆動するので、電流が分散され、発熱を抑えることができる。更に、温度分布が均一化されるため、相間の電流バランスをとることができる。

【0085】

次に、図17乃至図20を参照して、本発明のマルチフェーズDC/DCコンバータ10Aの第2の駆動方法(動作モード)について説明する。

【0086】

図17に、マルチフェーズDC/DCコンバータ10Aの第2の動作モードにおける、負荷14(Pout)の重さ(%)と個々のスイッチング回路をオン/オフ動作させる制御信号の各相のスイッチング周波数 f_{sw} との関係を示す。図17において、横軸は負荷14(Pout)の重さ(%)を示し、縦軸は各相のスイッチング周波数 f_{sw} (kHz)を示す。図19に示されるように、負荷14(Pout)の重さに応じて各相のスイッチング周波数 f_{sw} を連続的に(リニアに)変化させている。すなわち、負荷14(Pout)の重さが最大負荷である100%のときの各相のスイッチング周波数 f_{sw} を400kHzにして、負荷14(Pout)の重さが軽くなるにつれてその重さに比例して各相のスイッチング周波数 f_{sw} を減少させている。尚、負荷14(Pout)の重さが50%のとき、各相のスイッチング周波数 f_{sw} は最大負荷時の1/2である200kHzに等しい。また、負荷14(Pout)の重さが25%のとき、各相のスイッチング周波数 f_{sw} は最大負荷時の1/4である100kHzに等しい。

【0087】

一方、図18に示されるように、マルチフェーズDC/DCコンバータ10Aの第2の動作モードにおいては、負荷14の軽重とは無関係に、常に全てのスイッチを動作させている。図18において、横軸は負荷14(Pout)の重さ(%)を示し、縦軸は動作させるスイッチの相数 n を示す。図18から明らかのように、負荷14の軽重とは無関係に、動作させるスイッチの相数 n は常に4である。

【0088】

従って、マルチフェーズDC/DCコンバータ10Aにおける見かけのスイッチング周波数(実効スイッチング周波数)は、常に、各相のスイッチング周波数 f_{sw} の4倍となる。

【0089】

図19に、マルチフェーズDC/DCコンバータ10Aの第2の動作モードにおける、負荷14(Pout)の重さ(%)と見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ との関係を示す。図19において、横軸は負荷14(Pout)の重さ(%)を示し、縦軸に見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ を示す。

【0090】

図19と図7とを比較して明らかのように、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ は、本発明によるマルチフェーズDC/DCコンバータ10Aの第2の動作モードでは負荷14の軽重に応じて連続的にリニアに変化しているのに対して、従来のマルチフェーズDC/DCコンバータ10では負荷14の軽重に応じて段階的に変化していることが分かる。

【0091】

先ず、負荷14(Pout)の重さが最大値である100%であるとする。この場合、制御回路30Aは、負荷14(Pout)が最大負荷であると判定して、各相のスイッチング周波数 f_{sw} を400kHzに設定する。また、制御回路30Aは、第1乃至第4相回路20-1~20-4の全てを駆動(動作)するので、見かけのスイッチング周波数(

10

20

30

40

50

実効スイッチング周波数) $n * f_{sw}$ は、各相のスイッチング周波数 f_{sw} の 4 倍に等しい ($n * f_{sw} = 4 f_{sw}$)。

【0092】

次に、負荷 14 (Pout) の重さが最大値の半分の 50% になったとする。この場合、制御回路 30 は、負荷 14 (Pout) が中負荷であると判定して、各相のスイッチング周波数 f_{sw} を最大負荷時の 1/2 である 200 kHz に設定する。制御回路 30 A は、第 1 乃至第 4 相回路 20-1 ~ 20-4 の全てを駆動 (動作) する。したがって、見かけのスイッチング周波数 (実効スイッチング周波数) $n * f_{sw}$ も、最大負荷時の 1/2 になる。

【0093】

最後に、負荷 14 (Pout) の重さが最大値の 1/2 の 25% になったとする。この場合、制御回路 30 A は、負荷 14 (Pout) が軽負荷であると判定して、各相のスイッチング周波数 f_{sw} を最大負荷時の 1/4 である 100 kHz に設定する。制御回路 30 A は、第 1 乃至第 4 相回路 20-1 ~ 20-4 の全てを駆動 (動作) する。したがって、見かけのスイッチング周波数 (実効スイッチング周波数) $n * f_{sw}$ も、最大負荷時の 1/4 になる。

【0094】

従って、本発明に係るマルチフェーズ DC/DC コンバータ 10 A の第 2 の動作モードにおいては、図 18 に示されるように、常に全てのスイッチを動作させつつ、図 17 に示されるように、負荷 14 (Pout) の重さが軽くなるに従って、各相のスイッチング周波数 f_{sw} を連続的にリニアに低くすることにより、図 19 に示されるように、見かけのスイッチング周波数 (実効スイッチング周波数) $n * f_{sw}$ も連続的にリニアに低下させている。

【0095】

このように、本発明に係るマルチフェーズ DC/DC コンバータ 10 A の第 2 の動作モードでは、負荷 14 (Pout) の重さに応じて、各相のスイッチング周波数 f_{sw} を連続的にリニアに変動させている。

【0096】

図 20 に、本発明に係るマルチフェーズ DC/DC コンバータ 10 A の第 2 の動作モードにおける、負荷 14 (Pout) の重さ (大きさ) (%) と損失 (W) との関係を示す。図 20 において、横軸は負荷 14 (Pout) の重さ (%) を示し、縦軸は損失 (W) を示す。図 20 において、 P_{on} (High-side) はハイサイドのスイッチ (MOS) のオン抵抗ロスを示し、 P_{sw} (High-side) はハイサイドのスイッチ (MOS) のスイッチングロスを示し、 P_{dr} (High-side) はハイサイドのスイッチ (MOS) のドライブ損失を示し、 P_{on} (Low-side) はローサイドのスイッチ (MOS) のオン抵抗ロスを示し、 P_{sw} (Low-side) はローサイドのスイッチ (MOS) のスイッチングロスを示し、 P_{dr} (Low-side) はローサイドのスイッチ (MOS) のドライブ損失を示し、 P_{cu} はインダクタンス素子 (コイル) の銅損を示し、 P_{fe} はインダクタンス素子 (コイル) の鉄損を示す。

【0097】

尚、各損失 (P_{on} 、 P_{sw} 、 P_{dr} 、 P_{cu} 、 P_{fe}) の計算式としては、上記数 1 ~ 数 5 に示したものを使用し、計算条件も上記数 6 ~ 数 9 に示したものを使用した。

【0098】

図 20 と図 8 とを比較すると、次のことが分かる。すなわち、負荷 14 が最大負荷 (100%) のときには、従来のマルチフェーズ DC/DC コンバータ 10 及び本発明に係るマルチフェーズ DC/DC コンバータ 10 A とともに損失は等しいことが分かる。しかしながら、負荷 14 が軽くなるにつれて、本発明に係るマルチフェーズ DC/DC コンバータ 10 A の方が従来のマルチフェーズ DC/DC コンバータ 10 に比較して損失が低くなっていることが分かる。

【0099】

10

20

30

40

50

その理由は次の通りである。上記数 1 ~ 数 5 に示した各損失の計算式より、負荷 1 4 の軽重とは無関係に、従来のマルチフェーズ DC / DC コンバータ 1 0 及び本発明に係るマルチフェーズ DC / DC コンバータ 1 0 A とともに、実効スイッチング周波数 ($n * f_{sw}$) は変わらないため、ドライブ損失は変わらない。しかしながら、上記数 1 ~ 数 5 に示した各損失の計算式より、オン抵抗ロス、スイッチングロス、コイルの銅損は、相数 n が多いほうが損失が少なく、コイルの鉄損はスイッチング周波数 f_{sw} が低いほうが損失が少なくなるからである。

【 0 1 0 0 】

とにかく、本発明の第 2 の動作モードによる駆動方法を採用することにより、軽負荷時における損失を従来よりも減少させることができ、マルチフェーズ DC / DC コンバータ 1 0 A の効率を向上させることができる。また、常に全てのスイッチを駆動するので、電流が分散され、発熱を抑えることができる。更に、温度分布が均一化されるため、相間の電流バランスをとることができる。

10

【 0 1 0 1 】

尚、本発明に係るマルチフェーズ DC / DC コンバータ 1 0 A の第 2 の動作モードには、次に述べるような変形例がある。

【 0 1 0 2 】

図 2 1 に、本発明に係るマルチフェーズ DC / DC コンバータ 1 0 A の第 2 の動作モードにおける、負荷 1 4 の重さ (%) とスイッチング周波数 f_{sw} との関係の第 1 の変形例を示す。図 2 1 において、横軸は負荷 1 4 の重さ (%) を示し、縦軸にスイッチング周波数 f_{sw} を示す。尚、負荷 1 4 は、その最大値に相当する 1 0 0 % から最小値である 0 % までの間で変動する。

20

【 0 1 0 3 】

負荷 1 4 が 1 0 0 % のとき、制御回路 3 0 A は、スイッチング周波数 f_{sw} を最大のスイッチング周波数 f_{swmax} に設定する。負荷 1 4 が軽くなるに従って、制御回路 3 0 A は、スイッチング周波数 f_{sw} を徐々に低下させていく。スイッチング周波数 f_{sw} が最小のスイッチング周波数 f_{swmin} に等しくなったとき、制御回路 3 0 A は、負荷 1 4 が更に軽くなっても、スイッチング周波数 f_{sw} を最小のスイッチング周波数 f_{swmin} に維持する。尚、この最小のスイッチング周波数 f_{swmin} は、図 2 1 に示されるように、可聴周波数領域より高い。

30

【 0 1 0 4 】

換言すれば、図 2 1 の例では、0 % 近傍の軽負荷時を除いて、負荷 1 4 の重さとスイッチング周波数 f_{sw} とは比例している。

【 0 1 0 5 】

とにかく、図 2 1 に示されるように、マルチフェーズ DC / DC コンバータ 1 0 A においては、常に全相のスイッチを動作させつつ、負荷 1 4 が軽くなるに従って、見かけのスイッチング周波数 (実効スイッチング周波数) $n * f_{sw}$ 及び各相のスイッチング周波数 f_{sw} を連続的に低下させている。

【 0 1 0 6 】

図 2 2 に、本発明に係るマルチフェーズ DC / DC コンバータ 1 0 の第 2 の動作モードにおける、負荷 1 4 の重さ (%) とスイッチング周波数 f_{sw} との関係の第 2 の変形例を示す。図 2 2 において、横軸は負荷 1 4 の重さ (%) を示し、縦軸にスイッチング周波数 f_{sw} を示す。負荷 1 4 は、その最大値に相当する 1 0 0 % から最小値である 0 % までの間で変動する。

40

【 0 1 0 7 】

図 2 1 の例では、0 % 近傍の軽負荷時において、スイッチング周波数 f_{sw} を最小のスイッチング周波数 f_{swmin} に維持しているが、図 2 2 の例では、スイッチング周波数 f_{sw} が可聴周波数領域に入らないように、負荷 1 4 が 1 0 0 % から 0 % へ低下するにつれて、スイッチング周波数 f_{sw} を最大のスイッチング周波数 f_{swmax} から最小のスイッチング周波数 f_{swmin} まで徐々に連続的に低下させている。

50

【0108】

図23に、図7に示した特性と図21に示した特性とを纏めて示す。図23において、実線は図9に示した本発明に係るマルチフェーズDC/DCコンバータ10Aの特性を示し、一点鎖線は図1に示した従来のマルチフェーズDC/DCコンバータ10の特性を示す。

【0109】

従来のマルチフェーズDC/DCコンバータ10では、常に各相のスイッチング周波数 f_{sw} を一定に維持して、負荷14が軽くなるに従って、動作させるスイッチの相数 n を減数させることにより、結果として、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ を段階的に低下させている。

10

【0110】

これに対して、本発明に係るマルチフェーズDC/DCコンバータ10Aでは、常に全相のスイッチを動作させ、負荷14が軽くなるに従って、各相のスイッチング周波数 f_{sw} を低下させることにより、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ を連続的にリニアに低下させている。

【0111】

尚、図23の例では、負荷14が軽くなるに従って、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ を連続的に低下させているが、図15に示したように、従来と同様に、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ を段階的に低下させても良いのは勿論である。すなわち、従来のマルチフェーズDC/DCコンバータ10と本発明に係るマルチフェーズDC/DCコンバータ10Aとの間の本質的な相違点は、従来のマルチフェーズDC/DCコンバータ10では、動作させるスイッチの相数 n を減数させることによって、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ を低下させているのに対して、本発明に係るマルチフェーズDC/DCコンバータ10Aでは、各相のスイッチング周波数 f_{sw} を低下させることによって、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ を低下させていることにある。

20

【0112】

図24を参照して、本発明の第1の実施の形態に係るマルチフェーズDC/DCコンバータ10Bについて説明する。図示のマルチフェーズDC/DCコンバータ10Bは、入力コンデンサ C_i と、第1相回路20-1、第2相回路20-2、...、及び第N相回路20-Nと、電流検出器40と、出力コンデンサ C_o と、制御回路30Bとを有する。

30

【0113】

入力コンデンサ C_i は、共通入力電源11に並列に接続されている。

【0114】

第1相回路20-1は、第1の通電スイッチ SW_{11} と、第1の短絡スイッチ SW_{12} と、第1のインダクタンス素子 L_{o1} とから構成されている。同様に、第2相回路20-2は、第2の通電スイッチ SW_{21} と、第2の短絡スイッチ SW_{22} と、第2のインダクタンス素子 L_{o2} とから構成されている。第N相回路20-Nは、第Nの通電スイッチ SW_{N1} と、第Nの短絡スイッチ SW_{N2} と、第Nのインダクタンス素子 L_{oN} とから構成されている。従って、一般的に、第 n ($1 \leq n \leq N$)相回路20-nは、第 n の通電スイッチ SW_{n1} と、第 n の短絡スイッチ SW_{n2} と、第 n のインダクタンス素子 L_{on} とから構成されている。

40

【0115】

第1乃至第Nの通電スイッチ $SW_{11} \sim SW_{N1}$ および第1乃至第Nの短絡スイッチ $SW_{12} \sim SW_{N2}$ の各々は、NチャンネルMOSFETで構成されている。

【0116】

第 n 相回路20-nにおいて、第 n の通電スイッチ SW_{n1} のドレインは共通入力電源11の陽極に接続されている。第 n の通電スイッチ SW_{n1} のソースは、第 n の短絡スイッチ SW_{n2} のドレインと第 n のインダクタンス素子 L_{on} の一端とに接続されている。

50

第 n の短絡スイッチ SW_{n2} のソースは接地されている。第 n のインダクタンス素子 L_{on} の他端は、出力コンデンサ C_o の一端に接続されている。第 n の通電スイッチ SW_{n1} のゲートには、後述する制御回路 30B から第 n の正相 PWM 信号 na が供給される。第 n の短絡スイッチ SW_{n2} のゲートには、制御回路 30B から第 n の逆相 PWM 信号 nb が供給される。

【0117】

出力コンデンサ C_o の一端は、電流検出器 40 を介して負荷 14 に接続されている。出力コンデンサ C_o の他端は接地されている。

【0118】

電流検出器 40 は、負荷 14 へ流れる負荷電流 I_o を検出して、電流検出信号を制御回路 30B へ送出する。負荷電流 I_o が大きければ大きい程、負荷 14 が重くなる。図示の電流検出器 40 は抵抗器で構成されている。但し、電流検出器 40 は抵抗器に限定されないのは勿論である。

10

【0119】

制御回路 30B は、負荷 14 と並列に接続された、第 1 及び第 2 の抵抗器 R_1 、 R_2 から成る直列回路（分圧器）と、電流検出器 40 に接続された三角波発生器 31 と、上記分圧器に接続された誤差増幅器 32 と、この誤差増幅器 32 と三角波発生器 31 とに接続された第 1 乃至第 N の比較器 33-1、33-2、...、33- N と、第 1 乃至第 N の比較器 33-1 ~ 33- N の出力端子にそれぞれ接続された第 1 乃至第 N のインバータ 34-1、34-2、...、34- N とから構成されている。

20

【0120】

三角波発生器 31 は、電流検出器 40 からの電流検出信号に基いて、互いに ($360/N$) 度の位相差を持つ第 1 乃至第 N の三角波信号を出力する。負荷電流 I_o の大小に応じて、三角波発生器 31 は、第 1 乃至第 N の三角波信号の発振周波数を増減する。詳述すると、負荷電流 I_o が最大の電流のとき、三角波発生器 31 は、第 1 乃至第 N の三角波信号の発振周波数を、最大のスイッチング周波数 f_{swmax} に設定する。負荷電流 I_o が小さくなるに従って、三角波発生器 31 は、第 1 乃至第 N の三角波信号の発振周波数を、図 21 に示されるように、徐々に低下させる。

【0121】

従って、電流検出器 40 と三角波発生器 31 との組み合わせは、負荷 14 に流れる負荷電流 I_o に基づいて、負荷 14 の重さを判断する判断手段として働く。

30

【0122】

誤差増幅器 32 は、分圧器 (R_1 、 R_2) から出力する分圧電圧と、基準電圧 V_{ref} とを受けて、それらの間の差に対応した誤差電圧を出力する。第 1 乃至第 N の比較器 33-1 ~ 33- N は、この誤差電圧と第 1 乃至第 N の三角波信号とをそれぞれ比較して、第 1 乃至第 N の比較結果信号を出力する。第 1 乃至第 N の比較結果信号の各々は論理ハイレベルか論理ローレベルのいずれか一方を示す。

【0123】

第 1 乃至第 N の比較結果信号は、それぞれ、第 1 乃至第 N の正相 PWM 信号 $1a \sim Na$ として、第 1 乃至第 N の通電スイッチ $SW_{11} \sim SW_{N1}$ のゲートへ供給される。また、第 1 乃至第 N の比較結果信号は、それぞれ、第 1 乃至第 N のインバータ 34-1 ~ 34- N の入力端子に供給される。第 1 乃至第 N のインバータ 34-1 ~ 34- N は、それぞれ、第 1 乃至第 N の比較結果信号を反転して、第 1 乃至第 N の反転した信号を出力する。この第 1 乃至第 N の反転した信号は、それぞれ、第 1 乃至第 N の逆相 PWM 信号 $1b \sim Nb$ として、第 1 乃至第 N の短絡スイッチ $SW_{12} \sim SW_{N2}$ のゲートへ供給される。

40

【0124】

このような構成のマルチフェーズ DC/DC コンバータ 10B によれば、負荷電流 I_o が大きいときに、三角波発生器 31 は第 1 乃至第 N の三角波信号の発振周波数を高くし、負荷電流 I_o が小さいときに、三角波発生器 31 は第 1 乃至第 N の三角波信号の発振周波

50

数を低くする。その結果、第1乃至第Nの比較器33-1~33-Nから出力される第1乃至第Nの正相PWM信号1a~Na及び第1乃至第Nのインバータ34-1~34-Nから出力される第1乃至第Nの逆相PWM信号1b~Nbのスイッチング周波数 f_{sw} も、上記発振周波数に応じて変動する。

【0125】

従って、三角波発生器31と第1乃至第Nの比較器33-1~33-Nとの組み合わせは、上記判断手段の判断結果に基づいて、負荷14が軽くなるにつれて制御信号(第1乃至第Nの正相PWM信号)1a~Naのスイッチング周波数 f_{sw} を下げるようにスイッチング周波数 f_{sw} を可変する周波数可変手段として働く。

【0126】

図示のマルチフェーズDC/DCコンバータ10Bは、前述した第2の動作モードで動作する。したがって、マルチフェーズDC/DCコンバータ10Bにおいては、常に全相のスイッチを動作させつつ、負荷14が軽くなるに従って、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ 及び各相のスイッチング周波数 f_{sw} を連続的に低下させている。これにより、軽負荷時における損失を従来のマルチフェーズDC/DCコンバータ10よりも減少させることができ、マルチフェーズDC/DCコンバータ10Bの効率を向上させることができる。また、常に全てのスイッチを駆動するので、電流が分散され、発熱を抑えることができる。更に、温度分布が均一化されるため、相間の電流バランスをとることができる。

【0127】

図25を参照して、本発明の第2の実施の形態に係るマルチフェーズDC/DCコンバータ10Cについて説明する。図示のマルチフェーズDC/DCコンバータ10Cは、電流検出器40が無く、制御回路が後述するように変更されている点を除いて、図24に図示したマルチフェーズDC/DCコンバータ10Bと同様の構成を有し動作をする。従って、制御回路に30Cの参照符号を付してある。図24に示されたものと同様の機能を有するものには同一の参照符号を付して、説明の簡略化のためにそれらの説明については省略する。

【0128】

制御回路30Cは、三角波発生器の動作が図24に図示したものと相違する点を除いて、図24に図示した制御回路30Bと同様の動作をする。従って、三角波発生器に31A

【0129】

三角波発生器31Aは、誤差増幅器32から出力される誤差電圧に基づいて、出力する第1乃至第Nの三角波信号の発振周波数を増減する。

【0130】

ここで、この技術分野において周知のように、基準電圧 V_{ref} が分圧器の分圧電圧より高ければ、誤差増幅器32は高い誤差電圧を出力する。一方、基準電圧 V_{ref} が分圧器の分圧電圧より低ければ、誤差増幅器32は低い誤差電圧を出力する。従って、出力電圧 V_o が所望の電圧より高ければ、誤差増幅器32から出力される誤差電圧は低くなり、出力電圧 V_o が所望の電圧より低ければ、誤差増幅器32から出力される誤差電圧は高くなる。

【0131】

一方、例えば前述した特許文献4に記載されているように、負荷14が重くなると、出力電圧 V_o が下がり、負荷14が軽くなると出力電圧 V_o が上がる。このような現象は、この技術分野において「ロードレギュレーション」と呼ばれている。

【0132】

図26にそのロードレギュレーションの特性の一例を示す。図26において、横軸は負荷14の重さ(%)を表し、縦軸は出力電圧 V_o (V)を表す。図26から、負荷14が重くなれば出力電圧 V_o が下がるのが分かる。逆に言えば、負荷14が軽くなれば出力電圧 V_o が上がるのが分かる。

10

20

30

40

50

【0133】

前述したように、出力電圧 V_o が高ければ誤差電圧は低くなり、出力電圧 V_o が低ければ誤差電圧は高くなる。従って、誤差増幅器32から出力される誤差電圧から、三角波発生器31Aは負荷14の重さを判断することができる。すなわち、誤差電圧が高ければ、三角波発生器31Aは負荷14が重いと判断し、誤差電圧が低ければ、電圧制御発振器31Aは負荷14が軽いと判断する。

【0134】

とにかく、抵抗器 R_1 、 R_2 と誤差増幅器32と三角波発生器31Aとの組み合わせは、出力電圧 V_o に基づいて、負荷14の重さを判断する判断手段として働く。

【0135】

負荷14が重い場合、三角波発生器31Aは第1乃至第Nの三角波信号の発振周波数を高くし、負荷14が軽い場合、三角波発生器31Aは第1乃至第Nの三角波信号の発振周波数を低くする。

【0136】

従って、三角波発生器31Aと第1乃至第Nの比較器33-1~33-Nとの組み合わせは、上記判断手段の判断結果に基づいて、負荷14が軽くなるにつれて制御信号(第1乃至第Nの正相PWM信号) $1a \sim Na$ のスイッチング周波数 f_{sw} を下げるようにスイッチング周波数 f_{sw} を可変する周波数可変手段として働く。

【0137】

このような構成のマルチフェーズDC/DCコンバータ10Cも、前述した第2の動作モードで動作する。したがって、マルチフェーズDC/DCコンバータ10Cにおいては、常に全相のスイッチを動作させつつ、負荷14が軽くなるに従って、見かけのスイッチング周波数(実効スイッチング周波数) $n * f_{sw}$ 及び各相のスイッチング周波数 f_{sw} を連続的に低下させている。これにより、軽負荷時における損失を従来のマルチフェーズDC/DCコンバータ10よりも減少させることができ、マルチフェーズDC/DCコンバータ10Cの効率を向上させることができる。また、常に全てのスイッチを駆動するので、電流が分散され、発熱を抑えることができる。更に、温度分布が均一化されるため、相間の電流バランスをとることができる。

【0138】

以上、本発明について好ましい実施の形態によって説明してきたが、本発明は上述した実施の形態に限定しないのは勿論である。例えば、上記実施の形態においては、同期整流型マルチフェーズDC/DCコンバータに適用した例についてのみ説明したが、他のマルチフェーズDC/DCコンバータにも適用可能であるのは勿論である。例えば、短絡スイッチ $M1b \sim M4b$ 、 $SW_{12} \sim SW_{N2}$ の代わりにダイオードを使用しても良い。また、上記実施の形態では、スイッチング周波数 f_{sw} を変える手段として、負荷14の軽重に応じて段階的或いは連続的にスイッチング周波数 f_{sw} を変えているが、バースト駆動して見かけ上のスイッチング周波数を変えるようにしても良い。

【図面の簡単な説明】

【0139】

【図1】従来のマルチフェーズDC/DCコンバータの構成を示す回路図である。

【図2】図1に示した従来のマルチフェーズDC/DCコンバータの重負荷時での動作を説明するためのタイムチャートである。

【図3】図1に示した従来のマルチフェーズDC/DCコンバータの中負荷時での動作を説明するためのタイムチャートである。

【図4】図1に示した従来のマルチフェーズDC/DCコンバータの軽負荷時での動作を説明するためのタイムチャートである。

【図5】図1に示した従来のマルチフェーズDC/DCコンバータにおける、負荷の重さと各相のスイッチング周波数との間の関係を示す図である。

【図6】図1に示した従来のマルチフェーズDC/DCコンバータにおける、負荷の重さと動作させるスイッチング回路の相数との関係を示す図である。

10

20

30

40

50

【図 7】図 1 に示した従来のマルチフェーズ DC / DC コンバータにおける、負荷の重さ
と見かけのスイッチング周波数（実効スイッチング周波数）との間の関係を示す図である。

【図 8】図 1 に示した従来のマルチフェーズ DC / DC コンバータにおける、負荷の重さ
と損失との間の関係を示す図である。

【図 9】本発明のマルチフェーズ DC / DC コンバータの原理を説明するための回路図で
ある。

【図 10】図 9 に示したマルチフェーズ DC / DC コンバータの重負荷時での動作を説明
するためのタイムチャートである。

【図 11】図 9 に示したマルチフェーズ DC / DC コンバータの中負荷時での動作を説明
するためのタイムチャートである。 10

【図 12】図 9 に示したマルチフェーズ DC / DC コンバータの軽負荷時での動作を説明
するためのタイムチャートである。

【図 13】図 9 に示したマルチフェーズ DC / DC コンバータの第 1 の動作モードにおけ
る、負荷の重さと各相のスイッチング周波数との間の関係を示す図である。

【図 14】図 9 に示したマルチフェーズ DC / DC コンバータの第 1 の動作モードにおけ
る、負荷の重さと動作させるスイッチング回路の相数との間の関係を示す図である。

【図 15】図 9 に示したマルチフェーズ DC / DC コンバータの第 1 の動作モードにおけ
る、負荷の重さと見かけのスイッチング周波数（実効スイッチング周波数）との間の関係
を示す図である。 20

【図 16】図 9 に示したマルチフェーズ DC / DC コンバータの第 1 の動作モードにおけ
る、負荷の重さと損失との間の関係を示す図である。

【図 17】図 9 に示したマルチフェーズ DC / DC コンバータの第 2 の動作モードにおけ
る、負荷の重さと各相のスイッチング周波数との間の関係を示す図である。

【図 18】図 9 に示したマルチフェーズ DC / DC コンバータの第 2 の動作モードにおけ
る、負荷の重さと動作させるスイッチング回路の相数との間の関係を示す図である。

【図 19】図 9 に示したマルチフェーズ DC / DC コンバータの第 2 の動作モードにおけ
る、負荷の重さと見かけのスイッチング周波数（実効スイッチング周波数）との間の関係
を示す図である。

【図 20】図 9 に示したマルチフェーズ DC / DC コンバータの第 2 の動作モードにおけ
る、負荷の重さと損失との間の関係を示す図である。 30

【図 21】図 9 に示したマルチフェーズ DC / DC コンバータの第 2 の動作モードにおけ
る、負荷の重さと見かけのスイッチング周波数（実効スイッチング周波数）との間の関係
の第 1 の変形例を示す図である。

【図 22】図 9 に示したマルチフェーズ DC / DC コンバータの第 2 の動作モードにおけ
る、負荷の重さと見かけのスイッチング周波数（実効スイッチング周波数）との間の関係
の第 2 の変形例を示す図である。

【図 23】図 7 に示した特性と図 21 に示した特性とを纏めて示す図である。

【図 24】本発明の第 1 の実施の形態に係るマルチフェーズ DC / DC コンバータの構成
を示すブロック図である。 40

【図 25】本発明の第 2 の実施の形態に係るマルチフェーズ DC / DC コンバータの構成
を示すブロック図である。

【図 26】ロードレギュレーションの特性の一例を示す図である。

【符号の説明】

【0140】

10A、10B、10C マルチフェーズ DC / DC コンバータ

11 入力電源

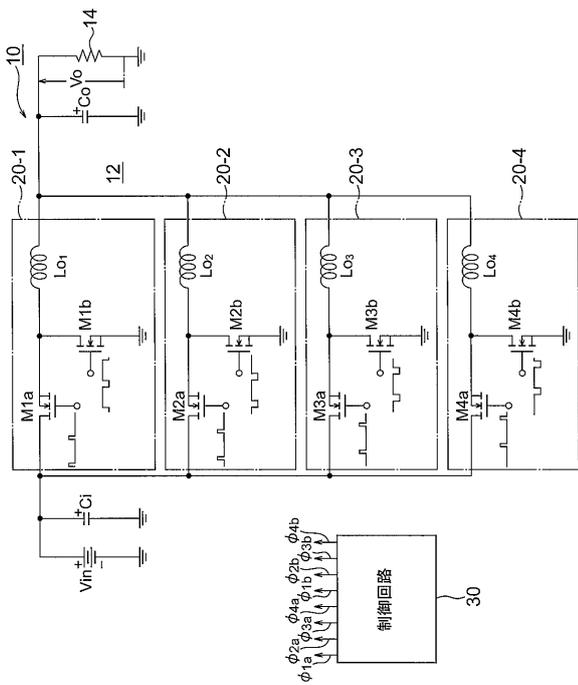
12 平滑回路

14 負荷

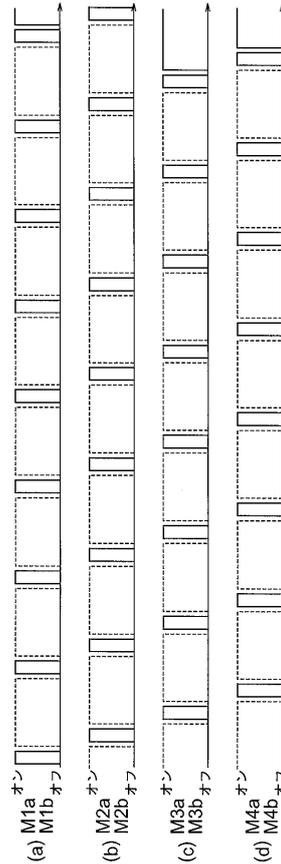
20-1 ~ 20-N 相回路 50

- 30 A、30 B、30 C 制御回路
- 31、31 A 三角波発生器
- 32 誤差増幅器
- 33-1 ~ 33-N 比較器
- 34-1 ~ 34-N インバータ
- 40 電流検出器
- C_i 入力コンデンサ
- M1a ~ M4a 通電スイッチ
- M1b ~ M4b 短絡スイッチ
- L_{o1} ~ L_{oN} インダクタンス素子
- S_{W11} ~ S_{WN1} 通電スイッチ (MOSFET)
- S_{W12} ~ S_{WN2} 短絡スイッチ (MOSFET)
- f_{sw} 各相のスイッチング周波数
- n * f_{sw} 実効スイッチング周波数

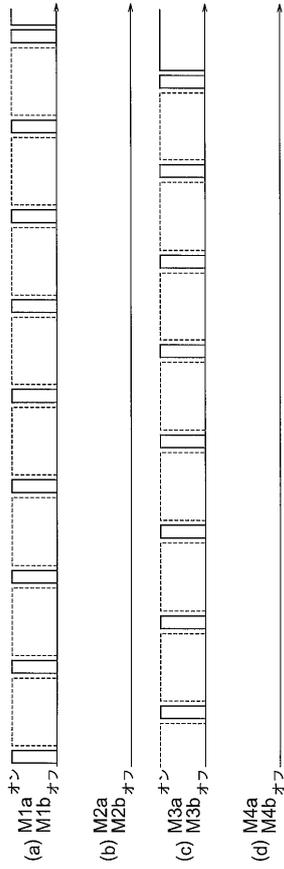
【図1】



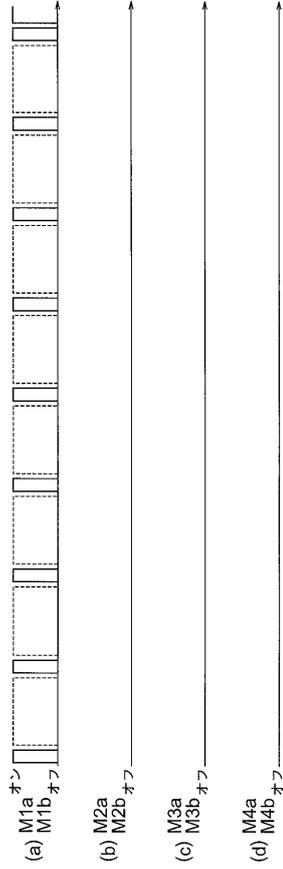
【図2】



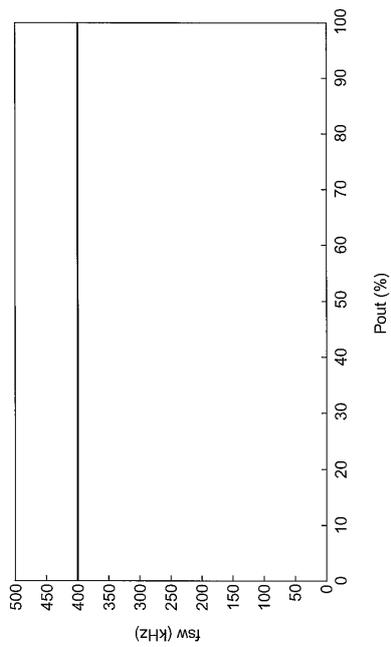
【 図 3 】



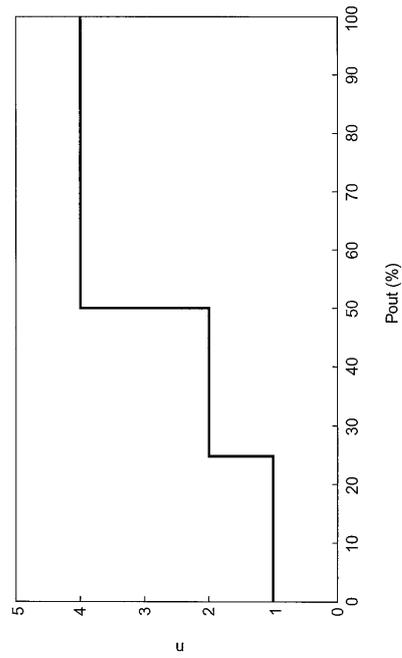
【 図 4 】



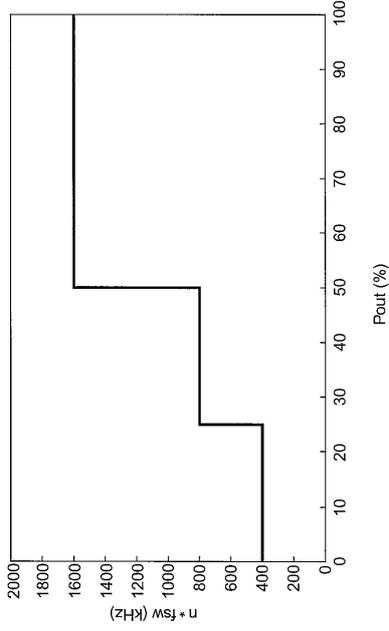
【 図 5 】



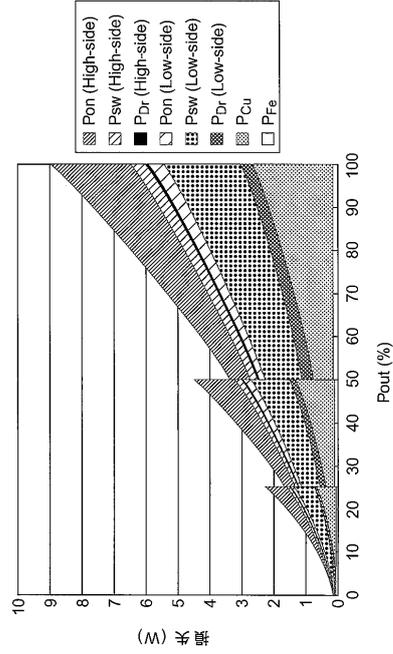
【 図 6 】



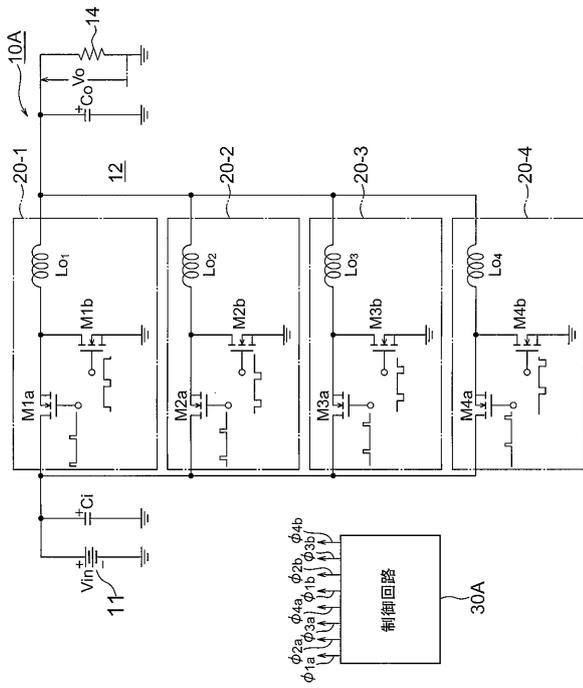
【 図 7 】



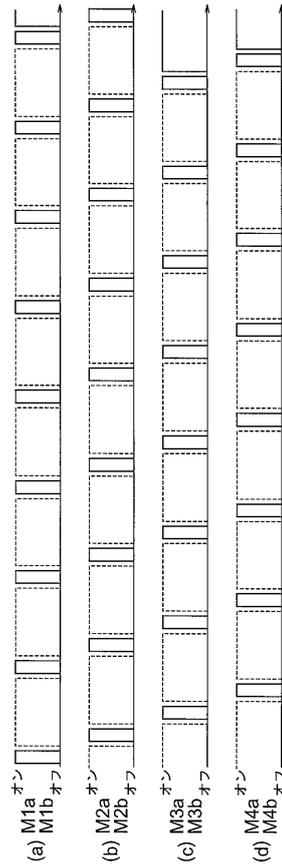
【 図 8 】



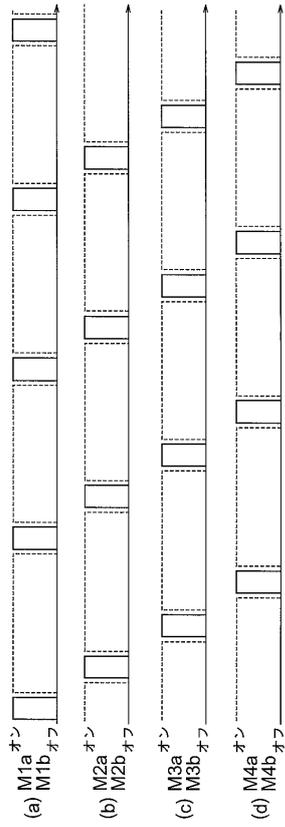
【 図 9 】



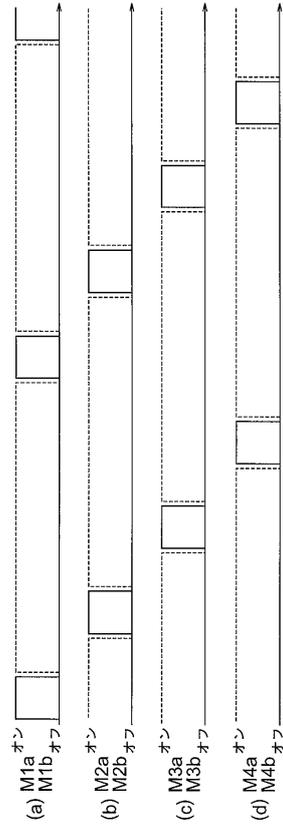
【 図 10 】



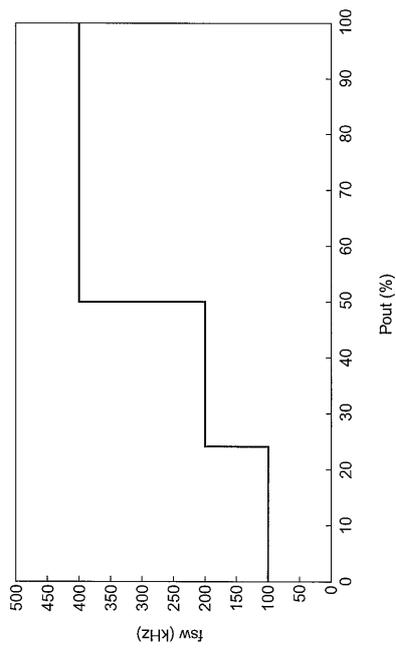
【図 1 1】



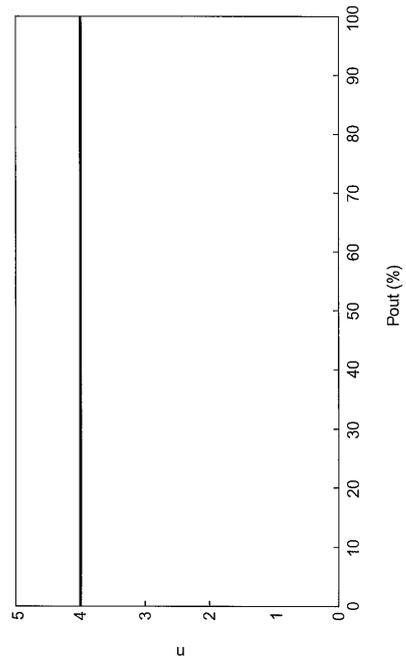
【図 1 2】



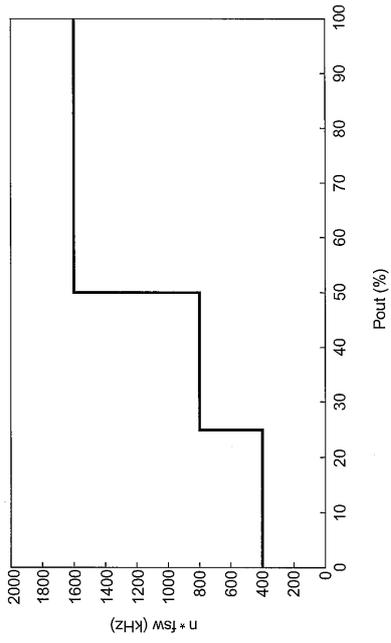
【図 1 3】



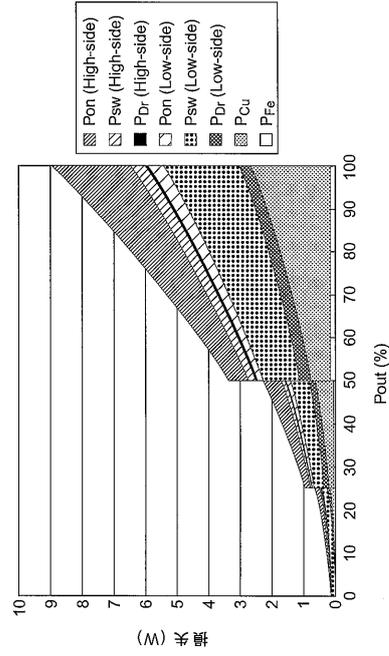
【図 1 4】



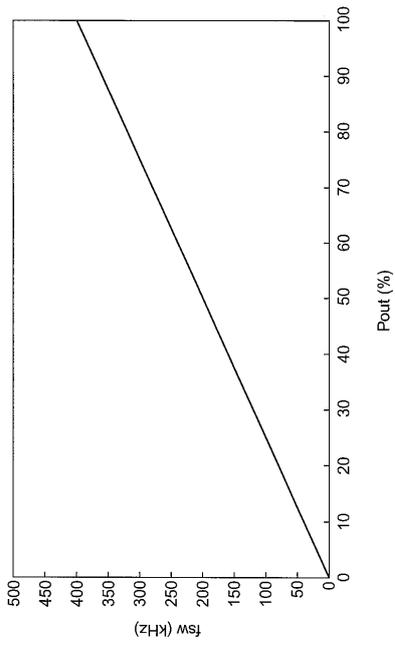
【 図 1 5 】



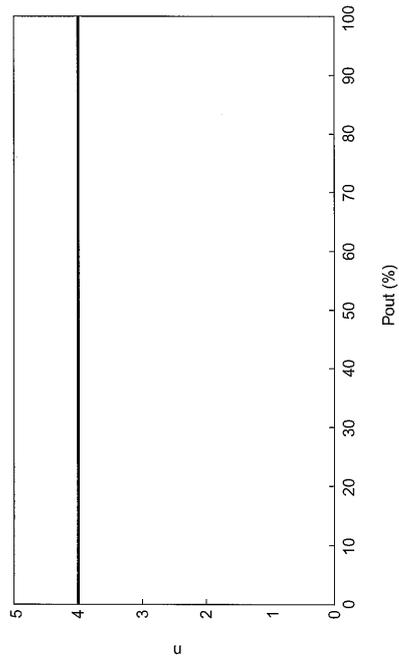
【 図 1 6 】



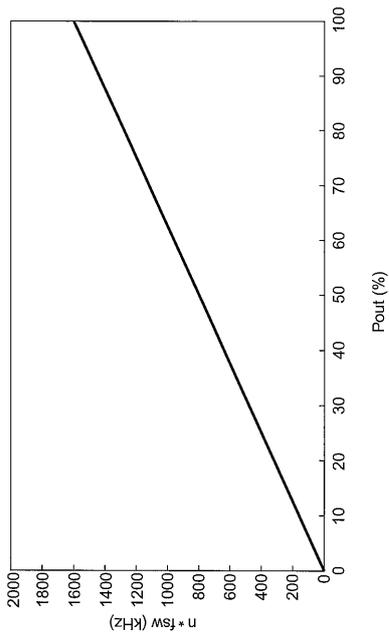
【 図 1 7 】



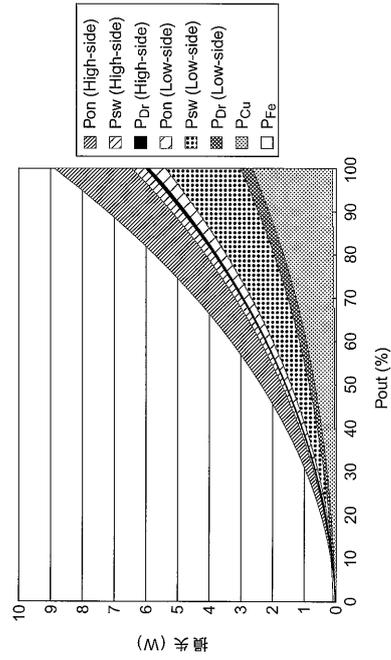
【 図 1 8 】



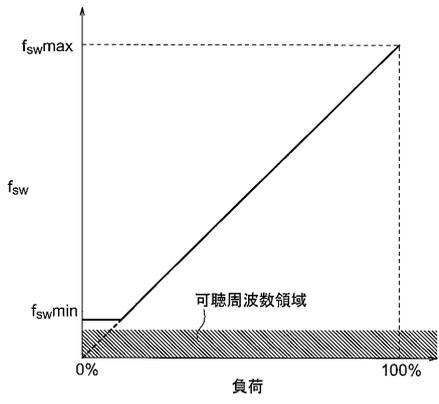
【 図 1 9 】



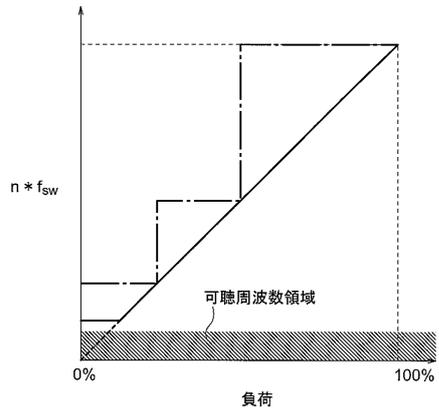
【 図 2 0 】



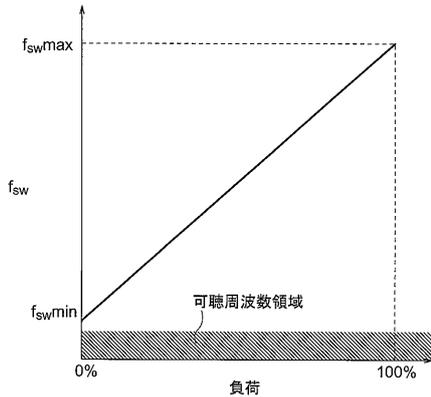
【 図 2 1 】



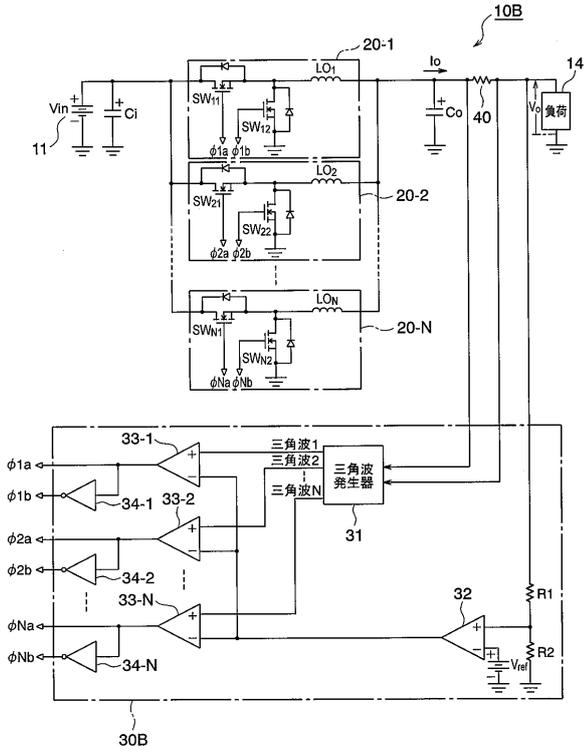
【 図 2 3 】



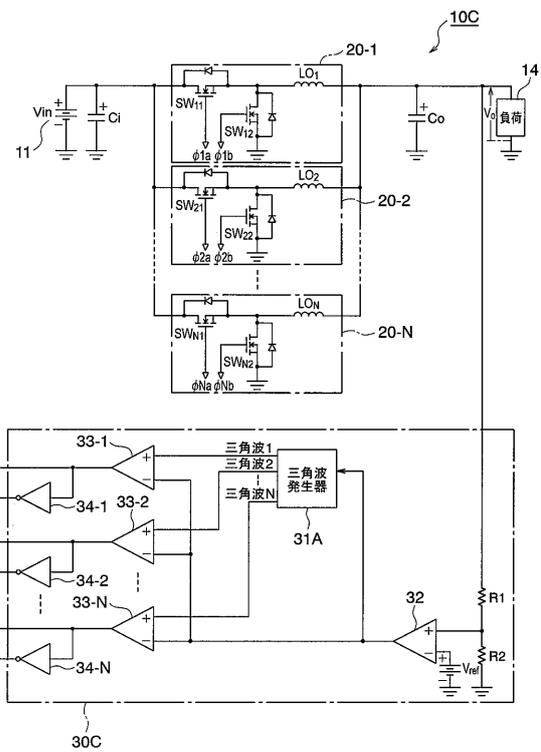
【 図 2 2 】



【 図 2 4 】



【 図 2 5 】



【 図 2 6 】

