

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第4927216号
(P4927216)

(45) 発行日 平成24年5月9日(2012.5.9)

(24) 登録日 平成24年2月17日(2012.2.17)

(51) Int.Cl. F I
G 0 6 F 3/044 (2006.01) G O 6 F 3/044 E
G 0 6 F 3/041 (2006.01) G O 6 F 3/041 3 8 O F
 G O 6 F 3/041 3 3 O D

請求項の数 28 (全 40 頁)

<p>(21) 出願番号 特願2011-22022 (P2011-22022) (22) 出願日 平成23年2月3日(2011.2.3) 審査請求日 平成23年6月28日(2011.6.28) (31) 優先権主張番号 特願2010-253879 (P2010-253879) (32) 優先日 平成22年11月12日(2010.11.12) (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町2番2号 (74) 代理人 110000338 特許業務法人原謙三国際特許事務所 (72) 発明者 官本 雅之 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内 審査官 森田 充功</p>
--	---

最終頁に続く

(54) 【発明の名称】 線形素子列値推定方法、静電容量検出方法、集積回路、タッチセンサシステム、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

M本のドライラインと1本のセンスラインの間に形成される第1の線形素子列 C_{1i} ($i = 1, \dots, M$)、及び、上記M本のドライラインと他の1本のセンスラインの間に形成される第2の線形素子列 C_{2i} ($i = 1, \dots, M$) のそれぞれに対して、長さNの直交するM個の符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記M本のドライラインを並列に駆動して、前記第1の線形素子列からのN個の出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の線形素子列からのN個の出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ を出力する出力工程と、

10

前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライラインに対応する前記第1の線形素子列の線形素子の値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライラインに対応する前記第2の線形素子列の線形素子の値を推定する推定工程とを包含することを特徴とする線形素子列値推定方法。

【請求項2】

前記符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$) の各要素は、 $+V$ または $-V$ によって構成される請求項1記載の線形素子列値推定方法。

【請求項3】

M本のドライラインと1本のセンスラインの間に形成される第1の静電容量列 C_{1i}

20

($i = 1, \dots, M$)、及び、上記M本のドライラインと他の1本のセンスラインの間に形成される第2の静電容量列 C_{2i} ($i = 1, \dots, M$) のそれぞれに対して、各要素が +1 または -1 によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記符号系列が前記 +1 の場合は +V ボルト、前記 -1 の場合は -V ボルトを印加するように前記M本のドライラインを並列に駆動して、前記第1の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ を出力する出力工程と、

前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライラインに対応する前記第1の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライラインに対応する前記第2の静電容量列の容量値を推定する推定工程とを包含することを特徴とする静電容量検出方法。

10

【請求項4】

前記推定工程は、前記符号系列による1回の並列駆動ごとに、内積に必要な、符号に応じた加減算を実行する請求項3記載の静電容量検出方法。

【請求項5】

前記出力工程は、前記第1の静電容量列からの出力 s_{First} を第1アナログ積分器に出力し、前記第2の静電容量列からの出力 s_{Second} を第2アナログ積分器に出力し、

20

前記推定工程は、前記第1アナログ積分器に出力された出力 s_{First} をAD変換器によりAD変換して前記出力 s_{First} と前記符号系列 d_i との内積演算を実行し、前記第2アナログ積分器に出力された出力 s_{Second} を前記AD変換器によりAD変換して前記出力 s_{Second} と前記符号系列 d_i との内積演算を実行する請求項3記載の静電容量検出方法。

【請求項6】

前記出力工程は、前記第1の静電容量列からの出力 s_{First} をアナログ積分器に出力した後、前記第2の静電容量列からの出力 s_{Second} を前記アナログ積分器に出力し、

前記推定工程は、前記アナログ積分器に出力された出力 s_{First} をAD変換器によりAD変換して前記出力 s_{First} と前記符号系列 d_i との内積演算を実行し、前記アナログ積分器に出力された出力 s_{Second} を前記AD変換器によりAD変換して前記出力 s_{Second} と前記符号系列 d_i との内積演算を実行する請求項3記載の静電容量検出方法。

30

【請求項7】

前記出力工程は、前記第1の静電容量列からの出力 s_{First} を第1アナログ積分器に出力し、前記第2の静電容量列からの出力 s_{Second} を第2アナログ積分器に出力し、

前記推定工程は、前記第1アナログ積分器に出力された出力 s_{First} を第1AD変換器によりAD変換して前記出力 s_{First} と前記符号系列 d_i との内積演算を実行し、前記第2アナログ積分器に出力された出力 s_{Second} を第2AD変換器によりAD変換して前記出力 s_{Second} と前記符号系列 d_i との内積演算を実行する請求項3記載の静電容量検出方法。

40

【請求項8】

M本のドライラインと1本のセンスラインの間に形成される第1の静電容量列 C_{1i} ($i = 1, \dots, M$)、及び、上記M本のドライラインと他の1本のセンスラインの間に形成される第2の静電容量列 C_{2i} ($i = 1, \dots, M$) のそれぞれに対して、各要素が +1 または -1 によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記符号系列が前記 +1 の場合は +V ボルト、前記 -1 の場合は -V ボルトを印加するように前記M本のドライライン

50

を並列に駆動して、前記第1の静電容量列からの出力 $s F i r s t = (s 1 1, s 1 2, \dots, s 1 N)$ 、及び、前記第2の静電容量列からの出力 $s S e c o n d = (s 2 1, s 2 2, \dots, s 2 N)$ を出力させる駆動部と、

前記出力 $s F i r s t$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 1$ 番目のドライブラインに対応する前記第1の静電容量列の容量値を推定し、前記出力 $s S e c o n d$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 2$ 番目のドライブラインに対応する前記第2の静電容量列の容量値を推定する推定部とを備えたことを特徴とする集積回路。

【請求項9】

M 本のドライブラインと1本のセンスラインの間に形成される第1の静電容量列 $C 1 i$ ($i = 1, \dots, M$)、及び、上記 M 本のドライブラインと他の1本のセンスラインの間に形成される第2の静電容量列 $C 2 i$ ($i = 1, \dots, M$) とを備えるセンサパネルと、
上記センサパネルを制御する集積回路とを備えたタッチセンサシステムであって、

上記集積回路は、前記第1の静電容量列 $C 1 i$ ($i = 1, \dots, M$)、及び前記第2の静電容量列 $C 2 i$ ($i = 1, \dots, M$) のそれぞれに対して、各要素が $+ 1$ または $- 1$ によって構成される長さ N の直交する符号系列 $d i = (d i 1, d i 2, \dots, d i N)$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記符号系列が前記 $+ 1$ の場合は $+ V$ ボルト、前記 $- 1$ の場合は $- V$ ボルトを印加するように前記 M 本のドライブラインを並列に駆動して、前記第1の静電容量列からの出力 $s F i r s t = (s 1 1, s 1 2, \dots, s 1 N)$ 、及び、前記第2の静電容量列からの出力 $s S e c o n d = (s 2 1, s 2 2, \dots, s 2 N)$ を出力させる駆動部と、

前記出力 $s F i r s t$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 1$ 番目のドライブラインに対応する前記第1の静電容量列の容量値を推定し、前記出力 $s S e c o n d$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 2$ 番目のドライブラインに対応する前記第2の静電容量列の容量値を推定する推定部とを有することを特徴とするタッチセンサシステム。

【請求項10】

請求項9記載のタッチセンサシステムと、

前記タッチセンサシステムに設けられたセンサパネルに重ねて配置されているか、または、前記センサパネルを内蔵した表示パネルとを備えたことを特徴とする電子機器。

【請求項11】

M 本のドライブラインと1本のセンスラインの間に形成される第1の静電容量列 $C i 1$ ($i = 1, \dots, M$)、及び、上記 M 本のドライブラインと他の1本のセンスラインの間に形成される第2の静電容量列 $C i 2$ ($i = 1, \dots, M$) のそれぞれに対して、各要素が $+ 1$ または $- 1$ によって構成される長さ N の直交する符号系列 $d i = (d i 1, d i 2, \dots, d i N)$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記 M 本のドライブラインを並列に駆動して、前記第1の静電容量列からの出力 $s F i r s t = (s 1 1, s 1 2, \dots, s 1 N)$ 、及び、前記第2の静電容量列からの出力 $s S e c o n d = (s 2 1, s 2 2, \dots, s 2 N)$ をアナログ積分器に出力する出力工程と、

前記出力 $s F i r s t$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 1$ 番目のドライブラインに対応する前記第1の静電容量列の容量値を推定し、前記出力 $s S e c o n d$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 2$ 番目のドライブラインに対応する前記第2の静電容量列の容量値を推定する推定工程とを包含する静電容量検出方法であって、

前記出力工程は、前記アナログ積分器のリセット時には $V r e f$ ボルトで表される第1電圧により前記 M 本のドライブラインを駆動し、前記第1及び第2静電容量列からの出力のサンプリング時には、前記符号系列が前記 $+ 1$ の場合は $(V r e f + V)$ ボルトで表される第2電圧により、前記符号系列が前記 $- 1$ の場合は $(V r e f - V)$ ボルトで表される第3電圧により前記 M 本のドライブラインを駆動することを特徴とする静電容量検出方法。

【請求項12】

M 本のドライブラインと1本のセンスラインの間に形成される第1の静電容量列 $C i 1$

($i = 1, \dots, M$)、及び、上記M本のドライラインと他の1本のセンスラインの間に形成される第2の静電容量列 C_{i2} ($i = 1, \dots, M$) のそれぞれに対して、各要素が +1 または -1 によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記M本のドライラインを並列に駆動して、前記第1の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ をアナログ積分器に出力する出力工程と、

前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライラインに対応する前記第1の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライラインに対応する前記第2の静電容量列の容量値を推定する推定工程とを包含する静電容量検出方法であって、

前記出力工程は、前記符号系列が前記 +1 の場合は、前記アナログ積分器のリセット時に第1電圧により、前記第1及び第2静電容量列からの出力のサンプリング時に第2電圧により前記ドライラインを駆動し、前記符号系列が前記 -1 の場合は、前記アナログ積分器のリセット時に前記第2電圧により、前記第1及び第2静電容量列からの出力のサンプリング時に前記第1電圧により前記ドライラインを駆動することを特徴とする静電容量検出方法。

【請求項13】

M本のドライラインと1本のセンスラインの間に形成される第1の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び、上記M本のドライラインと他の1本のセンスラインの間に形成される第2の静電容量列 C_{i2} ($i = 1, \dots, M$) のそれぞれに対して、各要素が +1 または -1 によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記M本のドライラインを並列に駆動して、前記第1の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ をアナログ積分器に出力する出力工程と、

前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライラインに対応する前記第1の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライラインに対応する前記第2の静電容量列の容量値を推定する推定工程とを包含する静電容量検出方法であって、

前記出力工程の前において、前記アナログ積分器のリセット時、及び前記第1及び第2静電容量列からの出力のサンプリング時に第1電圧により前記ドライラインを駆動して、前記第1及び第2の静電容量列からの出力を前記アナログ積分器に出力し、前記第1及び第2の静電容量列からの出力をオフセット出力として前記アナログ積分器から読み出してメモリに格納することを特徴とする静電容量検出方法。

【請求項14】

前記推定工程は、前記メモリに格納された第1の静電容量列からのオフセット出力を前記出力 s_{First} から減算した結果と、前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライラインに対応する前記第1の静電容量列の容量値を推定し、前記メモリに格納された第2の静電容量列からのオフセット出力を前記出力 s_{Second} から減算した結果と、前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライラインに対応する前記第2の静電容量列の容量値を推定する請求項13記載の静電容量検出方法。

【請求項15】

前記出力工程の前において、前記アナログ積分器のリセット時、及び前記第1及び第2静電容量列からの出力のサンプリング時に第1電圧により前記ドライラインを駆動して、前記第1及び第2の静電容量列からの出力を前記アナログ積分器に出力し、前記第1及び第2の静電容量列からの出力をオフセット出力として前記アナログ積分器から読み出す動作を複数回繰り返して得られた複数個のオフセット出力を平均化してメモリに格納する請求項13記載の静電容量検出方法。

【請求項16】

10

20

30

40

50

M本のドライブレインと1本のセンスラインの間に形成される第1の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び、上記M本のドライブレインと他の1本のセンスラインの間に形成される第2の静電容量列 C_{i2} ($i = 1, \dots, M$)のそれぞれに対して、各要素が+1または-1によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$)に基づいて、前記M本のドライブレインを並列に駆動して、前記第1の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ をアナログ積分器に出力する駆動部と、

前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライブレインに対応する前記第1の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライブレインに対応する前記第2の静電容量列の容量値を推定する推定部とを備えた集積回路であって、

前記駆動部は、前記符号系列が前記+1の場合は、前記アナログ積分器のリセット時に第1電圧により、前記第1及び第2静電容量列からの出力のサンプリング時に第2電圧により前記ドライブレインを駆動し、前記符号系列が前記-1の場合は、前記アナログ積分器のリセット時に前記第2電圧により、前記第1及び第2静電容量列からの出力のサンプリング時に前記第1電圧により前記ドライブレインを駆動することを特徴とする集積回路。

【請求項17】

M本のドライブレインと1本のセンスラインの間に形成される第1の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び、上記M本のドライブレインと他の1本のセンスラインの間に形成される第2の静電容量列 C_{i2} ($i = 1, \dots, M$)のそれぞれに対して、各要素が+1または-1によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$)に基づいて、前記M本のドライブレインを並列に駆動して、前記第1の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ をアナログ積分器に出力する駆動部と、

前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライブレインに対応する前記第1の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライブレインに対応する前記第2の静電容量列の容量値を推定する推定部とを備えた集積回路であって、

前記駆動部は、前記第1及び第2静電容量からの出力を前記アナログ積分器に出力する前において、前記アナログ積分器のリセット時、及び前記第1及び第2静電容量列からの出力のサンプリング時に第1電圧により前記ドライブレインを駆動して、前記第1及び第2の静電容量列からの出力を前記アナログ積分器に出力し、前記第1及び第2の静電容量列からの出力をオフセット出力として前記アナログ積分器から読み出してメモリに格納することを特徴とする集積回路。

【請求項18】

M本のドライブレインと1本のセンスラインの間に形成される第1の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び、上記M本のドライブレインと他の1本のセンスラインの間に形成される第2の静電容量列 C_{i2} ($i = 1, \dots, M$)とを備えるセンサパネルと、

前記センサパネルを制御する集積回路とを備えたタッチセンサシステムであって、

前記集積回路は、前記第1の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び前記第2の静電容量列 C_{i2} ($i = 1, \dots, M$)のそれぞれに対して、各要素が+1または-1によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$)に基づいて、前記M本のドライブレインを並列に駆動して、前記第1の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ をアナログ積分器に出力する駆動部と、

前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライ

10

20

30

40

50

ブラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 $s S e c o n d$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 2$ 番目のドライブラインに対応する前記第 2 の静電容量列の容量値を推定する推定部とを有しており、

前記駆動部は、前記符号系列が前記 + 1 の場合は、前記アナログ積分器のリセット時に第 1 電圧により、前記第 1 及び第 2 静電容量列からの出力のサンプリング時に第 2 電圧により前記ドライブラインを駆動し、前記符号系列が前記 - 1 の場合は、前記アナログ積分器のリセット時に前記第 2 電圧により、前記第 1 及び第 2 静電容量列からの出力のサンプリング時に前記第 1 電圧により前記ドライブラインを駆動することを特徴とするタッチセンサシステム。

【請求項 19】

M 本のドライブラインと 1 本のセンスラインの間に形成される第 1 の静電容量列 $C i 1$ ($i = 1, \dots, M$)、及び、上記 M 本のドライブラインと他の 1 本のセンスラインの間に形成される第 2 の静電容量列 $C i 2$ ($i = 1, \dots, M$) とを備えるセンサパネルと、

前記センサパネルを制御する集積回路とを備えたタッチセンサシステムであって、

前記集積回路は、前記第 1 の静電容量列 $C i 1$ ($i = 1, \dots, M$)、及び前記第 2 の静電容量列 $C i 2$ ($i = 1, \dots, M$) のそれぞれに対して、各要素が + 1 または - 1 によって構成される長さ N の直交する符号系列 $d i = (d i 1, d i 2, \dots, d i N)$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記 M 本のドライブラインを並列に駆動して、前記第 1 の静電容量列からの出力 $s F i r s t = (s 1 1, s 1 2, \dots, s 1 N)$ 、及び、前記第 2 の静電容量列からの出力 $s S e c o n d = (s 2 1, s 2 2, \dots, s 2 N)$ をアナ

ログ積分器に出力する駆動部と、
前記出力 $s F i r s t$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 1$ 番目のドライブラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 $s S e c o n d$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 2$ 番目のドライブラインに対応する前記第 2 の静電容量列の容量値を推定する推定部とを有しており、

前記駆動部は、前記第 1 及び第 2 静電容量からの出力を前記アナログ積分器に出力する前において、前記アナログ積分器のリセット時、及び前記第 1 及び第 2 静電容量列からの出力のサンプリング時に第 1 電圧により前記ドライブラインを駆動して、前記第 1 及び第 2 の静電容量列からの出力を前記アナログ積分器に出力し、前記第 1 及び第 2 の静電容量列からの出力をオフセット出力として前記アナログ積分器から読み出してメモリに格納

【請求項 20】

請求項 18 または 19 記載のタッチセンサシステムと、

前記タッチセンサシステムに設けられたセンサパネルに重ねて配置されているか、または、前記センサパネルを内蔵した表示パネルとを備えたことを特徴とする電子機器。

【請求項 21】

M 本のドライブラインと 1 本のセンスラインの間に形成される第 1 の静電容量列 $C i 1$ ($i = 1, \dots, M$)、及び、上記 M 本のドライブラインと他の 1 本のセンスラインの間に形成される第 2 の静電容量列 $C i 2$ ($i = 1, \dots, M$) のそれぞれに対して、各要素が + 1 または - 1 によって構成される長さ N の直交する符号系列 $d i = (d i 1, d i 2, \dots, d i N)$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記符号系列が前記 + 1 の場合は + V ボルト、前記 - 1 の場合は - V ボルトを印加するように前記 M 本のドライブラインを並列に駆動して、前記第 1 の静電容量列からの出力 $s F i r s t = (s 1 1, s 1 2, \dots, s 1 N)$ 、及び、前記第 2 の静電容量列からの出力 $s S e c o n d = (s 2 1, s 2 2, \dots, s 2 N)$ をアナログ積分器に出力する出力工程と、

前記出力 $s F i r s t$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 1$ 番目のドライブラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 $s S e c o n d$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 2$ 番目のドライブラインに対応する前記第 2 の静電容量列の容量値を推定する推定工程とを包含する静電容量検出方法であって、

前記出力工程は、前記アナログ積分器の飽和を防止するために、前記符号系列の列方向

10

20

30

40

50

に沿った各要素の総和の絶対値に応じて、前記アナログ積分器のゲインを切り替えることを特徴とする静電容量検出方法。

【請求項 2 2】

前記推定工程は、前記出力 $s F i r s t$ を A/D 変換した第 1 デジタル値と前記符号系列 $d i$ との内積演算に基づいて、 $k 1$ 番目のドライブラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 $s S e c o n d$ を A/D 変換した第 2 デジタル値と前記符号系列 $d i$ との内積演算に基づいて、 $k 2$ 番目のドライブラインに対応する前記第 2 の静電容量列の容量値を推定し、

前記推定工程は、前記符号系列の列方向に沿った各要素の総和の絶対値に応じて、前記第 1 及び第 2 デジタル値の重み付けを切り替える請求項 2 1 記載の静電容量検出方法。

10

【請求項 2 3】

M 本のドライブラインと 1 本のセンスラインの間に形成される第 1 の静電容量列 $C i 1$ ($i = 1, \dots, M$)、及び、上記 M 本のドライブラインと他の 1 本のセンスラインの間に形成される第 2 の静電容量列 $C i 2$ ($i = 1, \dots, M$) のそれぞれに対して、各要素が +1 または -1 によって構成される長さ N の直交する符号系列 $d i = (d i 1, d i 2, \dots, d i N)$ ($i = 1, \dots, M$) に基づいて、前記符号系列が前記 +1 の場合は +V ボルト、前記 -1 の場合は -V ボルトを印加するように前記 M 本のドライブラインを並列に駆動して、前記第 1 の静電容量列からの出力 $s F i r s t = (s 1 1, s 1 2, \dots, s 1 N)$ 、及び、前記第 2 の静電容量列からの出力 $s S e c o n d = (s 2 1, s 2 2, \dots, s 2 N)$ をアナログ積分器に出力する出力工程と、

20

前記出力 $s F i r s t$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 1$ 番目のドライブラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 $s S e c o n d$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 2$ 番目のドライブラインに対応する前記第 2 の静電容量列の容量値を推定する推定工程とを包含する静電容量検出方法であって、

前記出力工程は、前記アナログ積分器の飽和を防止するために、前記符号系列の列方向に沿った各要素の総和の絶対値に応じて、前記符号系列の列を複数の列に分割して、前記 M 本のドライブラインの駆動を複数回に分割することを特徴とする静電容量検出方法。

【請求項 2 4】

($M = 2^n$) 本のドライブラインと 1 本のセンスラインの間に形成される第 1 の静電容量列 $C i 1$ ($i = 1, \dots, M$)、及び、上記 ($M = 2^n$) 本のドライブラインと他の 1 本のセンスラインの間に形成される第 2 の静電容量列 $C i 2$ ($i = 1, \dots, M$) のそれぞれに対して、シルベスター (sylvester) 法によって生成される 2^n 次のアダマール (Hadamard) 行列の各行に相当する +1 または -1 によって構成されて互いに直交する符号長 $N = M$ の符号系列 $d i = (d i 1, d i 2, \dots, d i N)$ ($i = 1, \dots, M$) に基づいて、前記符号系列が前記 +1 の場合は +V ボルト、前記 -1 の場合は -V ボルトを印加するように前記 M 本のドライブラインを並列に駆動して、前記第 1 の静電容量列からの出力 $s F i r s t = (s 1 1, s 1 2, \dots, s 1 N)$ 、及び、前記第 2 の静電容量列からの出力 $s S e c o n d = (s 2 1, s 2 2, \dots, s 2 N)$ をアナログ積分器に出力する出力工程と、

30

前記出力 $s F i r s t$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 1$ 番目のドライブラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 $s S e c o n d$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 2$ 番目のドライブラインに対応する前記第 2 の静電容量列の容量値を推定する推定工程とを包含する静電容量検出方法であって、

40

前記出力工程は、前記アナログ積分器の飽和を防止するために、前記符号系列の第 1 列目を複数の列に分割して、前記符号系列の第 1 列目に相当する駆動を複数回に分割することを特徴とする静電容量検出方法。

【請求項 2 5】

M 本のドライブラインと 1 本のセンスラインの間に形成される第 1 の静電容量列 $C i 1$ ($i = 1, \dots, M$)、及び、上記 M 本のドライブラインと他の 1 本のセンスラインの間に形成される第 2 の静電容量列 $C i 2$ ($i = 1, \dots, M$) のそれぞれに対して、シルベスタ

50

− (sylvester) 法によって生成される 2^n 次 ($M < 2^n$) のアダマール (Hadamard) 行列の各行に相当する + 1 または - 1 によって構成されて互いに直交する符号長 $N > M$ の符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$) に基づいて、前記符号系列が前記 + 1 の場合は + V ボルト、前記 - 1 の場合は - V ボルトを印加するように前記 M 本のドライバラインを並列に駆動して、前記第 1 の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第 2 の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ をアナログ積分器に出力する出力工程と、

前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライバラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライバラインに対応する前記第 2 の静電容量列の容量値を推定する推定工程とを包含する静電容量検出方法であって、

前記出力工程は、前記符号系列の列方向に沿った各要素の総和の絶対値が前記アナログ積分器の飽和に関連する閾値 Num を超える列を複数の列に分解して、前記符号系列の前記閾値 Num を超える列に対応する駆動を複数回に分割することを特徴とする静電容量検出方法。

【請求項 26】

前記符号系列の列方向に沿った各要素の総和の絶対値が前記アナログ積分器の飽和に関連する閾値 Num を超える列は、前記 2^n 次のアダマール行列の 1 列目、 $(2^{n-1} + 1)$ 列目、 $(2^{n-1} + 2^{n-2} + 1)$ 列目、及び $(2^{n-1} - 2^{n-2} + 1)$ 列目のうちの少なくとも 1 つである請求項 25 記載の静電容量検出方法。

【請求項 27】

$[x]$ を x の整数部とし、

前記 2^n 次のアダマール行列の 1 列目が前記閾値 Num を超える場合、ドライバラインの 1 番目から $Num \times [M/Num]$ 番目までを Num 個ずつ駆動することを $[M/Num]$ 回繰り返した後、残りの (M/Num) の余りの個数を並列駆動し、

前記アダマール行列の $(2^{n-1} + 1)$ 列目が前記閾値 Num を超える場合、ドライバラインの $(2^{n-1} - (M - 2^{n-1}))$ 行目に基づく行から M 行目までを並列に駆動した後、ドライバラインの 1 行目から $(2^{n-1} - (M - 2^{n-1}) - 1)$ 行目に基づく行までを、 Num 個ずつ駆動することを $[(2^{n-1} - (M - 2^{n-1}) - 1) \text{ 行目に基づく行} / Num]$ 回繰り返した後、残りの $((2^{n-1} - (M - 2^{n-1}) - 1) \text{ 行目に基づく行} / Num)$ の余りの個数を並列駆動し、

前記アダマール行列の $(2^{n-1} + 2^{n-2} + 1)$ 列目が前記閾値 Num を超える場合、まず、ドライバラインの 1 行目から (2^{n-1}) 行目までを同時並列に駆動し、そして、ドライバラインの $((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2})))$ 行目に基づく行から M 行目までを並列に駆動し、次に、ドライバラインの $(2^{n-1} + 1)$ 行目から $((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2})))$ 行目に基づく行までを、 Num 個ずつ駆動することを $[(((((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2}))) \text{ に基づく行})) - (2^{n-1} + 1) / Num]$ 回繰り返した後、残りの $(((((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2}))) \text{ に基づく行})) - (2^{n-1} + 1) / Num)$ の余りの個数を並列駆動する請求項 26 記載の静電容量検出方法。

【請求項 28】

行の順番を入れ替えることにより、シルベスター法によって生成される 2^n 次 ($M < 2^n$) のアダマール行列からなる符号系列を生成し、当該符号系列に基づいて前記 M 本のドライバラインを並列に駆動する請求項 25 記載の静電容量検出方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マトリックス状に構成された線形系の係数、素子値、または静電容量を推定または検出する方法、及びこの方法に従って動作する集積回路、タッチセンサシステム、

10

20

30

40

50

及び電子機器に関する。

【背景技術】

【0002】

マトリックス状に分布した線形素子値を検出する装置、例えば、M本のドライブラインとL本のセンスラインとの間に形成される静電容量行列 C_{ij} ($i = 1, \dots, M, j = 1, \dots, L$)の静電容量値の分布を検出するタッチセンサ装置(接触検出装置)が、特許文献1に開示されている。このタッチセンサ装置は、ドライブラインを順番に選択し、その選択したドライブラインにつながる線形素子の値を検出する走査検出方式により動作する。

【0003】

また、複数のドライブラインを時系列的な符号系列に基づいて第1のドライブライン群と第2のドライブライン群とに振り分けて駆動し、センスラインに接続され、駆動されたドライブラインとの複数の交差部の容量に生じる電流の総和を電気信号に変換した測定電圧を出力し、センスラインごとに、測定電圧と符号系列とにより積和演算を行い、各交差部の容量に対応する電圧値を求める容量検出回路が特許文献2に記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-92275号公報(2010年4月22日公開)

【特許文献2】特許第4364609号明細書(2005年6月16日公開)

【特許文献3】特許第4387773号明細書(2005年6月16日公開)

【特許文献4】特開2005-114362号公報(2005年4月28日公開)

【特許文献5】特開2005-134240号公報(2005年5月26日公開)

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に記載の走査検出方式により動作するタッチセンサ装置においては、二次元に分布する静電容量値を取得するために与えられた時間を T とし、走査の回数を m とすると、複数ラインを同時に選択し、それをスキャンして静電容量行列 C_{ij} の静電容量を検出する処理は時間(T/m)の間に終わらなければならない。

【0006】

一般に、検出処理の精度は、例えば平均化等により処理時間が長いほど高めることができるが、タッチセンサ装置が高速な動作に追従できるためには、静電容量値を取得するために与えられる時間 T は小さくする必要があり、解像度を上げるためには、走査回数 m を大きくする必要があり、いずれの場合も処理時間(T/m)は小さくなり検出精度の劣化を招くという問題がある。

【0007】

また、特許文献2に記載の容量検出回路では、測定電圧のオフセット誤差をキャンセルするために、符号系列に基づいて第1のドライブラインと第2のドライブラインとに振り分けて駆動し、第1のドライブラインの駆動に基づく測定電圧から、第2のドライブラインの駆動に基づく測定電圧を減算している(特許文献2:明細書段落[0058]~[0061])。しかしながら、このような構成は、演算過程が2相に渡るため、消費電力を抑えた高速化に不利であるという問題がある。

【0008】

本発明の目的は、検出精度が良好になり、且つ解像度も良好で高速動作が可能な線形素子列値推定方法、静電容量検出方法、集積回路、タッチセンサシステム、及び電子機器を提供することにある。

【課題を解決するための手段】

【0009】

上記の課題を解決するために、参考の形態に係る線形系係数推定方法は、M個の入力 X

10

20

30

40

50

k ($k = 1, \dots, M$) を有して入出力が線形な系

【 0 0 1 0 】

【 数 1 】

$$F(X1, \dots, XM) = \sum_{i=1}^M (Ci \times Xi)$$

【 0 0 1 1 】

に対して、長さ N の直交する M 個の符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて前記 M 個の入力 X_k ($k = 1, \dots, M$) を入力して、 N 個の出力 $s = (s_1, s_2, \dots, s_N) = (F(d_{11}, d_{21}, \dots, d_{M1}), F(d_{12}, d_{22}, \dots, d_{M2}), \dots, F(d_{1N}, d_{2N}, \dots, d_{MN}))$ を出力する出力工程と、

10

前記出力 s と前記符号系列 d_i との内積演算に基づいて、 k 番目の入力 X_k に対応する係数 C_k を推定する推定工程とを包含することを特徴とする。

【 0 0 1 2 】

この特徴により、長さ N の直交する M 個の符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$) に基づいて前記 M 個の入力 X_k ($k = 1, \dots, M$) を入力して、 N 個の出力 $s = (s_1, s_2, \dots, s_N) = (F(d_{11}, d_{21}, \dots, d_{M1}), F(d_{12}, d_{22}, \dots, d_{M2}), \dots, F(d_{1N}, d_{2N}, \dots, d_{MN}))$ を出力するので、 M 個の入力にすべて同時に入力して線形系の係数 C_k を推定する。従って、従来の構成のように、 M 個の入力を 1 個ずつ選択して走査入力する必要がなくなり、入力数 M が増大しても、線形系の係数値を取得するための処理時間は短くならず、検出精度を良好に維持しながら、且つ、解像度も良好で高速動作が可能な線形系係数推定方法を得ることができる。

20

【 0 0 1 3 】

参考の形態に係る他の線形系係数推定方法は、 M 個の入力 X_k ($k = 1, \dots, M$) を有して入出力が線形な第 1 の系及び第 2 の系

【 0 0 1 4 】

【 数 2 】

$$F1(X1, \dots, XM) = \sum_{i=1}^M (C1i \times Xi)$$

$$F2(X1, \dots, XM) = \sum_{i=1}^M (C2i \times Xi)$$

30

【 0 0 1 5 】

のそれぞれに対して、長さ N の直交する M 個の符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて前記 M 個の入力 X_k ($k = 1, \dots, M$) を入力して、前記第 1 の系からの N 個の出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N}) = (F1(d_{11}, d_{21}, \dots, d_{M1}), F1(d_{12}, d_{22}, \dots, d_{M2}), \dots, F1(d_{1N}, d_{2N}, \dots, d_{MN}))$ 、及び、前記第 2 の系からの N 個の出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N}) = (F2(d_{11}, d_{21}, \dots, d_{M1}), F2(d_{12}, d_{22}, \dots, d_{M2}), \dots, F2(d_{1N}, d_{2N}, \dots, d_{MN}))$ を出力する出力工程と、前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目の入力 X_k に対応する前記第 1 の系の係数 C_{1k} を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目の入力 X_k に対応する前記第 2 の系の係数 C_{2k} を推定する推定工程とを包含することを特徴とする。

40

【 0 0 1 6 】

この特徴により、長さ N の直交する M 個の符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$) に基づいて前記 M 個の入力 x_k ($k = 1, \dots, M$) を入力して、

50

前記第1の系からのN個の出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N}) = (F_1(d_{11}, d_{21}, \dots, d_{M1}), F_1(d_{12}, d_{22}, \dots, d_{M2}), \dots, F_1(d_{1N}, d_{2N}, \dots, d_{MN}))$ 、及び、前記第2の系からのN個の出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N}) = (F_2(d_{11}, d_{21}, \dots, d_{M1}), F_2(d_{12}, d_{22}, \dots, d_{M2}), \dots, F_2(d_{1N}, d_{2N}, \dots, d_{MN}))$ を出力するので、M個の入力にすべて同時に入力して第1の系の係数 C_{1k} 及び第2の系の係数 C_{2k} を推定する。従って、従来の構成のように、M個の入力を1個ずつ選択して走査入力する必要が無くなり、入力数Mが増大しても、第1及び第2の系の係数値を取得するための処理時間は短くならず、検出精度を良好に維持しながら、且つ、解像度も良好で高速動作が可能な線形系係数推定方法を得ることができる。

10

【0017】

本発明に係る線形素子列値推定方法は、M本のドライブラインと1本のセンスラインの間に形成される第1の線形素子列 C_{1i} ($i = 1, \dots, M$)、及び、上記M本のドライブラインと他の1本のセンスラインの間に形成される第2の線形素子列 C_{2i} ($i = 1, \dots, M$) のそれぞれに対して、長さNの直交するM個の符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記M本のドライブラインを並列に駆動して、前記第1の線形素子列からのN個の出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の線形素子列からのN個の出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ を出力する出力工程と、前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライブラインに対応する前記第1の線形素子列の線形素子の値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライブラインに対応する前記第2の線形素子列の線形素子の値を推定する推定工程とを包含することを特徴とする。

20

【0018】

この特徴により、長さNの直交するM個の符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$) に基づいて、前記M本のドライブラインを並列に駆動して、前記第1の線形素子列からのN個の出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の線形素子列からのN個の出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ を出力するので、M本のドライブラインにすべて同時に入力して第1の線形素子列の線形素子の値及び第2の線形素子列の線形素子の値を推定する。従って、従来の構成のように、M本のドライブラインを1本ずつ選択して走査入力する必要が無くなり、第1の線形素子列の線形素子の値及び第2の線形素子列の線形素子の値を取得するための処理時間が長くなり、検出精度を良好に維持しながら、且つ、解像度も良好で高速動作が可能な線形系係数推定方法を得ることができる。

30

【0019】

本願発明に係る線形素子列値推定方法では、前記符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$) の各要素は、+Vまたは-Vによって構成されることが好ましい。

【0020】

上記構成により、各ドライブラインを+Vボルトまたは-Vボルトの電圧を印加して駆動することができる。

40

【0021】

本願発明に係る静電容量検出方法は、M本のドライブラインと1本のセンスラインの間に形成される第1の静電容量列 C_{1i} ($i = 1, \dots, M$)、及び、上記M本のドライブラインと他の1本のセンスラインの間に形成される第2の静電容量列 C_{2i} ($i = 1, \dots, M$) のそれぞれに対して、各要素が+1または-1によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記符号系列が前記+1の場合は+Vボルト、前記-1の場合は-Vボルトを印加するように前記M本のドライブラインを並列に駆動して、前記第1の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの

50

出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ を出力する出力工程と、前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライラインに対応する前記第 2 の静電容量列の容量値を推定する推定工程とを包含することを特徴とする。

【0022】

この特徴により、各要素が +1 または -1 によって構成される長さ N の直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$) に基づいて、前記符号系列が前記 +1 の場合は +V ボルト、前記 -1 の場合は -V ボルトを印加するように前記 M 本のドライラインを並列に駆動して、前記第 1 の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第 2 の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ を出力するので、 M 本のドライラインにすべて同時に入力して、 k_1 番目のドライラインに対応する前記第 1 の静電容量列の容量値、及び k_2 番目のドライラインに対応する前記第 2 の静電容量列の容量値を推定する。従って、従来の構成のように、 M 本のドライラインを 1 本ずつ選択して走査入力する必要がなくなり、 k_1 番目のドライラインに対応する前記第 1 の静電容量列の容量値、及び k_2 番目のドライラインに対応する前記第 2 の静電容量列の容量値を取得するための処理時間が長くなり、検出精度を良好に維持しながら、且つ、解像度も良好で高速動作が可能な静電容量検出方法を得ることができる。

【0023】

また、 M 本の全ドライラインを、符号系列に応じて +V ボルト又は -V ボルトで並列に駆動するので、符号系列に応じてドライラインを分割して駆動する特許文献 2 に記載の構成に比べて、静電容量列からの出力信号に含まれる情報量が多くなり、 SN 比も良好になる。さらに、2 相演算する特許文献 2 に記載の構成に比べて、演算が一層で済むため、高速化に有利である。

【0024】

本発明に係る静電容量検出方法では、前記推定工程は、前記符号系列による 1 回の並列駆動ごとに、内積に必要な、符号に応じた加減算を実行することが好ましい。

【0025】

上記構成により、1 回の並列駆動ごとに内積演算を実行するので、符号系列の長さに対応する N 回の並列駆動ごとに内積演算を実行する構成に比較して、パイプライン処理が可能で短時間で演算することができ、また、演算に必要なメモリが少なく済む。

【0026】

上記静電容量検出方法では、前記出力工程は、前記第 1 の静電容量列からの出力 s_{First} を第 1 アナログ積分器に出力し、前記第 2 の静電容量列からの出力 s_{Second} を第 2 アナログ積分器に出力し、前記推定工程は、前記第 1 アナログ積分器に出力された出力 s_{First} を AD 変換器により AD 変換して前記出力 s_{First} と前記符号系列 d_i との内積演算を実行し、前記第 2 アナログ積分器に出力された出力 s_{Second} を前記 AD 変換器により AD 変換して前記出力 s_{Second} と前記符号系列 d_i との内積演算を実行することが好ましい。

【0027】

上記構成により、アナログ積分器が各センスラインに対応して並列に配置されるので、マトリックス状に配置された静電容量の全体を検出する検出速度を向上させることができる。

【0028】

上記静電容量検出方法では、前記出力工程は、前記第 1 の静電容量列からの出力 s_{First} をアナログ積分器に出力した後、前記第 2 の静電容量列からの出力 s_{Second} を前記アナログ積分器に出力し、前記推定工程は、前記アナログ積分器に出力された出力 s_{First} を AD 変換器により AD 変換して前記出力 s_{First} と前記符号系列 d_i との内積演算を実行し、前記アナログ積分器に出力された出力 s_{Second} を前記 AD

10

20

30

40

50

変換器によりAD変換して前記出力 $s\text{ Second}$ と前記符号系列 d_i との内積演算を実行することが好ましい。

【0029】

上記構成により、単一のアナログ積分器により推定工程を構成することができるので、より簡単な構成により静電容量を検出することができる。

【0030】

上記静電容量検出方法では、前記出力工程は、前記第1の静電容量列からの出力 $s\text{ First}$ を第1アナログ積分器に出力し、前記第2の静電容量列からの出力 $s\text{ Second}$ を第2アナログ積分器に出力し、前記推定工程は、前記第1アナログ積分器に出力された出力 $s\text{ First}$ を第1AD変換器によりAD変換して前記出力 $s\text{ First}$ と前記符号系列 d_i との内積演算を実行し、前記第2アナログ積分器に出力された出力 $s\text{ Second}$ を第2AD変換器によりAD変換して前記出力 $s\text{ Second}$ と前記符号系列 d_i との内積演算を実行することが好ましい。

10

【0031】

上記構成により、アナログ積分器及びAD変換器が各センスラインに対応して並列に配置されるので、マトリクス状に配置された静電容量の全体を検出する検出速度をより一層向上させることができる。

【0032】

本発明に係る集積回路は、M本のドライブレインと1本のセンスラインの間に形成される第1の静電容量列 C_{1i} ($i = 1, \dots, M$)、及び、上記M本のドライブレインと他の1本のセンスラインの間に形成される第2の静電容量列 C_{2i} ($i = 1, \dots, M$) のそれぞれに対して、各要素が+1または-1によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記符号系列が前記+1の場合は+Vボルト、前記-1の場合は-Vボルトを印加するように前記M本のドライブレインを並列に駆動して、前記第1の静電容量列からの出力 $s\text{ First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの出力 $s\text{ Second} = (s_{21}, s_{22}, \dots, s_{2N})$ を出力させる駆動部と、前記出力 $s\text{ First}$ と前記符号系列 d_i との内積演算に基づいて、k1番目のドライブレインに対応する前記第1の静電容量列の容量値を推定し、前記出力 $s\text{ Second}$ と前記符号系列 d_i との内積演算に基づいて、k2番目のドライブレインに対応する前記第2の静電容量列の容量値を推定する推定部とを備えたことを特徴とする。

20

30

【0033】

この特徴により、各要素が+1または-1によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$) に基づいて、前記符号系列が前記+1の場合は+Vボルト、前記-1の場合は-Vボルトを印加するように前記M本のドライブレインを並列に駆動して、前記第1の静電容量列からの出力 $s\text{ First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの出力 $s\text{ Second} = (s_{21}, s_{22}, \dots, s_{2N})$ を出力させるので、M本のドライブレインにすべて同時に入力して、k1番目のドライブレインに対応する前記第1の静電容量列の容量値、及びk2番目のドライブレインに対応する前記第2の静電容量列の容量値を推定する。従って、従来の構成のように、M本のドライブレインを1本ずつ選択して走査入力する必要がなくなり、k1番目のドライブレインに対応する前記第1の静電容量列の容量値、及びk2番目のドライブレインに対応する前記第2の静電容量列の容量値を推定するための処理時間が長くなり、検出精度を良好に維持しながら、且つ、解像度も良好で高速動作が可能な静電容量検出方法に用いる集積回路を得ることができる。

40

【0034】

また、M本の全ドライブレインを、符号系列に応じて+Vボルト又は-Vボルトで並列に駆動するので、符号系列に応じてドライブレインを分割して駆動する特許文献2に記載の構成に比べて、静電容量列からの出力信号に含まれる情報量が多くなり、SN比も良好になる。さらに、2相演算する特許文献2に記載の構成に比べて、演算が一層で済むため

50

、高速化に有利である。

【0035】

本発明に係るタッチセンサシステムは、M本のドライブレインと1本のセンスラインの間に形成される第1の静電容量列 C_{1i} ($i = 1, \dots, M$)、及び、上記M本のドライブレインと他の1本のセンスラインの間に形成される第2の静電容量列 C_{2i} ($i = 1, \dots, M$)とを備えるセンサパネルと、上記センサパネルを制御する集積回路とを備えたタッチセンサシステムであって、上記集積回路は、前記第1の静電容量列 C_{1i} ($i = 1, \dots, M$)、及び前記第2の静電容量列 C_{2i} ($i = 1, \dots, M$)のそれぞれに対して、各要素が+1または-1によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$)に基づいて、前記符号系列が前記+1の場合には+Vボルト、前記-1の場合には-Vボルトを印加するように前記M本のドライブレインを並列に駆動して、前記第1の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ を出力させる駆動部と、前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライブレインに対応する前記第1の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライブレインに対応する前記第2の静電容量列の容量値を推定する推定部とを有することを特徴とする。

10

【0036】

この特徴により、各要素が+1または-1によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$)に基づいて、前記符号系列が前記+1の場合には+Vボルト、前記-1の場合には-Vボルトを印加するように前記M本のドライブレインを並列に駆動して、前記第1の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ を出力させるので、M本のドライブレインにすべて同時に入力して、 k_1 番目のドライブレインに対応する前記第1の静電容量列の容量値、及び k_2 番目のドライブレインに対応する前記第2の静電容量列の容量値を推定する。従って、従来の構成のように、M本のドライブレインを1本ずつ選択して走査入力する必要がなくなり、 k_1 番目のドライブレインに対応する前記第1の静電容量列の容量値、及び k_2 番目のドライブレインに対応する前記第2の静電容量列の容量値を推定するための処理時間が長くなり、検出精度を良好に維持しながら、且つ、解像度も良好で高速動作が可能なタッチセンサシステムを得ることができる。

20

30

【0037】

また、M本の全ドライブレインを、符号系列に応じて+Vボルト又は-Vボルトで並列に駆動するので、符号系列に応じてドライブレインを分割して駆動する特許文献2に記載の構成に比べて、静電容量列からの出力信号に含まれる情報量が多くなり、SN比も良好になる。さらに、2相演算する特許文献2に記載の構成に比べて、演算が一層で済むため、高速化に有利である。

【0038】

本発明に係る電子機器は、本発明に係るタッチセンサシステムと、前記タッチセンサシステムに設けられたセンサパネルを重ねて配置されているか、または、前記センサパネルを内蔵した表示パネルとを備えたことを特徴とする。

40

【0039】

この特徴により、各要素が+1または-1によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$)に基づいて、前記符号系列が前記+1の場合には+Vボルト、前記-1の場合には-Vボルトを印加するように前記M本のドライブレインを並列に駆動して、前記第1の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ を出力させるので、M本のドライブレインにすべて同時に入力して、 k_1 番目のドライブレインに対応する前記第1の静電容量列の容量値、及

50

びk 2番目のドライブラインに対応する前記第2の静電容量列の容量値を推定する。従って、従来の構成のように、M本のドライブラインを1本ずつ選択して走査入力する必要がなくなり、k 1番目のドライブラインに対応する前記第1の静電容量列の容量値、及びk 2番目のドライブラインに対応する前記第2の静電容量列の容量値を推定するための処理時間が長くなり、検出精度を良好に維持しながら、且つ、解像度も良好で高速動作が可能なタッチセンサシステムを備えた電子機器を得ることができる。

【0040】

また、M本の全ドライブラインを、符号系列に応じて+Vボルト又は-Vボルトで並列に駆動するので、符号系列に応じてドライブラインを分割して駆動する特許文献2に記載の構成に比べて、静電容量列からの出力信号に含まれる情報量が多くなり、SN比も良好になる。さらに、2相演算する特許文献2に記載の構成に比べて、演算が一層で済むため、高速化に有利である。

【0041】

本発明に係る静電容量検出方法は、M本のドライブラインと1本のセンスラインの間に形成される第1の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び、上記M本のドライブラインと他の1本のセンスラインの間に形成される第2の静電容量列 C_{i2} ($i = 1, \dots, M$)のそれぞれに対して、各要素が+1または-1によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$)に基づいて、前記M本のドライブラインを並列に駆動して、前記第1の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ をアナログ積分器に出力する出力工程と、前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、k 1番目のドライブラインに対応する前記第1の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、k 2番目のドライブラインに対応する前記第2の静電容量列の容量値を推定する推定工程とを包含する静電容量検出方法であって、前記出力工程は、前記アナログ積分器のリセット時には V_{ref} ボルトで表される第1電圧により前記M本のドライブラインを駆動し、前記第1及び第2静電容量列からの出力のサンプリング時には、前記符号系列が前記+1の場合は $(V_{ref} + V)$ ボルトで表される第2電圧により、前記符号系列が前記-1の場合は $(V_{ref} - V)$ ボルトで表される第3電圧により前記M本のドライブラインを駆動することを特徴とする。

【0042】

上記特徴により、符号系列に基づいて、簡単な構成により、ドライブラインを並列に駆動することができる。

【0043】

本発明に係る静電容量検出方法は、M本のドライブラインと1本のセンスラインの間に形成される第1の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び、上記M本のドライブラインと他の1本のセンスラインの間に形成される第2の静電容量列 C_{i2} ($i = 1, \dots, M$)のそれぞれに対して、各要素が+1または-1によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$)に基づいて、前記M本のドライブラインを並列に駆動して、前記第1の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ をアナログ積分器に出力する出力工程と、前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、k 1番目のドライブラインに対応する前記第1の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、k 2番目のドライブラインに対応する前記第2の静電容量列の容量値を推定する推定工程とを包含する静電容量検出方法であって、前記出力工程は、前記符号系列が前記+1の場合は、前記アナログ積分器のリセット時に第1電圧により、前記第1及び第2静電容量列からの出力のサンプリング時に第2電圧により前記ドライブラインを駆動し、前記符号系列が前記-1の場合は、前記アナログ積分器のリセット時に前記第2電圧により、前記第1及び第2静電容量列からの出力のサンプリ

ング時に前記第1電圧により前記ドライブラインを駆動することを特徴とする。

【0044】

上記特徴により、より高い信号強度を得ることができ、静電容量に蓄積される電荷を増大させることができる。

【0045】

本発明に係る静電容量検出方法は、M本のドライブラインと1本のセンスラインの間に形成される第1の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び、上記M本のドライブラインと他の1本のセンスラインの間に形成される第2の静電容量列 C_{i2} ($i = 1, \dots, M$)のそれぞれに対して、各要素が+1または-1によって構成される長さNの直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$)に基づいて、前記M本のドライブラインを並列に駆動して、前記第1の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ をアナログ積分器に出力する出力工程と、前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、k1番目のドライブラインに対応する前記第1の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、k2番目のドライブラインに対応する前記第2の静電容量列の容量値を推定する推定工程とを包含する静電容量検出方法であって、前記出力工程の前において、前記アナログ積分器のリセット時、及び前記第1及び第2静電容量列からの出力のサンプリング時に第1電圧により前記ドライブラインを駆動して、前記第1及び第2の静電容量列からの出力を前記アナログ積分器に出力し、前記第1及び第2の静電容量列からの出力をオフセット出力として前記アナログ積分器から読み出してメモリに格納することを特徴とする。

【0046】

上記特徴により、アナログ積分器により生じるオフセットをキャンセルすることができる。

【0047】

本発明に係る静電容量検出方法では、前記推定工程は、前記メモリに格納された第1の静電容量列からのオフセット出力を前記出力 s_{First} から減算した結果と、前記符号系列 d_i との内積演算に基づいて、k1番目のドライブラインに対応する前記第1の静電容量列の容量値を推定し、前記メモリに格納された第2の静電容量列からのオフセット出力を前記出力 s_{Second} から減算した結果と、前記符号系列 d_i との内積演算に基づいて、k2番目のドライブラインに対応する前記第2の静電容量列の容量値を推定することが好ましい。

【0048】

上記構成により、アナログ積分器により生じるオフセットをキャンセルすることができる。

【0049】

本発明に係る静電容量検出方法では、前記出力工程の前において、前記アナログ積分器のリセット時、及び前記第1及び第2静電容量列からの出力のサンプリング時に第1電圧により前記ドライブラインを駆動して、前記第1及び第2の静電容量列からの出力を前記アナログ積分器に出力し、前記第1及び第2の静電容量列からの出力をオフセット出力として前記アナログ積分器から読み出す動作を複数回繰り返して得られた複数個のオフセット出力を平均化してメモリに格納することが好ましい。

【0050】

上記構成により、アナログ積分器により生じるオフセットに含まれるノイズ成分を削減した後、メモリに格納することができる。

【0051】

本発明に係る集積回路は、M本のドライブラインと1本のセンスラインの間に形成される第1の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び、上記M本のドライブラインと他の1本のセンスラインの間に形成される第2の静電容量列 C_{i2} ($i = 1, \dots, M$)のそれ

それぞれに対して、各要素が + 1 または - 1 によって構成される長さ N の直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記 M 本のドライブレインを並列に駆動して、前記第 1 の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第 2 の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ をアナログ積分器に出力する駆動部と、前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライブレインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライブレインに対応する前記第 2 の静電容量列の容量値を推定する推定部とを備えた集積回路であって、前記駆動部は、前記符号系列が前記 + 1 の場合は、前記アナログ積分器のリセット時に第 1 電圧により、前記第 1 及び第 2 静電容量列からの出力のサンプリング時に第 2 電圧により前記ドライブレインを駆動し、前記符号系列が前記 - 1 の場合は、前記アナログ積分器のリセット時に前記第 2 電圧により、前記第 1 及び第 2 静電容量列からの出力のサンプリング時に前記第 1 電圧により前記ドライブレインを駆動することを特徴とする。

【0052】

上記特徴により、より高い信号強度を得ることができ、静電容量に蓄積される電荷を増大させることができる。

【0053】

本発明に係る集積回路は、 M 本のドライブレインと 1 本のセンスラインの間に形成される第 1 の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び、上記 M 本のドライブレインと他の 1 本のセンスラインの間に形成される第 2 の静電容量列 C_{i2} ($i = 1, \dots, M$) のそれぞれに対して、各要素が + 1 または - 1 によって構成される長さ N の直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記 M 本のドライブレインを並列に駆動して、前記第 1 の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第 2 の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ をアナログ積分器に出力する駆動部と、前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライブレインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライブレインに対応する前記第 2 の静電容量列の容量値を推定する推定部とを備えた集積回路であって、前記駆動部は、前記第 1 及び第 2 静電容量からの出力を前記アナログ積分器に出力する前において、前記アナログ積分器のリセット時、及び前記第 1 及び第 2 静電容量列からの出力のサンプリング時に第 1 電圧により前記ドライブレインを駆動して、前記第 1 及び第 2 の静電容量列からの出力を前記アナログ積分器に出力し、前記第 1 及び第 2 の静電容量列からの出力をオフセット出力として前記アナログ積分器から読み出してメモリに格納することを特徴とする。

【0054】

上記特徴により、アナログ積分器により生じるオフセットをキャンセルすることができる。

【0055】

本発明に係るタッチセンサシステムは、 M 本のドライブレインと 1 本のセンスラインの間に形成される第 1 の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び、上記 M 本のドライブレインと他の 1 本のセンスラインの間に形成される第 2 の静電容量列 C_{i2} ($i = 1, \dots, M$) とを備えるセンサパネルと、前記センサパネルを制御する集積回路とを備えたタッチセンサシステムであって、前記集積回路は、前記第 1 の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び前記第 2 の静電容量列 C_{i2} ($i = 1, \dots, M$) のそれぞれに対して、各要素が + 1 または - 1 によって構成される長さ N の直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記 M 本のドライブレインを並列に駆動して、前記第 1 の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第 2 の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ をアナログ積分器に出力する駆動部と、前記出力 s_{First} と前記

10

20

30

40

50

符号系列 d_i との内積演算に基づいて、 k_1 番目のドライブラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライブラインに対応する前記第 2 の静電容量列の容量値を推定する推定部とを有しており、前記駆動部は、前記符号系列が前記 + 1 の場合は、前記アナログ積分器のリセット時に第 1 電圧により、前記第 1 及び第 2 静電容量列からの出力のサンプリング時に第 2 電圧により前記ドライブラインを駆動し、前記符号系列が前記 - 1 の場合は、前記アナログ積分器のリセット時に前記第 2 電圧により、前記第 1 及び第 2 静電容量列からの出力のサンプリング時に前記第 1 電圧により前記ドライブラインを駆動することを特徴とする。

【0056】

上記特徴により、より高い信号強度を得ることができ、静電容量に蓄積される電荷を増大させることができる。

【0057】

本発明に係るタッチセンサシステムは、 M 本のドライブラインと 1 本のセンスラインの間に形成される第 1 の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び、上記 M 本のドライブラインと他の 1 本のセンスラインの間に形成される第 2 の静電容量列 C_{i2} ($i = 1, \dots, M$) とを備えるセンサパネルと、前記センサパネルを制御する集積回路とを備えたタッチセンサシステムであって、前記集積回路は、前記第 1 の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び前記第 2 の静電容量列 C_{i2} ($i = 1, \dots, M$) のそれぞれに対して、各要素が + 1 または - 1 によって構成される長さ N の直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記 M 本のドライブラインを並列に駆動して、前記第 1 の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第 2 の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ をアナログ積分器に出力する駆動部と、前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライブラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライブラインに対応する前記第 2 の静電容量列の容量値を推定する推定部とを有しており、前記駆動部は、前記第 1 及び第 2 静電容量からの出力を前記アナログ積分器に出力する前において、前記アナログ積分器のリセット時、及び前記第 1 及び第 2 静電容量列からの出力のサンプリング時に第 1 電圧により前記ドライブラインを駆動して、前記第 1 及び第 2 の静電容量列からの出力を前記アナログ積分器に出力し、前記第 1 及び第 2 の静電容量列からの出力をオフセット出力として前記アナログ積分器から読み出してメモリに格納することを特徴とする。

【0058】

上記特徴により、アナログ積分器により生じるオフセットをキャンセルすることができる。

【0059】

本発明に係る電子機器は、本発明に係るタッチセンサシステムと、前記タッチセンサシステムに設けられたセンサパネルに重ねて配置されているか、または、前記センサパネルを内蔵した表示パネルとを備えたことを特徴とする。

【0060】

本発明に係る静電容量検出方法は、 M 本のドライブラインと 1 本のセンスラインの間に形成される第 1 の静電容量列 C_{i1} ($i = 1, \dots, M$)、及び、上記 M 本のドライブラインと他の 1 本のセンスラインの間に形成される第 2 の静電容量列 C_{i2} ($i = 1, \dots, M$) のそれぞれに対して、各要素が + 1 または - 1 によって構成される長さ N の直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$ 、及び $M < N$) に基づいて、前記符号系列が前記 + 1 の場合は + V ボルト、前記 - 1 の場合は - V ボルトを印加するように前記 M 本のドライブラインを並列に駆動して、前記第 1 の静電容量列からの出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第 2 の静電容量列からの出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ をアナログ積分器に出力する出力工

10

20

30

40

50

程と、前記出力 $s F i r s t$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 1$ 番目のドライブラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 $s S e c o n d$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 2$ 番目のドライブラインに対応する前記第 2 の静電容量列の容量値を推定する推定工程とを包含する静電容量検出方法であって、前記出力工程は、前記アナログ積分器の飽和を防止するために、前記符号系列の列方向に沿った各要素の総和の絶対値に応じて、前記アナログ積分器のゲインを切り替えることを特徴とする。

【0061】

上記特徴により、アナログ積分器の飽和を回避することができる。

【0062】

本発明に係る静電容量検出方法では、前記推定工程は、前記出力 $s F i r s t$ を A/D 変換した第 1 デジタル値と前記符号系列 $d i$ との内積演算に基づいて、 $k 1$ 番目のドライブラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 $s S e c o n d$ を A/D 変換した第 2 デジタル値と前記符号系列 $d i$ との内積演算に基づいて、 $k 2$ 番目のドライブラインに対応する前記第 2 の静電容量列の容量値を推定し、前記推定工程は、前記符号系列の列方向に沿った各要素の総和の絶対値に応じて、前記第 1 及び第 2 デジタル値の重み付けを切り替えることが好ましい。

【0063】

上記特徴により、アナログ積分器から内積演算部までのゲインを符号系列による駆動ごとに一定にすることができる。

【0064】

本発明に係る静電容量検出方法は、 M 本のドライブラインと 1 本のセンスラインの間に形成される第 1 の静電容量列 $C i 1$ ($i = 1, \dots, M$)、及び、上記 M 本のドライブラインと他の 1 本のセンスラインの間に形成される第 2 の静電容量列 $C i 2$ ($i = 1, \dots, M$) のそれぞれに対して、各要素が $+ 1$ または $- 1$ によって構成される長さ N の直交する符号系列 $d i = (d i 1, d i 2, \dots, d i N)$ ($i = 1, \dots, M$) に基づいて、前記符号系列が前記 $+ 1$ の場合は $+ V$ ボルト、前記 $- 1$ の場合は $- V$ ボルトを印加するように前記 M 本のドライブラインを並列に駆動して、前記第 1 の静電容量列からの出力 $s F i r s t = (s 1 1, s 1 2, \dots, s 1 N)$ 、及び、前記第 2 の静電容量列からの出力 $s S e c o n d = (s 2 1, s 2 2, \dots, s 2 N)$ をアナログ積分器に出力する出力工程と、前記出力 $s F i r s t$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 1$ 番目のドライブラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 $s S e c o n d$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 2$ 番目のドライブラインに対応する前記第 2 の静電容量列の容量値を推定する推定工程とを包含する静電容量検出方法であって、前記出力工程は、前記アナログ積分器の飽和を防止するために、前記符号系列の列方向に沿った各要素の総和の絶対値に応じて、前記符号系列の列を複数の列に分割して、前記 M 本のドライブラインの駆動を複数回に分割することを特徴とする。

【0065】

上記特徴により、アナログ積分器の飽和を回避することができる。

【0066】

本発明に係る静電容量検出方法は、($M = 2^n$) 本のドライブラインと 1 本のセンスラインの間に形成される第 1 の静電容量列 $C i 1$ ($i = 1, \dots, M$)、及び、上記 ($M = 2^n$) 本のドライブラインと他の 1 本のセンスラインの間に形成される第 2 の静電容量列 $C i 2$ ($i = 1, \dots, M$) のそれぞれに対して、シルベスター (Sylvester) 法によって生成される 2^n 次のアダマール (Hadamard) 行列の各行に相当する $+ 1$ または $- 1$ によって構成されて互いに直交する符号長 $N = M$ の符号系列 $d i = (d i 1, d i 2, \dots, d i N)$ ($i = 1, \dots, M$) に基づいて、前記符号系列が前記 $+ 1$ の場合は $+ V$ ボルト、前記 $- 1$ の場合は $- V$ ボルトを印加するように前記 M 本のドライブラインを並列に駆動して、前記第 1 の静電容量列からの出力 $s F i r s t = (s 1 1, s 1 2, \dots, s 1 N)$ 、及び、前記第 2 の静電容量列からの出力 $s S e c o n d = (s 2 1, s 2 2, \dots, s 2 N)$ をア

10

20

30

40

50

ナログ積分器に出力する出力工程と、前記出力 $s F i r s t$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 1$ 番目のドライブラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 $s S e c o n d$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 2$ 番目のドライブラインに対応する前記第 2 の静電容量列の容量値を推定する推定工程とを包含する静電容量検出方法であって、前記出力工程は、前記アナログ積分器の飽和を防止するために、前記符号系列の第 1 列目を複数の列に分割して、前記符号系列の第 1 列目に相当する駆動を複数回に分割することを特徴とする。

【0067】

上記特徴により、アナログ積分器の飽和を回避することができる。

【0068】

本発明に係る静電容量検出方法は、 M 本のドライブラインと 1本のセンスラインの間に形成される第 1 の静電容量列 $C i 1 (i = 1, \dots, M)$ 、及び、上記 M 本のドライブラインと他の 1本のセンスラインの間に形成される第 2 の静電容量列 $C i 2 (i = 1, \dots, M)$ のそれぞれに対して、シルベスター (sylvester) 法によって生成される 2^n 次 ($M < 2^n$) のアダマール (Hadamard) 行列の各行に相当する $+ 1$ または $- 1$ によって構成されて互いに直交する符号長 $N > M$ の符号系列 $d i = (d i 1, d i 2, \dots, d i N) (i = 1, \dots, M)$ に基づいて、前記符号系列が前記 $+ 1$ の場合は $+ V$ ボルト、前記 $- 1$ の場合は $- V$ ボルトを印加するように前記 M 本のドライブラインを並列に駆動して、前記第 1 の静電容量列からの出力 $s F i r s t = (s 1 1, s 1 2, \dots, s 1 N)$ 、及び、前記第 2 の静電容量列からの出力 $s S e c o n d = (s 2 1, s 2 2, \dots, s 2 N)$ をアナログ積分器に出力する出力工程と、前記出力 $s F i r s t$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 1$ 番目のドライブラインに対応する前記第 1 の静電容量列の容量値を推定し、前記出力 $s S e c o n d$ と前記符号系列 $d i$ との内積演算に基づいて、 $k 2$ 番目のドライブラインに対応する前記第 2 の静電容量列の容量値を推定する推定工程とを包含する静電容量検出方法であって、前記出力工程は、前記符号系列の列方向に沿った各要素の総和の絶対値が前記アナログ積分器の飽和に関連する閾値 $N u m$ を超える列を複数の列に分解して、前記符号系列の前記閾値 $N u m$ を超える列に対応する駆動を複数回に分割することを特徴とする。

【0069】

上記特徴により、 2^n 次 ($M < 2^n$) のアダマール行列による駆動において、アナログ積分器の飽和を回避することができる。

【0070】

本発明に係る静電容量検出方法では、前記符号系列の列方向に沿った各要素の総和の絶対値が前記アナログ積分器の飽和に関連する閾値 $N u m$ を超える列は、前記 2^n 次のアダマール行列の 1 列目、 $(2^{n-1} + 1)$ 列目、 $(2^{n-1} + 2^{n-2} + 1)$ 列目、及び $(2^{n-1} - 2^{n-2} + 1)$ 列目のうちの少なくとも 1 つであることが好ましい。

【0071】

上記構成により、 2^n 次 ($M < 2^n$) のアダマール行列による駆動において、簡単なアルゴリズムにより、アナログ積分器の飽和を回避することができる。

【0072】

本発明に係る静電容量検出方法は、 $[x]$ を x の整数部とし、前記 2^n 次のアダマール行列の 1 列目が前記閾値 $N u m$ を超える場合、ドライブラインの 1 番目から $N u m \times [M / N u m]$ 番目までを $N u m$ 個ずつ駆動することを $[M / N u m]$ 回繰り返した後、残りの $(M / N u m)$ の余りの個数を並列駆動し、前記アダマール行列の $(2^{n-1} + 1)$ 列目が前記閾値 $N u m$ を超える場合、ドライブラインの $(2^{n-1} - (M - 2^{n-1}))$ 行目に基づく行から M 行目までを並列に駆動した後、ドライブラインの 1 行目から $(2^{n-1} - (M - 2^{n-1}) - 1)$ 行目に基づく行までを、 $N u m$ 個ずつ駆動することを $[(2^{n-1} - (M - 2^{n-1}) - 1) / N u m]$ 回繰り返した後、残りの $(2^{n-1} - (M - 2^{n-1}) - 1)$ 行目に基づく行 $[N u m]$ の余りの個数を並列駆動し、前記アダマール行列の $(2^{n-1} + 2^{n-2} + 1)$ 列目が前記閾値 $N u m$ を超える場合

10

20

30

40

50

、まず、ドライブラインの1行目から (2^{n-1}) 行目までを同時並列に駆動し、そして、ドライブラインの $((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2})))$ 行目に基づく行からM行目までを並列に駆動し、次に、ドライブラインの $(2^{n-1} + 1)$ 行目から $((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2})))$ 行目に基づく行までを、Num個ずつ駆動することを $[((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2})))$ に基づく行) $-(2^{n-1} + 1) / Num]$ 回繰り返した後、残りの $((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2})))$ に基づく行) $-(2^{n-1} + 1) / Num$ の余りの個数を並列駆動することを特徴とする。

【0073】

上記構成により、 2^n 次 $(M < 2^n)$ のアダマール行列による駆動において、簡単なアルゴリズムにより、アナログ積分器の飽和を回避することができる。

10

【0074】

本発明に係る静電容量検出方法では、行の順番を入れ替えることにより、シルベスター法によって生成される 2^n 次 $(M < 2^n)$ のアダマール行列からなる符号系列を生成し、当該符号系列に基づいて前記M本のドライブラインを並列に駆動することが好ましい。

【発明の効果】

【0075】

本発明に係る線形素子列値推定方法は、M本のドライブラインと1本のセンスラインの間に形成される第1の線形素子列 $C1_i$ ($i = 1, \dots, M$)、及び、上記M本のドライブラインと他の1本のセンスラインの間に形成される第2の線形素子列 $C2_i$ ($i = 1, \dots, M$)のそれぞれに対して、長さNの直交するM個の符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$)に基づいて、前記M本のドライブラインを並列に駆動して、前記第1の線形素子列からのN個の出力 $s_{First} = (s_{11}, s_{12}, \dots, s_{1N})$ 、及び、前記第2の線形素子列からのN個の出力 $s_{Second} = (s_{21}, s_{22}, \dots, s_{2N})$ を出力し、前記出力 s_{First} と前記符号系列 d_i との内積演算に基づいて、 k_1 番目のドライブラインに対応する前記第1の線形素子列の線形素子の値を推定し、前記出力 s_{Second} と前記符号系列 d_i との内積演算に基づいて、 k_2 番目のドライブラインに対応する前記第2の線形素子列の線形素子の値を推定する。従って、従来の構成のように、M本のドライブラインを1本ずつ選択して走査入力する必要がなくなり、第1の線形素子列の線形素子の値及び第2の線形素子列の線形素子の値を取得するための処理時間が長くなり、検出精度を良好に維持しながら、且つ、解像度も良好で高速動作が可能な線形素子列値推定方法を得ることができるという効果を奏する。

20

30

【図面の簡単な説明】

【0076】

【図1】実施の形態に係るタッチセンサシステムの構成を示す回路図である。

【図2】上記タッチセンサシステムに設けられた集積回路の推定部の構成を示すブロック図である。

【図3】上記タッチセンサシステムに設けられたセンサパネルの駆動方法を説明するための図である。

【図4】上記センサパネルの駆動方法を説明するためのタイミングチャートである。

40

【図5】上記タッチセンサシステムに設けられたセンサパネルに入力される直交する符号系列の具体例を説明するための図である。

【図6】上記直交する符号系列の他の具体例を説明するための図である。

【図7】上記直交する符号系列のさらに他の具体例を説明するための図である。

【図8】実施の形態2に係るタッチセンサシステムに設けられたセンサパネルの駆動方法を説明するためのタイミングチャートである。

【図9】実施の形態2に係るタッチセンサシステムに設けられたセンサパネルの駆動方法を説明するための他のタイミングチャートである。

【図10】実施の形態3に係るセンサパネルの駆動方法を説明するための図である。

【図11】(a)及び(b)は実施の形態4に係るセンサパネルを駆動するための符号系

50

列を説明するための図である。

【図 1 2】実施の形態 5 に係るセンサパネルを駆動するための符号系列を説明するための図である。

【図 1 3】上記センサパネルを駆動する方法を示すグラフである。

【発明を実施するための形態】

【0077】

本発明のタッチセンサシステムに関する実施の一形態について図 1 ~ 図 1 3 に基づいて説明すれば以下のとおりである。

【0078】

(実施の形態 1)

(実施の形態に係るタッチセンサシステムの構成)

図 1 は、実施の形態に係るタッチセンサシステム 1 の構成を示す回路図である。タッチセンサシステム 1 は、センサパネル 2 と、このセンサパネル 2 を制御する集積回路 3 とを備えている。センサパネル 2 は、水平方向に沿って互いに平行に所定の間隔を空けて配置された M 本のドライブライン $DL1 \sim DLM$ と、このドライブラインに交差する方向に沿って互いに平行に所定の間隔を空けて配置された L 本のセンスライン $SL1 \sim SLL$ と、これら M 本のドライブライン $DL1 \sim DLM$ のそれぞれと L 本のセンスライン $SL1 \sim SLL$ のそれぞれとの間に M 行 \times L 列のマトリックス状に配置された静電容量 C_{ij} ($i = 1 \sim M$ 、 $j = 1 \sim L$) とを備えている。

【0079】

集積回路 3 は、M 本のドライブライン $DL1 \sim DLM$ に接続された駆動部 4 を有している。集積回路 3 には、推定部 5 が設けられている。図 2 は、集積回路 3 の推定部 5 の構成を示すブロック図である。

【0080】

推定部 5 は、L 本のセンスライン $SL1 \sim SLL$ にそれぞれ接続された L 個のアナログ積分器 6 と、L 個のアナログ積分器 6 に接続されたスイッチ 7 と、スイッチ 7 に接続された AD 変換器 8 と、AD 変換器 8 に接続された内積演算部 9 と、内積演算部 9 に接続された RAM 10 とを有している。アナログ積分器 6 は、一方の入力が接地されたオペアンプと、このオペアンプの出力と他方の入力との間に配置された容量 C_{int} の積分容量と、オペアンプの他方の入力に結合されたトランジスタと、このトランジスタと並列に接続された他のトランジスタとを有している。

【0081】

集積回路 3 には、内積演算部 9 に接続されて 240 Hz でジェスチャ認識処理 (ARM 等) を実行するアプリケーション処理部 11 が設けられている。このように、推定部 5 には、アナログ回路とデジタル回路とが混載されている。

【0082】

(従来のタッチセンサシステムの動作)

本実施の形態の動作を具体的に説明する前に、前述した特許文献 1 に記載の従来の構成における動作を確認する。M 本のドライブラインと L 本のセンスラインとの間に形成される静電容量のマトリックス C_{ij} ($i = 1, \dots, m$ 、 $j = 1, \dots, L$) の検出を考える。まず、ドライブラインを一本ずつ選択する走査検出を考える。

【0083】

選択したドライブラインにつながる容量 C_{ij} ($j = 1, \dots, l$) を V ボルトに充電し $C_{ij} \times V$ の信号を蓄える。この信号をセンスライン経由で読み出す際のゲインを G とすると、検出信号は、

$$G \times C_{ij} \times V \quad (\text{式 1})$$

となる。

【0084】

(本実施の形態のタッチセンサシステムの動作)

図 3 は、タッチセンサシステム 1 に設けられたセンサパネル 2 の駆動方法を説明するた

10

20

30

40

50

めの図である。図 1 及び図 2 で前述した構成要素と同一の構成要素には同一の参照符号を付している。これらの構成要素についての詳細な説明は繰り返さない。

【 0 0 8 5 】

本発明の実施の形態として、まず、+ 1 と - 1 とから構成される互いに直交する符号長 N の符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$) を準備する。ここで、符号長 N の符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$) が「直交する」とは、符号系列 d_i が下記に示す条件を満足することをいう。

【 0 0 8 6 】

【数 3】

$$\begin{aligned} d_i \cdot d_k &= \sum_{j=1}^N d_{ij} \times d_{kj} \\ &= N \times \delta_{ik} \end{aligned}$$

10

ここで、

$$\delta_{ik} = 1 \text{ if } i = k$$

$$\delta_{ik} = 0 \text{ if } i \neq k \text{ である。}$$

【 0 0 8 7 】

そして、この符号系列 d_i に基づいて、+ 1 の場合は + V ボルトが印加され、- 1 の場合は - V ボルトが印加されるように、駆動部 4 は、M 本のドライブレイン $DL_1 \sim DL_M$ を並列に駆動する。すると、各静電容量 C_{ij} ($i = 1 \sim M, j = 1 \sim L$) に、符号系列の各要素 (+ 1 または - 1) に応じて、 $\pm C_{ij} \cdot V$ の電荷を有する信号が蓄えられる。

20

【 0 0 8 8 】

次に、同じセンスラインにつながる各静電容量に蓄積された電荷により表される信号について、センスラインの結線に沿って電荷加算を行い、センスライン毎にアナログ積分器 6 で読み出し、出力系列ベクトル $s_j = (s_{j1}, s_{j2}, \dots, s_{jN})$ ($j = 1, \dots, L$) を得る。

【 0 0 8 9 】

図 4 は、センサパネル 2 の駆動方法を説明するためのタイミングチャートである。まず、

30

リセット信号により、アナログ積分器 6 の積分容量 C_{int} がリセットされるとともに、センサパネル 2 にマトリクス状に配置された各静電容量もリセットされる。ここで、リセットとは、容量に蓄積されている電荷を放電するという意味である。そして、ドライブレイン $DL_1 \sim DL_M$ を、符号系列 $d_{11}, d_{21}, d_{31}, \dots, d_{M1}$ の値である + 1 または - 1 に応じて、 $V_{ref} + V$ 、または $V_{ref} - V$ で並列に駆動すると、各静電容量に、符号系列の要素 ± 1 に応じた $\pm CV$ の電荷が蓄えられる。次に、同じセンスラインにつながる各静電容量に蓄積された電荷により表される信号について、センスラインの結線に沿って電荷加算を行い、センスライン毎にアナログ積分器 6 で読み出す。アナログ積分器 6 からの出力には、

40

【 0 0 9 0 】

【数 4】

$$G \times \sum_{k=1}^M (C_{ki} \times V \times d_{ki})$$

【 0 0 9 1 】

(この回路の場合、 $G = -1 / C_{int}$)

が表れるので、このアナログ積分器 6 からの出力をサンプリング信号に基づいて A/D 変換器 8 により A/D 変換する。

50

【 0 0 9 2 】

出力系列ベクトル s_j は、

【 0 0 9 3 】

【 数 5 】

$$s_{ji} = G \times \sum_{k=1}^M (C_{kj} \times V \times d_{ki})$$

【 0 0 9 4 】

となり、

【 0 0 9 5 】

【 数 6 】

$$s_j = \sum_{k=1}^M (C_{kj} \times V \times d_k)$$

【 0 0 9 6 】

符号系列 d_i と出力系列ベクトル s_j との内積演算 $d_i \cdot s_j$ を行うと、

【 0 0 9 7 】

【 数 7 】

$$\begin{aligned} d_i \cdot s_j &= d_i \cdot G \times \sum_{k=1}^M (C_{kj} \times V \times d_k) \\ &= G \times \sum_{k=1}^M (C_{kj} \times V \times d_i \cdot d_k) \\ &= G \times \sum_{k=1}^M (C_{kj} \times V \times N \times \delta_{ik}) \\ &= G \times C_{ik} \times V \times N \dots \text{(式2)} \end{aligned}$$

ここで、

$$\delta_{ik} = 1 \text{ if } i = k$$

$$\delta_{ik} = 0 \text{ if } i \neq k \text{ である。}$$

【 0 0 9 8 】

上記(式1)及び上記(式2)を比較すると、本実施の形態の方式により、従来の走査読み出し方式よりも n 倍大きい検出信号が得られることがわかる。

【 0 0 9 9 】

センスラインの読み出し方式としては、図1及び図2に示されるアナログ積分器6(積分容量 C_{int} を用いたオペアンプによる電荷積分器)を使用すると、上記ゲイン G は、 $(1/C_{int})$ となる。

【 0 1 0 0 】

このように、集積回路3の駆動部4は、第1の静電容量列 C_{ip} (p は1以上 ($L-1$) 以下、 $i = 1, \dots, M$)、及び前記第2の静電容量列 C_{iq} ($p < q$ 、 q は2以上 L 以下、 $i = 1, \dots, M$) のそれぞれに対して、各要素が $+1$ または -1 によって構成される長さ N の直交する符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$) に基づいて、符号系列が前記 $+1$ の場合は $+V$ ボルト、 -1 の場合は $-V$ ボルトを印加するように M 本のドライブレインを並列に駆動する。そして、第1の静電容量列からの出力 $s_{First} = (s_{p1}, s_{p2}, \dots, s_{pN})$ 、及び、第2の静電容量列からの出力 $s_{Second} = (s_{q1}, s_{q2}, \dots, s_{qN})$ を出力させる。

【 0 1 0 1 】

そして、上記第1の静電容量列からの出力 $s_{First} = (s_{p1}, s_{p2}, \dots, s_p$

10

20

30

40

50

N) は、対応して設けられたアナログ積分器 6 によって積分され、第 2 の静電容量列からの出力 $s\text{ Second} = (s\text{ q } 1, s\text{ q } 2, \dots, s\text{ q } N)$ は、対応して設けられたアナログ積分器 6 によって積分される。スイッチ 7 は、各センスライン $S\text{ L } 1 \sim S\text{ L } L$ に対応するアナログ積分器 6 を順次切り換えて、各アナログ積分器 6 により積分された静電容量列からの出力を A/D 変換器 8 に供給する。

【0102】

具体的には、まず、第 1 の静電容量列から出力 $s\text{ p } 1$ がアナログ積分器 6 に読み出されて積分されると同時に第 2 の静電容量列から出力 $s\text{ q } 1$ が他のアナログ積分器 6 に読み出されて積分される。そして、スイッチ 7 は、アナログ積分器 6 に接続し、読み出されて積分された出力 $s\text{ p } 1$ を A/D C 8 に供給する。次に、スイッチ 7 は、アナログ積分器 6 との接続を解除して他のアナログ積分器 6 に接続し、読み出されて積分された出力 $s\text{ q } 1$ を A/D C 8 に供給する。その後、第 1 の静電容量列から出力 $s\text{ p } 2$ がアナログ積分器 6 に読み出されて積分されると同時に第 2 の静電容量列から出力 $s\text{ q } 2$ が他のアナログ積分器 6 に読み出されて積分される。そして、スイッチ 7 は、アナログ積分器 6 に接続し、読み出されて積分された出力 $s\text{ p } 2$ を A/D C 8 に供給する。次に、スイッチ 7 は、アナログ積分器 6 との接続を解除して他のアナログ積分器 6 に接続し、読み出されて積分された出力 $s\text{ q } 2$ を A/D C 8 に供給する。このようにして、出力 $s\text{ p } N$ 、出力 $s\text{ q } N$ までがアナログ積分器 6 及びスイッチ 7 により順番に A/D C 8 に供給される。また、ドライブラインの駆動に合わせて全センスラインのアナログ積分器 6 が並列に動作する。

【0103】

A/D 変換器 8 は、アナログ積分器 6 により積分された静電容量列からの出力を A/D 変換して内積演算部 9 に供給する。

【0104】

内積演算部 9 は、出力 $s\text{ F i r s t}$ と符号系列 $d\text{ i}$ との内積演算に基づいて、RAM 10 に格納されたデータを参照しながら、 $k\text{ 1}$ 番目 ($1 < k\text{ 1} < M$) のドライブラインに対応する第 1 の静電容量列の容量値を推定し、出力 $s\text{ S e c o n d}$ と符号系列 $d\text{ i}$ との内積演算に基づいて、 $k\text{ 2}$ 番目 ($k\text{ 1} < k\text{ 2}$ 、 $1 < k\text{ 1} < M$) のドライブラインに対応する第 2 の静電容量列の容量値を推定する。

【0105】

アプリケーション処理部 11 は、内積演算部 9 により推定された静電容量の容量値に基づいて、ジェスチャー認識処理を実行し、ジェスチャーコマンドを生成する。

【0106】

(符号系列の具体例)

図 5 は、センサパネルに入力される直交する符号系列の具体例を説明するための図である。長さ N の直交する符号系列 $d\text{ i}$ の具体例としては、例えば、下記に示す符号系列を挙げることができる。

【0107】

代表的な直交する符号系列であるアダマール (Hadamard) 行列は、図 5 に示されるシルベスター (sylvester) 法によって生成される。基本的な構造として、2 行 × 2 列の基本単位を作る。この基本単位の右上、左上、及び左下のビットは同一であり、右下はこれらのビット反転となっている。

【0108】

次に、前述した 2 × 2 の基本要素を、右上、左上、右下、及び左下にブロックとして 4 つ合成して、4 行 × 4 列のビット配列の符号を作る。ここで、2 × 2 の基本単位の作成と同様に、右下のブロックはビット反転となる。同様な手順で、8 行 × 8 列、16 行 × 16 列のビット配列の符号を生成する。これらの行列は、前述した本発明の「直交する」の定義を満足する。

【0109】

本実施の形態において、例えば、センサパネル 2 のドライブラインが 16 本で構成されていれば、図 4 に示す 16 行 × 16 列のビット配列の符号を直交する符号系列として使用

10

20

30

40

50

することができる。ここで、アダマール (Hadamard) 行列とは、要素が 1 または - 1 のいずれかであり、かつ各行が互いに直交であるような正方行列をいう。すなわち、アダマール行列の任意の 2 つの行は、互いに垂直なベクトルを表す。

【 0 1 1 0 】

本実施の形態に係る直交する符号系列は、N 次のアダマール行列から任意に M 行取り出した行列を使用することができる (ここで、M < N である)。以下に述べるように、シルベスター法以外の方法によるアダマール行列も本発明に適用することができる。

【 0 1 1 1 】

図 6 は直交する符号系列の他の具体例を説明するための図であり、図 7 は直交する符号系列のさらに他の具体例を説明するための図である。シルベスター法による N 次のアダマール行列は、N = 2 のべき乗になるが、N が 4 の倍数であれば、アダマール行列は存在するという予想が存在し、例えば、図 6 には、N = 12 のときのアダマール行列が示されており、図 7 には、N = 20 のときのアダマール行列が示されている。これらのシルベスター法以外の方法によるアダマール行列も、本実施の形態に係る直交する符号系列として使用することができる。

【 0 1 1 2 】

(内積演算の実際)

内積マトリックス $C'_{ij} = d_{ik} \cdot s_{jk}$ の計算は次の手順で行う。

(1) まず、推定部 5 の RAM 10 (図 2) に格納された内積マトリックスを $C'_{ij} = 0$ にリセットする。

(2) 時刻 t_k ($k = 1, \dots, N$ のいずれか) のタイミングで i 番目 ($i = 1, \dots, M$) のドライバライン DL_i を電圧 $V \times d_{ik}$ で並列に駆動し、各静電容量に電荷 $C_{ij} \times V \times d_{ik}$ を充電する。

(3) 各センスライン j ($j = 1, \dots, L$) を対応するアナログ積分器 6 に接続し、時刻 t_k で充電した静電容量からの出力電圧 s_{jk} を読み出し、各 L 本のセンスラインに対応して配置された L 個のアナログ積分器 6 にそれぞれ読み出された時刻 t_k における L 個の出力電圧 s_{jk} を、スイッチ 7 により順番に AD 変換器 8 に供給して AD 変換し、AD 変換器 8 により AD 変換された時刻 t_k における出力電圧 s_{jk} を内積演算部 9 に供給する。内積演算部 9 に供給された時刻 t_k における出力電圧 s_{jk} は、

【 0 1 1 3 】

【数 8】

$$s_{jk} = \sum_{i=1}^M (C_{ij} \times V \times d_{ik} / C_{int})$$

【 0 1 1 4 】

となる。

(4) 内積演算部 9 は、AD 変換器 8 から出力された L 個の出力電圧 s_{jk} のそれぞれと、RAM 10 に格納された符号系列 d_{ik} に応じて加減算を行い (符号系列 $d_{ik} = 1$ のときは加算し、 $d_{ik} = -1$ のときは減算する)、その結果に基づいて C'_{ij} の値を更新する。

【 0 1 1 5 】

【数 9】

$$C'_{ij} \leftarrow C'_{ij} + d_{ik} \times s_{jk}$$

【 0 1 1 6 】

(5) 符号系列の長さに相当する N 回の処理が回るまでは、時刻をインクリメント ($t_k + 1$) し、(1) に戻る。

以上の処理が終わると、 C'_{ij} の値は、内積の計算結果となる。

【 0 1 1 7 】

本実施の形態に係るセンサパネル 2 のドライバラインの本数 M、センスラインの本数 L

10

20

30

40

50

、及び符号系列の長さNは、例えば、4インチクラスの携帯情報端末等に適用する場合は、M = 16、L = 32とすれば、3mmピッチ程度になる。また、例えば、20インチクラスの画面を有する電子機器に適用する場合は、M = 48、L = 80により、6mmピッチ程度になる。符号系列の長さNの自由度は、非常に高いが、例えば、N = 64 ~ 512である。

【0118】

(駆動概念の先行技術との差異)

前述した特許文献2に記載の容量検出装置も、符号系列に基づいてドライブラインを駆動し、センスラインに接続され、駆動されたドライブラインとの複数の交差部の容量に生じる電流の総和を電気信号に変換した測定電圧を出力し、センスラインごとに、測定電圧と符号系列とにより積和演算を行い、各交差部の容量に対応する電圧値を求めている。しかしながら、ドライブラインの駆動概念が、下記のように、本実施の形態とは異なる。

【0119】

例えば、説明の簡単化のために、1本のセンスラインと4本のドライブラインとの間に、容量(C1、C2、C3、C4)が形成されている例を考える。4本のドライブラインの駆動信号(符号系列)が、(1、1、-1、-1)であるとする(特許文献2の表記では(1、1、0、0))、本実施の形態では、常に全ドライブラインが駆動され、

$$C1 + C2 - C3 - C4 \dots \text{(式3)}$$

に相当する積分出力を得るが、特許文献2に開示された構成では、「1」に対応するドライブラインのみが駆動され、

$$C1 + C2 \dots \text{(式4)}$$

に相当する積分出力を得る。本実施の形態の(式3)と特許文献2の(式4)とを比較すると、本実施の形態の積分出力の方が含まれる情報量が多いといえる。

【0120】

また、

$$C_i = C + C_i$$

C_i : 容量の変化 (C_i は通常、Cの1割程度である)

と表すと、

$$\begin{aligned} \text{(式3)} &= C1 + C2 - C3 - C4 \\ &= C1 + C2 - C3 - C4 \\ &= 0.2 \times C \dots \text{(式5)} \end{aligned}$$

$$\begin{aligned} \text{(式4)} &= 2 \times C + C1 + C2 \\ &= 2 \times C \dots \text{(式6)} \end{aligned}$$

となる。

【0121】

タッチセンサーパネル等では、C_iはCの一割程度であるので、(式6)の値は、(式5)の値の10倍程度になる。即ち、特許文献2の(式6)を実現する積分回路は、(式5)を実現する本実施の形態の積分回路に比べてゲインを1/10程度に設定せざるを得ず、信号のSN比が劣る。このSN比の違いは、ドライブラインの数Mが増加すると、さらに大きくなる。

【0122】

常に全ドライブラインを並列に駆動している本実施の形態は、測定電圧のオフセット誤差をキャンセルするために、符号系列に基づいて第1のドライブライン(C1、C2)と第2のドライブライン(C3、C4)とに振り分けて駆動している特許文献2に記載の容量検出回路と異なっている。本実施の形態では、リセットスイッチのフィールドスルーによるオフセットは、ドライブラインに信号を入力しない状態(電圧V_{ref}で駆動している状態)におけるAD変換器の出力によって計測することができるので、この計測値をデジタル回路において減算すれば、オフセット誤差をキャンセルすることができる。

【0123】

(正負演算の先行技術との差異)

本実施の形態では、符号系列の値に応じて、+ 1 の場合は + V ボルト、- 1 の場合は - V ボルトになるように M 本のドライブレインを並列に駆動し、(式 3) に相当する値を一挙に演算する。これに対して特許文献 2 に記載の構成では、(式 4) の C 1 + C 2 を演算し、その後、C 3 + C 4 に相当する演算を行う。このように特許文献 2 に記載の構成では、演算が 2 相になるため、消費電力を抑えた高速化に不利である。

【 0 1 2 4 】

また、本実施の形態は、符号系列の値が - 1 の場合は - V ボルトになるようにドライブレインを駆動するが、特許文献 2 に記載の構成は、ドライブレインを + V ボルトに駆動するのみであり、- V ボルトに駆動する概念が無い点で相異なる。

【 0 1 2 5 】

(直交性概念の先行技術との差異)

前述したように本発明において、符号長 N の符号系列 $d_i = (d_{i1}, d_{i2}, \dots, d_{iN})$ ($i = 1, \dots, M$) が直交するとは、符号系列 d_i が下記に示す条件を満足することをいうと定義している。

【 0 1 2 6 】

【数 1 0】

$$\begin{aligned} d_i \cdot d_k &= \sum_{j=1}^N d_{ij} \times d_{kj} \\ &= N \times \delta_{ik} \end{aligned}$$

ここで、

$$\delta_{ik} = 1 \text{ if } i = k$$

$$\delta_{ik} = 0 \text{ if } i \neq k \text{ である。}$$

【 0 1 2 7 】

特許文献 2 ~ 5 においても、直交性を有すると称される符号系列が開示されているが、明細書の中には、「直交する」ことの定義が明確に示されていない。例えば、特許文献 2 の図 19 には、15 行 × 15 列の行列が示されており、この 15 行 × 15 列の行列を直交符号として利用すると記載されている。しかしながら、この 15 行 × 15 列の行列は、本発明の上記定義を満足せず、本発明の直交する符号系列に該当しない。内積演算により容量を正確に検出するためには、符号系列の直交性が必要であるが、特許文献 2 に記載の読み出し方式では、本発明の直交する符号系列に該当しない符号系列に基づいて読み出されているので、読み出した値に誤差が混入する。

【 0 1 2 8 】

(推定部 5 の他の構成)

本実施の形態においては、L 本のセンスラインにそれぞれ対応するアナログ積分器 6 を配置し、スイッチ 7 によりこれらのアナログ積分器 6 を切り換え、A/D 変換器 8 及び内積演算部 9 を一個ずつ配置した構成の例を示したが、本発明はこれに限定されない。アナログ積分器 6 を 1 個設け、このアナログ積分器 6 の入力切り換えによってセンスライン毎の読み出しを行うように構成してもよい。

【 0 1 2 9 】

また、A/D 変換器 8 を、センスライン及びアナログ積分器毎に設け、スイッチ 7 を A/D 変換器 8 と及び内積演算部 9 との間に設けるように構成してもよい。

【 0 1 3 0 】

(他の実施形態の構成)

本実施の形態においては、ドライブレインとセンスラインとの間に形成される静電容量の容量値を検出する例を挙げて説明したが、本発明はこれに限定されない。例えば、ドライブレインとセンスラインとの間に形成される線形素子の値を推定する構成に対しても本

10

20

30

40

50

発明を適用することができるし、また、M個の入力 $\times k$ ($k = 1, \dots, M$)を有して入出力が線形な系の k 番目の入力 $\times k$ に対応する係数 C_k を推定する構成に対しても本発明を適用することができる。

【0131】

また、本実施の形態に記載したタッチセンサシステム1と、タッチセンサシステム1に設けられたセンサパネル2に重ねて配置された表示パネルとを備えた電子機器を構成してもよし、また、タッチセンサシステム1と、センサパネル2を内蔵してセンサパネル2の機能を有する表示パネルとを備えた電子機器を構成してもよい。

【0132】

(実施の形態2)

(2種類電圧によるセンサパネルの駆動方法)

図8は、実施の形態2に係るタッチセンサシステムに設けられたセンサパネルの駆動方法を説明するためのタイミングチャートである。

【0133】

図4を参照して前述した実施の形態1に係るセンサパネルの駆動方法では、 V_{ref} 、 $(V_{ref} + V)$ 、及び $(V_{ref} - V)$ の3種類の電圧によりセンサパネルを駆動したが、実施の形態2の駆動方法では2種類の電圧 $V_1 \cdot V_2$ により駆動する。

【0134】

即ち、符号系列が+1の場合は、アナログ積分器6(図1)のリセット時に電圧 V_1 により、各静電容量が結合されたセンスラインからの出力のサンプリング時に電圧 V_2 によりドライバラインを駆動する。そして、符号系列が-1の場合は、アナログ積分器6のリセット時に電圧 V_2 により、各静電容量が結合されたセンスラインからの出力のサンプリング時に電圧 V_1 によりドライバラインを駆動する。

【0135】

具体的には、図8に示す例では、ドライバラインDL1は、符号系列の対応する要素 $d_{11} = +1$ 、 $d_{12} = +1$ であるので、アナログ積分器6のリセット時に電圧 V_1 により駆動された後、サンプリング時に電圧 V_2 により駆動され、次のリセット時に電圧 V_1 により駆動された後、次のサンプリング時に電圧 V_2 により駆動される。ドライバラインDL2は、符号系列の対応する要素 $d_{21} = +1$ 、 $d_{22} = -1$ であるので、アナログ積分器6のリセット時に電圧 V_1 により駆動された後、サンプリング時に電圧 V_2 により駆動され、次のリセット時に電圧 V_2 により駆動された後、次のサンプリング時に電圧 V_1 により駆動される。

【0136】

ドライバラインDL3は、符号系列の対応する要素 $d_{31} = -1$ 、 $d_{32} = -1$ であるので、アナログ積分器6のリセット時に電圧 V_2 により駆動された後、サンプリング時に電圧 V_1 により駆動され、次のリセット時に電圧 V_2 により駆動された後、次のサンプリング時に電圧 V_1 により駆動される。ドライバラインDL4は、符号系列の対応する要素 $d_{41} = -1$ 、 $d_{42} = +1$ であるので、アナログ積分器6のリセット時に電圧 V_2 により駆動された後、サンプリング時に電圧 V_1 により駆動され、次のリセット時に電圧 V_1 により駆動された後、次のサンプリング時に電圧 V_2 により駆動される。ドライバラインDLMは、符号系列の対応する要素 $d_{M1} = -1$ 、 $d_{M2} = +1$ であるので、アナログ積分器6のリセット時に電圧 V_2 により駆動された後、サンプリング時に電圧 V_1 により駆動され、次のリセット時に電圧 V_1 により駆動された後、次のサンプリング時に電圧 V_2 により駆動される。

【0137】

ここで、 $V_1 = V_{dd}$ 、 $V_2 = V_{ss}$

とすると、出力は、

$$(C_f / C_{int}) \times (V_1 - V_2) = (C_f / C_{int}) \times (V_{dd} - V_{ss})$$

となり、

図4を参照して前述した実施の形態1に係るセンサパネルの駆動方法において、

10

20

30

40

50

$$V_{ref} = (V_{dd} - V_{ss}) / 2、$$

とおいた場合、

$$V_{dd} = V_{ref} + V、$$

$$V_{ss} = V_{ref} - V、$$

であるから、

$$V = (V_{dd} - V_{ss}) / 2$$

となり、図 8 に示す例の半分の出力になる。従って、図 8 に示す実施の形態 2 の駆動方法によれば、図 4 の実施の形態 1 の駆動方法の 2 倍の信号強度を得ることができ、静電容量に蓄積される電荷を 2 倍にすることができる。

【 0 1 3 8 】

(オフセット読み出し)

図 9 は、実施の形態 2 に係るタッチセンサシステムに設けられたセンサパネルの駆動方法を説明するための他のタイミングチャートである。

【 0 1 3 9 】

図 4 または図 8 に示した態様によりドライライン D L 1 ~ D L M を並列駆動する前に、図 9 に示すように、リセット時もサンプリング時も一定電圧 V_{ref} によりドライライン D L 1 ~ D L M を駆動して、ドライラインに信号を入れない状態にし、アナログ積分器 6 (図 1 及び図 2) からオフセット出力値を読み出す。そして、アナログ積分器 6 から読み出したオフセット出力値を A D C 8 により A D 変換する。次に、A D C 8 により A D 変換されたオフセット出力値を内積演算部 9 により計測し、このオフセット出力値をセン

【 0 1 4 0 】

(オフセット補償方法)

その後、図 4 または図 8 に示した態様によりドライライン D L 1 ~ D L M を並列駆動して、静電容量列からの出力をアナログ積分器 6 に出力する。そして、A D C 8 は、アナログ積分器 6 に出力された静電容量列からの出力を A D 変換して内積演算部 9 に供給する。次に、内積演算部 9 は、A D C 8 により供給された静電容量列からの出力から、R A M 1 0 に格納されたオフセット出力値をセンサライン S L 1 ~ S L L ごとに減算して、アナログ積分器 6 に設けられたリセットスイッチのフィードスルーによるオフセットをキャンセルする。

【 0 1 4 1 】

なお、リセット時もサンプリング時も一定電圧 V_{ref} によりドライライン D L 1 ~ D L M を駆動して、アナログ積分器 6 からオフセット出力値を読み出し、A D C 8 により A D 変換したオフセット出力値を内積演算部 9 により計測する動作を複数回繰り返して複数個のオフセット出力値を計測し、この複数個のオフセット出力値を平均化することによりオフセットに含まれるノイズ成分を削減した平均オフセット出力値を R A M 1 0 に格納するように構成してもよい。複数回の繰り返し回数は、例えば、6 0 H z の場合、1 6 回であり、2 4 0 H z の場合、1 0 0 回に設定され得る。

【 0 1 4 2 】

(実施の形態 3)

(アナログ積分器のゲイン切り替え)

図 1 0 は、実施の形態 3 に係るセンサパネルの駆動方法を説明するための図である。実施の形態 1 で前述した構成要素と同一の構成要素には同一の参照符号を付し、その詳細な説明は繰り返さない。

【 0 1 4 3 】

センサパネル 2 が 4 本のドライライン D L 1 ~ D L 4 と 4 本のセンサライン S L 1 ~ S L 4 とを有しており、符号系列が、シルバスター法によって生成される 4 次のアダマール行列により構成される例を説明する。

【 0 1 4 4 】

アナログ積分器 6 A は、一方の入力が基準電圧 V_{ref} に結合されたオペアンプと、こ

10

20

30

40

50

のオペアンプの出力と他方の入力との間に配置された容量 C_{int} の積分容量と、この積分容量に対してそれぞれ並列に接続された 3 個の他の積分容量と、3 個の他の積分容量のそれぞれとオペアンプの出力との間にそれぞれ設けられた 3 個のスイッチとを有している。

【0145】

シルベスター法によって生成される 4 次のアダマール行列からなる符号系列の各要素の列方向に沿った総和は、1 列目が「4」であり、2 列目～4 列目が「0」である。従って、この符号系列の 1 列目の各要素によりドライバラインを駆動するときに、静電容量列からの出力の値は、2 列目～4 列目により駆動する場合に比べて著しく大きくなってアナログ積分器 6 A の容量を超え、アナログ積分器 6 A が飽和するおそれがある。

10

【0146】

そこで、符号系列の各要素の列方向に沿った総和がアナログ積分器 6 A が飽和する程度に大きい列により、ドライバラインを駆動するときは、アナログ積分器 6 A の飽和を防止するように、アナログ積分器 6 A に設けられたスイッチをオフからオンに切り替える。

【0147】

シルベスター法によって生成されるアダマール行列は、1 列目の要素が必ずすべて +1 となり、列の要素の総和が他の列の総和よりも著しく大きくなり、アナログ積分器 6 A が飽和するおそれが生じるが、上記のようにアナログ積分器 6 A に設けられたスイッチをオフからオンに切り替えて、アナログ積分器 6 A のゲインを切り替えることにより、アナログ積分器の飽和を防止することができる。

20

【0148】

以上のように実施の形態 3 によれば、符号系列の列方向に沿った各要素の総和の絶対値に応じて、アナログ積分器のゲインを切り替えるので、アナログ積分器の飽和を防止することができる。

【0149】

(アナログ積分器ゲイン切り替えの内積演算部ゲイン切り替えによる補償)

内積演算部 9 は、ゲインを切り替え可能なアナログ積分器 6 A に出力された静電容量列からの出力を ADC 8 により AD 変換したデジタル値と符号系列との内積演算に基づいて、各ドライバラインに対応する静電容量列の容量値を推定する。ここで、内積演算部 9 は、符号系列の列方向に沿った各要素の総和の絶対値に応じて、デジタル値の重み付けを切り替えて、アナログ積分器 6 A のゲインとデジタル値の重み付けによるゲインとの積が、符号系列の各列ごとに一定にする。

30

【0150】

(実施の形態 4)

(内積計算の複数駆動による分割)

図 11 (a) 及び (b) は実施の形態 4 に係るセンサパネルを駆動するための符号系列を説明するための図である。

【0151】

図 11 (a) には、シルベスター法によって生成される 4 次のアダマール行列により構成される符号系列が示されている。この符号系列は、図 10 に示される符号系列と同様に、各要素の列方向に沿った総和は、1 列目が「4」であり、2 列目～4 列目が「0」である。従って、この符号系列の 1 列目の各要素によりドライバラインを駆動するときに、静電容量列からの出力の値は、2 列目～4 列目により駆動する場合に比べて著しく大きくなってアナログ積分器 6 A の容量を超え、アナログ積分器 6 A が飽和するおそれがある。

40

【0152】

そこで、図 11 (b) に示すように、符号系列の 1 列目の (1、1、1、1) を、(1、1、0、0) によって表される列と、(0、0、1、1) によって表される列との 2 列に分割することにより、4 本のドライバラインの駆動を 4 回から 5 回にし、各要素の列方向に沿った総和「4」を「2」と「2」とに分割して、列方向に沿った総和の最大値を「4」がら「2」に低減して、アナログ積分器の飽和を防止する。

50

【 0 1 5 3 】

実施の形態 4 では、シルベスター法によって生成される 4 次のアダマール行列により構成される符号系列の例を示したが、本発明はこれに限定されない。4 次以外の 2^n 次のアダマール行列により構成される符号系列に対して本発明を適用できるし、シルベスター法以外の方法により生成される任意の次数のアダマール行列により構成される符号系列に対しても本発明を適用することができる。

【 0 1 5 4 】

(実施の形態 5)

(三角山型駆動方法)

図 1 2 は、実施の形態 5 に係るセンサパネルを駆動するための符号系列を説明するための図である。 10

【 0 1 5 5 】

実施の形態 5 に係るセンサパネルは、M本のドライブラインとL本のセンスラインとの間に形成される静電容量列のそれぞれに対して、シルベスター法によって生成される 2^n 次 ($M < 2^n$) のアダマール行列の各行に相当する + 1 または - 1 によって構成されて互いに直交する符号長 $N > M$ の符号系列に基づいて、M本のドライブラインを並列に駆動する。図 1 2 には、16 次のアダマール行列に基づく $M (= 13)$ 本のドライブラインに対応した 13 行 × 16 列の符号系列の例を示している。

【 0 1 5 6 】

図 1 3 は、センサパネルを駆動する方法を示すグラフである。横軸は、図 1 2 に示す $N = 16$ のアダマール行列の列方向に沿った位置を示している。縦軸は、この $N = 16$ のアダマール行列の列方向に沿った各要素の総和の絶対値を示している。 20

【 0 1 5 7 】

$N = 16$ のアダマール行列の第 1 列目は、要素がすべて 1 であるので、列方向に沿った位置 (横軸) と列方向に沿った各要素の総和の絶対値 (縦軸) との関係は、線形的に単調増加する線 L 1 により表される。

【 0 1 5 8 】

$N = 16$ のアダマール行列の第 9 列目 ($(2^{(4-1)} + 1)$ 列目) は、第 1 行から第 8 行までがすべて 1 であり、第 9 行から第 16 行までがすべて - 1 であるので、列方向に沿った位置 (横軸) と列方向に沿った各要素の総和の絶対値 (縦軸) との関係は、線形的に単調増加した後、線形的に単調減少して底辺長さ 16、高さ 8 の三角山型形状を形成する線 L 2 によって表される。 30

【 0 1 5 9 】

$N = 16$ のアダマール行列の第 5 列目 ($(2^{4-1} - 2^{4-2} + 1)$ 列目) は、第 1 行から第 4 行までがすべて 1 であり、第 5 行から第 8 行までがすべて - 1 であり、第 9 行から第 12 行までがすべて 1 であり、第 13 行から第 16 行までがすべて - 1 である。従って、列方向に沿った位置 (横軸) と列方向に沿った各要素の総和の絶対値 (縦軸) との関係は、底辺長さ 8、高さ 4 の三角山型形状を 2 個形成する線 L 3 によって表される。第 13 列目 ($(2^{4-1} + 2^{4-2} + 1)$ 列目) も、第 1 行から第 4 行までがすべて 1 であり、第 5 行から第 8 行までがすべて - 1 であり、第 9 行から第 12 行までがすべて - 1 であり、第 13 行から第 16 行までがすべて 1 であるので、同様に、三角山型形状を 2 個形成する線 L 3 によって表される。 40

【 0 1 6 0 】

第 3 列、第 7 列、第 11 列、及び第 15 列は、底辺長さ 4、高さ 2 の三角山型形状を 4 個形成する線 L 4 によって表される。第 2 列、第 4 列、第 6 列、第 8 列、第 10 列、第 12 列、第 14 列、及び第 16 列は、底辺の長さ 2、高さ 1 の三角山型形状を 8 個形成する線 L 5 により表される。

【 0 1 6 1 】

ここで、閾値 N_{um} を、符号系列の列方向に沿った各要素の総和の絶対値がこれを超えると、アナログ積分器 6 (図 1) が飽和する値であるとする。図 1 2 及び図 1 3 に示す例 50

では、 $Num = 3$ であるとする。そして、ドライバライン数 $M = 13$ であるとする。

【0162】

線 L5 に対応する第2列、第4列、第6列、第8列、第10列、第12列、第14列、及び第16列、並びに、線 L4 に対応する第3列、第7列、第11列、及び第15列は、図13に示すように、いずれも、閾値 $Num = 3$ を超えないので、 $M = 13$ 本のドライバラインを同時駆動しても、アナログ積分器6は飽和しない。

【0163】

線 L1 に対応する第1列は、閾値 $Num = 3$ を超えるので、閾値 $Num = 3$ に基づいて、ドライバラインの1番目から順番に3本のドライバラインずつ4回駆動した後、ドライバライン DL13 を駆動するように第1列を分割して駆動すると、アナログ積分器6は飽和しない。

10

【0164】

一般的には、ドライバラインの1番目から $Num \times [M / Num]$ 番目までを Num 個ずつ駆動することを $[M / Num]$ 回繰り返した後、残りの (M / Num) の余りの個数を並列駆動する。ここで、 $[x]$: x の整数部であり、後述する説明においても同様である。

【0165】

線 L2 に対応する第9列は、閾値 $Num = 3$ を超える。線 L2 に対応する第9列は、まず、ドライバラインの第2行目から第13行目までを符号系列の対応箇所により並列に駆動した後、ドライバラインの1行目を駆動する。

20

【0166】

一般的には、ドライバラインの $(2^{n-1} - (M - 2^{n-1}))$ 行目 = $(2^n - M)$ 行目に基づく行から M 行目までを並列に駆動した後、ドライバラインの1行目から $(2^{n-1} - (M - 2^{n-1}))$ 行目 = $(2^n - M)$ 行目までを、 Num 個ずつ駆動することを $[(2^{n-1} - (M - 2^{n-1})) - 1]$ 行目に基づく行 / Num] 回繰り返した後、残りの $((2^{n-1} - (M - 2^{n-1})) - 1)$ 行目に基づく行 / Num) の余りの個数を並列駆動する。

【0167】

実施の形態5で示す例では、 $n = 4$ 、 $M = 13$ であるから、 $(2^{n-1} - (M - 2^{n-1}))$ 行目 = 3 行目であるが、3 行目から13 行目までを並列駆動しても、符号系列の列方向の総和は +1 であり、閾値 $Num = 3$ よりも2小さい。従って、2 行目から13 行目までを並列駆動しても、符号系列の列方向の総和は +2 であり、閾値 $Num = 3$ よりも、まだ小さい。このため、 $(2^{n-1} - (M - 2^{n-1}))$ 行目は3 行目であるが、閾値 Num の値を考慮し、 $(2^{n-1} - (M - 2^{n-1}))$ 行目 = 3 行目に基づく行として2 行目を選択し、2 行目から13 行目までを並列駆動する。

30

【0168】

線 L3 に対応する第5列及び第13列は、閾値 $Num = 3$ を超える。線 L3 に対応する第5列及び第13列は、まず、ドライバラインの1行目から8行目までを同時に並列駆動する。そして、ドライバラインの10行目から13行目までを駆動する。次に、ドライバラインの9本目を駆動する。

40

【0169】

一般的には、まず、ドライバラインの1行目から (2^{n-1}) 行目までを同時並列に駆動する。そして、ドライバラインの $((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2})))$ 行目に基づく行から M 行目までを並列に駆動する。次に、ドライバラインの $(2^{n-1} + 1)$ 行目から $((((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2}))))$) に基づく行) - 1) 行目までを、 Num 個ずつ駆動することを $(((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2}))))$) に基づく行) - $(2^{n-1} + 1) / Num$] 回繰り返した後、残りの $(((((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2}))))$) に基づく行) - $(2^{n-1} + 1) / Num$) の余りの個数を並列駆動する。

50

【0170】

実施の形態5で示す例では、 $n = 4$ 、 $M = 13$ であるから、 $((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2})))$ 行目 = 11行目であるが、11行目から13行目までを並列駆動しても、符号系列の列方向の総和は+1であり、閾値 $Num = 3$ よりも小さい。従って、10行目から13行目までを並列駆動しても、符号系列の列方向の総和は+2であり、閾値 $Num = 3$ よりも、まだ小さい。このため、 $((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2})))$ 行目 = 11行目であるが、閾値 Num の値を考慮し、 $((2^{n-1} + 2^{n-2}) - (M - (2^{n-1} + 2^{n-2})))$ 行目 = 11行目に基づく行として10行目を選択し、10行目から13行目までを並列駆動する。

【0171】

次に、ドライライン数 M が12以下の場合のセンサパネル駆動方法を説明する。まず、 $8 < M \leq 12$ の場合を説明する。線 $L1$ 及び線 $L2$ の駆動方法は、前述した駆動方法と同じである。線 $L3$ の場合は、まず、ドライラインの1行目から (2^{n-1}) 行目までを同時並列に駆動する。そして、ドライラインの $(2^{n-1}) + 1$ 行目から $(2^{n-1}) + Num \times [(M - (2^{n-1})) / Num]$ 番目までを Num 個ずつ駆動することを $[(M - (2^{n-1})) / Num]$ 回繰り返した後、残りの $((M - (2^{n-1})) / Num)$ の余りの個数を並列駆動する。

【0172】

次に、 $4 < M \leq 8$ の場合を説明する。線 $L1$ の駆動方法は、前述した線 $L1$ の駆動方法と同じである。線 $L2$ の駆動方法は、前述した線 $L1$ の駆動方法と同じである。線 $L3$ の駆動方法は、前述したドライライン数 $M = 13$ の場合の線 $L2$ の駆動方法と同じである。

【0173】

$M = 4$ の場合は、線 $L1$ の駆動方法は前述した線 $L1$ の駆動方法と同じであり、線 $L2$ 及び線 $L3$ の駆動方法も、前述した線 $L1$ の駆動方法と同じである。

【0174】

ここで、閾値 $Num = 1$ となった場合のセンサパネル駆動方法を説明する。ドライライン数 $M = 13$ とする。線 $L1$ 、線 $L2$ 、及び線 $L3$ の駆動方法は、前述した閾値 $Num = 3$ の場合の駆動方法と同じである。線 $L4$ の場合は、まず、ドライラインの1行目から $(2^{n-1} + 2^{n-2})$ 行目までを同時並列に駆動する。そして、ドライラインの $(2^{n-1} + 2^{n-2}) + 1$ 番目から $(2^{n-1} + 2^{n-2}) + Num \times [(M - (2^{n-1} + 2^{n-2})) / Num]$ 番目までを Num 個ずつ駆動することを $[(M - (2^{n-1} + 2^{n-2})) / Num]$ 回繰り返した後、残りの $((M - (2^{n-1} + 2^{n-2})) / Num)$ の余りの個数を並列駆動する。

【0175】

2^n 次 ($M < 2^n$) のアダマール行列の次数が増大して、 $n > 4$ となったときも前述した駆動方法と同様の方法により駆動すればよい。

【0176】

なお、符号系列の列方向に沿った位置と、列方向に沿った各要素の総和の絶対値との関係が図13に示す関係になっていない場合でも、符号系列の行の順番を入れ替えることにより、符号系列の列方向に沿った位置と、列方向に沿った各要素の総和の絶対値とが図13に示す関係を有するシルベスター法によって生成される 2^n 次 ($M < 2^n$) のアダマール行列とすることができるときは、当該符号系列の行の順番を入れ替えて、上記駆動方法を実施するように構成してもよい。

【0177】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

【産業上の利用可能性】

【0178】

10

20

30

40

50

本発明は、マトリックス状に構成された線形系の係数、素子値、または静電容量を推定または検出する方法、及びこの方法に従って動作する集積回路、タッチセンサシステム、及び電子機器に適用することができる。また本発明は、指紋検出システムに適用することもできる。

【符号の説明】

【0179】

- 1 タッチセンサシステム
- 2 センサパネル
- 3 集積回路
- 4 駆動部
- 5 推定部
- 6、6A アナログ積分器
- 7 スイッチ
- 8 AD変換器
- 9 内積演算部
- 10 RAM
- 11 アプリケーション処理部

10

【要約】

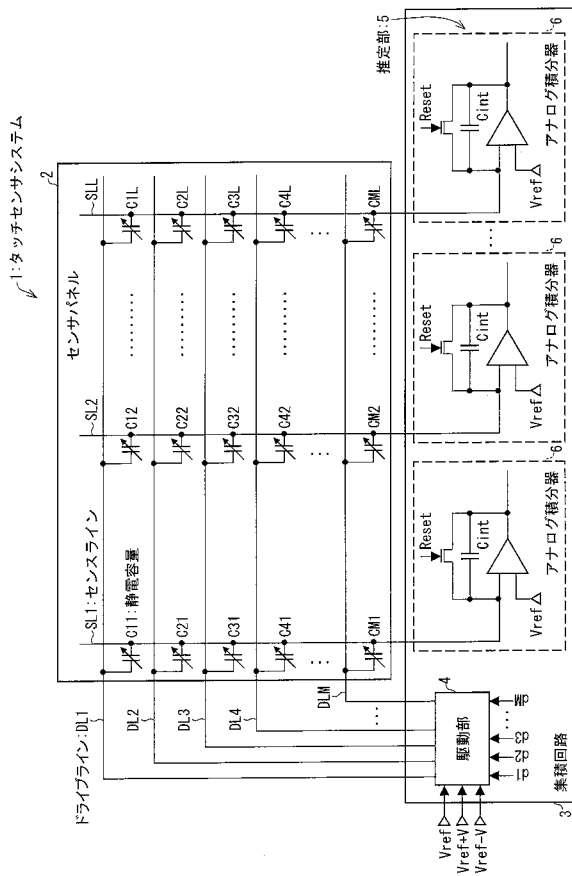
【課題】検出精度及び解像度が良好で高速動作が可能な静電容量検出方法を提供する。

【解決手段】静電容量検出方法は、ドライブラインDL1～DLMとセンスラインSL1の間の第1静電容量列Ci1とドライブラインと他の1本のセンスラインSL2の間の第2静電容量列Ci2に対して、±1によって構成される長さNの直交する符号系列di=(di1, di2, ..., diN)(i=1, ..., M)に基づいて、±Vボルトを印加するように並列に駆動して、第1の静電容量列Ci1からの出力sFirst=(s11, s12, ..., s1N)、及び、第2の静電容量列Ci2からの出力sSecond=(s21, s22, ..., s2N)を出力し、出力sFirstと符号系列diとの内積演算に基づいて第1の静電容量列Ci1の容量値を推定し、出力sSecondと符号系列diとの内積演算に基づいて第2の静電容量列Ci2の容量値を推定する。

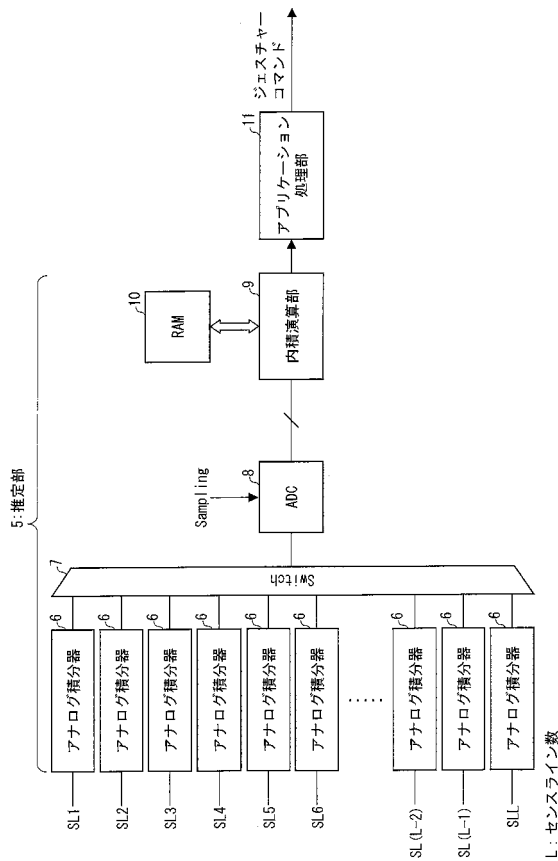
20

【選択図】図1

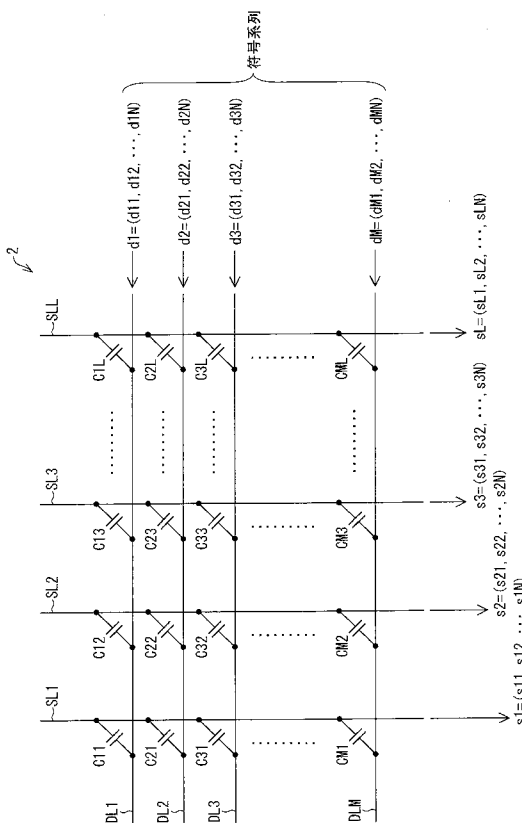
【図1】



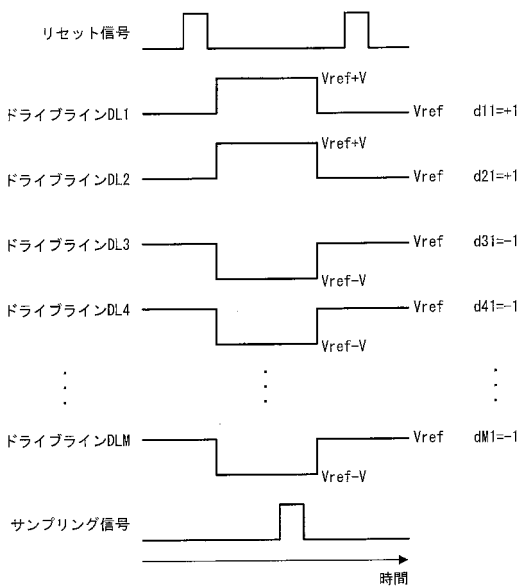
【図2】



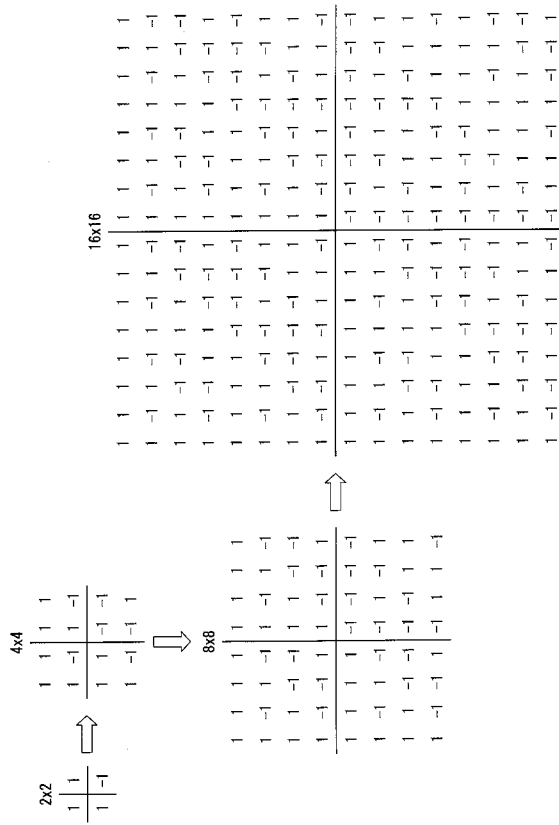
【図3】



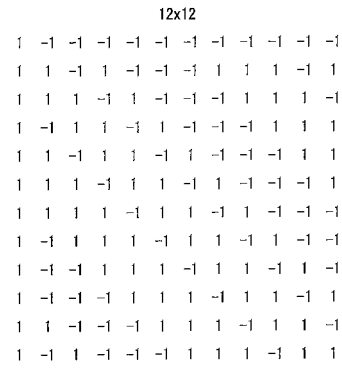
【図4】



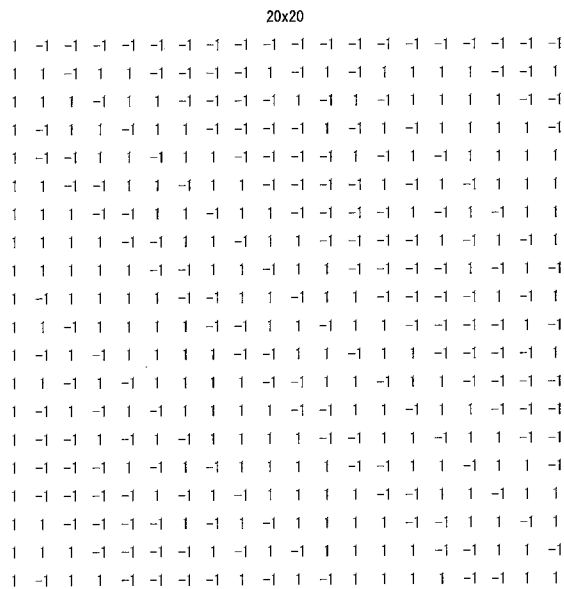
【図5】



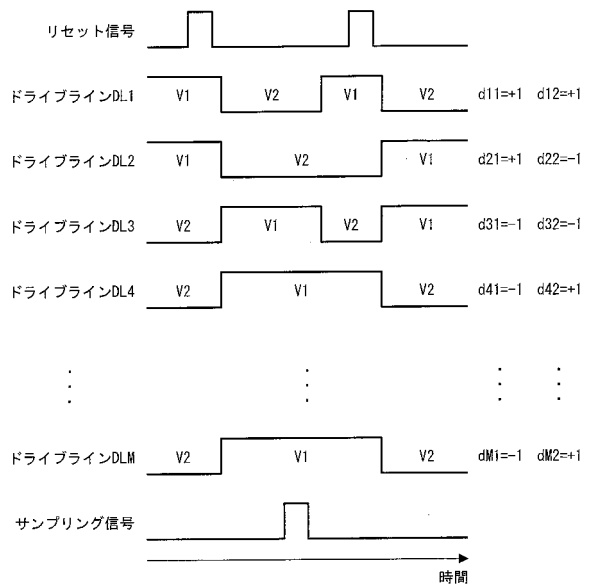
【図6】



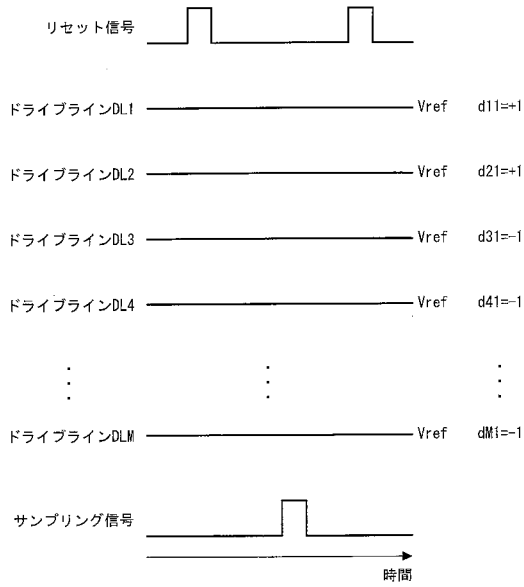
【図7】



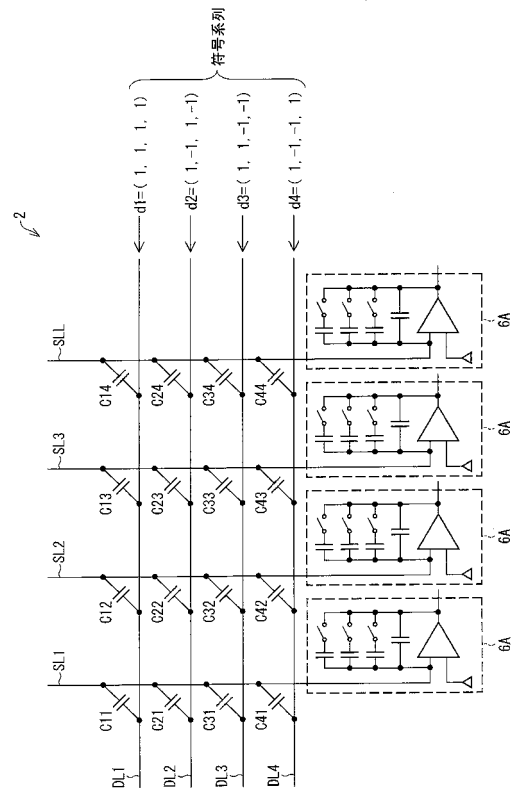
【図8】



【図9】



【図10】



【図11】

(a)

$$d1 = (1, 1, 1, 1)$$

$$d2 = (1, -1, 1, -1)$$

$$d3 = (1, 1, -1, -1)$$

$$d4 = (1, -1, -1, 1)$$

$$\sum_{k=1}^4 dik = 4, 0, 0, 0$$

(b)

$$d1 = (1, 0, 1, 1, 1)$$

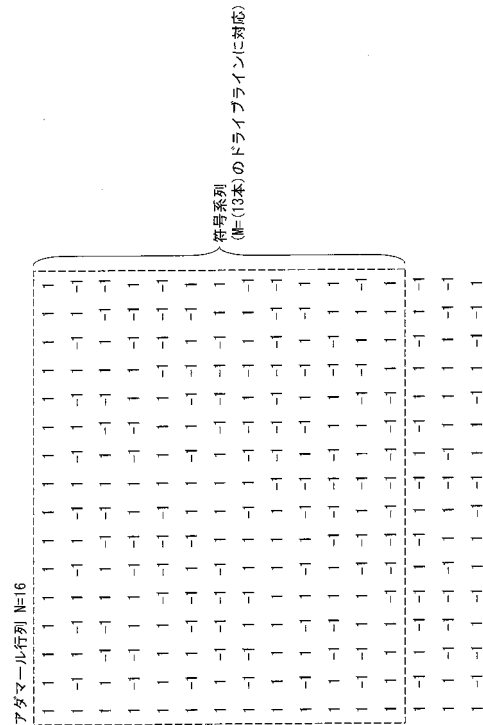
$$d2 = (1, 0, -1, 1, -1)$$

$$d3 = (0, 1, 1, -1, -1)$$

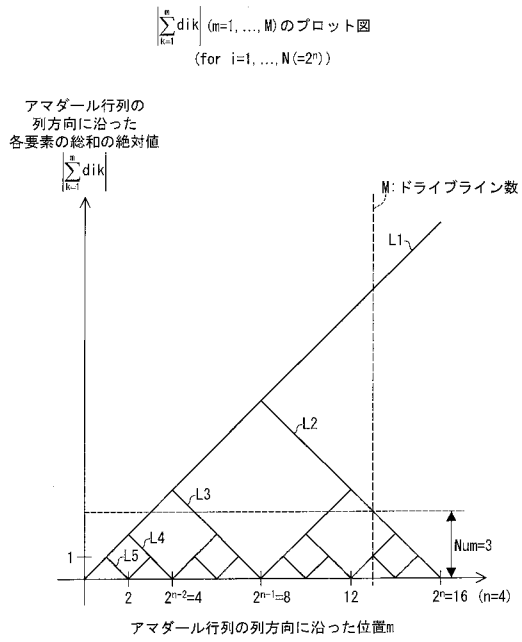
$$d4 = (0, 1, -1, -1, 1)$$

$$\sum_{k=1}^4 dik = 2, 2, 0, 0, 0$$

【図12】



【 図 1 3 】



フロントページの続き

- (56)参考文献 特開平09 - 292950 (JP, A)
特開平11 - 249813 (JP, A)
特開2000 - 242770 (JP, A)
特開2008 - 134836 (JP, A)
特開2011 - 003071 (JP, A)
国際公開第2009 / 107415 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G06F 3/041
G06F 3/044