

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5581795号
(P5581795)

(45) 発行日 平成26年9月3日(2014.9.3)

(24) 登録日 平成26年7月25日(2014.7.25)

(51) Int. Cl.	F I				
HO 1 L 21/82 (2006.01)	HO 1 L 21/82	B			
HO 1 L 21/822 (2006.01)	HO 1 L 21/82	C			
HO 1 L 27/04 (2006.01)	HO 1 L 27/04	A			
HO 1 L 27/092 (2006.01)	HO 1 L 27/04	D			
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08	3 2 1 F			
請求項の数 7 (全 31 頁) 最終頁に続く					

(21) 出願番号	特願2010-107409 (P2010-107409)	(73) 特許権者	302062931
(22) 出願日	平成22年5月7日(2010.5.7)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2011-238689 (P2011-238689A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成23年11月24日(2011.11.24)	(74) 代理人	100064746
審査請求日	平成25年2月5日(2013.2.5)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行
		(74) 代理人	100111246
			弁理士 荒川 伸夫
最終頁に続く			

(54) 【発明の名称】スタンダードセル、スタンダードセルを備えた半導体装置、およびスタンダードセルの配置配線方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の表面に形成された第1および第2スタンダードセルを備える半導体装置であって、

前記第1スタンダードセルは、

前記半導体基板の前記表面に形成された帯状の第1不純物拡散領域と、

前記半導体基板の前記表面に形成され、前記第1不純物拡散領域に対向する第1機能素子領域と、

前記半導体基板の前記表面の上方に配設され、前記第1不純物拡散領域の上方において前記第1不純物拡散領域に沿うように延在する第1幹線部および前記第1幹線部から前記第1機能素子領域の上方に向かって延在する第1延在部を含む第1金属層と、を有し、

前記第2スタンダードセルは、

前記半導体基板の前記表面に形成され、前記第1不純物拡散領域に連続する帯状の第2不純物拡散領域と、

前記半導体基板の前記表面に形成され、前記第2不純物拡散領域に対向する第2機能素子領域と、

前記半導体基板の前記表面における前記第2不純物拡散領域および前記第2機能素子領域の間に形成され、前記第2不純物拡散領域および前記第2機能素子領域を電気的に接続する接続用不純物拡散領域と、を有し、

前記第1金属層および前記第2機能素子領域は、前記第1幹線部、前記第1不純物拡散

領域、前記第 2 不純物拡散領域、および前記接続用不純物拡散領域を通して電氣的に接続されており、

前記第 1 金属層の前記第 1 幹線部は、前記第 2 不純物拡散領域の上方に到達しない長さで、前記第 1 不純物拡散領域の上方において前記第 1 不純物拡散領域に沿うように延在している、

半導体装置。

【請求項 2】

半導体基板の表面に形成された第 1 および第 2 スタンドセルを備える半導体装置であって、

前記第 1 スタンドセルは、

前記半導体基板の前記表面に形成された帯状の第 1 不純物拡散領域と、

前記半導体基板の前記表面に形成され、前記第 1 不純物拡散領域に対向する第 1 機能素子領域と、

前記半導体基板の前記表面の上方に配設され、前記第 1 不純物拡散領域の上方において前記第 1 不純物拡散領域に沿うように延在する第 1 幹線部および前記第 1 幹線部から前記第 1 機能素子領域の上方に向かって延在する第 1 延在部を含む第 1 金属層と、を有し、

前記第 2 スタンドセルは、

前記半導体基板の前記表面に形成され、前記第 1 不純物拡散領域に連続する帯状の第 2 不純物拡散領域と、

前記半導体基板の前記表面に形成され、前記第 2 不純物拡散領域に対向する第 2 機能素子領域と、

前記半導体基板の前記表面における前記第 2 不純物拡散領域および前記第 2 機能素子領域の間に形成され、前記第 2 不純物拡散領域および前記第 2 機能素子領域を電氣的に接続する接続用不純物拡散領域と、を有し、

前記第 1 金属層および前記第 2 機能素子領域は、前記第 1 幹線部、前記第 1 不純物拡散領域、前記第 2 不純物拡散領域、および前記接続用不純物拡散領域を通して電氣的に接続されており、

前記半導体基板の前記表面に形成された第 3 スタンドセルをさらに備え、

前記第 3 スタンドセルは、

前記半導体基板の前記表面に形成され、前記第 2 不純物拡散領域を挟んで前記第 1 不純物拡散領域の反対側に位置し、前記第 2 不純物拡散領域に連続する帯状の第 3 不純物拡散領域と、

前記半導体基板の前記表面に形成され、前記第 3 不純物拡散領域に対向する第 3 機能素子領域と、を有し、

前記半導体基板の前記表面の上方に第 2 金属層が配設され、

前記第 2 金属層は、

前記第 2 不純物拡散領域の上方において前記第 2 不純物拡散領域に沿うように延在する第 2 幹線部と、

前記第 2 幹線部から前記第 1 機能素子領域の上方に向かって延在する第 2 延在部と、

前記第 2 幹線部から前記第 3 機能素子領域の上方に向かって延在する第 3 延在部と、を有し、

前記第 1 機能素子領域および前記第 3 機能素子領域は、前記第 2 幹線部、前記第 2 延在部および前記第 3 延在部を通して電氣的に接続され、

前記第 2 金属層の前記第 2 幹線部が延在している平面高さは、前記第 1 金属層が形成されている平面高さ以下である、

半導体装置。

【請求項 3】

半導体基板の表面に形成された第 1 および第 2 スタンドセルを備える半導体装置であって、

前記第 1 スタンドセルは、

10

20

30

40

50

前記半導体基板の前記表面に形成された帯状の第1不純物拡散領域と、
前記半導体基板の前記表面に形成され、前記第1不純物拡散領域に対向する第1機能素子領域と、

前記半導体基板の前記表面の上方に配設され、前記第1不純物拡散領域の上方において前記第1不純物拡散領域に沿うように延在する第1幹線部および前記第1幹線部から前記第1機能素子領域の上方に向かって延在する第1延在部を含む第1金属層と、を有し、

前記第2スタンダードセルは、

前記半導体基板の前記表面に形成され、前記第1不純物拡散領域に連続する帯状の第2不純物拡散領域と、

前記半導体基板の前記表面に形成され、前記第2不純物拡散領域に対向する第2機能素子領域と、

前記半導体基板の前記表面における前記第2不純物拡散領域および前記第2機能素子領域の間に形成され、前記第2不純物拡散領域および前記第2機能素子領域を電氣的に接続する接続用不純物拡散領域と、を有し、

前記第1金属層および前記第2機能素子領域は、前記第1幹線部、前記第1不純物拡散領域、前記第2不純物拡散領域、および前記接続用不純物拡散領域を通して電氣的に接続されており、

前記半導体基板の前記表面に形成された第3スタンダードセルをさらに備え、

前記第3スタンダードセルは、

前記半導体基板の前記表面に形成され、前記第2不純物拡散領域を挟んで前記第2機能素子領域の反対側に位置し、前記第2不純物拡散領域に対向する第3機能素子領域を有し

、前記半導体基板の前記表面の上方において前記第2不純物拡散領域を跨ぐように、前記第2機能素子領域および前記第3機能素子領域を電氣的に接続する第2金属層が延設され

、前記第2金属層が前記第2不純物拡散領域を跨ぐように延在している平面高さは、前記第1金属層が形成されている平面高さ以下である、

半導体装置。

【請求項4】

半導体基板の表面に形成された第1および第2スタンダードセルを含むスタンダードセルであって、

前記第1スタンダードセルは、

前記半導体基板の前記表面に形成された第1機能素子領域と、

前記半導体基板の前記表面に形成され、前記第1機能素子領域の両側を挟んで対向して配置される帯状の第1不純物拡散領域と、

前記半導体基板の前記表面の上方に配設され、各々の前記第1不純物拡散領域の上方において各々の前記第1不純物拡散領域に沿うように延在する幹線部および各々の前記幹線部から前記第1機能素子領域の上方に向かって延在する延在部を含む金属層と、を有し、

前記第2スタンダードセルは、

前記半導体基板の前記表面に形成された第2機能素子領域と、

前記半導体基板の前記表面に形成され、前記第2機能素子領域の両側を挟んで対向して配置されるとともに、前記第1不純物拡散領域にそれぞれ連続する帯状の第2不純物拡散領域と、

前記半導体基板の前記表面に形成され、各々の前記第2不純物拡散領域と前記第2機能素子領域との間を電氣的に接続する接続用不純物拡散領域と、を有し、

前記金属層および前記第2機能素子領域は、前記幹線部、前記第1不純物拡散領域、前記第2不純物拡散領域、および前記接続用不純物拡散領域を通して電氣的に接続されており、

前記金属層の前記幹線部は、前記第2不純物拡散領域の上方に到達しない長さで、前記第1不純物拡散領域の上方において前記第1不純物拡散領域に沿うように延在している、

10

20

30

40

50

スタンダードセル。

【請求項 5】

請求項 2 または請求項 3 に記載の半導体装置におけるスタンダードセルの配置配線方法であって、

前記第 2 スタンダードセルのパターン情報が格納されたセルライブラリを準備する工程と、

所定の回路接続情報を配置配線システムに入力する工程と、

前記配置配線システムが、前記第 2 スタンダードセル以外の所定のスタンダードセルの前記パターン情報を前記セルライブラリから読み出し、前記回路接続情報に対応するように複数の前記スタンダードセルの前記パターン情報を配置する工程と、

複数の前記スタンダードセル間を結ぶ配線の密度が所定値を超える配線混雑領域の発生を検出する工程と、

前記配置配線システムが、前記第 2 スタンダードセルの前記パターン情報を前記セルライブラリから読み出し、前記配線混雑領域に含まれる前記スタンダードセルを前記第 2 スタンダードセルに置換する工程と、を備える、
スタンダードセルの配置配線方法。

【請求項 6】

半導体基板の表面に形成された第 1 および第 2 スタンダードセルを備える半導体装置におけるスタンダードセルの配置配線方法であって、

前記第 1 スタンダードセルは、

前記半導体基板の前記表面に形成された帯状の第 1 不純物拡散領域と、

前記半導体基板の前記表面に形成され、前記第 1 不純物拡散領域に対向する第 1 機能素子領域と、

前記半導体基板の前記表面の上方に配設され、前記第 1 不純物拡散領域の上方において前記第 1 不純物拡散領域に沿うように延在する第 1 幹線部および前記第 1 幹線部から前記第 1 機能素子領域の上方に向かって延在する第 1 延在部を含む第 1 金属層と、を有し、

前記第 2 スタンダードセルは、

前記半導体基板の前記表面に形成され、前記第 1 不純物拡散領域に連続する帯状の第 2 不純物拡散領域と、

前記半導体基板の前記表面に形成され、前記第 2 不純物拡散領域に対向する第 2 機能素子領域と、

前記半導体基板の前記表面における前記第 2 不純物拡散領域および前記第 2 機能素子領域の間に形成され、前記第 2 不純物拡散領域および前記第 2 機能素子領域を電氣的に接続する接続用不純物拡散領域と、を有し、

前記第 1 金属層および前記第 2 機能素子領域は、前記第 1 幹線部、前記第 1 不純物拡散領域、前記第 2 不純物拡散領域、および前記接続用不純物拡散領域を通して電氣的に接続されており、

前記第 2 スタンダードセルのパターン情報が格納されたセルライブラリを準備する工程と、

所定の回路接続情報を配置配線システムに入力する工程と、

前記配置配線システムが、前記第 2 スタンダードセル以外の所定のスタンダードセルの前記パターン情報を前記セルライブラリから読み出し、前記回路接続情報に対応するように複数の前記スタンダードセルの前記パターン情報を配置する工程と、

複数の前記スタンダードセル間を結ぶ配線の密度が所定値を超える配線混雑領域の発生を検出する工程と、

前記配置配線システムが、前記第 2 スタンダードセルの前記パターン情報を前記セルライブラリから読み出し、前記配線混雑領域に含まれる前記スタンダードセルを前記第 2 スタンダードセルに置換する工程と、を備える、
スタンダードセルの配置配線方法。

【請求項 7】

10

20

30

40

50

半導体基板の表面に形成された第1および第2スタンダードセルを含むスタンダードセルの配置配線方法であって、

前記第1スタンダードセルは、

前記半導体基板の前記表面に形成された第1機能素子領域と、

前記半導体基板の前記表面に形成され、前記第1機能素子領域の両側を挟んで対向して配置される帯状の第1不純物拡散領域と、

前記半導体基板の前記表面の上方に配設され、各々の前記第1不純物拡散領域の上方において各々の前記第1不純物拡散領域に沿うように延在する幹線部および各々の前記幹線部から前記第1機能素子領域の上方に向かって延在する延在部を含む金属層と、を有し、

前記第2スタンダードセルは、

前記半導体基板の前記表面に形成された第2機能素子領域と、

前記半導体基板の前記表面に形成され、前記第2機能素子領域の両側を挟んで対向して配置されるとともに、前記第1不純物拡散領域にそれぞれ連続する帯状の第2不純物拡散領域と、

前記半導体基板の前記表面に形成され、各々の前記第2不純物拡散領域と前記第2機能素子領域との間を電氣的に接続する接続用不純物拡散領域と、を有し、

前記金属層および前記第2機能素子領域は、前記幹線部、前記第1不純物拡散領域、前記第2不純物拡散領域、および前記接続用不純物拡散領域を通して電氣的に接続されており、

前記第2スタンダードセルのパターン情報が格納されたセルライブラリを準備する工程と、

所定の回路接続情報を配置配線システムに入力する工程と、

前記配置配線システムが、前記第2スタンダードセル以外の所定のスタンダードセルの前記パターン情報を前記セルライブラリから読み出し、前記回路接続情報に対応するように複数の前記スタンダードセルの前記パターン情報を配置する工程と、

複数の前記スタンダードセル間を結ぶ配線の密度が所定値を超える配線混雑領域の発生を検出する工程と、

前記配置配線システムが、前記第2スタンダードセルの前記パターン情報を前記セルライブラリから読み出し、前記配線混雑領域に含まれる前記スタンダードセルを前記第2スタンダードセルに置換する工程と、を備える、

スタンダードセルの配置配線方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スタンダードセル、スタンダードセルを備えた半導体装置、およびスタンダードセルの配置配線方法に関する。

【背景技術】

【0002】

SOC (System On Chip) 等の半導体装置は、スタンダードセルを使用して設計される。下記の特許文献1～7は、スタンダードセルを使用して設計される半導体装置において、チップ面積を小さくするための技術を開示している。

【0003】

特開2001-15602号公報(特許文献1)は、p型拡散層によって構成されたVDD端子と、n型拡散層によって構成されたVSS端子と、金属層によって構成された入力端子および出力端子とを備え、上記の各拡散層と金属層とをコンタクトホールによって接続するスタンダードセルを開示している。

【0004】

特開2001-189427号公報(特許文献2)は、GND配線を第1メタル層に配置し、VDD幹線を第2メタル層に配置するスタンダードセルを開示している。

【0005】

10

20

30

40

50

特開 2005 - 236107 号公報 (特許文献 3) は、回路の上層に配置された基幹電源メタル層と、基幹電源メタル層の下側で回路基板上に形成されたトランジスタ素子層と、基幹電源メタル層からトランジスタ素子層に電源電圧を供給する内部配線層とを備えるスタンダードセルを開示している。

【0006】

特開平 8 - 222640 号公報 (特許文献 4) は、n 型基板の上辺に設けられ電源用導体と接続された n 型高濃度領域と、p 型ウェルの下辺に設けられグランド用導体と接続された p 型高濃度領域とを備え、セル列方向に隣接するスタンダードセルとの間において、n 型高濃度領域および p 型高濃度領域を連続させたスタンダードセルを開示している。

【0007】

特開 2008 - 4790 号公報 (特許文献 5) は、VDD 幹線および GND 幹線の間に設けられたアクティブ領域と、アクティブ領域に形成された複数のトランジスタと、アクティブ領域から VDD 幹線および GND 幹線の下まで延出させた接続部とを備え、接続部と VDD 幹線とを接続し、接続部と GND 幹線とを接続したスタンダードセルを開示している。

【0008】

特開平 7 - 249747 号公報 (特許文献 6) は、n 型チャネルトランジスタおよび p 型チャネルトランジスタが、ドレイン電極領域と接地電極領域との間でチャネル幅方向に配置されたスタンダードセルを開示している。

【0009】

特開 2009 - 158728 号公報 (特許文献 7) は、半導体基板と、半導体基板表面に形成されたコンタクト領域と、半導体基板上に形成された層間絶縁膜と、層間絶縁膜内にコンタクト領域まで達する線状に延設された開口溝と、開口溝内に埋設されコンタクト領域に電気的に接続された導電層とを備えるスタンダードセルを開示している。

【先行技術文献】

【特許文献】

【0010】

【特許文献 1】特開 2001 - 15602 号公報

【特許文献 2】特開 2001 - 189427 号公報

【特許文献 3】特開 2005 - 236107 号公報

【特許文献 4】特開平 8 - 222640 号公報

【特許文献 5】特開 2008 - 4790 号公報

【特許文献 6】特開平 7 - 249747 号公報

【特許文献 7】特開 2009 - 158728 号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明は、チップ面積をさらに小さくすることができるスタンダードセル、スタンダードセルを備えた半導体装置、およびスタンダードセルの配置配線方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明に基づく半導体装置は、半導体基板の表面に形成された第 1 および第 2 スタンダードセルを備える半導体装置である。

【0013】

上記第 1 スタンダードセルは、上記半導体基板の上記表面に形成された帯状の第 1 不純物拡散領域と、上記半導体基板の上記表面に形成され、上記第 1 不純物拡散領域に対向する第 1 機能素子領域と、上記半導体基板の上記表面の上方に配設され、上記第 1 不純物拡散領域の上方において上記第 1 不純物拡散領域に沿うように延在する第 1 幹線部および上記第 1 幹線部から上記第 1 機能素子領域の上方に向かって延在する第 1 延在部を含む第 1

10

20

30

40

50

金属層と、を有する。

【0014】

上記第2スタンダードセルは、上記半導体基板の上記表面に形成され、上記第1不純物拡散領域に連続する帯状の第2不純物拡散領域と、上記半導体基板の上記表面に形成され、上記第2不純物拡散領域に対向する第2機能素子領域と、上記半導体基板の上記表面における上記第2不純物拡散領域および上記第2機能素子領域の間に形成され、上記第2不純物拡散領域および上記第2機能素子領域を電氣的に接続する接続用不純物拡散領域と、を有する。

【0015】

上記第1金属層および上記第2機能素子領域は、上記第1幹線部、上記第1不純物拡散領域、上記第2不純物拡散領域、および上記接続用不純物拡散領域を通して電氣的に接続されており、上記第1金属層の上記第1幹線部は、上記第2不純物拡散領域の上方に到達しない長さで、上記第1不純物拡散領域の上方において上記第1不純物拡散領域に沿うように延在している。

本発明の他の局面に基づく半導体装置は、半導体基板の表面に形成された第1および第2スタンダードセルを備える半導体装置であって、上記第1スタンダードセルは、上記半導体基板の上記表面に形成された帯状の第1不純物拡散領域と、上記半導体基板の上記表面に形成され、上記第1不純物拡散領域に対向する第1機能素子領域と、上記半導体基板の上記表面の上方に配設され、上記第1不純物拡散領域の上方において上記第1不純物拡散領域に沿うように延在する第1幹線部および上記第1幹線部から上記第1機能素子領域の上方に向かって延在する第1延在部を含む第1金属層と、を有し、上記第2スタンダードセルは、上記半導体基板の上記表面に形成され、上記第1不純物拡散領域に連続する帯状の第2不純物拡散領域と、上記半導体基板の上記表面に形成され、上記第2不純物拡散領域に対向する第2機能素子領域と、上記半導体基板の上記表面における上記第2不純物拡散領域および上記第2機能素子領域の間に形成され、上記第2不純物拡散領域および上記第2機能素子領域を電氣的に接続する接続用不純物拡散領域と、を有し、上記第1金属層および上記第2機能素子領域は、上記第1幹線部、上記第1不純物拡散領域、上記第2不純物拡散領域、および上記接続用不純物拡散領域を通して電氣的に接続されており、上記半導体基板の上記表面に形成された第3スタンダードセルをさらに備え、上記第3スタンダードセルは、上記半導体基板の上記表面に形成され、上記第2不純物拡散領域を挟んで上記第1不純物拡散領域の反対側に位置し、上記第2不純物拡散領域に連続する帯状の第3不純物拡散領域と、上記半導体基板の上記表面に形成され、上記第3不純物拡散領域に対向する第3機能素子領域と、を有し、上記半導体基板の上記表面の上方に第2金属層が配設され、上記第2金属層は、上記第2不純物拡散領域の上方において上記第2不純物拡散領域に沿うように延在する第2幹線部と、上記第2幹線部から上記第1機能素子領域の上方に向かって延在する第2延在部と、上記第2幹線部から上記第3機能素子領域の上方に向かって延在する第3延在部と、を有し、上記第1機能素子領域および上記第3機能素子領域は、上記第2幹線部、上記第2延在部および上記第3延在部を通して電氣的に接続され、上記第2金属層の上記第2幹線部が延在している平面高さは、上記第1金属層が形成されている平面高さ以下である。

本発明のさらに他の局面に基づく半導体装置は、半導体基板の表面に形成された第1および第2スタンダードセルを備える半導体装置であって、上記第1スタンダードセルは、上記半導体基板の上記表面に形成された帯状の第1不純物拡散領域と、上記半導体基板の上記表面に形成され、上記第1不純物拡散領域に対向する第1機能素子領域と、上記半導体基板の上記表面の上方に配設され、上記第1不純物拡散領域の上方において上記第1不純物拡散領域に沿うように延在する第1幹線部および上記第1幹線部から上記第1機能素子領域の上方に向かって延在する第1延在部を含む第1金属層と、を有し、上記第2スタンダードセルは、上記半導体基板の上記表面に形成され、上記第1不純物拡散領域に連続する帯状の第2不純物拡散領域と、上記半導体基板の上記表面に形成され、上記第2不純物拡散領域に対向する第2機能素子領域と、上記半導体基板の上記表面における上記第2

10

20

30

40

50

不純物拡散領域および上記第2機能素子領域の間に形成され、上記第2不純物拡散領域および上記第2機能素子領域を電氣的に接続する接続用不純物拡散領域と、を有し、上記第1金属層および上記第2機能素子領域は、上記第1幹線部、上記第1不純物拡散領域、上記第2不純物拡散領域、および上記接続用不純物拡散領域を通して電氣的に接続されており、上記半導体基板の上記表面に形成された第3スタンダードセルをさらに備え、上記第3スタンダードセルは、上記半導体基板の上記表面に形成され、上記第2不純物拡散領域を挟んで上記第2機能素子領域の反対側に位置し、上記第2不純物拡散領域に対向する第3機能素子領域を有し、上記半導体基板の上記表面の上方において上記第2不純物拡散領域を跨ぐように、上記第2機能素子領域および上記第3機能素子領域を電氣的に接続する第2金属層が延設され、上記第2金属層が上記第2不純物拡散領域を跨ぐように延在している平面高さは、上記第1金属層が形成されている平面高さ以下である。

10

【0016】

本発明に基づくスタンダードセルは、半導体基板の表面に形成された第1および第2スタンダードセルを含むスタンダードセルである。

【0017】

上記第1スタンダードセルは、上記半導体基板の上記表面に形成された第1機能素子領域と、上記半導体基板の上記表面に形成され、上記第1機能素子領域の両側を挟んで対向して配置される帯状の第1不純物拡散領域と、上記半導体基板の上記表面の上方に配設され、各々の上記第1不純物拡散領域の上方において各々の上記第1不純物拡散領域に沿うように延在する幹線部および各々の上記幹線部から上記第1機能素子領域の上方に向かって延在する延在部を含む金属層と、を有する。

20

【0018】

上記第2スタンダードセルは、上記半導体基板の上記表面に形成された第2機能素子領域と、上記半導体基板の上記表面に形成され、上記第2機能素子領域の両側を挟んで対向して配置されるとともに、上記第1不純物拡散領域にそれぞれ連続する帯状の第2不純物拡散領域と、上記半導体基板の上記表面に形成され、各々の上記第2不純物拡散領域と上記第2機能素子領域との間を電氣的に接続する接続用不純物拡散領域と、を有する。

【0019】

上記金属層および上記第2機能素子領域は、上記幹線部、上記第1不純物拡散領域、上記第2不純物拡散領域、および上記接続用不純物拡散領域を通して電氣的に接続されており、上記金属層の上記幹線部は、上記第2不純物拡散領域の上方に到達しない長さで、上記第1不純物拡散領域の上方において上記第1不純物拡散領域に沿うように延在している。

30

【0020】

本発明に基づくスタンダードセルの配置配線方法は、半導体基板の表面に形成された第1および第2スタンダードセルを備える半導体装置におけるスタンダードセルの配置配線方法であって、上記第1スタンダードセルは、上記半導体基板の上記表面に形成された帯状の第1不純物拡散領域と、上記半導体基板の上記表面に形成され、上記第1不純物拡散領域に対向する第1機能素子領域と、上記半導体基板の上記表面の上方に配設され、上記第1不純物拡散領域の上方において上記第1不純物拡散領域に沿うように延在する第1幹線部および上記第1幹線部から上記第1機能素子領域の上方に向かって延在する第1延在部を含む第1金属層と、を有し、上記第2スタンダードセルは、上記半導体基板の上記表面に形成され、上記第1不純物拡散領域に連続する帯状の第2不純物拡散領域と、上記半導体基板の上記表面に形成され、上記第2不純物拡散領域に対向する第2機能素子領域と、上記半導体基板の上記表面における上記第2不純物拡散領域および上記第2機能素子領域の間に形成され、上記第2不純物拡散領域および上記第2機能素子領域を電氣的に接続する接続用不純物拡散領域と、を有し、上記第1金属層および上記第2機能素子領域は、上記第1幹線部、上記第1不純物拡散領域、上記第2不純物拡散領域、および上記接続用不純物拡散領域を通して電氣的に接続されており、上記第2スタンダードセルのパターン情報が格納されたセルライブラリを準備する工程と、所定の回路接続情報を配置配線シス

40

50

テムに入力する工程と、上記配置配線システムが、上記第2スタンダードセル以外の所定のスタンダードセルの上記パターン情報を上記セルライブラリから読み出し、上記回路接続情報に対応するように複数の上記スタンダードセルの上記パターン情報を配置する工程と、複数の上記スタンダードセル間を結ぶ配線の密度が所定値を超える配線混雑領域の発生を検出する工程と、上記配置配線システムが、上記第2スタンダードセルの上記パターン情報を上記セルライブラリから読み出し、上記配線混雑領域に含まれる上記スタンダードセルを上記第2スタンダードセルに置換する工程と、を備える。

【0021】

本発明の他の局面に基づくスタンダードセルの配置配線方法は、半導体基板の表面に形成された第1および第2スタンダードセルを含むスタンダードセルの配置配線方法であって、上記第1スタンダードセルは、上記半導体基板の上記表面に形成された第1機能素子領域と、上記半導体基板の上記表面に形成され、上記第1機能素子領域の両側を挟んで対向して配置される帯状の第1不純物拡散領域と、上記半導体基板の上記表面の上方に設けられ、各々の上記第1不純物拡散領域の上方において各々の上記第1不純物拡散領域に沿うように延在する幹線部および各々の上記幹線部から上記第1機能素子領域の上方に向かって延在する延在部を含む金属層と、を有し、上記第2スタンダードセルは、上記半導体基板の上記表面に形成された第2機能素子領域と、上記半導体基板の上記表面に形成され、上記第2機能素子領域の両側を挟んで対向して配置されるとともに、上記第1不純物拡散領域にそれぞれ連続する帯状の第2不純物拡散領域と、上記半導体基板の上記表面に形成され、各々の上記第2不純物拡散領域と上記第2機能素子領域との間を電氣的に接続する接続用不純物拡散領域と、を有し、上記金属層および上記第2機能素子領域は、上記幹線部、上記第1不純物拡散領域、上記第2不純物拡散領域、および上記接続用不純物拡散領域を通して電氣的に接続されており、上記第2スタンダードセルのパターン情報が格納されたセルライブラリを準備する工程と、所定の回路接続情報を配置配線システムに入力する工程と、上記配置配線システムが、上記第2スタンダードセル以外の所定のスタンダードセルの上記パターン情報を上記セルライブラリから読み出し、上記回路接続情報に対応するように複数の上記スタンダードセルの上記パターン情報を配置する工程と、複数の上記スタンダードセル間を結ぶ配線の密度が所定値を超える配線混雑領域の発生を検出する工程と、上記配置配線システムが、上記第2スタンダードセルの上記パターン情報を上記セルライブラリから読み出し、上記配線混雑領域に含まれる上記スタンダードセルを上記第2スタンダードセルに置換する工程と、を備える。

【発明の効果】

【0022】

本発明によれば、チップ面積をさらに小さくすることができるスタンダードセル、スタンダードセルを備えた半導体装置、およびスタンダードセルの配置配線方法を得ることができる。

【図面の簡単な説明】

【0023】

【図1】実施の形態1における半導体装置の全体的な構成を示す平面図である。

【図2】図1におけるII線で囲まれる領域の拡大平面図である。

【図3】実施の形態1の半導体装置における複数のスタンダードセルの一部を示す平面図である。

【図4】図3におけるIV-IV線に関する矢視断面図である。

【図5】図3におけるV-V線に関する矢視断面図である。

【図6】図3における矢印VI方向からスタンダードセルを見た斜視図である。

【図7】実施の形態1の他の形態における複数のスタンダードセルの一部を示す平面図である。

【図8】実施の形態2における複数のスタンダードセルの一部を示す平面図である。

【図9】実施の形態3における複数のスタンダードセルの一部を示す平面図である。

【図10】実施の形態4における配置配線方法の構成を模式的に示す図である。

【図 1 1】実施の形態 4 における配置配線方法の各ステップを示す図である。

【図 1 2】実施の形態 4 におけるステップ S T 4 が完了した状態の一例を示す平面図である。

【図 1 3】実施の形態 4 におけるステップ S T 7 が完了した状態の一例を示す平面図である。

【図 1 4】実施の形態 4 におけるステップ S T 4 A が完了した状態の一例を示す平面図である。

【発明を実施するための形態】

【0024】

本発明に基づいた各実施の形態におけるスタンダードセル、スタンダードセルを備えた半導体装置およびスタンダードセルの配置配線方法について、以下、図面を参照しながら説明する。各実施の形態の説明において、個数、量などに言及する場合、特に記載がある場合を除き、本発明の範囲は必ずしもその個数、量などに限定されない。各実施の形態の説明において、同一の部品、相当部品に対しては、同一の参照番号を付し、重複する説明は繰り返さない場合がある。

【0025】

[実施の形態 1：半導体装置 S D 1]

図 1 ~ 図 6 を参照して、本実施の形態における半導体装置 S D 1 について説明する。図 1 は、半導体装置 S D 1 の全体的な構成を示す平面図である。図 1 を参照して、半導体装置 S D 1 は、その表面に、R A M (Random Access Memory)、R O M (Read Only Memory)、A N A L O G、L O G I C (以下、論理回路領域 L C R と称する)、および入出力領域 I / O 等を備えている。

【0026】

図 2 は、図 1 における I I 線で囲まれる領域の拡大平面図であり、半導体装置 S D 1 における論理回路領域 L C R を示している。図 2 を参照して、論理回路領域 L C R は、スタンダードセル領域 C E L R、スタンダードセル領域 C E L R の周囲に位置する入出力領域 I / O、および外部との入出力に用いられるパッド (図示せず) 等を有している。

【0027】

スタンダードセル領域 C E L R は、半導体基板 S S の表面に規定されている。スタンダードセル S C は、スタンダードセル領域 C E L R 内における半導体基板 S S の表面に形成されている。各スタンダードセル S C は、略マトリックス状に配列されている。

【0028】

(スタンダードセル S C)

図 3 は、スタンダードセル S C 1 (第 1 スタンダードセル) およびスタンダードセル S C 2 (第 2 スタンダードセル) を示す平面図である。図 4 は、図 3 における I V - I V 線に関する矢視断面図である。図 5 は、図 3 における V - V 線に関する矢視断面図である。図 6 は、図 3 における矢印 V I 方向からスタンダードセル S C 1、S C 2 を見た斜視図である。

【0029】

図 3 を参照して、半導体装置 S D 1 は、スタンダードセル S C 1、S C 2 を備えている。スタンダードセル S C 1、S C 2 は、半導体装置 S D 1 における複数のスタンダードセル S C の一部である。スタンダードセル S C 1、S C 2 の各々は、一例として C M O S (Complementary Metal Oxide Semiconductor) 構造を呈している。

【0030】

(スタンダードセル S C 1)

スタンダードセル S C 1 は、半導体基板 S S、n 型ウェル領域 W n、p 型ウェル領域 W p、帯状の n⁺ 型拡散領域 A n 1 1 (第 1 不純物拡散領域)、帯状の p⁺ 型拡散領域 A p 1 2、絶縁層 I L 1 ~ I L 3 (図 4 参照)、機能素子領域 F E 1 (第 1 機能素子領域)、金属層 M T 1、金属層 M T 2、金属層 M T 1 1 (第 1 金属層)、金属層 M T 1 2、および複数の導電層 C L を有している。

10

20

30

40

50

【 0 0 3 1 】

図5を参照して、p型ウェル領域 W_p は、半導体基板 SS の表面を含むように半導体基板 SS に形成されている。n型ウェル領域 W_n は、p型ウェル領域 W_p の表面に選択的に形成されている。

【 0 0 3 2 】

図3を再び参照して、スタンダードセル SC_1 は平面視矩形状に構成されている。スタンダードセル SC_1 は、対向する外縁 EE_{11} および外縁 EE_{12} を有している。外縁 EE_{11} 、 EE_{12} は、スタンダードセル SC_1 、 SC_2 が配列されている方向(図3紙面左右方向)に沿って延在している。またスタンダードセル SC_1 は、外縁 EE_{11} および外縁 EE_{12} に連続し、紙面上下方向に延在し且つ対向する外縁をも有している。当該外縁は、スタンダードセル SC_1 、 SC_2 が配列されている方向(図3紙面左右方向)に対して垂直な方向に沿って延在している。

10

【 0 0 3 3 】

n^+ 型拡散領域 An_{11} は、外縁 EE_{11} に沿ってn型ウェル領域 W_n の表面に形成されている(図5参照)。 p^+ 型拡散領域 Ap_{12} は、外縁 EE_{12} に沿ってp型ウェル領域 W_p の表面に形成されている。各拡散領域 An_{11} 、 Ap_{12} の各表面には、シリサイド層 SL_3 (図5参照)が形成されている。シリサイド層 SL_3 は、図3および図6には記載していない。

【 0 0 3 4 】

(機能素子領域 FE_1)

機能素子領域 FE_1 は、半導体基板 SS の表面に形成され、 n^+ 型拡散領域 An_{11} と p^+ 型拡散領域 Ap_{12} との間に位置している。機能素子領域 FE_1 および n^+ 型拡散領域 An_{11} は、間隔を空けて対向している。機能素子領域 FE_1 および p^+ 型拡散領域 Ap_{12} も、間隔を空けて対向している。

20

【 0 0 3 5 】

機能素子領域 FE_1 は、nチャネルMOS型のトランジスタ NT_1 と、pチャネルMOS型のトランジスタ PT_1 とを含んでいる。トランジスタ NT_1 は、p型ウェル領域 W_p の表面に形成されている。トランジスタ PT_1 は、n型ウェル領域 W_n の表面に形成されている。

【 0 0 3 6 】

絶縁層 IL_1 は、半導体基板 SS の表面に形成されている。絶縁層 IL_1 は、たとえば STI (Shallow Trench Isolation)である。トランジスタ NT_1 および p^+ 型拡散領域 Ap_{12} は、絶縁層 IL_1 によって分離されている。トランジスタ PT_1 および n^+ 型拡散領域 An_{11} も、絶縁層 IL_1 によって分離されている。

30

【 0 0 3 7 】

図4を参照して、トランジスタ NT_1 は、p型ウェル領域 W_p 、n型のソースドレイン領域 SDR_1 、 SDR_2 、n型のエクステンション領域 ET 、ゲート電極層 GW 、ゲート絶縁層 IL_4 、サイドウォール SW 、およびシリサイド層 SL_1 、 SL_2 から構成されている。サイドウォール SW およびシリサイド層 SL_1 、 SL_2 は、図3および図6には記載していない。

40

【 0 0 3 8 】

ソースドレイン領域 SDR_1 およびソースドレイン領域 SDR_2 は、p型ウェル領域 W_p の表面に形成され、間隔を空けて対向している。

【 0 0 3 9 】

エクステンション領域 ET は、ソースドレイン領域 SDR_1 およびソースドレイン領域 SDR_2 の間の領域(以下、チャンネル領域と称する)に形成されている。一方のエクステンション領域 ET はソースドレイン領域 SDR_1 に重なっており、他方のエクステンション領域 ET はソースドレイン領域 SDR_2 に重なっている。各エクステンション領域 ET は、次述する各サイドウォール SW の下方を含むように延在している。

【 0 0 4 0 】

50

チャンネル領域の表面に、ゲート絶縁層 I L 4 が形成されている。ゲート絶縁層 I L 4 の表面に、ゲート電極層 G W が形成されている。ゲート電極層 G W の表面に、シリサイド層 S L 2 が形成されている。ゲート電極層 G W の両側面に、サイドウォール S W がそれぞれ形成されている。

【 0 0 4 1 】

トランジスタ N T 1 およびトランジスタ P T 1 (図 3 参照) は、導電型が異なる他は略同様に構成される。なお、トランジスタ N T 1 およびトランジスタ P T 1 におけるチャンネル領域の幅、長さ、深さ等については、各トランジスタ N T 1 , P T 1 の仕様に応じて、それぞれ同様に構成されていても、それぞれ異なって構成されていてもよい。ゲート電極層 G W、ゲート絶縁層 I L 4、サイドウォール S W、およびシリサイド層 S L 2 は、トランジスタ N T 1 およびトランジスタ P T 1 の双方の構成要素として共通している。

10

【 0 0 4 2 】

図 4 を参照して、絶縁層 I L 1 は、上述とおり半導体基板 S S の表面に形成されている。各ソースドレイン領域 S D R 1 , S D R 2 (シリサイド層 S L 1) の表面およびゲート電極層 G W の表面は、絶縁層 I L 1 の表面に (次述する絶縁層 I L 2 側に向かって) 露出している。

【 0 0 4 3 】

絶縁層 I L 2 は、絶縁層 I L 1、各ソースドレイン領域 S D R 1 , S D R 2、およびゲート電極層 G W の各表面を覆うように形成されている。絶縁層 I L 2 および次述する絶縁層 I L 3 は、図 3 および図 6 には記載していない。

20

【 0 0 4 4 】

絶縁層 I L 2 には、絶縁層 I L 2 の表面から各ソースドレイン領域 S D R 1 , S D R 2 (シリサイド層 S L 1) の表面に到達する複数のコンタクトホールが形成されている。これらの各コンタクトホールの内部に、導電層 C L が形成されている。

【 0 0 4 5 】

絶縁層 I L 2 には、絶縁層 I L 2 の表面からゲート電極層 G W (シリサイド層 S L 2) の表面に到達するコンタクトホールも形成されている (図 3 参照)。このコンタクトホールの内部にも、導電層 C L が形成されている。

【 0 0 4 6 】

絶縁層 I L 3 は、絶縁層 I L 2 およびこれらの導電層 C L の各表面を覆うように形成されている。絶縁層 I L 3 には、複数の配線用溝が形成されている。各配線用溝の内部の一部において、各導電層 C L の表面が露出している。各配線用溝の平面形状は、後述する各金属層 M T 1 , M T 2 , M T 1 1 , M T 1 2 (図 3 参照) の形状に対応している。

30

【 0 0 4 7 】

図 5 を参照して、 n^+ 型拡散領域 A n 1 1 (シリサイド層 S L 3) の表面および p^+ 型拡散領域 A p 1 2 (シリサイド層 S L 3) の表面も、絶縁層 I L 1 の表面に (絶縁層 I L 2 側に向かって) 露出している。絶縁層 I L 2 は、各拡散領域 A n 1 1 , A p 1 2 の各表面を覆うように形成されている。

【 0 0 4 8 】

絶縁層 I L 2 には、絶縁層 I L 2 の表面から各拡散領域 A n 1 1 , A p 1 2 (シリサイド層 S L 3) の表面に到達する複数のコンタクトホールが形成されている。これらのコンタクトホールの内部に、導電層 C L が形成されている。

40

【 0 0 4 9 】

絶縁層 I L 3 は、絶縁層 I L 2 およびこれらの導電層 C L の各表面を覆うように形成されている。絶縁層 I L 3 には、複数の配線用溝が形成されている。各配線溝の内部の一部において、各導電層 C L の表面が露出している。各配線用溝の平面形状は、次述する各金属層 M T 1 1 , M T 1 2 (図 3 参照) の形状に対応している。

【 0 0 5 0 】

(金属層 M T 1 , M T 2 , M T 1 1 , M T 1 2)

図 3 および図 6 を参照して、各金属層 M T 1 , M T 2 , M T 1 1 , M T 1 2 は、上記の

50

各配線用溝の内部に形成されている。各金属層MT1, MT2, MT11, MT12は、半導体基板SSの表面の上方(絶縁層IL3が形成されている高さ)に位置している。

【0051】

金属層MT1は、トランジスタPT1のソースドレイン領域SDR1およびトランジスタNT1のソースドレイン領域SDR1の各上方を跨ぐように配設されている。金属層MT1は、各ソースドレイン領域SDR1の各表面に形成された導電層CLを通して、トランジスタPT1のソースドレイン領域SDR1およびトランジスタNT1のソースドレイン領域SDR1を電氣的に接続している。

【0052】

金属層MT2は、ゲート電極層GWの上方の一部を含むように配設されている。金属層MT2は、ゲート電極層GWの表面に形成された導電層CLを通して、ゲート電極層GWに電氣的に接続されている。金属層MT2は、信号線に相当する。

10

【0053】

金属層MT11は、幹線部TP11(第1幹線部)および延在部EP11(第1延在部)を有している。幹線部TP11は、 n^+ 型拡散領域An11の上方において n^+ 型拡散領域An11に沿うように延在している。延在部EP11は、幹線部TP11からトランジスタPT1のソースドレイン領域SDR2の上方に向かって延在している。

【0054】

金属層MT11は、 n^+ 型拡散領域An11およびトランジスタPT1のソースドレイン領域SDR2の各表面に形成された導電層CLを通して、 n^+ 型拡散領域An11およびトランジスタPT1のソースドレイン領域SDR2を電氣的に接続している。金属層MT11は、電源線に相当する。

20

【0055】

金属層MT11を通して、トランジスタPT1のソースドレイン領域SDR2にVDD電位を印加することができる。金属層MT11を通して、 n^+ 型拡散領域An11の電位を固定することができる。

【0056】

金属層MT12は、幹線部TP12および延在部EP12を有している。幹線部TP12は、 p^+ 型拡散領域Ap12の上方において p^+ 型拡散領域Ap12に沿うように延在している。延在部EP12は、幹線部TP12からトランジスタNT1のソースドレイン領域SDR2の上方に向かって延在している。

30

【0057】

金属層MT12は、 p^+ 型拡散領域Ap12およびトランジスタNT1のソースドレイン領域SDR2の各表面に形成された導電層CLを通して、 p^+ 型拡散領域Ap12およびトランジスタNT1のソースドレイン領域SDR2を電氣的に接続している。金属層MT12も、電源線に相当する。

【0058】

金属層MT12を通して、トランジスタNT1のソースドレイン領域SDR2にGND電位を印加することができる。金属層MT12を通して、 p^+ 型拡散領域Ap12の電位を固定することができる。

40

【0059】

(スタンダードセルSC2)

図3を主として参照して、スタンダードセルSC2は、半導体基板SS、 n 型ウェル領域Wn、 p 型ウェル領域Wp、帯状の n^+ 型拡散領域An21(第2不純物拡散領域)、帯状の p^+ 型拡散領域Ap22、絶縁層IL1~IL3(図4参照)、機能素子領域FE2(第2機能素子領域)、 n^+ 型拡散領域CR21(接続用不純物拡散領域)、 p^+ 型拡散領域CR22、金属層MT1、金属層MT2、および複数の導電層CLを有している。

【0060】

スタンダードセルSC1と同様に、 p 型ウェル領域Wpは、半導体基板SSの表面を含むように半導体基板SSに形成されている。 n 型ウェル領域Wnは、 p 型ウェル領域Wp

50

の表面に選択的に形成されている。

【0061】

スタンダードセルSC2は、平面視矩形状に構成されている。スタンダードセルSC2は、スタンダードセルSC1の幹線部TP11, TP12が延びる方向側において、スタンダードセルSC1に隣接している。スタンダードセルSC2は、対向する外縁EE21および外縁EE22を有している。外縁EE21, EE22は、スタンダードセルSC1, SC2が配列されている方向(図3紙面左右方向)に沿って延在している。またスタンダードセルSC2は、外縁EE21および外縁EE22に連続し、紙面上下方向に延在し且つ対向する外縁をも有している。当該外縁は、スタンダードセルSC1, SC2が配列されている方向(図3紙面左右方向)に対して垂直な方向に沿って延在している。

10

【0062】

n⁺型拡散領域An21は、外縁EE21に沿ってn型ウェル領域Wnの表面に形成されている。n⁺型拡散領域An21は、スタンダードセルSC1におけるn⁺型拡散領域An11に連続し、n⁺型拡散領域An11に電氣的に接続されている。

【0063】

p⁺型拡散領域Ap22は、外縁EE22に沿ってp型ウェル領域Wpの表面に形成されている。p⁺型拡散領域Ap22は、スタンダードセルSC1におけるp⁺型拡散領域Ap12に連続し、p⁺型拡散領域Ap12に電氣的に接続されている。

【0064】

各拡散領域An21, Ap22の各表面には、スタンダードセルSC1における各拡散領域An11, Ap12と同様に、シリサイド層(図示せず)が形成されている。

20

【0065】

(機能素子領域FE2)

機能素子領域FE2は、半導体基板SSの表面に形成され、n⁺型拡散領域An21とp⁺型拡散領域Ap22との間に位置している。機能素子領域FE2およびn⁺型拡散領域An21は、間隔を空けて対向している。機能素子領域FE2およびp⁺型拡散領域Ap22も、間隔を空けて対向している。

【0066】

機能素子領域FE2は、nチャンネルMOS型のトランジスタNT2と、pチャンネルMOS型のトランジスタPT2とを含んでいる。トランジスタNT2は、スタンダードセルSC1におけるトランジスタNT1と略同様に構成される。トランジスタPT2は、スタンダードセルSC1におけるトランジスタPT1と略同様に構成される。なお、各トランジスタNT1, NT2, PT1, PT2におけるチャンネル領域の幅、長さ、深さ等については、各トランジスタNT1, NT2, PT1, PT2の仕様に応じて、それぞれ同様に構成されていても、それぞれ異なって構成されていてもよい。

30

【0067】

n⁺型拡散領域CR21は、半導体基板SSの表面に形成され、n⁺型拡散領域An21とトランジスタPT2との間に位置している。n⁺型拡散領域CR21は、n⁺型拡散領域An21と、トランジスタPT2のソースドレイン領域SDR2とを電氣的に接続している。n⁺型拡散領域CR21の表面には、シリサイド層(図示せず)が形成されているとよい。n⁺型拡散領域An21とトランジスタPT2との間は、n⁺型拡散領域CR21が形成されている領域の他は絶縁層IL1によって分離されている。

40

【0068】

p⁺型拡散領域CR22は、半導体基板SSの表面に形成され、p⁺型拡散領域Ap22とトランジスタNT2との間に位置している。p⁺型拡散領域CR22は、p⁺型拡散領域Ap22と、トランジスタNT2のソースドレイン領域SDR2とを電氣的に接続している。p⁺型拡散領域CR22の表面には、シリサイド層(図示せず)が形成されているとよい。p⁺型拡散領域Ap22とトランジスタNT2との間は、p⁺型拡散領域CR22が形成されている領域の他は絶縁層IL1によって分離されている。

【0069】

50

図4を参照して、絶縁層I L 1は、半導体基板S Sの表面に形成されている。各ソースドレイン領域S D R 1, S D R 2(シリサイド層S L 1)の表面およびゲート電極層G Wの表面は、絶縁層I L 1の表面に(次述する絶縁層I L 2側に向かって)露出している。

【0070】

絶縁層I L 2は、絶縁層I L 1、各ソースドレイン領域S D R 1, S D R 2、およびゲート電極層G Wの各表面を覆うように形成されている。絶縁層I L 2および次述する絶縁層I L 3は、図3および図6には記載していない。

【0071】

絶縁層I L 2には、絶縁層I L 2の表面から各ソースドレイン領域S D R 1(シリサイド層S L 1)の表面に到達する複数のコンタクトホールが形成されている。これらの各コンタクトホールの内部に、導電層C Lが形成されている。

10

【0072】

絶縁層I L 2には、絶縁層I L 2の表面からゲート電極層G W(シリサイド層S L 2)の表面に到達するコンタクトホールも形成されている(図3参照)。このコンタクトホールの内部にも、導電層C Lが形成されている。

【0073】

絶縁層I L 3は、絶縁層I L 2およびこれらの導電層C Lの各表面を覆うように形成されている。絶縁層I L 3には、複数の配線用溝が形成されている。各配線用溝の内部の一部において、各導電層C Lの表面が露出している。各配線用溝の平面形状は、後述する各金属層M T 1, M T 2(図3参照)の形状に対応している。

20

【0074】

n⁺型拡散領域A n 2 1(シリサイド層)の表面およびp⁺型拡散領域A p 2 2(シリサイド層)の表面も、絶縁層I L 1の表面に(絶縁層I L 2側に向かって)露出している。絶縁層I L 2は、各拡散領域A n 2 1, A p 2 2の表面を覆うように形成されている。絶縁層I L 3は、絶縁層I L 2の表面を覆うように形成されている。

【0075】

(金属層M T 1, M T 2)

図3を参照して、各金属層M T 1, M T 2は、上記の各配線用溝の内部に形成されている。各金属層M T 1, M T 2は、半導体基板S Sの表面の上方(絶縁層I L 3が形成されている高さ)に位置している。

30

【0076】

金属層M T 1は、トランジスタP T 2のソースドレイン領域S D R 1およびトランジスタN T 2のソースドレイン領域S D R 1の各上方を跨ぐように配設されている。金属層M T 1は、各ソースドレイン領域S D R 1の各表面に形成された導電層C Lを通して、トランジスタP T 2のソースドレイン領域S D R 1およびトランジスタN T 2のソースドレイン領域S D R 1を電氣的に接続している。

【0077】

金属層M T 2は、ゲート電極層G Wの上方の一部を含むように配設されている。金属層M T 2は、ゲート電極層G Wの表面に形成された導電層C Lを通して、ゲート電極層G Wに電氣的に接続されている。金属層M T 2は、信号線に相当する。

40

【0078】

ここで、スタンダードセルS C 1における金属層M T 1 1は、スタンダードセルS C 2におけるトランジスタP T 2のソースドレイン領域S D R 2に電氣的に接続されている。その電流経路は、金属層M T 1 1の幹線部T P 1 1、金属層M T 1 1の幹線部T P 1 1とn⁺型拡散領域A n 1 1との間に形成された導電層C L、n⁺型拡散領域A n 1 1、n⁺型拡散領域A n 2 1、およびn⁺型拡散領域C R 2 1の順で構成される。

【0079】

この電氣的接続によって、金属層M T 1 1を通して、スタンダードセルS C 2におけるトランジスタP T 2のソースドレイン領域S D R 2にV D D電位を印加することができる。金属層M T 1 1を通して、スタンダードセルS C 2におけるn⁺型拡散領域A n 2 1の

50

電位を固定することができる。n⁺型拡散領域A_{n21}およびn⁺型拡散領域C_{R21}等の各表面にシリサイド層が形成されていることによって、この電流経路における電気抵抗値を低減することが可能となる。

【0080】

同様に、スタンダードセルS_{C1}における金属層M_{T12}は、スタンダードセルS_{C2}におけるトランジスタN_{T2}のソースドレイン領域S_{DR2}に電氣的に接続されている。その電流経路は、金属層M_{T12}の幹線部T_{P12}、金属層M_{T12}の幹線部T_{P12}とp⁺型拡散領域A_{p12}との間に形成された導電層C_L、p⁺型拡散領域A_{p12}、p⁺型拡散領域A_{p22}、およびp⁺型拡散領域C_{R22}の順で構成される。

【0081】

この電氣的接続によって、金属層M_{T12}を通して、スタンダードセルS_{C2}におけるトランジスタN_{T2}のソースドレイン領域S_{DR2}にGND電位を印加することができる。金属層M_{T12}を通して、スタンダードセルS_{C2}におけるp⁺型拡散領域A_{p22}の電位を固定することができる。p⁺型拡散領域A_{p22}およびp⁺型拡散領域C_{R22}等の各表面にシリサイド層が形成されていることによって、この電流経路における電気抵抗値を低減することが可能となる。

【0082】

(効果)

スタンダードセルS_{C2}は、n⁺型拡散領域A_{n21}の上方(絶縁層I_{L3}が形成されている高さ)に、機能素子領域F_{E2}にVDD電位を印加するための金属層(電源線)を有していない。換言すると、n⁺型拡散領域A_{n21}の上方には、スタンダードセルS_{C2}の機能素子領域F_{E2}にVDD電位を印加するための金属層が形成されていない「空き領域」が存在している。

【0083】

同様に、p⁺型拡散領域A_{p22}の上方(絶縁層I_{L3}が形成されている高さ)にも、機能素子領域F_{E2}にGND電位を印加するための金属層(電源線)が形成されていない空き領域が存在している。

【0084】

本実施の形態における半導体装置S_{D1}によれば、これらの空き領域を活用して、これらの空き領域を含むように他の複数のスタンダードセル間を接続する金属層(図示せず)を配設することができる。半導体装置S_{D1}によれば、他の複数のスタンダードセル間を接続する金属層を配設するためのリソースを増加させることができる。他の複数のスタンダードセル間を接続する金属層を、上述の絶縁層I_{L3}が形成されている高さに配設することにより、この金属層と金属層M_{T1}、M_{T2}、M_{T11}、M_{T12}とを同一の工程において形成することもできる。

【0085】

仮に、スタンダードセルS_{C2}がこの空き領域を有していないとする。各拡散領域A_{n21}、A_{p22}の上方には、スタンダードセルS_{C2}の機能素子領域F_{E2}にVDD電位またはGND電位を印加するための金属層が配設される。この場合、この金属層を迂回するように他の複数のスタンダードセル間を接続する他の金属層を配設する必要がある。迂回するように配設された他の金属層によって、チップ面積が増大する。特に、近年のスタンダードセルの高集積化に伴い、他の金属層の迂回経路は、平面方向だけでなく高さ方向にも複雑に広がり、チップ面積が増大するだけでなく、設計上の自由度も低くなる。

【0086】

本実施の形態における半導体装置S_{D1}によれば、他の複数のスタンダードセル間を接続する金属層が上記の空き領域を含むように配設されることによって、この金属層が迂回する距離(この金属層の全長)を短くすることができる。半導体装置S_{D1}によれば、空き領域を活用することによってチップ面積が増大することを抑制でき、チップ面積がより小さい半導体装置を得ることが可能となる。半導体装置S_{D1}によれば、スタンダードセルを配列するための設計上の自由度を高めることもできる。半導体装置S_{D1}によれば、

10

20

30

40

50

スタンダードセルの高集積化を図ることも可能となる。

【 0 0 8 7 】

半導体装置 S D 1 によれば、空き領域を活用することによって他の複数のスタンダードセル間を接続する金属層の長さを短くすることもできる。他の複数のスタンダードセル間を接続する金属層の電流経路が短くなるため、当該金属層における電気抵抗値を低減することができる。半導体装置 S D 1 によれば、空き領域を活用することによって、他の複数のスタンダードセルに形成されたトランジスタ素子をより高速に動作させることも可能となる。

【 0 0 8 8 】

半導体装置 S D 1 において、トランジスタ P T 1 に V D D 電位を印加するための電流経路は、金属層 M T 1 1 (幹線部 T P 1 1、延在部 E P 1 1) および導電層 C L によって構成される。一方、トランジスタ P T 2 に V D D 電位を印加するための電流経路は、金属層 M T 1 1、導電層 C L、 n^+ 型拡散領域 A n 1 1、 n^+ 型拡散領域 A n 2 1、および n^+ 型拡散領域 C R 2 1 である。

10

【 0 0 8 9 】

金属層 M T 1 1 とトランジスタ P T 2 との間の電気抵抗は、金属層 M T 1 1 とトランジスタ P T 1 との間の電気抵抗よりも大きい。金属層 M T 1 1 とトランジスタ P T 2 との間には、金属層 M T 1 1 とトランジスタ P T 1 との間に比べてより大きな電圧降下が発生する。同様に、金属層 M T 1 2 とトランジスタ N T 2 との間の電気抵抗は、金属層 M T 1 2 とトランジスタ N T 1 との間の電気抵抗に比べてより大きな電圧降下が発生する。

20

【 0 0 9 0 】

スタンダードセル S C 2 における当該電圧降下が許容できる範囲内となるように、使用する電圧または回路構成等の仕様に基づいて、スタンダードセル S C 1、S C 2 の構成および配置などを決定するとよい。

【 0 0 9 1 】

[実施の形態 1 の他の構成 : 半導体装置 S D 1 A]

図 3 を参照して、上述の実施の形態 1 の半導体装置 S D 1 においては、上記の空き領域が、 n^+ 型拡散領域 A n 2 1 の上方および p^+ 型拡散領域 A p 2 2 の上方に存在している。上記の空き領域は、 n^+ 型拡散領域 A n 2 1 の上方または p^+ 型拡散領域 A p 2 2 のいずれか一方にのみ存在していてもよい。

30

【 0 0 9 2 】

図 7 を参照して、具体的には、半導体装置 S D 1 A のスタンダードセル S C 2 A のように、空き領域は p^+ 型拡散領域 A p 2 2 の上方にのみ存在していてもよい。スタンダードセル S C 2 A においては、金属層 M T 1 1 の幹線部 T P 1 1 を n^+ 型拡散領域 A n 2 1 の上方に向かって延長するように幹線部 T P 2 1 が形成されている。

【 0 0 9 3 】

幹線部 T P 2 1 と n^+ 型拡散領域 A n 2 1 との間に、複数の導電層 C L が形成されている。スタンダードセル S C 1 の延在部 E P 1 1 と同様に、幹線部 T P 2 1 からトランジスタ P T 2 のソースドレイン領域 S D R 2 の上方に向かって延在する延在部 E P 2 1 が形成されている。

40

【 0 0 9 4 】

延在部 E P 2 1 とトランジスタ P T 2 のソースドレイン領域 S D R 2 との間に、複数の導電層 C L が形成されている。スタンダードセル S C 2 A においては、トランジスタ P T 2 と n^+ 型拡散領域 A n 2 1 とは、絶縁層 I L 1 によって分離されている。

【 0 0 9 5 】

幹線部 T P 2 1 および延在部 E P 2 1 を通して、トランジスタ P T 2 のソースドレイン領域 S D R 2 に V D D 電圧を印加する。幹線部 T P 2 1 および延在部 E P 2 1 を通して、 n^+ 型拡散領域 A n 2 1 の電位を固定する。

【 0 0 9 6 】

空き領域が p^+ 型拡散領域 A p 2 2 の上方にのみ存在している場合であっても、この空

50

き領域を活用して、この空き領域を含むように他の複数のスタンダードセル間を接続する金属層（図示せず）を配設することができる。空き領域を活用することによって、チップ面積が増大することを抑制でき、チップ面積がより小さい半導体装置を得ることが可能となる。他の複数のスタンダードセル間を接続する金属層を、上述の絶縁層 I L 3 が形成されている高さに配設することにより、この金属層と金属層 M T 1 , M T 2 , M T 1 1 , M T 1 2 とを同一の工程において形成することができる。

【 0 0 9 7 】

[実施の形態 2 : 半導体装置 S D 2]

図 8 を参照して、本実施の形態における半導体装置 S D 2 について説明する。半導体装置 S D 2 は、金属層 M T 2 0 A と、半導体基板 S S の表面に形成されたスタンダードセル S C 1 0 A , S C 1 0 B , S C 2 0 A , S C 2 0 B , S C 3 0 A , S C 3 0 B とを備えている。

10

【 0 0 9 8 】

スタンダードセル S C 1 0 A , S C 1 0 B , S C 3 0 A , S C 3 0 B は、上述の実施の形態 1 の半導体装置 S D 1 におけるスタンダードセル S C 1 (図 3 左側参照) と略同様に構成される。スタンダードセル S C 1 0 A , S C 1 0 B における各機能素子領域 F E 1 、およびスタンダードセル S C 3 0 A , S C 3 0 B における各機能素子領域 F E 3 も、上述の実施の形態 1 の半導体装置 S D 1 のスタンダードセル S C 1 (図 3 左側参照) における各機能素子領域 F E 1 と略同様に構成される。

【 0 0 9 9 】

20

図 8 においては、図示上の便宜のため、スタンダードセル S C 1 における外縁 E E 1 1 , E E 1 2 (図 3 参照) 、および外縁 E E 1 1 , E E 1 2 に連続する (紙面上下方向に延在する) 外縁に対応する S C 1 0 A , S C 1 0 B , S C 3 0 A , S C 3 0 B の外縁を記載していない。記載していない外縁は、それぞれ、スタンダードセル S C 1 における外縁 E E 1 1 , E E 1 2 (図 3 参照) 、および外縁 E E 1 1 , E E 1 2 に連続する (図 3 紙面上下方向に延在する) 外縁と同様に規定される。後述するスタンダードセル S C 2 0 A , S C 2 0 B においても同様である。また、後述する図 9 , 図 1 2 ~ 図 1 4 においても同様である。

【 0 1 0 0 】

スタンダードセル S C 1 0 A , S C 1 0 B における各機能素子領域 F E 1 、およびスタンダードセル S C 3 0 A , S C 3 0 B における各機能素子領域 F E 3 は、半導体基板 S S の表面に形成されている。

30

【 0 1 0 1 】

スタンダードセル S C 2 0 A , S C 2 0 B は、上述の実施の形態 1 の他の構成の半導体装置におけるスタンダードセル S C 2 A (図 7 右側参照) と略同様に構成される。スタンダードセル S C 2 0 A , S C 2 0 B における各機能素子領域 F E 2 も、上述の実施の形態 1 の他の構成の半導体装置 S D 1 A のスタンダードセル S C 2 A (図 7 右側参照) における各機能素子領域 F E 2 と略同様に構成される。スタンダードセル S C 2 0 A , S C 2 0 B における各機能素子領域 F E 2 は、半導体基板 S S の表面に形成されている。

【 0 1 0 2 】

40

スタンダードセル S C 1 0 A , S C 2 0 A は相互に隣接し、スタンダードセル S C 2 0 A , S C 3 0 A も相互に隣接している。スタンダードセル S C 1 0 B , S C 2 0 B は相互に隣接し、スタンダードセル S C 2 0 B , S C 3 0 B も相互に隣接している。

【 0 1 0 3 】

スタンダードセル S C 1 0 A およびスタンダードセル S C 1 0 B は、 p ⁺ 型拡散領域 A p 1 2 (第 1 不純物拡散領域) を挟んで略線対称に構成されている。 p ⁺ 型拡散領域 A p 1 2 は、スタンダードセル S C 1 0 A およびスタンダードセル S C 1 0 B の双方の構成要素として共通している。

【 0 1 0 4 】

p ⁺ 型拡散領域 A p 1 2 と、スタンダードセル S C 1 0 A , S C 1 0 B における各機能

50

素子領域 F E 1 とは、間隔を空けて対向している。電源線 (V D D 電位) に相当する金属層 M T 1 2 は、スタンダードセル S C 1 0 A およびスタンダードセル S C 1 0 B の双方の構成要素として共通している。

【 0 1 0 5 】

スタンダードセル S C 2 0 A およびスタンダードセル S C 2 0 B は、 p ⁺ 型拡散領域 A p 2 2 (第 2 不純物拡散領域) を挟んで略線対称に構成されている。 p ⁺ 型拡散領域 A p 2 2 は、スタンダードセル S C 2 0 A およびスタンダードセル S C 2 0 B の双方の構成要素として共通している。

【 0 1 0 6 】

p ⁺ 型拡散領域 A p 2 2 と、スタンダードセル S C 2 0 A , S C 2 0 B における各機能素子領域 F E 2 とは、間隔を空けて対向している。金属層 M T 1 2、金属層 M T 3 2、p ⁺ 型拡散領域 A p 1 2、p ⁺ 型拡散領域 A p 2 2、p ⁺ 型拡散領域 A p 3 2、および p ⁺ 型拡散領域 C R 2 2 を通して、スタンダードセル S C 2 0 A のトランジスタ N T 2 のソースドレイン領域 S D R 2、およびスタンダードセル S C 2 0 B のトランジスタ N T 2 のソースドレイン領域 S D R 2 の各々に G N D 電位が印加される。

10

【 0 1 0 7 】

スタンダードセル S C 3 0 A およびスタンダードセル S C 3 0 B は、 p ⁺ 型拡散領域 A p 3 2 (第 3 不純物拡散領域) を挟んで略線対称に構成されている。 p ⁺ 型拡散領域 A p 3 2 は、スタンダードセル S C 3 0 A およびスタンダードセル S C 3 0 B の双方の構成要素として共通している。

20

【 0 1 0 8 】

p ⁺ 型拡散領域 A p 3 2 と、スタンダードセル S C 3 0 A , S C 3 0 B における各機能素子領域 F E 3 (第 3 機能素子領域) とは、間隔を空けて対向している。電源線 (V D D 電位) に相当する金属層 M T 3 2 は、スタンダードセル S C 3 0 A およびスタンダードセル S C 3 0 B の双方の構成要素として共通している。

【 0 1 0 9 】

スタンダードセル S C 1 0 A における n ⁺ 型拡散領域 A n 1 1、スタンダードセル S C 2 0 A における n ⁺ 型拡散領域 A n 2 1、およびスタンダードセル S C 3 0 A における n ⁺ 型拡散領域 A n 3 1 は連続している。 n ⁺ 型拡散領域 A n 3 1 は、 n ⁺ 型拡散領域 A n 2 1 を挟んで n ⁺ 型拡散領域 A n 1 1 の反対側に位置している。これらは相互に電氣的に接続されている。

30

【 0 1 1 0 】

スタンダードセル S C 1 0 A における p ⁺ 型拡散領域 A p 1 2、スタンダードセル S C 2 0 A における p ⁺ 型拡散領域 A p 2 2、およびスタンダードセル S C 3 0 A における p ⁺ 型拡散領域 A p 3 2 は連続している。 p ⁺ 型拡散領域 A p 3 2 は、 p ⁺ 型拡散領域 A p 2 2 を挟んで p ⁺ 型拡散領域 A p 1 2 の反対側に位置している。これらは相互に電氣的に接続されている。

【 0 1 1 1 】

スタンダードセル S C 2 0 A , S C 2 0 B は、 p ⁺ 型拡散領域 A p 2 2 の上方 (絶縁層 I L 3 が形成されている高さ) に、各機能素子領域 F E 2 に G N D 電位を印加するための金属層 (電源線) を有していない。換言すると、 p ⁺ 型拡散領域 A p 2 2 の上方には、スタンダードセル S C 2 0 A , S C 2 0 B の各機能素子領域 F E 2 に G N D 電位を印加するための金属層が形成されていない「空き領域」が存在している。この空き領域を活用して、この空き領域を含むように次述する金属層 M T 2 0 A が配設されている。

40

【 0 1 1 2 】

(金属層 M T 2 0 A)

金属層 M T 2 0 A は、半導体基板 S S の表面の上方 (たとえば、絶縁層 I L 3 が形成されている高さ) に位置している。金属層 M T 2 0 A は、幹線部 T P 2 1 (第 2 幹線部)、延在部 E P 2 1 (第 2 延在部)、延在部 E P 3 1 A (第 3 延在部)、および延在部 E P 3 1 B を有している。

50

【0113】

幹線部TP21は、 p^+ 型拡散領域Ap22の上方において p^+ 型拡散領域Ap22に沿うように延在している。延在部EP21は平面視L字状に構成され、幹線部TP21からスタンダードセルSC10Aの機能素子領域FE1の上方に到達するまで延在している。延在部EP21は、導電層CLを通して、スタンダードセルSC10Aの機能素子領域FE1におけるゲート電極層GWと電氣的に接続されている。

【0114】

延在部EP31Aは平面視L字状に構成され、幹線部TP21からスタンダードセルSC30Aの機能素子領域FE3の上方に到達するまで延在している。延在部EP31Aは、導電層CLを通して、スタンダードセルSC30Aの機能素子領域FE3におけるゲート電極層GWと電氣的に接続されている。

10

【0115】

延在部EP31Bは平面視L字状に構成され、幹線部TP21からスタンダードセルSC30Bの機能素子領域FE3の上方に到達するまで延在している。延在部EP31Bは、導電層CLを通して、スタンダードセルSC30Bの機能素子領域FE3におけるゲート電極層GWと電氣的に接続されている。

【0116】

金属層MT20Aは、スタンダードセルSC10Aの機能素子領域FE1と、スタンダードセルSC30Aの機能素子領域FE3とを電氣的に接続している。金属層MT20Aは、スタンダードセルSC10Aの機能素子領域FE1と、スタンダードセルSC30Bの機能素子領域FE3とを電氣的に接続している。

20

【0117】

(効果)

p^+ 型拡散領域Ap22の上方には、スタンダードセルSC20A, SC20Bの各機能素子領域FE2にGND電位を印加するための金属層が形成されていない空き領域が存在している。この空き領域を活用して、この空き領域を含むように金属層MT1, MT2, MT11, MT12, MT32と同じ層高さに金属層MT20Aが配設されている。金属層MT20Aを、金属層MT1, MT2, MT11, MT12, MT32と同一の工程において形成することができる。

【0118】

仮に、スタンダードセルSC20A, SC20Bがこの空き領域を有していないとする。 p^+ 型拡散領域Ap22の上方には、スタンダードセルSC20A, SC20Bの各機能素子領域FE2にGND電位を印加するための一の金属層が配設される。

30

【0119】

この場合、たとえばスタンダードセルSC10Aにおける機能素子領域FE1およびスタンダードセルSC30Aの機能素子領域FE3を電氣的に接続するためには、上記一の金属層を迂回するように、他の金属層を配設する必要がある。スタンダードセルSC10Aにおける機能素子領域FE1およびスタンダードセルSC30Bについても同様である。

【0120】

半導体装置SD2によれば、空き領域を活用することによってチップ面積が増大することを抑制でき、チップ面積がより小さい半導体装置を得ることが可能となる。半導体装置SD2によれば、スタンダードセルを配列するための設計上の自由度を高めることもできる。半導体装置SD2によれば、スタンダードセルの高集積化を図ることも可能となる。

40

【0121】

半導体装置SD2によれば、空き領域を活用することによって金属層MT20Aの長さを短くすることもできる。金属層MT20Aにおける電流経路が短くなるため、金属層MT20Aにおける電気抵抗値を低減することができる。半導体装置SD2によれば、空き領域を活用することによって、スタンダードセルSC10Aの各機能素子領域FE1、およびスタンダードセルSC30A, SC30Bの各機能素子領域FE3に形成された各ト

50

ランジスタ素子をより高速に動作させることも可能となる。

【 0 1 2 2 】

[実施の形態 2 の他の構成]

上述の実施の形態 2 の半導体装置 S D 2 においては、金属層 M T 2 0 A が、スタンダードセル S C 3 0 A , S C 3 0 B における各機能素子領域 F E 3 の双方に接続されているが、いずれか一方であってもよい。

【 0 1 2 3 】

上述の実施の形態 2 の半導体装置 S D 2 においては、金属層 M T 1 , M T 2 , M T 1 1 , M T 1 2 , M T 3 2 , M T 2 0 A は、絶縁層 I L 3 に設けられた各配線用溝の内部に形成され、これらは略同一平面状に位置している。

10

【 0 1 2 4 】

金属層 M T 2 0 A が延在している平面高さは、半導体基板 S S の表面の上方であれば、金属層 M T 1 1 , M T 1 2 , M T 3 2 が形成されている平面高さ以下であってもよい。より好適には、金属層 M T 2 0 A の幹線部 T P 2 1 が延在している平面高さが、金属層 M T 1 1 , M T 1 2 , M T 3 2 が形成されている平面高さ以下であるとよい。金属層 M T 2 0 A が延在している平面高さが低ければ低いほど、上記の空き領域をより多く確保することができ、他の複数のスタンダードセル間を接続する金属層を配設するためのリソースを増加させることが可能となる。

【 0 1 2 5 】

金属層 M T 2 0 A は、金属層 M T 2 0 A の下面がゲート電極層 G W の表面に接するように配設されていてもよい。この場合、金属層 M T 2 0 A とゲート電極層 G W とは、導電層 C L を介さずに電氣的に接続されることが可能となる。

20

【 0 1 2 6 】

[実施の形態 3 : 半導体装置 S D 3]

図 9 を参照して、本実施の形態における半導体装置 S D 3 について説明する。半導体装置 S D 3 は、金属層 M T 2 0 B と、半導体基板 S S の表面に形成されたスタンダードセル S C 1 0 A , S C 1 0 B , S C 2 0 A , S C 2 0 B , S C 3 0 A , S C 3 0 B とを備えている。

【 0 1 2 7 】

各スタンダードセル S C 1 0 A , S C 1 0 B , S C 2 0 A , S C 2 0 B , S C 3 0 A , S C 3 0 B は、上述の実施の形態 2 の半導体装置 S D 2 における各スタンダードセル S C 1 0 A , S C 1 0 B , S C 2 0 A , S C 2 0 B , S C 3 0 A , S C 3 0 B (図 8 参照) と略同様に構成される。

30

【 0 1 2 8 】

(金属層 M T 2 0 B)

金属層 M T 2 0 B は、半導体基板 S S の表面の上方 (たとえば、絶縁層 I L 3 が形成されている高さ) に位置している。金属層 M T 2 0 B は、スタンダードセル S C 2 0 A における機能素子領域 F E 2 と、スタンダードセル S C 2 0 B における機能素子領域 F E 2 とを結ぶ方向と平行な方向に延在する部分を有している。当該部分は、 p^+ 型拡散領域 A p 2 2 の上方において p^+ 型拡散領域 A p 2 2 を跨いでいる。

40

【 0 1 2 9 】

金属層 M T 2 0 B の一方 (図 9 紙面上方側) の端部は、平面視 L 字状に構成され、スタンダードセル S C 2 0 A の機能素子領域 F E 2 の上方に到達するまで延在している。金属層 M T 2 0 B の一方の端部は、導電層 C L を通して、スタンダードセル S C 2 0 A の機能素子領域 F E 2 におけるゲート電極層 G W と電氣的に接続されている。

【 0 1 3 0 】

金属層 M T 2 0 B の他方 (図 9 紙面下方側) の端部は、平面視 T 字状に構成され、スタンダードセル S C 2 0 B の機能素子領域 F E 2 の上方、およびスタンダードセル S C 3 0 B の機能素子領域 F E 3 の上方に到達するまで延在している。金属層 M T 2 0 B の他方の端部は、導電層 C L を通して、スタンダードセル S C 2 0 B の機能素子領域 F E 2 にお

50

るゲート電極層GW、およびスタンダードセルSC30Bの機能素子領域FE3におけるゲート電極層GWと電氣的に接続されている。

【0131】

(効果)

p⁺型拡散領域Ap22の上方には、スタンダードセルSC20A、SC20Bの各機能素子領域FE2にGND電位を印加するための金属層が形成されていない空き領域が存在している。この空き領域を活用して、この空き領域を含むように金属層MT1、MT2、MT11、MT12、MT32と同じ層高さに金属層MT20Bが配設されている。金属層MT20Bを、金属層MT1、MT2、MT11、MT12、MT32と同一の工程において形成することができる。半導体装置SD3によれば、上述の実施の形態2における半導体装置SD2と同様の効果を得ることができる。

10

【0132】

[実施の形態3の他の構成]

上述の実施の形態3の半導体装置SD3においては、金属層MT20Bが、スタンダードセルSC30A、SC30Bの各機能素子領域FE2、FE3の双方に接続されているが、いずれか一方であってもよい。

【0133】

金属層MT20Bが延在している高さは、半導体基板SSの表面の上方であれば、金属層MT11、MT12、MT32が形成されている平面高さ以下であるとよい。より好適には、金属層MT20Bがp⁺型拡散領域Ap22を跨いでいる部分の平面高さが、金属層MT11、MT32が形成されている平面高さ以下であるとよい。金属層MT20Bは、金属層MT20Bの下面がゲート電極層GWの表面に接するように配設されていてもよい。

20

【0134】

[実施の形態4]

図10～図14を参照して、本実施の形態におけるスタンダードセルの配置配線方法ST(図11参照)について説明する。配置配線方法STは、上述の実施の形態1～実施の形態3(各他の構成を含む)の半導体装置におけるスタンダードセルの配置配線方法である。

【0135】

図10は、配置配線方法STの構成を模式的に示す図である。配置配線方法STにおいては、まず、配置配線システムSYS、セルライブラリファイルCLY、回路接続情報ファイルCCY、制約情報ファイルCRI、パラメータファイルPFL、および表示装置INDが準備される。

30

【0136】

配置配線システムSYSは、所定のコマンドを受けて、複数のスタンダードセルおよび各電源線の配置を設計する。配置配線システムSYSは、所定の他のコマンドを受けて、複数のスタンダードセルおよび各電源線を結ぶ配線を設計する。

【0137】

セルライブラリファイルCLYは、上述の各実施の形態における各スタンダードセルのパターン情報を格納している。セルライブラリファイルCLYは、上述の実施の形態1におけるスタンダードセルSC2(図3右側参照)のパターン情報、または上述の実施の形態1の他の構成におけるスタンダードセルSC2A(図7右側参照)のパターン情報を格納している。

40

【0138】

回路接続情報ファイルCCYは、設計対象である半導体装置を構成する回路情報および各回路間の接続情報(回路図)を格納している。制約情報ファイルCRIは、配置配線に関する各種の制約情報(後述するチップサイズ、配線密度の許容範囲など)を格納している。パラメータファイルPFLは、設計対象である半導体装置に含まれる各トランジスタ素子の動作周波数、動作温度範囲、p型拡散領域、n型拡散領域、および各金属層の層抵

50

抗等の各情報を格納している。表示装置 I N D は、配置配線の経過および結果を表示する。

【 0 1 3 9 】

図 1 1 を参照して、配置配線方法 S T における各ステップ S T 1 ~ S T 8 について説明する。

【 0 1 4 0 】

ステップ S T 1 において、配置配線システム S Y S 、セルライブラリファイル C L Y 、回路接続情報ファイル C C Y 、制約情報ファイル C R I 、パラメータファイル P F L 、および表示装置 I N D が準備される。

【 0 1 4 1 】

ステップ S T 2 において、設計対象である半導体装置の所望の機能に応じて設計された所定の回路接続情報が、回路接続情報ファイル C C Y から配置配線システム S Y S に入力される。

【 0 1 4 2 】

ステップ S T 3 において、配置配線システム S Y S は、上記の回路接続情報に対応するスタンダードセルのパターン情報をセルライブラリファイル C L Y から読み出す。ステップ S T 3 において配置配線システム S Y S が読み出すスタンダードセルのパターン情報には、上記の実施の形態 1 におけるスタンダードセル S C 2 (図 3 右側参照) のパターン情報および上記の実施の形態 1 の他の形態におけるスタンダードセル S C 2 A (図 7 右側参照) は含まれていない。

【 0 1 4 3 】

配置配線システム S Y S は、読み出したスタンダードセルのパターン情報を、上記の回路接続情報に対応するようにセル毎に配置する。このとき、チップサイズは予め所定の大きさに設定 (固定) されているとよい。

【 0 1 4 4 】

ステップ S T 4 において、配置配線システム S Y S は、各スタンダードセル間における信号線および電源線を、上記の回路接続情報に対応するように配線する。図 1 2 は、配置配線方法 S T におけるステップ S T 4 が完了した状態の一例を示している。

【 0 1 4 5 】

図 1 2 を参照して、スタンダードセル S C 1 0 ~ S C 1 8 を含む各スタンダードセルは、半導体基板 S S の表面に形成されている。スタンダードセル S C 1 0 ~ S C 1 8 は、上述の実施の形態 1 におけるスタンダードセル S C 1 (図 3 参照) と略同様に構成される。n⁺型拡散領域 A n および p⁺型拡散領域 A p は、半導体基板 S S の表面において交互に等間隔で形成され、相互に平行な位置関係となっている。

【 0 1 4 6 】

金属層 M T 1 0 A , M T 1 0 C , M T 1 0 E は、n⁺型拡散領域 A n の各上方において n⁺型拡散領域 A n に沿うようにそれぞれ延在している。金属層 M T 1 0 B , M T 1 0 D , M T 1 0 F は、p⁺型拡散領域 A p の各上方において p⁺型拡散領域 A p に沿うようにそれぞれ延在している。

【 0 1 4 7 】

金属層 M T 1 0 0 は、スタンダードセル S C 1 0 , S C 1 1 , S C 1 2 , S C 1 5 , S C 1 8 の各金属層 M T 2 (信号線) を電氣的に接続している。金属層 M T 1 0 0 は、金属層 M T 1 0 C , M T 1 0 D を跨ぐように、金属層 M T 1 0 C , M T 1 0 D の上方に配設されている。さらに、金属層 M T 1 0 0 は各金属層 M T 2 の上方の一部を含むように配設されている。金属層 M T 1 0 0 と各金属層 M T 2 とは、金属層 M T 1 0 0 と各金属層 M T 2 の間に形成された導電層 C L によって電氣的に接続されている。

【 0 1 4 8 】

金属層 M T 1 0 1 は、スタンダードセル S C 1 3 , S C 1 6 の各金属層 M T 2 (信号線) を電氣的に接続している。金属層 M T 1 0 1 は、金属層 M T 1 0 D を跨ぐように金属層 M T 1 0 D の上方に配設されている。金属層 M T 1 0 1 は、各金属層 M T 2 の上方の一部

10

20

30

40

50

を含むように配設されている。金属層MT101と各金属層MT2は、金属層MT101と各金属層MT2の間に形成された導電層CLによって電氣的に接続されている。

【0149】

ステップST5（図11参照）において、配置配線システムSYSは、複数のスタンダードセル（スタンダードセルSC10～SC18を含む）間を結ぶ配線の密度を測定する。配置配線システムSYSは、この配線密度と、制約情報ファイルCRI（図10参照）に予め設定された所定値（許容範囲）とを対比する。

【0150】

この配線密度が所定値を超える領域が存在していた場合、配置配線システムSYSはその領域を配線混雑領域として検出する。配置配線システムSYSは、表示装置INDにその結果を表示させる。なお、複数のスタンダードセル間を結ぶ配線の密度がすべて所定値以下である場合、配置配線方法STは終了する（ステップST8）。

10

【0151】

本実施の形態においては、ステップST6において、配置配線システムSYSが金属層MT100、MT101が配設されている領域を配線混雑領域として検出する。

【0152】

ステップST7において、配置配線システムSYSは、配線混雑領域内におけるスタンダードセルSC11、SC12、SC14、SC15、SC17、SC18のそれぞれを再配置する。具体的には、配置配線システムSYSは、上記の実施の形態1におけるスタンダードセルSC2（図3右側参照）のパターン情報および上記の実施の形態1の他の形態におけるスタンダードセルSC2A（図7右側参照）のパターン情報を読み出し、スタンダードセルSC11、SC12、SC14、SC15、SC17、SC18のそれぞれを置換する。

20

【0153】

スタンダードセルSC11、SC12、SC14、SC15、SC17、SC18は、スタンダードセルSC11A、SC12A、SC14A、SC15A、SC17A、SC18A（図13参照）に置換される。

【0154】

スタンダードセルSC11A、SC12A、SC17A、SC18Aは、上述の実施の形態1の他の構成におけるスタンダードセルSC2Aと略同様に構成される。スタンダードセルSC14A、SC15Aは、上述の実施の形態1におけるスタンダードセルSC2と略同様に構成される。

30

【0155】

スタンダードセルSC11A、SC12A、SC14A、SC15A、SC17A、SC18Aの各機能素子領域FEにおけるソースドレイン領域SDRと、各拡散領域An、Apとは、拡散領域CRを通してそれぞれ電氣的に接続されている。

【0156】

スタンダードセルSC11AとスタンダードセルSC14Aとの間に位置するn⁺型拡散領域Anの上方、およびスタンダードセルSC12AとスタンダードセルSC15Aとの間に位置するn⁺型拡散領域Anの上方には空き領域が存在している。

40

【0157】

同様に、スタンダードセルSC14AとスタンダードセルSC17Aとの間に位置するp⁺型拡散領域Apの上方、およびスタンダードセルSC15AとスタンダードセルSC18Aとの間に位置するp⁺型拡散領域Apの上方には空き領域が存在している。

【0158】

ステップST4A（図11参照）において、配置配線システムSYSは、上述の空き領域を活用して、各スタンダードセル間における信号線および電源線を上記の回路接続情報に対応するように再び配線する。図14は、配置配線方法STにおけるステップST4Aが完了した状態の一例を示している。

【0159】

50

図14を参照して、スタンダードセルSC10, SC11A, SC12A, SC15A, SC18Aの各金属層MT2(信号線)が、金属層MT100Aによって電氣的に接続されている。各金属層MT2と金属層MT100Aとは直接連結されることによって電氣的に接続され、各金属層MT2と各ゲート電極層GWとは導電層CLを通して電氣的に接続されている。金属層MT100Aは、上述の空き領域を活用して、 n^+ 型拡散領域Anおよび p^+ 型拡散領域Apを跨ぐように n^+ 型拡散領域Anおよび p^+ 型拡散領域Apの各上方に配設されている。金属層MT100Aは、金属層MT1, MT2, MT10A~MT10Fと同一の工程において形成するとよい。

【0160】

同様に、スタンダードセルSC13, SC16の各金属層MT2(信号線)が、金属層MT101Aによって電氣的に接続されている。各金属層MT2と金属層MT101Aとは直接連結されることによって電氣的に接続され、各金属層MT2と各ゲート電極層GWとは導電層CLを通して電氣的に接続されている。金属層MT101Aは、上述の空き領域を活用して、 p^+ 型拡散領域Apを跨ぐように p^+ 型拡散領域Apの上方に配設されている。

10

【0161】

ステップST5(図11参照)において、配置配線システムSYSは、複数のスタンダードセル間を結ぶ配線の密度を再び測定する。配置配線システムSYSは、すべての配線密度が所定値(許容範囲)以下となるように、再び上記のステップST6, ST7を繰り返すとよい。複数のスタンダードセル間の配線密度がすべて所定値以下となった場合、配置配線方法STは終了する(ステップST8)。

20

【0162】

(効果)

本実施の形態における配置配線方法STによると、配線混雑領域付近におけるスタンダードセルが、上述のスタンダードセルSC2またはスタンダードセルSC2Aに置換される。他の複数のスタンダードセル間を接続する金属層が上記の空き領域を含むように配設されることによって、この金属層が迂回する距離(この金属層の全長)を短くすることができる。配置配線方法STを使用して得られた半導体装置においては、空き領域を活用することによってチップ面積の増大が抑制される。

【0163】

金属層MT100Aと金属層MT1, MT2, MT10A~MT10Fとを同一の高さ(たとえば上述の絶縁層IL3が形成されている高さ)に配設することにより、金属層MT100Aを、金属層MT1, MT2, MT10A~MT10Fと同一の工程において形成することが可能となる。すなわち、金属層MT100Aおよび金属層MT1, MT2, MT10A~MT10Fを形成するためにたとえば絶縁層IL3に予めパターンニングされた配線溝に対して、一回のまたは連続した処理により、金属層MT100Aおよび金属層MT1, MT2, MT10A~MT10Fを形成することが可能となる。その結果、金属層MT100Aと金属層MT1, MT2, MT10A~MT10Fとが同一の高さに配設される場合、一回のまたは連続した処理によってこれらを形成することによって、製造時間を短縮することが可能となる。

30

40

【0164】

配置配線方法STを使用することにより、チップ面積がより小さい半導体装置を得ることが可能となる。配置配線方法STを使用することにより、スタンダードセルを配列するための設計上の自由度を高めることもできる。配置配線方法STを使用することにより、スタンダードセルの高集積化を図ることも可能となる。

【0165】

[実施の形態4の他の構成]

上述の実施の形態4のステップST3において、配置配線システムSYSが読み出すスタンダードセルのパターン情報には、上述の実施の形態1におけるスタンダードセルSC2および上述の実施の形態1の他の構成におけるスタンダードセルSC2Aは含まれてい

50

ない。ステップ S T 3 において、配置配線システム S Y S が読み出すスタンダードセルのパターン情報には、上記のスタンダードセル S C 2 , S C 2 A が含まれていてもよい。

【 0 1 6 6 】

この場合、配置配線システム S Y S は、ステップ S T 3 においてスタンダードセル S C 2 , S C 2 A を選択肢に含んだ上で、読み出した複数のスタンダードセルのパターン情報を、上記の回路接続情報に対応するようにセル毎に配置する。スタンダードセル S C 2 , S C 2 A は、たとえば入力数が 4 以上となるセルに対して適用されるとよい。当該構成によれば、上記の配線混雑領域の発生が未然に抑制された状態で、半導体装置が設計される。

【 0 1 6 7 】

図 1 1 を参照して、上述の実施の形態 4 の配置配線方法 S T においては、ステップ S T 4 A が完了した後、すべての配線密度が所定値（許容範囲）以下となるように再びステップ S T 5 ~ S T 7 を繰り返される態様を説明した。配置配線方法 S T においては、ステップ S T 4 A が完了した時点で配置配線方法 S T が終了してもよい（ステップ S T 8）。配線密度を再び測定するか否かは、たとえば表示装置 I N D（図 1 0 参照）を通して入力される所定のコマンドを待って決定されるとよい。

【 0 1 6 8 】

以上、本発明に基づいた各実施の形態におけるスタンダードセル、スタンダードセルを備えた半導体装置、およびスタンダードセルの配置配線方法について説明したが、今回開示された各実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。

【 0 1 6 9 】

たとえば、上記の各実施の形態においては、N O T ゲート機能を有する C M O S 構造を構成する半導体装置を基に説明したが、本発明における実施の形態はこれに限られない。本発明における実施の形態は、N O R ゲート機能を有する複数のトランジスタ素子、または N A N D ゲート機能を有する複数のトランジスタ素子など、種々の論理回路を構成する半導体装置にも適用することができる。

【 0 1 7 0 】

したがって、本発明の範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 産業上の利用可能性 】

【 0 1 7 1 】

本発明は、複数のスタンダードセルを有する半導体装置、および複数のスタンダードセルを配置しこれらを配線するための方法に特に有利に適用され得る。

【 符号の説明 】

【 0 1 7 2 】

A n , A n 1 1 , A n 2 1 , A n 3 1 , A p , A p 1 2 , A p 2 2 , A p 3 2 , C R , C R 2 1 , C R 2 2 拡散領域、C C Y 回路接続情報ファイル、C E L R スタンダードセル領域、C L 導電層、C L Y セルライブラリファイル、C R I 制約情報ファイル、E E 1 1 , E E 1 2 , E E 2 1 , E E 2 2 外縁、E P 1 1 , E P 1 2 , E P 2 1 , E P 3 1 A , E P 3 1 B 延在部、E T エクステンション領域、F E 機能素子領域、F E 1 ~ F E 3 機能素子領域、G W ゲート電極層、I L 1 ~ I L 3 絶縁層、I L 4 ゲート絶縁層、I N D 表示装置、I / O 入出力領域、L C R 論理回路領域、M T 1 , M T 2 , M T 1 0 A ~ M T 1 0 E , M T 1 1 , M T 1 2 , M T 3 2 , M T 2 0 A , M T 2 0 B , M T 1 0 0 , M T 1 0 0 A , M T 1 0 1 , M T 1 0 1 A 金属層、N T 1 , N T 2 , P T 1 , P T 2 トランジスタ、P F L パラメータファイル、S C , S C 1 , S C 2 , S C 2 A , S C 1 0 ~ S C 1 8 , S C 1 0 A ~ S C 1 2 A , S C 1 4 A , S C 1 5 A , S C 1 7 A , S C 1 8 A , S C 2 0 A , S C 2 0 B , S C 3 0 A , S C 3 0 B スタンダードセル、S D 1 , S D 1 A , S D 2 , S D 3 半導体装置、S D R , S D R 1 , S D R 2 ソースドレイン領域、S L 1 ~ S L 3 シリサイド層、S S 半導体基板、S T 配置配線方法、S T 1 ~ S T 8 , S T 4 A ステップ、S W サイドウォール、S Y S

10

20

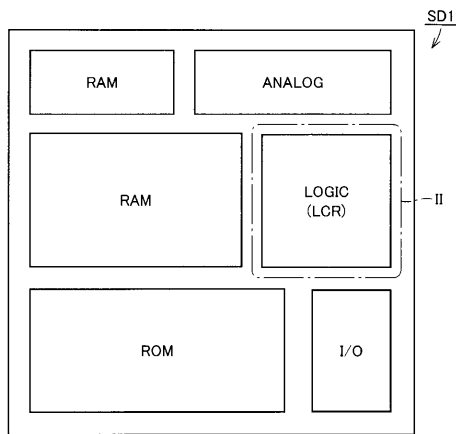
30

40

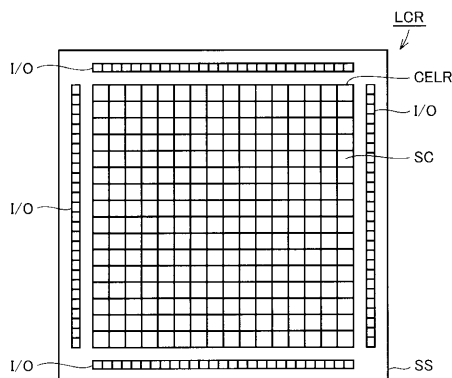
50

配置配線システム、TP11, TP12, TP21 幹線部、VI 矢印、Wn, Wp ウェル領域。

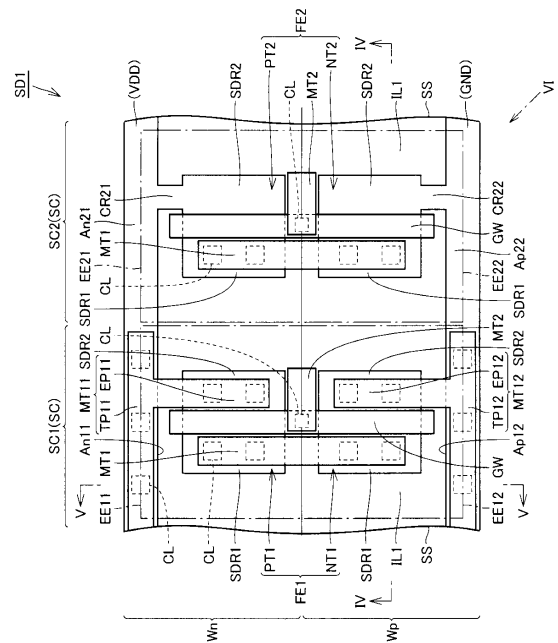
【図1】



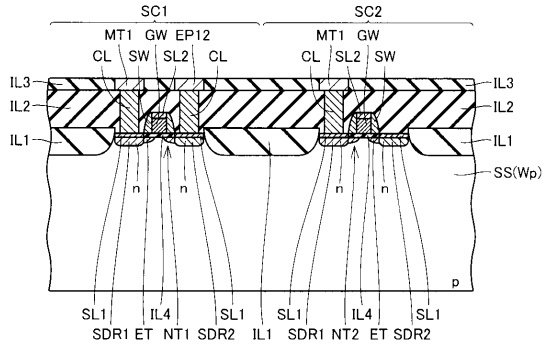
【図2】



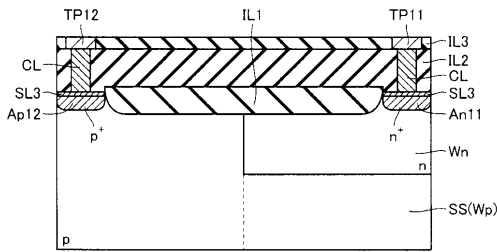
【図3】



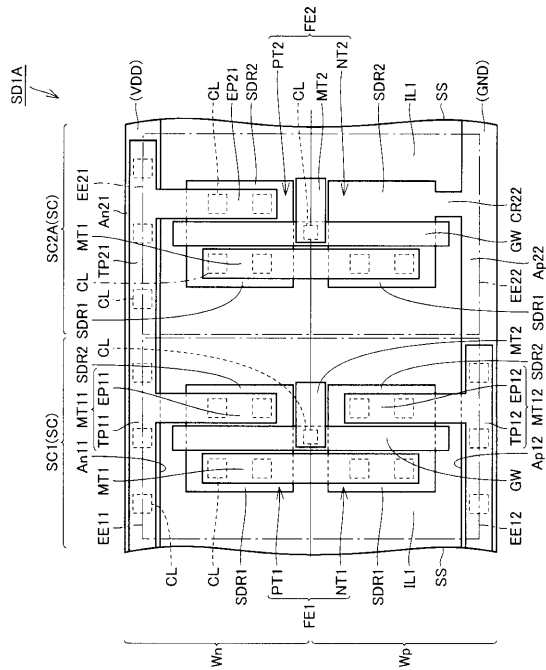
【 図 4 】



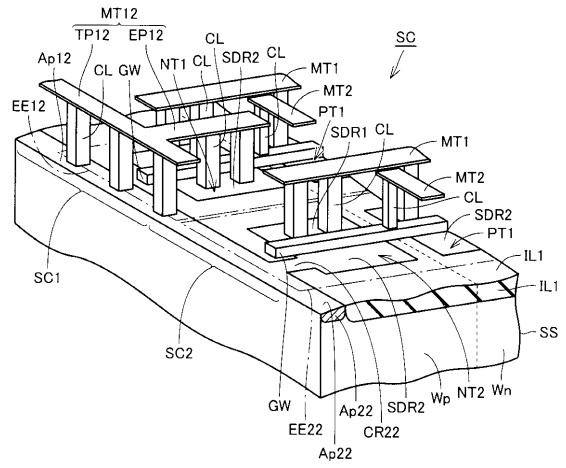
【 図 5 】



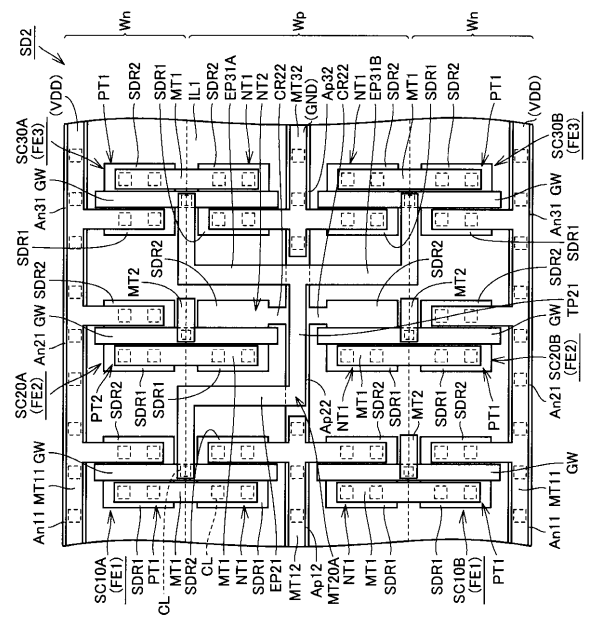
【 図 7 】



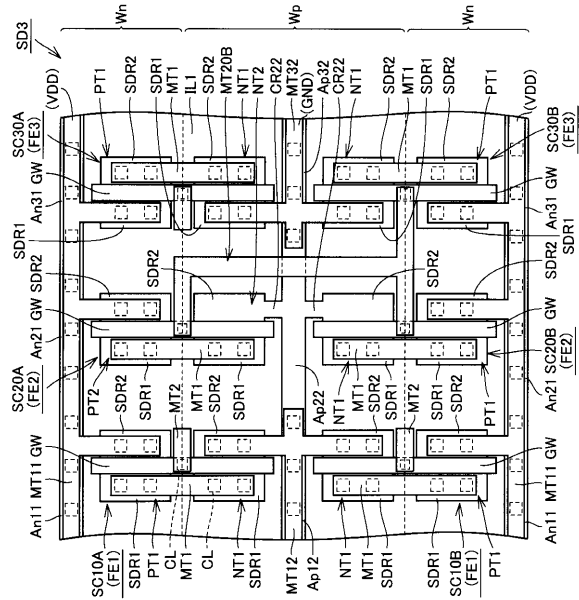
【 図 6 】



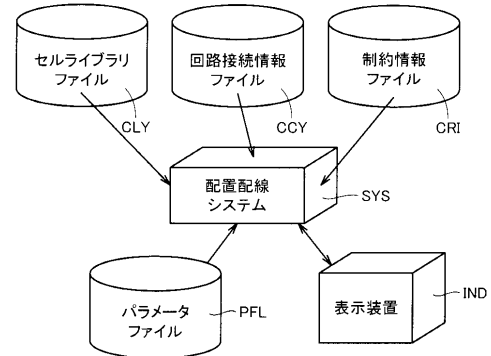
【 図 8 】



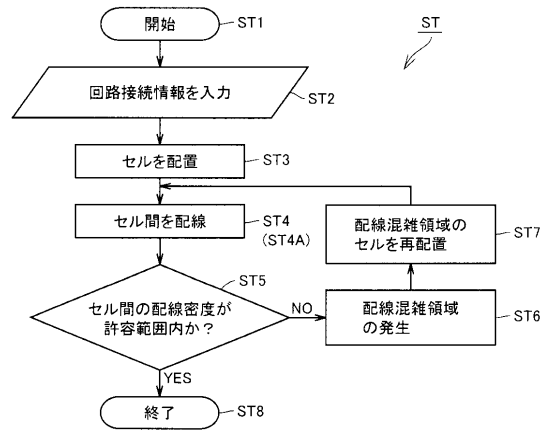
【図9】



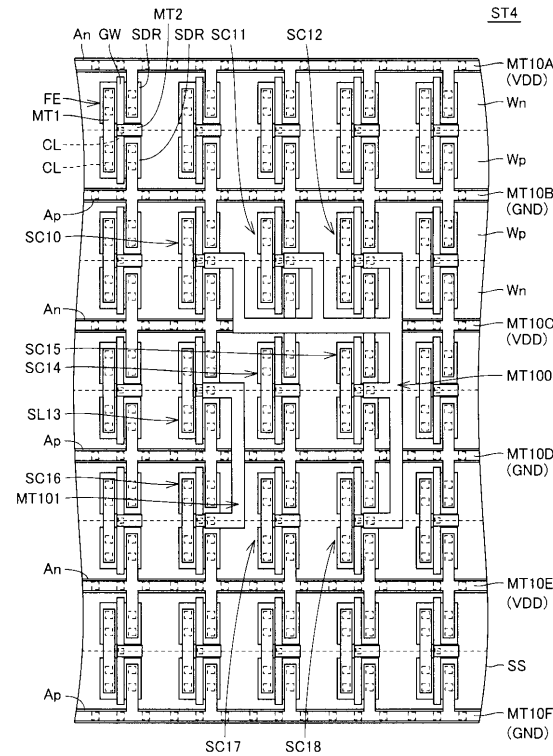
【図10】



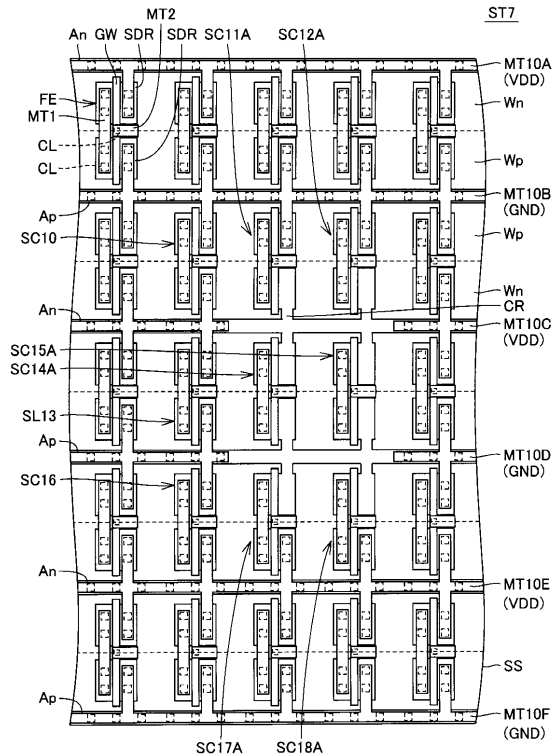
【図11】



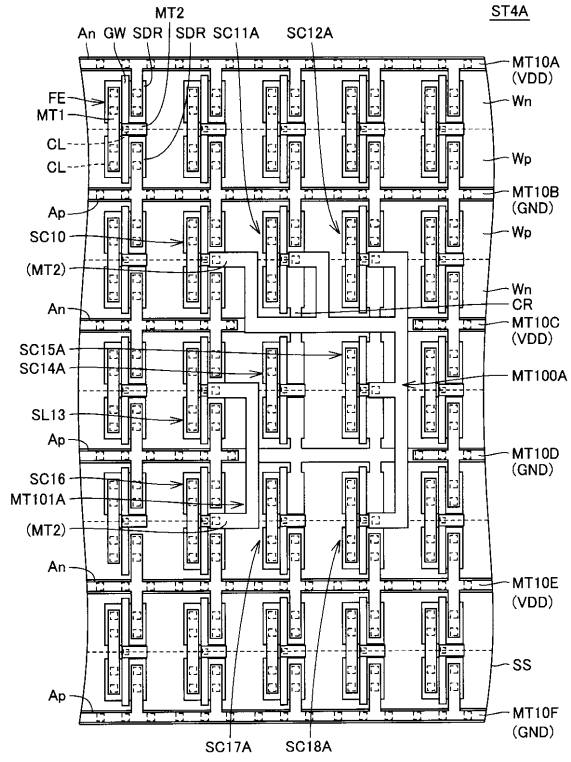
【図12】



【図13】



【 14 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/088 (2006.01) H 0 1 L 27/08 1 0 2 D
H 0 1 L 21/8234 (2006.01)

(74)代理人 100124523

弁理士 佐々木 真人

(72)発明者 大村 浩史

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

審査官 宇多川 勉

(56)参考文献 特開 2 0 0 9 - 0 3 2 7 8 8 (J P , A)
特開 2 0 0 7 - 0 4 3 0 0 4 (J P , A)
特開 2 0 1 0 - 0 7 4 1 2 5 (J P , A)
特開 2 0 1 0 - 0 8 7 3 3 6 (J P , A)
特開 2 0 0 8 - 1 9 3 0 7 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 1 / 8 2 3 8
H 0 1 L 2 7 / 0 4
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 7 / 0 9 2