



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I508197 B

(45) 公告日：中華民國 104 (2015) 年 11 月 11 日

(21) 申請案號：102141421

(22) 申請日：中華民國 102 (2013) 年 11 月 14 日

(51) Int. Cl. : H01L21/58 (2006.01)

H01L21/56 (2006.01)

(71) 申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72) 發明人：陳彥亨 CHEN, YAN HENG (TW)；詹慕萱 CHAN, MU HSUAN (TW)；林峻棠 LIN, CHUN TANG (TW)；紀傑元 CHI, CHIEH YUAN (TW)

(74) 代理人：陳昭誠

(56) 參考文獻：

TW 201227921A

TW 201308553A

US 8390108B2

審查人員：林頌鵬

申請專利範圍項數：15 項 圖式數：3 共 24 頁

(54) 名稱

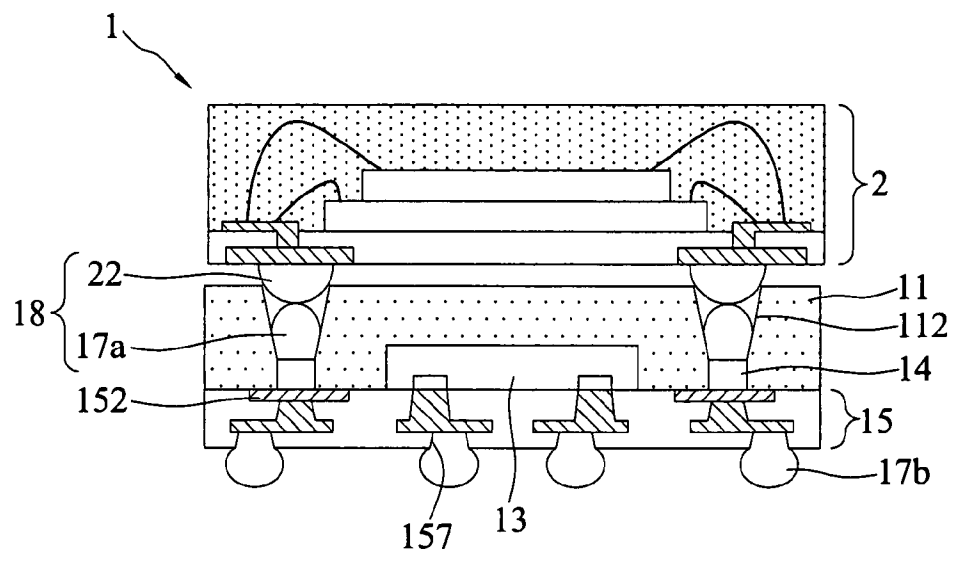
半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREOF

(57) 摘要

一種半導體封裝件及其製法，該製法係包括：將晶片的作用面接置於第一承載板上的第一黏著層上；將擋止結構形成在該第一黏著層未連接該晶片之區域上；於該第一黏著層上形成包覆該晶片與擋止結構的封裝膠體，並於該封裝膠體上接置第二承載板；將該第一黏著層及該第一承載板移除；將電性連接該半導體晶片與連接擋止結構的線路重佈層形成於該封裝膠體的表面上；將第三承載板接置該線路重佈層；將該第二承載板移除；形成外露該擋止結構的封裝膠體開孔；以及移除該第三承載板。本發明能增進產品良率與可靠度。

The present invention provides a semiconductor package and a manufacturing method thereof, the manufacturing method includes: installing the acting surface of a wafer in contact with a first adhesive layer of a first carrier board; forming a stopper structure on an area of the first adhesive layer where the wafer is not connected; forming a package colloid over the first adhesive layer to cover the wafer and the stopper structure, and installing a second carrier board in contact with the package colloid; removing the first adhesive layer and the first carrier board; forming a wiring redistribution layer electrically connecting the semiconductor wafer and connecting the stopper structure on a surface of the package colloid; installing a third carrier board in contact with the wiring redistribution layer; removing the second carrier board; forming a package colloid opening to reveal the stopper structure; and removing the third carrier board. Therefore the product yield and reliability can be improved by the present invention.



- 1 . . . 半導體封裝件
- 11 . . . 封裝膠體
- 112 . . . 封裝膠體開孔
- 13 . . . 晶片
- 14 . . . 擋止結構
- 15 . . . 線路重佈層
- 152 . . . 第一電性連接墊
- 157 . . . 介電層開口
- 17a . . . 第一導電元件
- 17b . . . 第三導電元件
- 18 . . . 導電材料
- 2 . . . 封裝結構
- 22 . . . 第二導電元件

第2J圖

發明摘要

※ 申請案號： 102141421

※ 申請日： 102. 11. 14

※ IPC 分類：

H01L 21/58 (2006.01)

H01L 21/58 (2006.01)

【發明名稱】(中文/英文)

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND MANUFACTURING
METHOD THEREOF

【中文】

一種半導體封裝件及其製法，該製法係包括：將晶片的作用面接置於第一承載板上的第一黏著層上；將擋止結構形成在該第一黏著層未連接該晶片之區域上；於該第一黏著層上形成包覆該晶片與擋止結構的封裝膠體，並於該封裝膠體上接置第二承載板；將該第一黏著層及該第一承載板移除；將電性連接該半導體晶片與連接擋止結構的線路重佈層形成於該封裝膠體的表面上；將第三承載板接置該線路重佈層；將該第二承載板移除；形成外露該擋止結構的封裝膠體開孔；以及移除該第三承載板。本發明能增進產品良率與可靠度。

【英文】

The present invention provides a semiconductor package and a manufacturing method thereof, the manufacturing method includes: installing the acting surface of a wafer in contact with a first adhesive layer of a first carrier board; forming a stopper structure on an area of the first adhesive layer where the wafer is not connected; forming a package colloid over the first adhesive layer to cover the wafer and the stopper structure, and installing a second carrier board in contact with the package colloid; removing the first adhesive layer and the first carrier board; forming a wiring redistribution layer electrically connecting the semiconductor wafer and connecting the stopper structure on a surface of the package colloid; installing a third carrier board in contact with the wiring redistribution layer; removing the second carrier board; forming a package colloid opening to reveal the stopper structure; and removing the third carrier board. Therefore the product yield and reliability can be improved by the present invention.

【代表圖】

【本案指定代表圖】：第（ 2J ）圖。

【本代表圖之符號簡單說明】：

- 1 半導體封裝件
- 11 封裝膠體
- 112 封裝膠體開孔
- 13 晶片
- 14 擋止結構
- 15 線路重佈層
- 152 第一電性連接墊
- 157 介電層開口
- 17a 第一導電元件
- 17b 第三導電元件
- 18 導電材料
- 2 封裝結構
- 22 第二導電元件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND MANUFACTURING
METHOD THEREOF

【技術領域】

本發明提供一種封裝件及其製法，尤指一種半導體封裝件及其製法。

【先前技術】

隨著電子產業的蓬勃發展，電子產品也逐漸邁向多功能、高性能的趨勢。為了滿足半導體封裝件微型化 (miniaturization) 的封裝需求，遂發展出許多封裝技術。

請參照第 1A 圖至第 1H 圖，係為習知技術中形成半導體封裝件之各步驟製程的剖視圖。

如第 1A 圖所示，首先提供一其上形成有第一黏著層 122a 的第一承載板 12a，第一承載板 12a 之材質可為玻璃、金屬及陶瓷等等。

之後，如第 1B 圖所示地將具有作用面 132 及形成在作用面 132 處之錫墊 134 的晶片 13 接置於第一黏著層 122a 上。

而後，如第 1C 圖所示地於第一黏著層 122a 上形成封裝膠體 11 以包覆晶片 13，並在之後於封裝膠體 11 上接置第二承載板 12b，其中，第二承載板 12b 係可選擇性地在

其表面上形成有第二黏著層 122b，以藉由第二黏著層 122b 接置封裝膠體 11。

之後，如第 1D 圖所示地將第一黏著層 122a 及第一承載板 12a 從作用面 132 及封裝膠體 11 的表面上移除。

接著如第 1E 圖所示地將線路重佈層 15 形成在作用面 132 及封裝膠體 11 的外露表面上，並使線路重佈層 15 電性連接晶片 13。更具體而言，線路重佈層 15 係具有介電層 150、線路(未標元件符號)、第一電性連接墊 152、導電盲孔 154 及第二電性連接墊 156，其中，介電層 150 係形成在作用面 132 及封裝膠體 11 的外露表面上，而介電層 150 內係在與該外露表面相接的一側形成有電性連接於銲墊 134 的第一電性連接墊 152，此外第一電性連接墊 152 與封裝膠體 11 連接側之另一側上係形成有與其電性連接之導電盲孔 154，而導電盲孔 154 與第一電性連接墊 152 電性連接側的另一側上則形成有第二電性連接墊 156。

隨後，如第 1F 圖所示地將形成於第三承載板 12c 上的第三黏著層 122c 接置於線路重佈層 15 上。

接著，如第 1G 圖所示地將第二承載板 12b 及第二黏著層 122b 一併移除。

最後，如第 1H 圖所示地在封裝膠體 11 中以雷射鑽孔的方式形成封裝膠體開孔 112，以外露第一電性連接墊 152。後續將於該封裝膠體開孔 112 中形成導電材料，並藉由該導電材料電性連接另一封裝結構，而形成半導體封裝件(省略後續步驟之圖式)。

然而，於第 1H 圖之步驟中，由於習知技術之雷射能量不易控制或其功率不穩定，故容易使線路重佈層中之第一電性連接墊 152 因雷射燒蝕而造成斷路等狀況。

因此，如何克服上述習知以雷射鑽孔方式形成封裝膠體開孔容易造成線路重佈層斷路的缺點，是本領域技術人員的一大課題。

【發明內容】

有鑒於上述習知技術之缺失，本發明提供一種半導體封裝件的製法，係包括以下步驟：將具有作用面之晶片接置於一其上形成有第一黏著層的第一承載板上，且該作用面係連接該第一黏著層；將擋止結構形成在該第一黏著層未連接該晶片之區域上；於該第一黏著層上形成包覆該晶片與擋止結構的封裝膠體，並於該封裝膠體上接置第二承載板；將該第一黏著層及該第一承載板移除，以外露該作用面與擋止結構；將電性連接該半導體晶片與連接擋止結構的線路重佈層形成於該封裝膠體外露該作用面之表面上；將一第三承載板接置於該線路重佈層上；將該第二承載板移除；形成封裝膠體開孔以外露該擋止結構；以及移除該第三承載板。

另外，本發明提供一種半導體封裝件，係包括：具有複數個封裝膠體開孔的封裝膠體；嵌埋於該封裝膠體中的晶片，且該晶片具有外露於該封裝膠體的作用面；嵌埋於該封裝膠體中的擋止結構，其係外露於該封裝膠體外露該作用面之表面，且該擋止結構之位置對應該封裝膠體開

孔，而形成該擋止結構之材料係金屬或導電膠；形成於該封裝膠體外露該作用面的表面上的線路重佈層，該線路重佈層係電性連接該晶片與擋止結構；以及形成於該封裝膠體開孔中以電性連接該擋止結構的導電材料。

本發明可藉由將擋止結構嵌埋於封裝膠體中並使其位置對應後續欲設置封裝膠體開孔之處，而使形成該封裝膠體開孔時所使用之雷射功率不穩定時不會對該線路重佈層造成損傷，從而提高生產的良率。

● 【圖式簡單說明】

第 1A 圖至第 1H 圖係說明習知技術中形成半導體封裝件之各步驟的剖視圖；

第 2A 圖至第 2J 圖係說明本發明之半導體封裝件的製法之各步驟的剖視圖，其中，第 2I' 圖係第 2I 圖之另一實施態樣；以及

第 3A 圖與第 3B 圖係說明本發明之半導體封裝件的製法之另一實施例之剖視圖。

● 【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。本發明亦可藉由其它不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

請參閱第 2A 圖至第 2J 圖，其係說明根據本發明之半

導體封裝件之製法的剖視圖。

首先請參照第 2A 圖，提供一其上形成有第一黏著層 122a 的第一承載板 12a，其中，第一承載板 12a 之材質可為玻璃、金屬及陶瓷等等，但本發明不限於此。之後，在第一黏著層 122a 上接置晶片 13，而晶片 13 係具有接置於第一黏著層 122a 上的作用面 132，且作用面 132 係形成有鉚墊 134。

接著請參照第 2B 圖，其係將擋止結構 14 形成在第一黏著層 122a 未連接晶片 13 之區域上，其中形成擋止結構 14 之材料係金屬或導電膠，而該擋止結構 14 可選擇性地使用膠體形態的材料來形成，進一步而言，可使用金屬膠或導電膠來形成該擋止結構 14，且擋止結構 14 投影至第一承載板 12a 的圖案可為圓形或矩形，但本發明不限於此。而本發明之另一實施例中可先將擋止結構 14 形成在第一黏著層 122a 上，再將晶片 13 接置於第一黏著層 122a 未形成擋止結構 14 之區域上。

請參照第 2C 圖，其中係於該第一黏著層 122a 上形成封裝膠體 11 以包覆晶片 13 與擋止結構 14，並在之後於封裝膠體 11 上接置第二承載板 12b，其中，第二承載板 12b 係可選擇性地在其表面上形成有第二黏著層 122b，以藉由第二黏著層 122b 接置封裝膠體 11。而在本發明之另一實施例中，係將其上形成有封裝膠體 11 之第二承載板 12b 壓合至第一黏著層 122a 的表面上。

請參照第 2D 圖，其中係接著將第一黏著層 122a 及第

一承載板 12a 從作用面 132、擋止結構 14 及封裝膠體 11 的表面上移除，以至少外露作用面 132、鐳墊 134、擋止結構 14 及一部分封裝膠體 11。

請參照第 2E 圖，其係將線路重佈層 15 形成在作用面 132、擋止結構 14 及封裝膠體 11 的外露表面上，並使線路重佈層 15 電性連接半導體之晶片 13 及電性連接擋止結構 14。更具體而言，線路重佈層 15 係具有介電層 150、線路 (未標示元件符號)、第一電性連接墊 152、導電盲孔 154 及第二電性連接墊 156，其中，介電層 150 係形成在作用面 132、擋止結構 14 及封裝膠體 11 的外露表面上，而介電層 150 內係在與該外露表面相接的一側形成有電性連接於晶片 13 之鐳墊 134 及擋止結構 14 的第一電性連接墊 152，此外第一電性連接墊 152 連接鐳墊 134 及擋止結構 14 之側的另一側係形成有與其電性連接之導電盲孔 154，而導電盲孔 154 與第一電性連接墊 152 連接之側的另一側形成有第二電性連接墊 156。並且介電層 150 內係在其與封裝膠體 11 連接側的另一側形成有介電層開口 157，以將第二電性連接墊 156 外露。

請參照第 2F 圖，其係於該線路重佈層 15 上接置一第三承載板 12c，其中，第三承載板 12c 係可選擇性地在其表面上形成有第三黏著層 122c，以藉由第三黏著層 122c 接置線路重佈層 15，並移除該第二承載板 12b 與第二黏著層 122b。

請參照第 2G 圖，其係在封裝膠體 11 中以例如為雷射

鑽孔的方式形成封裝膠體開孔 112，以外露擋止結構 14。在此步驟中，擋止結構 14 可避免習知技術中雷射鑽孔時因雷射功率不穩定而過大之功率對第一電性連接墊 152 所造成的傷害，從而避免線路重佈層 15 斷路。

請參照第 2H 圖，其係在封裝膠體開孔 112 中形成第一導電元件 17a，以使其與擋止結構 14 電性連接，而導電元件可為導電凸塊或鉚球等形式，且第一導電元件 17a 係位於封裝膠體開孔 112 中，或者，第一導電元件 17a 可選擇性地凸出於封裝膠體開孔 112 外(未圖示此情況)。

請參照第 2I 圖，其係將第三承載板 12c 與第三黏著層 122c 從第二電性連接墊 156 及介電層 150 的表面上移除。請參照第 2J 圖，其係於第二電性連接墊 156 上接置例如鉚球的第三導電元件 17b，並於該封裝膠體 14 上方接置一封裝結構 2，該封裝結構 2 之底部上接置複數個第二導電元件 22，而封裝結構 2 係經由封裝膠體開孔 112 中的第一導電元件 17a 與第二導電元件 22 電性連接線路重佈層 15。在另一實施例中，係可選擇性地不在其底部上接置複數個第二導電元件 22，以使封裝結構 2 僅經由第一導電元件 17a 電性連接線路重佈層 15 (未圖示此情況)。

或者，本發明之半導體封裝件之製法的另一實施態樣係參照第 2I' 圖，其與上述之半導體封裝件之製法的相異之處係在於：直接在第 2H 圖之結構上接置一封裝結構 2，以構成如第 2I' 圖之結構，之後，將第三承載板 12c 與第三黏著層 122c 從第二電性連接墊 156 及介電層 150 的表面

上移除，並在第二電性連接墊 156 上接置例如銲球的第三導電元件 17b，以形成如第 2J 圖的態樣。

或者，於另一實施例中，形成擋止結構 14 之材料係非導電材料，故於第 2G 圖之步驟後，再以例如為電漿或溶劑溶解之方式(但本發明不限於此)移除擋止結構 14，以外露該第一電性連接墊 152，如第 3A 圖所示，且從而最後所形成之半導體封裝件係以第一導電元件 17a 直接連接第一電性連接墊 152，如第 3B 圖所示。

本發明之半導體封裝件 1 係包括封裝膠體 11、晶片 13、擋止結構 14、線路重佈層 15 及導電材料 18。該半導體封裝件 1 中包含之各組成結構係詳細於下說明。

詳而言之，封裝膠體 11 係將晶片 13 及擋止結構 14 嵌埋於封裝膠體 11 之一側，並其中形成有複數個封裝膠體開孔 112，其中該些封裝膠體開孔 112 係以雷射鑽孔方式形成，以將擋止結構 14 外露。

晶片 13 係具有外露於封裝膠體 11 的作用面 132 及銲墊 134。

擋止結構 14 係嵌埋於封裝膠體 11 中，並外露於封裝膠體 11 外露之作用面 132 及銲墊 134 的表面，且擋止結構 14 之位置係對應封裝膠體開孔 112，而形成擋止結構 14 之材料係金屬或導電膠，且該擋止結構 14 可選擇性地使用膠體形態的材料來形成，進一步而言，可使用金屬膠或導電膠來形成該擋止結構 14。此外，擋止結構 14 投影至線路重佈層 15 的圖案係為圓形或矩形，但本發明不限於此。

線路重佈層 15 係形成於該封裝膠體 11 外露該作用面 132 的表面上，以電性連接該晶片 13 與擋止結構 14，且導電材料 18 係形成於封裝膠體開孔 112 中，而導電材料 18 可以例如以下方式形成，如在封裝膠體開孔 112 中形成第一導電元件 17a，以使其與第一電性連接墊 152 電性連接，而第一導電元件 17a 可為導電凸塊或錫球等形式，但本發明並不限於此，且第一導電元件 17a 可選擇性地位於封裝膠體開孔 112 中或凸出於封裝膠體開孔 112 外，而後復可包括封裝結構 2，封裝結構 2 藉由位於其底部之複數個第二導電元件 22 而電性連接第一導電元件 17a。因此，本發明之導電材料 18 可包括第一導電元件 17a 或可包括第一導電元件 17a 與第二導電元件 22，該第一導電元件 17a 係形成於該封裝膠體開孔 112 中，該第二導電元件 22 係位於該封裝結構 2 之底部及該第一導電元件 17a 之間，並使該封裝結構 2 電性連接該第一導電元件 17a。

封裝結構 2 係任何形式之封裝結構，並藉由導電材料 18 而電性連接擋止結構 14，從而形成封裝結構 2 與線路重佈層 15 之間的電性連接路徑。

而在本發明之另一實施例中，線路重佈層 15 上可接置與其電性連接的複數第三導電元件 17b，該些第三導電元件 17b 可為導電凸塊或錫球等形式，但本發明並不限於此。

綜上所述，相較於習知技術，由於本發明係藉由將擋止結構形成在第一黏著層未連接晶片之區域上並使封裝膠體將其包覆，該擋止結構之位置係對應後續線路重佈層之

第一電性連接墊，從而在以雷射鑽孔的方式形成封裝膠體開孔的期間避免因雷射功率不穩所致之對第一電性連接墊所造成的傷害，進而提升線路重佈層的良率與產品可靠度。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【符號說明】

1	半導體封裝件
11	封裝膠體
112	封裝膠體開孔
12a	第一承載板
12b	第二承載板
12c	第三承載板
122a	第一黏著層
122b	第二黏著層
122c	第三黏著層
13	晶片
132	作用面
134	錫墊
14	擋止結構
15	線路重佈層
150	介電層

152	第一電性連接墊
154	導電盲孔
156	第二電性連接墊
157	介電層開口
17a	第一導電元件
17b	第三導電元件
18	導電材料
2	封裝結構
22	第二導電元件

申請專利範圍

1. 一種半導體封裝件的製法，係包括：

於一其上形成有第一黏著層的第一承載板上接置具有作用面之晶片，且該作用面係連接該第一黏著層；

將擋止結構形成在該第一黏著層未連接該晶片之區域上；

於該第一黏著層上形成包覆該晶片與擋止結構的封裝膠體，並於該封裝膠體上接置第二承載板；

移除該第一黏著層及該第一承載板，以外露該作用面與擋止結構；

於該封裝膠體外露該作用面之表面上形成電性連接該半導體晶片與連接擋止結構的線路重佈層；

於該線路重佈層上接置一第三承載板；

移除該第二承載板；

形成外露該擋止結構的封裝膠體開孔；以及

移除該第三承載板。

2. 如申請專利範圍第 1 項所述之半導體封裝件的製法，於移除該第三承載板後或於移除該第三承載板前，復包括於該封裝膠體上方接置一封裝結構，該封裝結構係經由該封裝膠體開孔電性連接該線路重佈層。
3. 如申請專利範圍第 2 項所述之半導體封裝件的製法，復包括在形成該封裝膠體開孔後，於該封裝膠體開孔中形成第一導電元件，其係電性連接該線路重佈層且用以電性連接該封裝結構。

4. 如申請專利範圍第 3 項所述之半導體封裝件的製法，復包括於接置該封裝結構前，於該封裝結構之底部上接置複數用以電性連接該線路重佈層的第二導電元件，且接置該封裝結構復包括使該第一導電元件電性連接該第二導電元件。
5. 如申請專利範圍第 1 項所述之半導體封裝件的製法，復包括於移除該第三承載板後，於該線路重佈層上接置複數第三導電元件。
6. 如申請專利範圍第 1 項所述之半導體封裝件的製法，其中，該封裝膠體開孔係藉由雷射來形成。
7. 如申請專利範圍第 1 項所述之半導體封裝件的製法，其中，形成該擋止結構之材料係金屬或導電膠。
8. 如申請專利範圍第 1 項所述之半導體封裝件的製法，其中，形成該擋止結構之材料係非導電材料，且於形成該封裝膠體開孔後，復包括移除該擋止結構。
9. 如申請專利範圍第 8 項所述之半導體封裝件的製法，其中，移除該擋止結構之方式係藉由溶劑或電漿為之。
10. 如申請專利範圍第 1 項所述之半導體封裝件的製法，其中，該擋止結構投影至該第一承載板的圖案係為圓形或矩形。
11. 一種半導體封裝件，係包括：
 - 封裝膠體，係具有複數封裝膠體開孔；
 - 晶片，係嵌埋於該封裝膠體中，且具有外露於該封裝膠體的作用面；

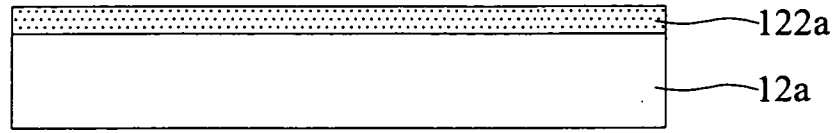
擋止結構，係嵌埋於該封裝膠體中，並外露於該封裝膠體外露該作用面之表面，且該擋止結構之位置對應該封裝膠體開孔，形成該擋止結構之材料係金屬或導電膠；

線路重佈層，係形成於該封裝膠體外露該作用面的表面上，以電性連接該晶片與擋止結構；以及

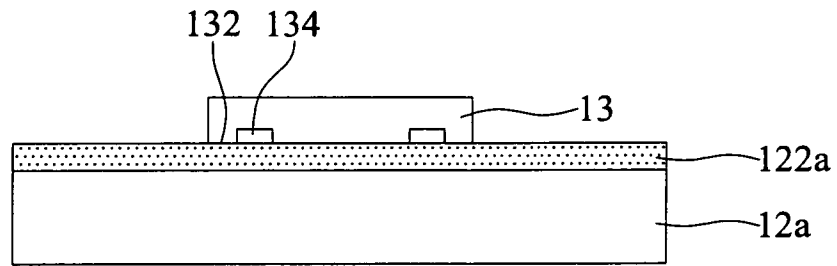
導電材料，係形成於該封裝膠體開孔中，以電性連接該擋止結構。

12. 如申請專利範圍第 11 項所述之半導體封裝件，復包括封裝結構，係位於該封裝膠體上方，且電性連接該導電材料。
13. 如申請專利範圍第 11 項所述之半導體封裝件，其中，該導電材料復包括第一導電元件與第二導電元件，該第一導電元件係形成於該封裝膠體開孔中，該第二導電元件係位於該封裝結構之底部及該第一導電元件之間，並使該封裝結構電性連接該第一導電元件。
14. 如申請專利範圍第 11 項所述之半導體封裝件，復包括接置於該線路重佈層上的複數第三導電元件。
15. 如申請專利範圍第 11 項所述之半導體封裝件，其中，該擋止結構投影至該線路重佈層的圖案係為圓形或矩形。

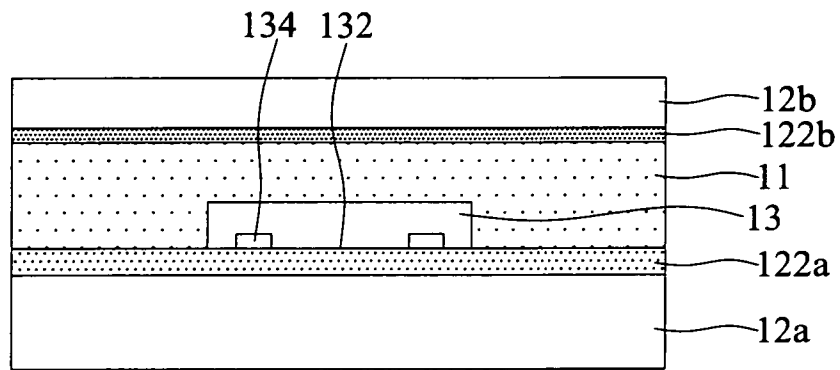
圖式



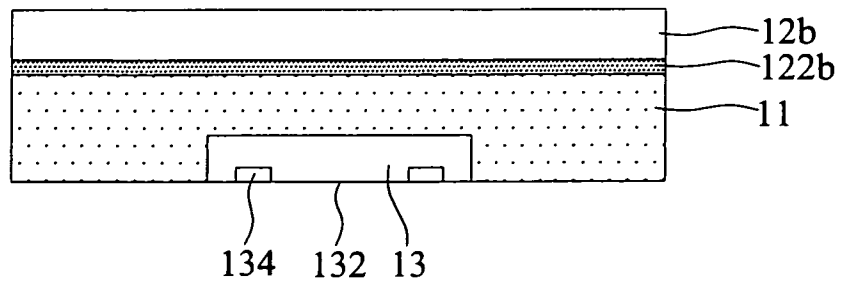
第1A圖



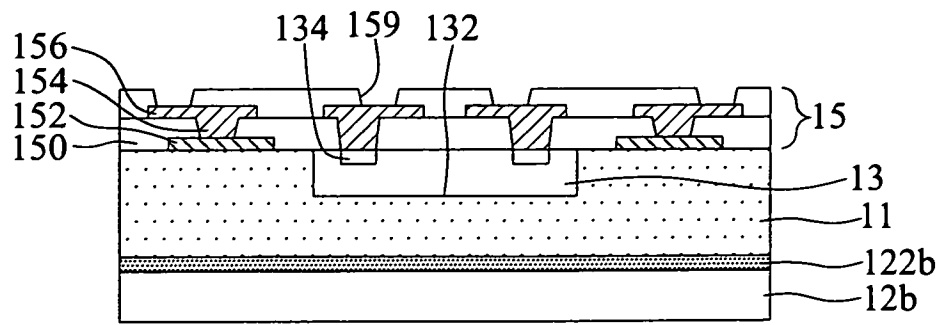
第1B圖



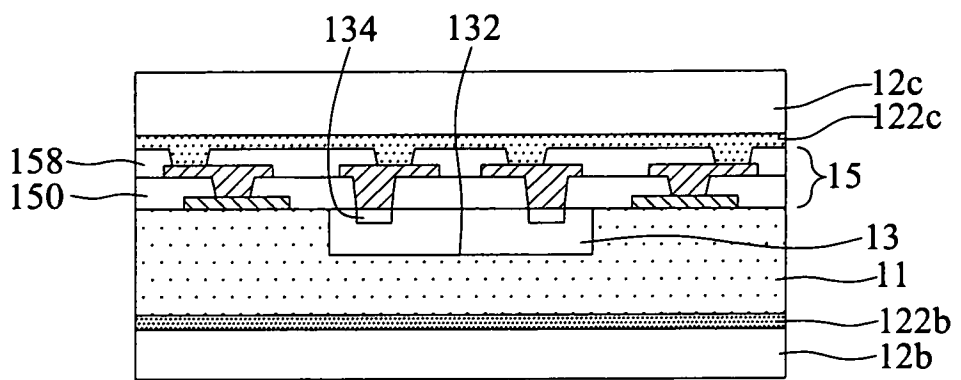
第1C圖



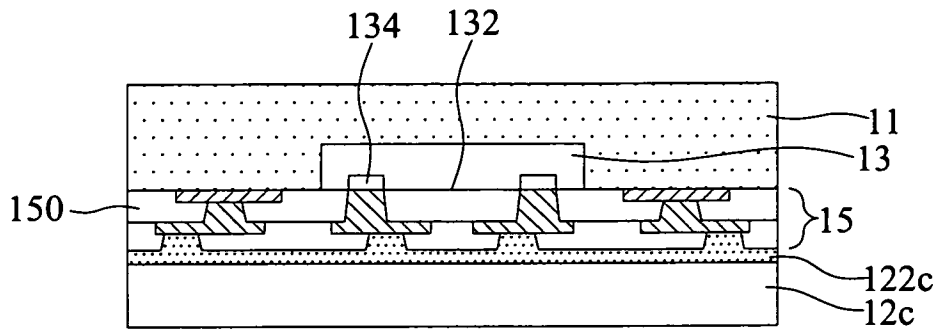
第1D圖



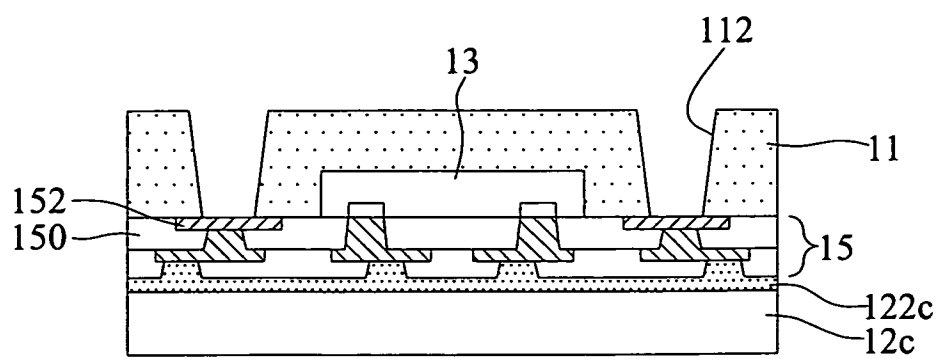
第1E圖



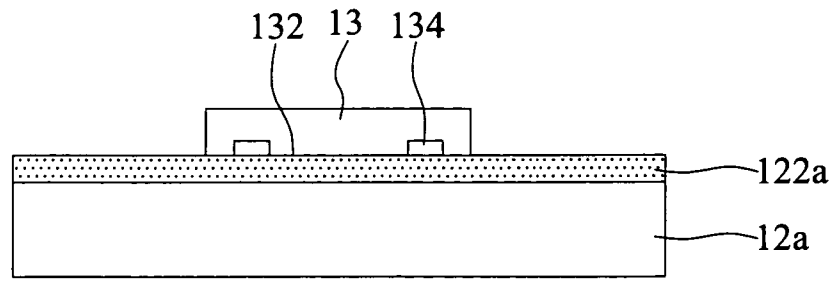
第1F圖



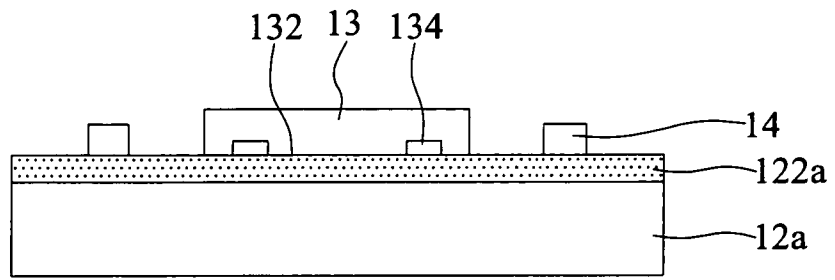
第1G圖



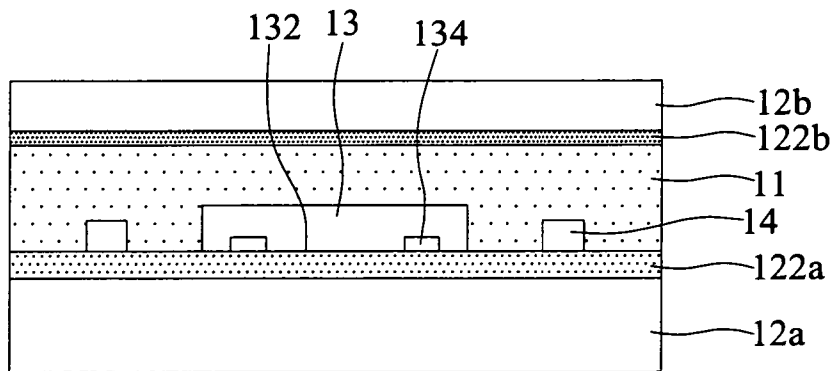
第1H圖



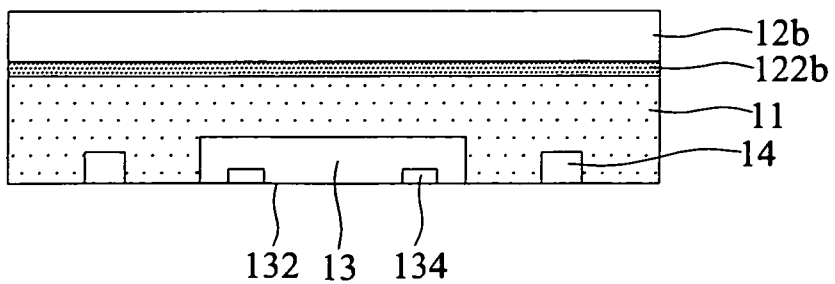
第2A圖



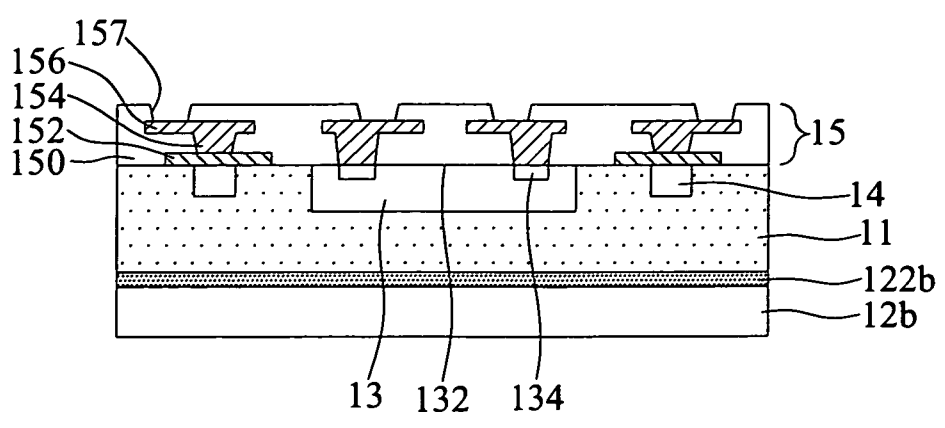
第2B圖



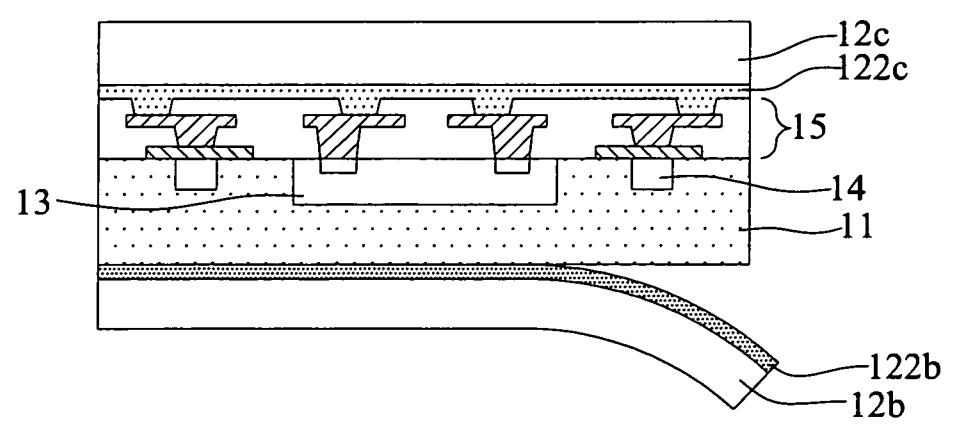
第2C圖



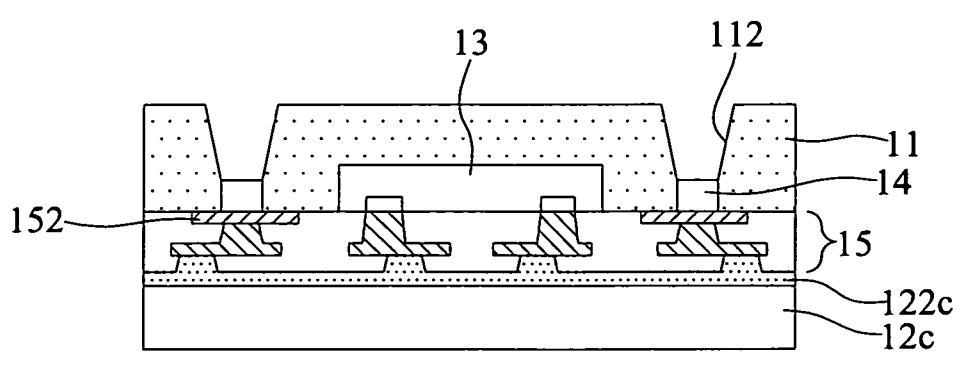
第2D圖



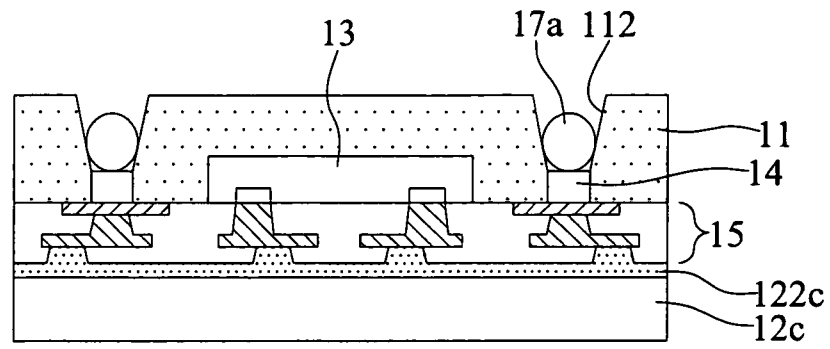
第2E圖



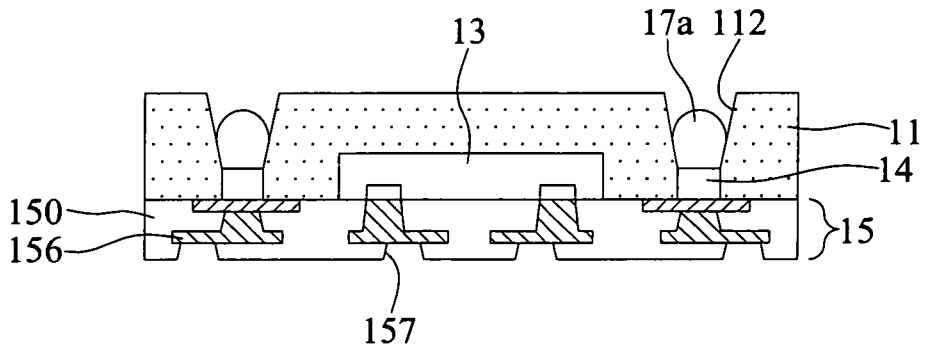
第2F圖



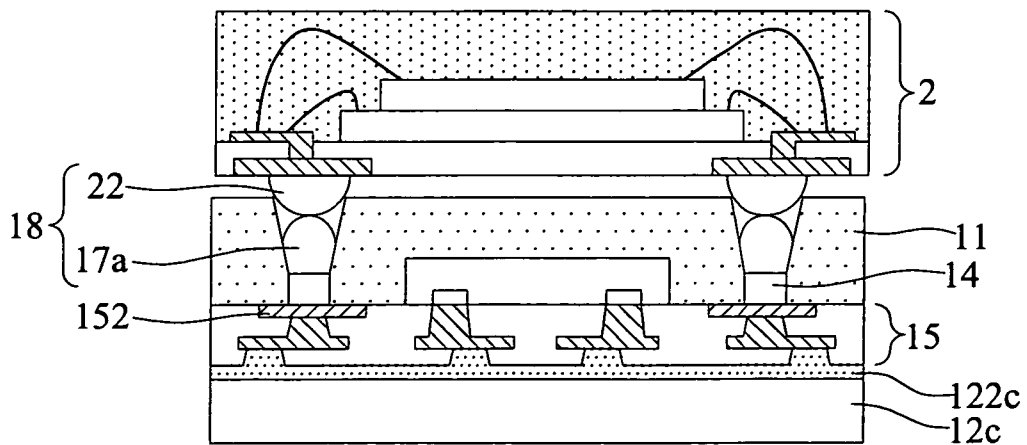
第2G圖



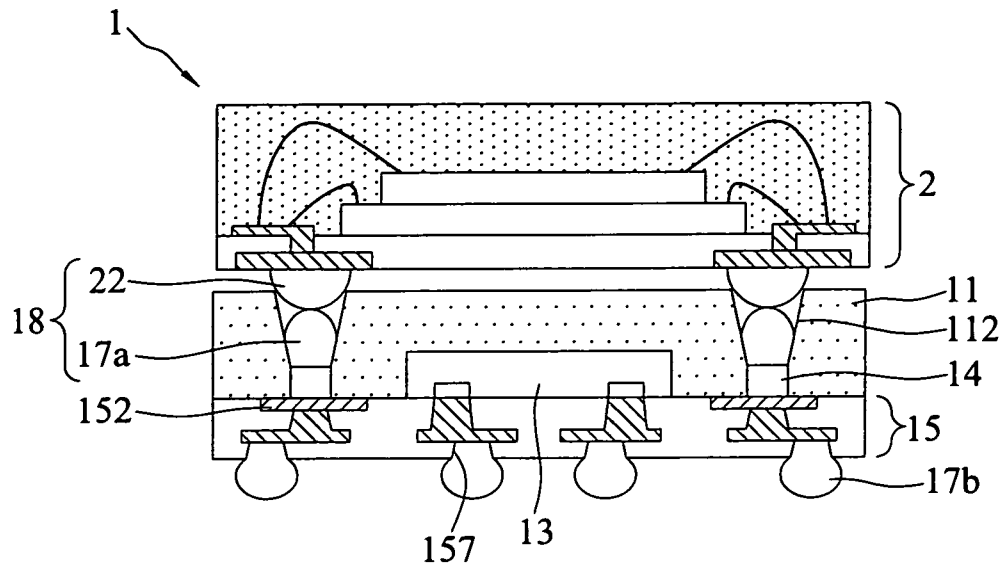
第2H圖



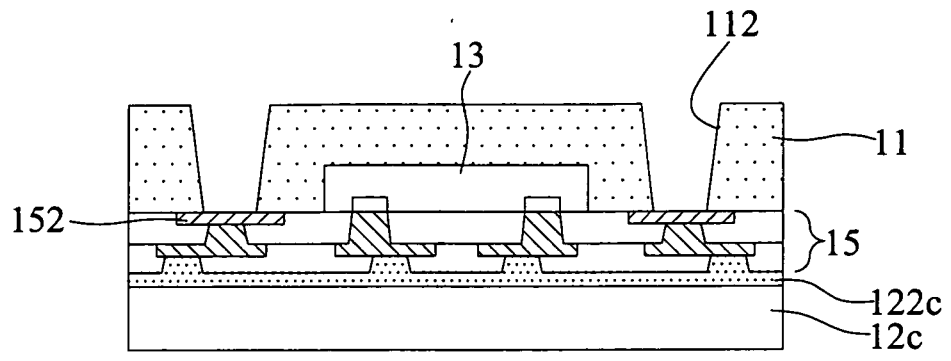
第2I圖



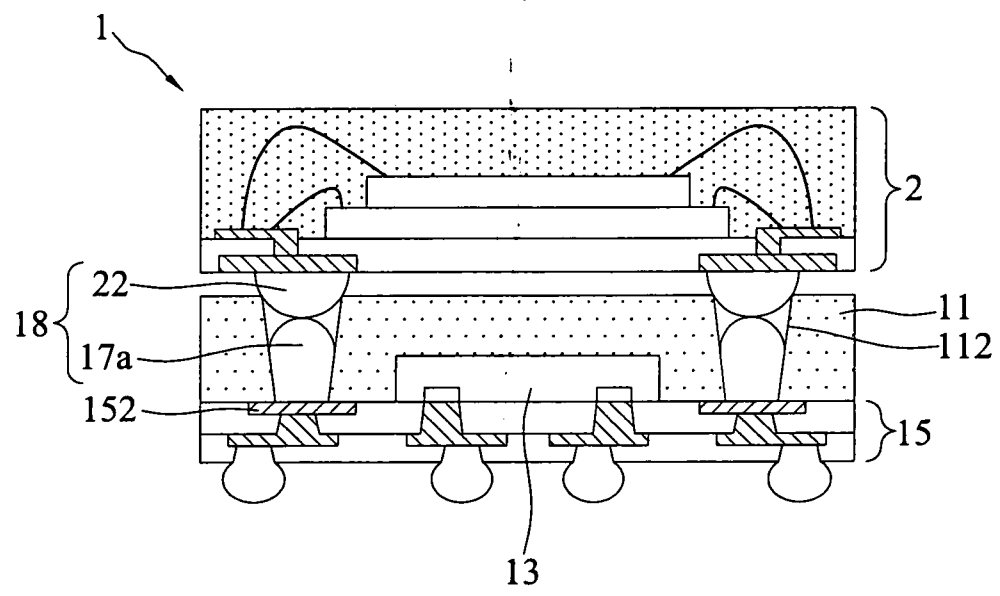
第2I'圖



第2J圖



第3A圖



第3B圖