

12 DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 18.07.91.

30 Priorité : 12.06.91 KR 9109659.

43 Date de la mise à disposition du public de la demande : 18.12.92 Bulletin 92/51.

56 Liste des documents cités dans le rapport de recherche : Le rapport de recherche n'a pas été établi à la date de publication de la demande.

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : Société dite: SAMSUNG ELECTRONICS CO., LTD. — KR.

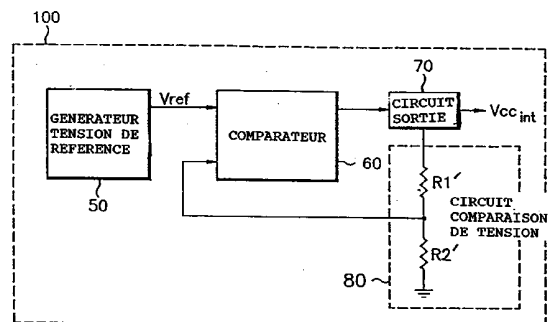
72 Inventeur(s) : Jin Tae-Je et Jeon Joon-Young.

73 Titulaire(s) :

74 Mandataire : Cabinet Bonnet Thirion Foldès G.

54 Circuit pour produire une tension d'alimentation interne.

57 Un générateur de tension d'alimentation interne recevant une tension d'alimentation externe ($V_{CC_{ext}}$), produit une tension d'alimentation interne ($V_{CC_{int}}$) constante, stable destinée à être appliquée à un dispositif de mémoire à semiconducteurs quelles que soient les variations de la température. A cette fin, le générateur comprend un circuit de partage de tension (80) qui comporte une première résistance variable (R_1') avec une valeur de résistance plus élevée comme élément de charge et une seconde résistance variable (R_2') avec une valeur de résistance moins élevée comme élément de commande. A mesure que la température augmente, la valeur de résistance de la première résistance variable (R_1') augmente en diminuant par ce moyen l'écoulement de courant la traversant. Puis, le comparateur (60) connecté à la sortie du circuit de partage de tension (80) permet au circuit de sortie (70) d'augmenter la tension d'alimentation interne ($V_{CC_{int}}$), en réponse à l'augmentation de la température.



CIRCUIT POUR PRODUIRE UNE TENSION D'ALIMENTATION INTERNE

La présente invention se rapporte à un circuit pour produire une tension d'alimentation interne pour utilisation dans un dispositif de mémoire à semiconducteurs à haute densité. En particulier, la présente invention se rapporte à un circuit pour produire une tension d'alimentation interne dans lequel la tension de sortie produite augmente en réponse à une augmentation de la température.

10 De manière récente, dans un dispositif de mémoire à semiconducteurs avec une capacité de mémoire élevée, il est nécessaire d'alimenter un transistor MOS (semiconducteur à grille isolée par oxyde métallique) d'un niveau unitaire inférieur au micron avec une tension d'alimentation basse, inférieure à la tension d'alimentation externe de 5 V qui est généralement fournie dans les systèmes d'ordinateur. A cette fin, un générateur de tension d'alimentation interne doit être prévu dans les puces à semiconducteurs en plus d'un circuit de mémoire de manière à délivrer la basse tension d'alimentation interne. Par exemple, un dispositif DRAM (mémoire vive dynamique) à semiconducteurs d'un niveau au dessus de 16 Mbit inclut nécessairement un générateur de tension d'alimentation interne afin d'obtenir une fiabilité élevée du dispositif de mémoire.

25 Un générateur de tension d'alimentation interne de la technique antérieure et les caractéristiques de celui-ci sont bien décrites en se référant aux figures 1 à 3. En se référant à la figure 1, le générateur de tension d'alimentation interne classique 100 est composé d'un générateur de tension de référence 50, d'un comparateur 60 et d'un circuit de sortie 70. Les caractéristiques du générateur de tension d'alimentation interne de la figure 1 sont montrées à la figure 2, par comparaison avec la tension d'alimentation externe. De plus, un autre mode de réalisation du générateur de tension de référence 50 de la figure 1 est décrit à la figure 3.

En revenant à la figure 1, le générateur de tension d'alimentation interne 100 comporte le générateur de tension de référence 50 et le circuit de sortie 70 qui est constitué d'un transistor PMOS (semiconducteur de type P à grille isolée par oxyde métallique) 10 utilisé comme une résistance variable. Les sorties de tension du générateur de tension de référence 50 et du circuit de sortie 70 sont alors comparées dans le comparateur 60 qui est un amplificateur différentiel pour commander la tension appliquée à la grille du transistor PMOS 10. Le générateur de tension de référence 50 possède une première et une seconde résistances R_1 , R_2 connectées en série entre la tension d'alimentation externe et le niveau de la masse, pour produire une tension de référence V_{ref} par l'intermédiaire d'un noeud de connexion 3. Le comparateur 60 possède un premier et un second transistors NMOS (semiconducteur de type N à grille isolée par oxyde métallique) 6, 7 formant un amplificateur différentiel, un troisième transistor NMOS 8 servant de source de courant constant, et un premier et un second transistors PMOS 4, 5 formant un étage de charge à miroir de courant. De plus, le transistor PMOS 10 a sa source connectée à la tension d'alimentation externe VCC_{ext} , et son drain connecté à la tension d'alimentation interne VCC_{int} d'un noeud de sortie 11. Sur la figure, la tension de référence V_{ref} est appliquée à la grille du premier transistor NMOS 6 du comparateur 60. Dans le cas où le flux de courant de charge est formé à partir du noeud de sortie 11 vers le circuit de mémoire (non montré), une chute de tension se produit au transistor PMOS 10 du circuit de sortie 70. Ce dont il résulte, que la tension d'alimentation interne est établie à un niveau de tension inférieur à la tension d'alimentation externe. Au même moment, le comparateur 60 commande la tension de grille du transistor PMOS 10 de manière à conserver le niveau de tension d'alimentation interne identique au niveau de tension de référence V_{ref} .

Le générateur de tension d'alimentation interne doit conserver une tension d'alimentation interne constante quelles que soient les variations de la tension d'alimentation externe afin d'obtenir une fiabilité élevée du dispositif de mémoire à semiconducteurs. De manière indésirable, cependant, le générateur de tension d'alimentation interne classique 100 de la figure 1 présente une différence de tension ΔV telle que montrée à la figure 2, en réponse à une augmentation de la tension d'alimentation externe. Le problème précédent est provoqué par le fait que la tension de référence V_{ref} issue du générateur de tension de référence 50 est

$$V_{ref} = \frac{R_2}{(R_1 + R_2)} VCC_{ext} ; \text{ par conséquent, la tension de}$$

référence V_{ref} augmente à mesure que la tension d'alimentation externe augmente, en augmentant par ce moyen la tension d'alimentation interne. Par conséquent, la fiabilité des semiconducteurs peut se trouver réduite.

En se référant à la figure 3, le générateur de tension de référence 50 est constitué d'un premier à un troisième transistors PMOS 12, 13, 14 connectés en série les uns aux autres, et d'un quatrième et d'un cinquième transistors PMOS 15, 16 connectés en série l'un à l'autre, les premier à troisième transistors PMOS étant connectés en parallèle aux quatrième et cinquième transistors PMOS. Les grilles et les drains des premier à cinquième transistors PMOS 12 à 16 étant chacun connectés en diode et, en outre, la grille du quatrième transistor PMOS est connectée à la source du troisième transistor PMOS 14. La source du troisième transistor PMOS 14 est couplée de manière à établir le niveau de tension de grille du quatrième transistor PMOS 15 à $\frac{VCC_{ext}}{3}$, la source du quatrième transistor PMOS 15 devenant un noeud de sortie 17 par lequel le générateur de tension de référence 50 produit la tension de référence V_{ref} par

l'intermédiaire du noeud de sortie 17. A mesure que la température augmente, cependant, la tension de seuil V_{th} des transistors PMOS respectifs dans le générateur de tension de référence 50 montré à la figure 3 est réduite. Par conséquent, la tension de référence V_{ref} sera aussi réduite. Si la tension de référence est réduite, la tension d'alimentation interne sera également réduite, en faisant ainsi en sorte que le dispositif de mémoire à semiconducteurs fonctionne à une vitesse faible.

10 C'est par conséquent un objectif de la présente invention que de créer un circuit pour produire une tension d'alimentation interne qui permette à un dispositif de mémoire à semiconducteurs de fonctionner à une vitesse constante, stable, quelles que soient les variations de la température, et dont la tension de sortie augmente à mesure
15 que la température augmente.

Afin d'atteindre l'objectif ci-dessus et d'autres objectifs et caractéristiques de l'invention, un générateur de tension d'alimentation interne de l'invention comprend un circuit de partage de tension qui possède une première et une
20 seconde résistances de charge variables connectées en série entre la sortie de tension d'alimentation et le niveau de la masse, une connexion commune des résistances de charge variables devenant un noeud de sortie de celui-ci, afin de
25 faire en sorte que la sortie de tension d'alimentation interne augmente en réponse à une augmentation de la température.

Les caractéristiques et avantages de l'invention ressortiront d'ailleurs de la description qui va suivre à
30 titre d'exemple en référence aux dessins annexés, sur lesquels :

La figure 1 montre un générateur de tension d'alimentation interne classique;

La figure 2 montre les caractéristiques de sortie du
35 générateur de tension d'alimentation interne de la figure 1;

La figure 3 montre un autre mode de réalisation du générateur de tension de référence de la figure 1;

La figure 4 montre un générateur de tension d'alimentation interne selon la présente invention;

5 La figure 5 montre les caractéristiques de sortie du générateur de tension d'alimentation interne de la figure 4;

La figure 6 montre un mode de réalisation du générateur de tension d'alimentation interne de la figure 4; et

10 La figure 7 est un tableau pour montrer le taux de diminution de la puissance de commande des transistors MOS en réponse à la variation de la température.

La figure 4 montre bien comment un circuit de partage de tension 80 est connecté à un comparateur 60 et à un circuit de sortie 70. Un générateur de tension de référence 50 auquel
15 une tension d'alimentation externe est appliquée, produit une tension de référence V_{ref} . Le comparateur 60 connecté à la sortie du générateur de tension de référence 50, compare une première tension d'entrée couplée à la tension de référence V_{ref} avec une seconde tension d'entrée. La sortie du
20 comparateur 60 est couplée à une borne d'entrée du circuit de sortie 70 pour produire la tension d'alimentation interne. Le circuit de partage de tension 80, connecté à la sortie du circuit 70, produit la seconde tension d'entrée sur un noeud de sortie de celui-ci, en permettant par ce moyen au niveau
25 de tension de sortie du circuit de sortie 70 d'augmenter en réponse à l'augmentation de la température. Il doit être noté de plus que le circuit de partage de tension 80 possède une première et une seconde résistances de charge variables R_1' , R_2' , dont les résistances augmentent en réponse à
30 l'augmentation de la température et dans lequel la valeur de résistance de la première résistance de charge variable R_1' est plus élevée que celle de la seconde résistance de charge variable R_2' . De plus, le taux d'augmentation de la résistance en fonction de l'augmentation de la température,
35 de la première résistance de charge variable R_1' est plus

grand que celui de la seconde résistance de charge variable R_2' .

La tension de sortie $V_{CC_{int}}$ du générateur de tension d'alimentation interne 100 de la figure 4, peut être écrite

5
comme $V_{CC_{int}} = \frac{1 + R_1'}{R_2'} \cdot V_{ref}$, où le taux de variation de la

résistance par rapport à la variation de température de R_1' est plus grand que celui de R_2' . Il est par conséquent
10 évident à partir de ce qui précède qu'à mesure que la température augmente le taux d'augmentation de la résistance de la première résistance de charge variable R_1' devient plus grand que celui de la seconde résistance de charge variable R_2' , en augmentant par ce moyen la tension d'alimentation
15 interne $V_{CC_{int}}$.

Comme cela est bien représenté à la figure 5, il est clair que la tension d'alimentation interne $V_{CC_{int}}$ augmente de façon stable pour se maintenir constante à mesure que la température augmente. Par conséquent, le problème rencontré
20 dans les circuits classiques, qui fait que la tension de référence V_{ref} du générateur de tension de référence est réduite à mesure que la température augmente, ce dont il résulte une tension d'alimentation interne basse de façon indésirable, de même que le problème qui fait que la tension
25 de référence augmente également à mesure que la tension d'alimentation externe augmente, ce dont il résulte une tension d'alimentation interne instable, sont tous les deux résolus.

Un mode de réalisation du générateur de tension
30 d'alimentation interne 50 de la figure 4 va maintenant être décrit en détail ci-dessous, en se référant à la figure 6. Le générateur de tension de référence 50 possède une source de courant constant 31 dont une entrée est couplée à la tension d'alimentation externe $V_{CC_{ext}}$, un noeud de sortie 38 couplé à
35 la sortie de la source de courant constant 31, et un circuit connecté entre le noeud de sortie et le niveau de la masse,

pour faire chuter le niveau de tension du noeud de sortie 38 à un niveau prédéterminé.

Le circuit de chute de tension possède une première résistance 35 connectée au noeud de sortie 38, une autre
5 extrémité de la première résistance 35 étant couplée en commun au collecteur et à la base d'un premier transistor bipolaire 32 dont l'émetteur est couplé au niveau de la masse. Une seconde résistance 36 dont une extrémité est couplée au noeud de sortie 38, est couplée au collecteur d'un
10 second transistor bipolaire 33 dont la base est couplée au collecteur du premier transistor bipolaire 32 et dont l'émetteur est connecté au niveau de la masse par l'intermédiaire d'une troisième résistance 37. De plus, le noeud de sortie 38 est connecté au collecteur d'un troisième
15 transistor bipolaire 34, dont la base est connectée au collecteur du second bipolaire 33 et dont l'émetteur est couplé au niveau de la masse.

Le comparateur 60 possède un premier transistor PMOS 39 dont la source est connectée à la tension d'alimentation
20 externe, et un second transistor PMOS 40 dont la source est connectée à la tension d'alimentation externe. La grille du premier transistor PMOS 39 est connectée en commun à la grille et au drain du second transistor PMOS 40. Puis, la grille d'un premier transistor NMOS 41 est couplée à une
25 première tension d'entrée, c'est-à-dire, la tension de référence V_{ref} . En outre, le premier transistor NMOS 41 a son drain connecté au drain du premier transistor PMOS 39 et sa source connectée à la source d'un second transistor NMOS 43 dont le drain est connecté au drain du second transistor PMOS
30 40 et dont la grille est couplée à une seconde tension d'entrée. Les sources du premier et du second transistors NMOS 41, 43 sont connectées au drain d'un troisième transistor NMOS 42 dont la source est connectée au niveau de la masse et dont la grille est couplée à la première tension
35 d'entrée. Le noeud de connexion 44 des drains du premier

transistor PMOS 39 et du premier transistor NMOS 41 sert de noeud de sortie du comparateur 60.

Le circuit de sortie 70 est constitué d'un transistor PMOS dont la source est connectée à la tension d'alimentation externe VCC_{ext} et dont la grille est connectée au noeud de sortie 44 du comparateur 60. Le drain du transistor PMOS 45 est connecté à un noeud de sortie 49 par l'intermédiaire duquel la tension d'alimentation interne VCC_{int} est produite.

Le circuit de partage de tension 80 est constitué d'un premier transistor PMOS 46 dont la source est connectée au noeud de sortie 49 du circuit de sortie 70, et dont la grille et le drain sont connectés en diode. Un second transistor PMOS 47 a sa source connectée au drain du premier transistor PMOS 46 et sa grille et son drain connectés en diode au niveau de la masse. De plus, un noeud de sortie 48 auquel le drain et la source du premier et du second transistors PMOS sont respectivement connectés, est couplé à la seconde tension d'entrée.

Afin de produire une tension de référence constante V_{ref} quelles que soient les variations de la température, le générateur de tension de référence 50 est constitué de transistors bipolaires. A titre de référence, la tension de sortie du générateur de tension de référence de l'invention

50 est $V_{ref} = V_{BE} + \frac{R_b}{R_c} \cdot V_t \cdot I_n \left(\frac{I_1 \cdot I_{S2}}{I_2 \cdot I_{S1}} \right)$, dans laquelle V_{BE}

est une tension base-émetteur du troisième transistor bipolaire 34; V_t est la tension thermoélectrique; R_b et R_c sont respectivement les seconde et troisième résistances 36, 37; et I_{S1} et I_{S2} sont les courants de saturation de collecteur des premier et second transistors bipolaires 32, 33, respectivement. Le générateur de référence 50 est construit de telle façon que la tension base-émetteur V_{BE} avec un coefficient de température négative de $-2,2mV/^\circ C$ et que la tension thermoélectrique V_t avec un coefficient de température positive de $0,085mV/^\circ C$ soient combinées l'une

avec l'autre de manière à obtenir un coefficient de température de zéro. Contrairement au générateur de tension de référence classique utilisant des transistors PMOS ayant un coefficient de température négative de $-3\text{mV}/^\circ\text{C}$, le
 5 générateur de tension de référence 50 de l'invention peut produire une tension de référence constante, stable V_{ref} quelles que soient les variations de la température.

A côté de cela, le circuit de partage de tension 80 est connecté de manière à ce que la tension de référence V_{ref}
 10 augmente, pour augmenter par ce moyen la tension d'alimentation interne V_{CCint} en fonction de l'augmentation de la température. A cette fin, la conductance de canal

g_1 ($= \frac{\partial I_{\text{DS}}}{\partial V_{\text{DS}}}$) du premier transistor PMOS 46 est rendue
 15 inférieure à la conductance de canal g_2 du second transistor PMOS 47; par conséquent la résistance de canal du premier transistor PMOS 46 est plus grande que celle du premier transistor PMOS 47. Il est bien connu que la conductance est
 20 l'inverse de la résistance. A partir de ce qui précède, il peut être compris que la puissance de commande est réduite pour un transistor MOS dont la résistance de canal est élevée. En général, un transistor MOS dont la longueur de canal est grande subit une influence plus importantè de la
 25 température qu'un transistor MOS avec une courte longueur de canal; par conséquent, la variation de la résistance de canal en fonction de la température du transistor MOS avec une grande longueur de canal est comparativement considérable.

Le générateur de tension d'alimentation interne de la
 30 figure 6 fonctionnant à la température normale de 25°C va maintenant être considéré ci-dessus. La tension de référence V_{ref} issue du générateur de tension de référence 50 est appliquée aux grilles des premier et troisième transistors NMOS 41, 42. A ce moment, si cette tension est plus élevée
 35 que la tension appliquée à la grille du second transistor NMOS 43 du comparateur 60, une tension donnée sera chargée au

noeud de sortie 49 du circuit de sortie 70. Dans le même temps, dans le cas où la tension de référence V_{ref} est au même niveau que la tension de sortie du circuit de partage de tension 80, la tension d'alimentation interne VCC_{int} est maintenue constante par le circuit de partage de tension 80. Dans un cours instant, si la température est augmentée jusqu'à plus de $83^{\circ} C$, l'écoulement de courant dans le premier transistor PMOS 46 du circuit de partage de tension 80 sera réduit; par conséquent, une tension inférieure à celle pendant la température normale est appliquée à la grille du second transistor NMOS 43 du comparateur 60. Ainsi, le noeud de sortie 44 du comparateur 60 est chargé avec une tension inférieure à celle à laquelle il se trouve à la température normale, et par ce moyen, la tension au noeud de sortie 49, c'est-à-dire, la tension d'alimentation interne VCC_{int} , du circuit de sortie 70 sera augmentée. De plus, à mesure que la température augmente de plus en plus, l'écoulement de courant formé dans le canal du premier transistor PMOS 46 du circuit de partage de tension 80 est de plus en plus réduit, de sorte que la tension d'alimentation interne du noeud de sortie 49 du circuit de sortie 70 augmente par rapport à l'augmentation de la température. Ce dont il résulte que, puisque la détérioration du transistor MOS due à la variation de la température est empêchée, il peut être possible d'obtenir un dispositif de mémoire à semiconducteurs fonctionnant de manière stable.

Pour une meilleure compréhension du circuit de partage de tension 80 selon la présente invention, un tableau à la figure 7 va être décrit ci-dessous, dans lequel le taux de diminution de la puissance de commande est montré en détail pour des transistors MOS dont la couche d'oxyde de grille est de 16 nm d'épaisseur. Dans la suite, pour des raisons pratiques, le transistor PMOS sera décrit en même temps que le transistor NMOS; cependant, ce qui concerne le transistor PMOS sera écrit entre parenthèses. Dans le tableau, la

puissance de commande pour le transistor NMOS (PMOS) est mesurée dans un état dans lequel les tensions de grille et de drain qui lui sont appliquées sont toutes deux de +4,0 V (-4,0 V), et la tension substrat-source est de -2,0 V (0 V). Le
5 taux de diminution de la puissance de commande à 85° C est représentée en comparaison avec le taux de diminution de la puissance de commande à 25° C. Il sera compris par les personnes expérimentées dans la technique que le taux de
10 diminution élevé de la puissance de commande reflète le taux d'augmentation élevé de la résistance de canal en réponse à l'augmentation de la température, du transistor MOS. Par conséquent, comme la conductance du canal du transistor MOS est rendue faible, la résistance de canal de celui-ci est élevée, et ainsi, le taux d'augmentation de sa résistance est
15 également élevé.

A partir des descriptions qui précèdent, il est évident que le générateur de tension d'alimentation interne de l'invention peut compenser la diminution de puissance de commande due à l'augmentation de la température de même que
20 la diminution de sa vitesse de fonctionnement résultant de la diminution de la puissance de commande. Par conséquent, le dispositif de mémoire à semiconducteurs utilisant le circuit de l'invention peut être mis en oeuvre de façon stable quelles que soient les variations de la température.

25 Bien que des structures et des procédures spécifiques de l'invention aient été représentées et décrites ici, ceci n'a pas pour but de limiter l'invention aux éléments et structures décrits. Une personne expérimentée dans la technique reconnaîtra aisément que des éléments ou des sous-
30 ensembles particuliers peuvent être utilisés sans sortir du domaine et de l'esprit de l'invention.

REVENDEICATIONS

1. Circuit recevant une tension d'alimentation externe (VCC_{ext}), pour produire une tension d'alimentation interne (VCC_{int}) plus petite que ladite tension d'alimentation externe (VCC_{ext}), destinée à être appliquée à des moyens de mémoire par l'intermédiaire de moyens de sortie (70), caractérisé en ce qu'il comprend :

des moyens de partage de tension (80) pour augmenter sa tension de sortie (VCC_{int}) en réponse à l'augmentation de la température, lesdits moyens de partage de tension (80) comprenant;

des premiers et seconds moyens de résistance variable (R_1' , R_2') couplés en série les uns aux autres entre lesdits moyens de sortie (70) et un niveau de masse, et

un noeud de sortie formé à la connexion desdits premier et second moyens de résistance variable (R_1' , R_2').

2. Circuit tel que revendiqué dans la revendication 1, caractérisé en ce qu'un taux d'augmentation de résistance en réponse à l'augmentation de la température, desdits premiers moyens de résistance variable (R_1') est plus élevé que celui desdits seconds moyens de résistance variable (R_2').

3. Circuit tel que revendiqué dans la revendication 1, caractérisé en ce que lesdits premiers et seconds moyens de résistance variable (R_1' , R_2') comprennent :

un premier transistor MOS (46) dont une extrémité du canal est couplée auxdits moyens de sortie (70), et dont l'autre extrémité de canal et la grille sont connectées en diode; et

un second transistor MOS (47) dont une extrémité de canal est couplée au noeud de sortie (48), et dont l'autre extrémité de canal et la grille sont connectées en diode au niveau de la masse; et

ledit premier transistor MOS (46) ayant un canal d'une plus grande longueur que celui dudit second transistor MOS (47).

4. Circuit recevant une tension d'alimentation externe ($V_{CC_{ext}}$), pour produire une tension d'alimentation interne ($V_{CC_{int}}$) plus basse que ladite tension d'alimentation externe ($V_{CC_{ext}}$) pour utilisation dans un dispositif de mémoire à
5 semiconducteurs, caractérisé en ce qu'il comprend :

des moyens de production d'une tension de référence (50) connectés de manière à recevoir ladite tension externe ($V_{CC_{ext}}$) pour produire une tension de référence (V_{ref});

des moyens de comparaison (80) connectés pour recevoir
10 la sortie desdits moyens de production de tension de référence (50) pour comparer un signal appliqué à partir d'une première ligne d'entrée avec un signal issu d'une seconde ligne d'entrée de ceux-ci, la première ligne d'entrée étant couplée à la sortie de ladite tension de référence
15 (V_{ref});

des moyens de sortie (70) recevant la sortie desdits moyens de comparaison (60) pour produire sur un noeud de sortie de ceux-ci ladite tension d'alimentation interne ($V_{CC_{int}}$); et

20 des moyens de partage de tension (80) recevant la sortie desdits moyens de sortie (70), pour délivrer leur sortie à la seconde ligne d'entrée desdits moyens de comparaison (60);

ce par quoi la valeur de sortie desdits moyens de sortie (70) augmente en réponse à l'augmentation de la température.

25 5. Circuit tel que revendiqué dans la revendication 4, caractérisé en ce que lesdits moyens de production de tension de référence (50) comprennent :

une première résistance (35) dont une extrémité est connectée à un noeud de sortie (38) desdits moyens de
30 production de tension de référence (50);

un premier transistor bipolaire (32) dont le collecteur et la base sont couplés en commun à l'autre extrémité de ladite première résistance (35), et dont l'émetteur est couplé au niveau de la masse;

une seconde résistance (36) dont une extrémité est connecté au noeud de sortie (38) desdits moyens de production de tension de référence (50);

un second transistor bipolaire (33) dont le collecteur
5 est couplé à l'autre extrémité de ladite seconde résistance (36), et dont la base est couplée au collecteur dudit premier transistor bipolaire (32);

une troisième résistance (37), dont une extrémité est couplée à l'émetteur dudit second transistor bipolaire (33),
10 l'autre extrémité de celle-ci étant couplée au niveau de la masse; et

un troisième transistor bipolaire (34) dont le collecteur est couplé au noeud de sortie (38) desdits moyens de production de tension de référence (50), dont la base est
15 couplée au collecteur dudit second transistor bipolaire (33), et dont l'émetteur est couplé au niveau de la masse.

6. Circuit tel que revendiqué dans la revendication 4, caractérisé en ce que lesdits moyens de comparaison (60) comprennent :

20 un premier transistor PMOS (39) dont la source est couplée à ladite tension d'alimentation externe (VCC_{ext});

un second transistor PMOS dont la source est couplée à ladite source d'alimentation externe (VCC_{ext}), dont la grille et le drain sont couplés en commun à la grille dudit premier
25 transistor PMOS (39);

un premier transistor NMOS (41) dont la grille est couplée à ladite première ligne d'entrée, et dont le drain est couplé au drain dudit premier transistor PMOS (39);

un second transistor NMOS dont la grille est couplée à
30 ladite seconde ligne d'entrée, et dont le drain est couplé au drain dudit second transistor PMOS (40);

un troisième transistor NMOS (42) dont la grille est couplée à la première ligne d'entrée, dont la source est couplée au niveau de la masse, et dont le drain est couplé
35 aux sources du premier et du second transistors NMOS; et

un noeud de sortie (44) formé à la connexion des drains du premier transistor PMOS (39) et du premier transistor NMOS (41).

7. Circuit tel que revendiqué dans la revendication 4, caractérisé en ce que lesdits moyens de sortie (70) comprennent :

un transistor PMOS (45) dont la source est couplée à la tension d'alimentation externe (VCC_{ext}), et dont la grille est couplée au noeud de sortie desdits moyens de comparaison (60); et

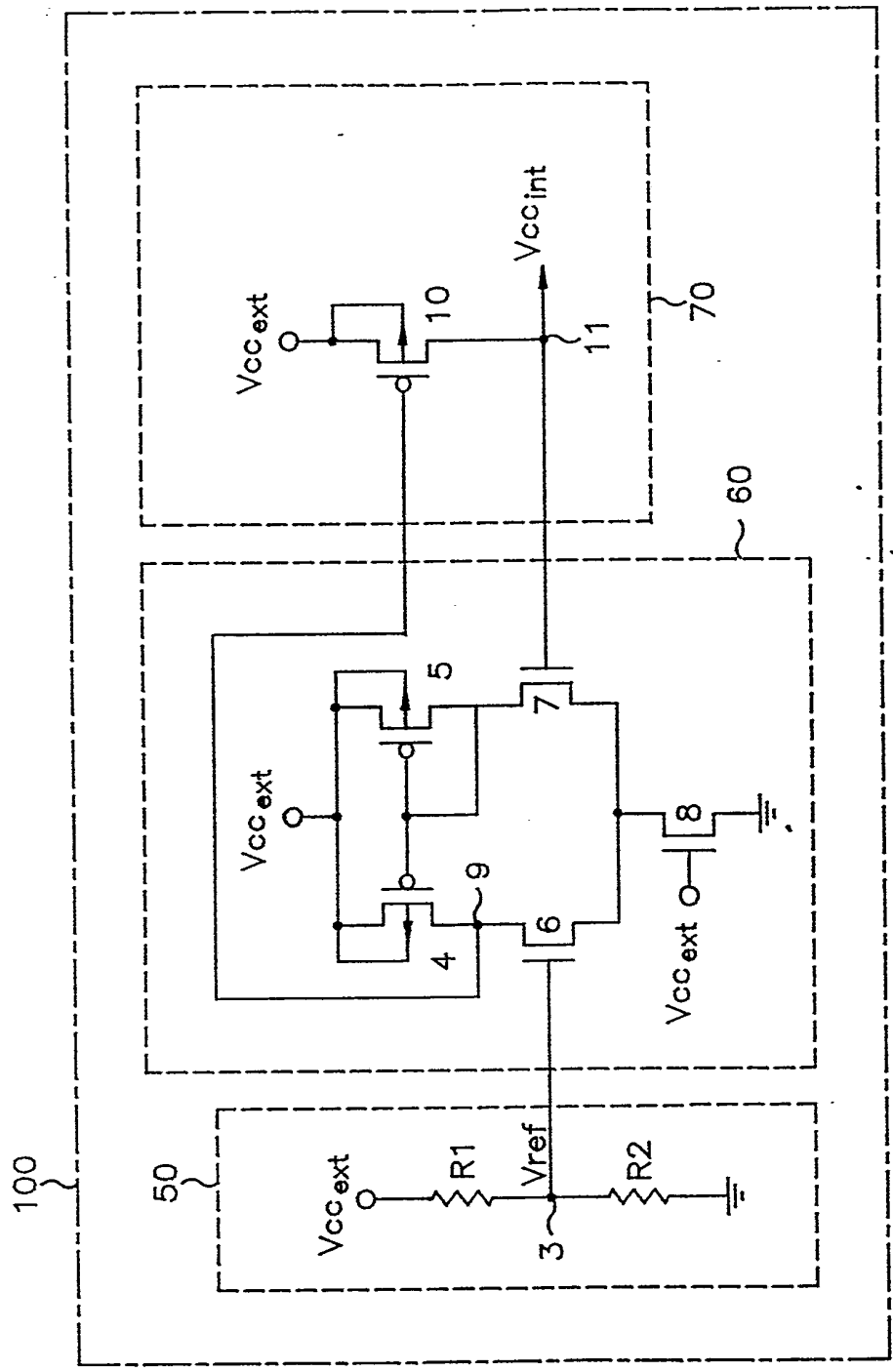
un noeud de sortie (49) couplé au drain dudit transistor PMOS (45).

8. Circuit tel que revendiqué dans la revendication 4, caractérisé en ce que lesdits moyens de partage de tension (80) comprennent :

un premier transistor PMOS (46) dont la source est couplée au noeud de sortie (49) desdits moyens de sortie (70), et dont la grille et le drain sont connectés en diode;

un second transistor PMOS (47) dont la source est couplée au drain dudit premier transistor PMOS (46), et dont la grille et le drain sont montées en diode au niveau de la masse; et

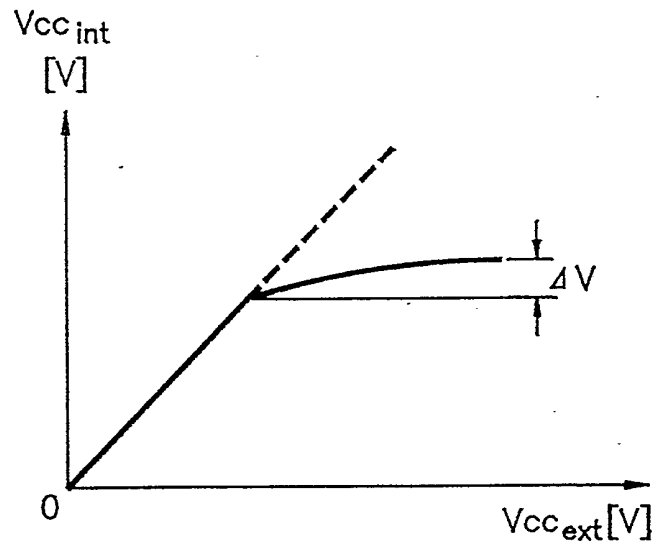
un noeud de sortie (48) formé à une connexion commune du premier et du second transistors PMOS (46, 47).



(TECHNIQUE ANTERIEURE)

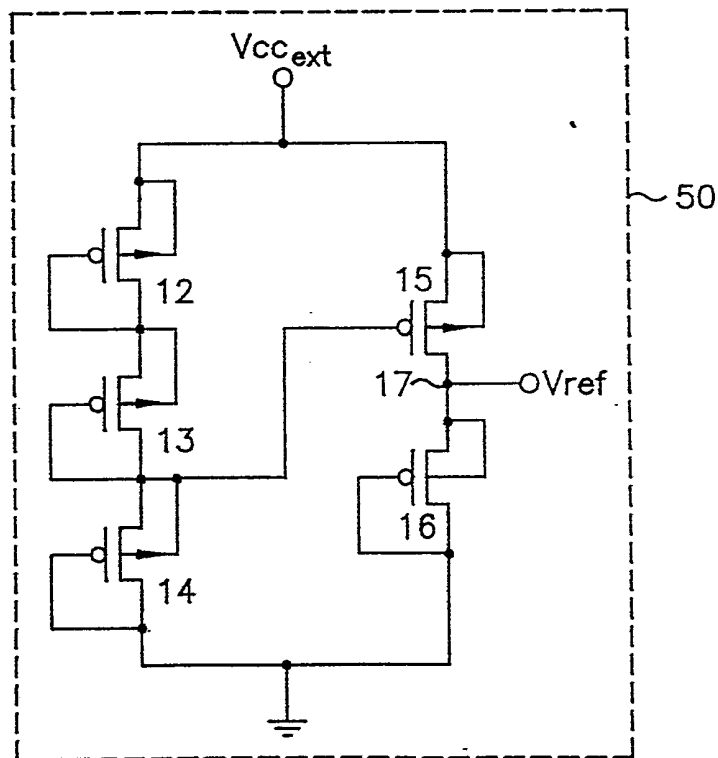
FIG. 1

2/5



(TECHNIQUE ANTERIEURE)

FIG. 2



(TECHNIQUE ANTERIEURE)

FIG. 3

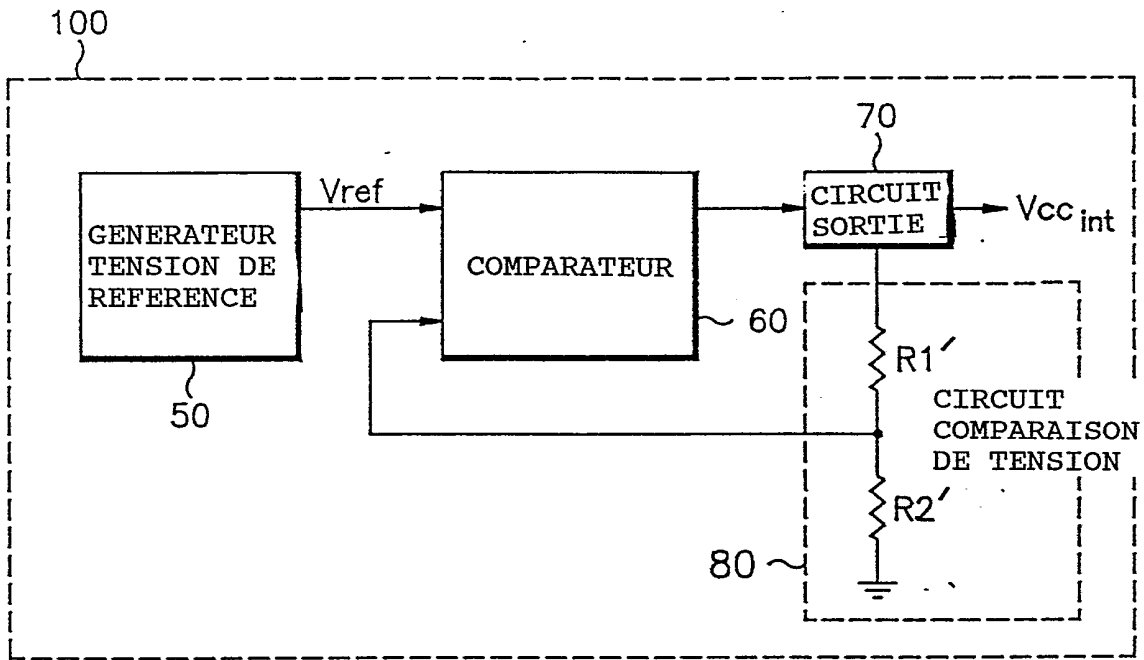


FIG. 4

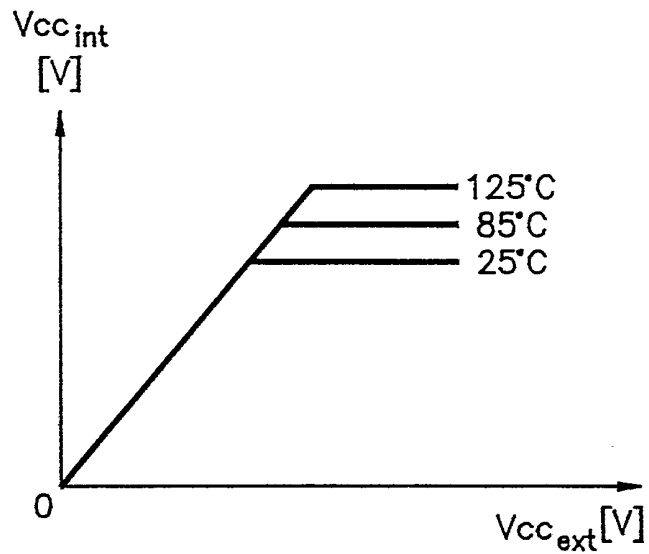


FIG. 5

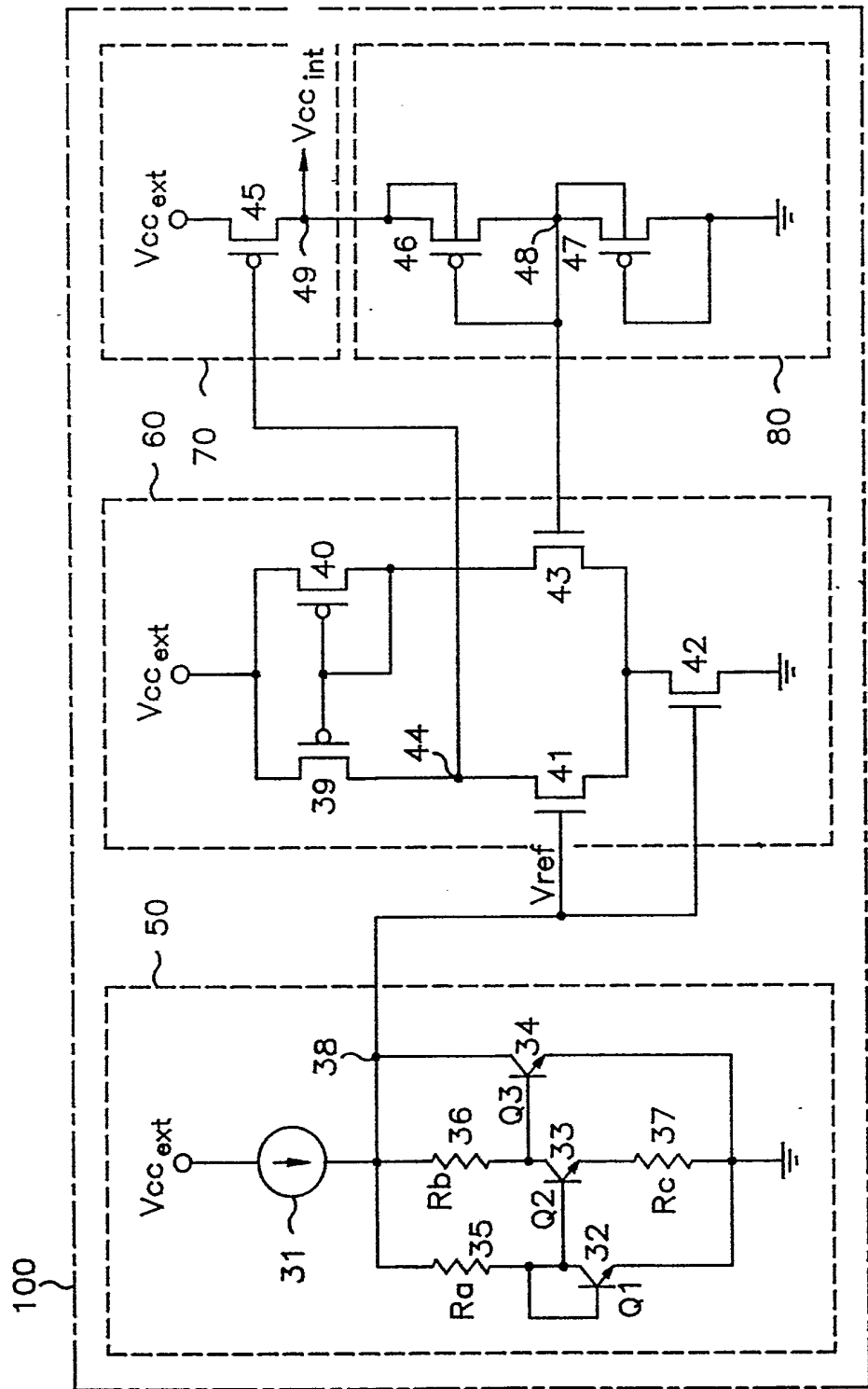


FIG. 6

TYPE CONDUCTIVITE	LARGEUR/LONGUEUR DE CANAL	25°C	85°C	TAUX DE DIMINUTION COURANT
NMOS	50/50 [μm]	436.4 [μA]	327.2 [μA]	25.0 %
	10/1.1	2.50 [μA]	2.19 [μA]	12.3 %
PMOS	50/50	-120.4 [μA]	-101.8 [μA]	15.4 %
	10/1.3	-942.7 [μA]	-857.1 [μA]	9.1 %

FIG. 7