

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-173151

(P2015-173151A)

(43) 公開日 平成27年10月1日(2015.10.1)

(51) Int.Cl. F I テーマコード (参考)
 H O 1 L 21/338 (2006.01) H O 1 L 29/80 H 5 F 1 0 2
 H O 1 L 29/778 (2006.01)
 H O 1 L 29/812 (2006.01)

審査請求 未請求 請求項の数 16 O L (全 16 頁)

(21) 出願番号 特願2014-47694 (P2014-47694)
 (22) 出願日 平成26年3月11日 (2014.3.11)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100119035
 弁理士 池上 徹真
 (74) 代理人 100141036
 弁理士 須藤 章
 (74) 代理人 100088487
 弁理士 松山 允之
 (72) 発明者 齋藤 涉
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 斎藤 泰伸
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

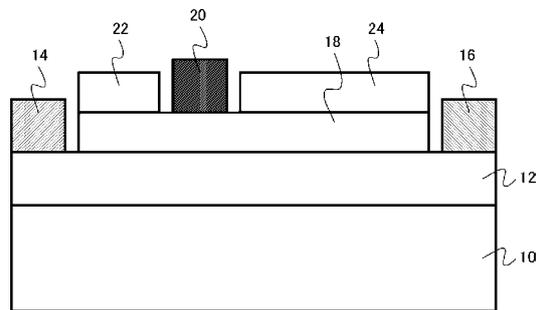
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ノーマリーオフ動作を実現させる半導体装置を提供する。

【解決手段】 実施形態の半導体装置は、 $Al_xGa_{1-x}N$ を材料とする第1の半導体層と、第1の半導体層上に設けられ、ノンドープ又はn型の $Al_yGa_{1-y}N$ を材料とする第2の半導体層と、第2の半導体層上に設けられる第1の電極と、第2の半導体層上に設けられる第2の電極と、第2の半導体層上の第1の電極と第2の電極との間に、第1の電極および第2の電極と離間して設けられ、p型の $Al_zGa_{1-z}N$ ($0 < z < 1$)を材料とする第3の半導体層と、第3の半導体層上に設けられる制御電極と、第3の半導体層上の第1の電極と制御電極との間に、制御電極と離間して設けられ、n型の $Al_uGa_{1-u}N$ を材料とする第4の半導体層と、第3の半導体層上の制御電極と第2の電極との間に、制御電極と離間して設けられ、n型の $Al_uGa_{1-u}N$ を材料とする第5の半導体層と、を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

A_{1-x}Ga_{1-x}N (0 < X < 1) を材料とする第 1 の半導体層と、
 前記第 1 の半導体層上に設けられ、ノンドープ又は n 型の A_{1-y}Ga_{1-y}N (0 < Y < 1、X < Y) を材料とする第 2 の半導体層と、
 前記第 2 の半導体層上に設けられる第 1 の電極と、
 前記第 2 の半導体層上に設けられる第 2 の電極と、
 前記第 2 の半導体層上の前記第 1 の電極と前記第 2 の電極との間に、前記第 1 の電極および前記第 2 の電極と離間して設けられ、p 型の A_{1-z}Ga_{1-z}N (0 < Z < 1) を材料とする第 3 の半導体層と、
 前記第 3 の半導体層上に設けられる制御電極と、
 前記第 3 の半導体層上の前記第 1 の電極と前記制御電極との間に、前記制御電極と離間して設けられ、n 型の A_{1-u}Ga_{1-u}N (0 < U < 1) を材料とする第 4 の半導体層と、
 前記第 3 の半導体層上の前記制御電極と前記第 2 の電極との間に、前記制御電極と離間して設けられ、n 型の A_{1-u}Ga_{1-u}N (0 < U < 1) を材料とする第 5 の半導体層と、
 を備えることを特徴とする半導体装置。

10

【請求項 2】

前記第 4 および第 5 の半導体層の n 型不純物のシート不純物濃度が、前記第 3 の半導体層の p 型不純物のシート不純物濃度よりも高いことを特徴とする請求項 1 記載の半導体装置。

20

【請求項 3】

前記第 5 の半導体層が前記第 2 の電極に電気的に接続されていることを特徴とする請求項 1 または請求項 2 記載の半導体装置。

【請求項 4】

前記第 4 の半導体層が前記第 1 の電極に電気的に接続されていることを特徴とする請求項 1 ないし請求項 3 いずれか一項記載の半導体装置。

【請求項 5】

前記第 4 の半導体層が島状に設けられることを特徴とする請求項 1 ないし請求項 4 いずれか一項記載の半導体装置。

30

【請求項 6】

前記第 5 の半導体層直下の前記第 1 の半導体層と前記第 2 の半導体層との界面の 2 次元電子ガスのシートキャリア濃度が、前記第 3 の半導体層の p 型不純物のシート不純物濃度および前記第 5 の半導体層の n 型不純物のシート不純物濃度よりも低いことを特徴とする請求項 3 記載の半導体装置。

【請求項 7】

前記制御電極と前記第 4 の半導体層との間の領域の前記第 3 の半導体層に第 1 の溝が設けられ、前記制御電極と前記第 5 の半導体層との間の領域の前記第 3 の半導体層に第 2 の溝が設けられることを特徴とする請求項 1 ないし請求項 6 いずれか一項記載の半導体装置。

40

【請求項 8】

A_{1-x}Ga_{1-x}N (0 < X < 1) を材料とする第 1 の半導体層と、
 前記第 1 の半導体層上に設けられ、ノンドープ又は n 型の A_{1-y}Ga_{1-y}N (0 < Y < 1、X < Y) を材料とする第 2 の半導体層と、
 前記第 2 の半導体層上に設けられる第 1 の電極と、
 前記第 2 の半導体層上に設けられる第 2 の電極と、
 前記第 2 の半導体層上の前記第 1 の電極と前記第 2 の電極との間に設けられ、第 1 の溝と第 2 の溝を有し、p 型の A_{1-z}Ga_{1-z}N (0 < Z < 1) を材料とする第 3 の半導体層と、

50

前記第3の半導体層上の、前記第1の溝と前記第2の溝との間に設けられる制御電極と、
 前記第3の半導体層上の、前記第1の電極と前記第1の溝との間に、前記制御電極と離間して設けられ、n型の $Al_{1-U}Ga_{1-U}N$ ($0 < U < 1$)を材料とする第4の半導体層と、
 前記第3の半導体層上の、前記第2の溝と前記第2の電極との間に、前記制御電極と離間して設けられ、n型の $Al_{1-U}Ga_{1-U}N$ ($0 < U < 1$)を材料とする第5の半導体層と、
 を備えることを特徴とする半導体装置。

【請求項9】

前記第5の半導体層が前記第2の電極に電氣的に接続されていることを特徴とする請求項8記載の半導体装置。

【請求項10】

前記第1の溝および前記第2の溝の底部が前記第3の半導体層中にあることを特徴とする請求項8または請求項9記載の半導体装置。

【請求項11】

前記第1の溝および前記第2の溝の底部が前記第2の半導体層中にあることを特徴とする請求項8または請求項9記載の半導体装置。

【請求項12】

前記第2の半導体層と前記第3の半導体層との間に、 $Al_{1-W}Ga_{1-W}N$ ($0 < W < 1$)を材料とする第6の半導体層を、さらに備え、

前記第1の溝および前記第2の溝の底部が前記第6の半導体層中にあることを特徴とする請求項8または請求項9記載の半導体装置。

【請求項13】

前記第1の電極と、前記第2の溝と前記第2の電極との間の前記第3の半導体層とが、電氣的に接続されることを特徴とする請求項8ないし請求項12いずれか一項記載の半導体装置。

【請求項14】

前記第1の電極と、前記第1の電極と前記第1の溝との間の前記第3の半導体層および第4の半導体層とが、電氣的に接続されることを特徴とする請求項8ないし請求項13いずれか一項記載の半導体装置。

【請求項15】

前記第1の電極と第5の半導体層とが、ショットキー接続されることを特徴とする請求項9記載の半導体装置。

【請求項16】

前記第4および第5の半導体層のn型不純物のシート不純物濃度が、前記第3の半導体層のp型不純物のシート不純物濃度よりも高いことを特徴とする請求項9記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

スイッチング電源やインバータなどの回路には、スイッチング素子やダイオードなどのパワー半導体素子が用いられる。これらのパワー半導体素子には高耐圧・低オン抵抗が求められる。そして、耐圧とオン抵抗の関係は、素子材料で決まるトレードオフ関係がある。

【0003】

10

20

30

40

50

これまでの技術開発の進歩により、パワー半導体素子は、主な素子材料であるシリコンの限界近くまで低オン抵抗が実現されている。オン抵抗を更に低減するには素子材料の変更が必要である。GaNやAlGaNなどの窒化物半導体や炭化珪素(SiC)などのワイドバンドギャップ半導体をスイッチング素子材料として用いることで、材料で決まるトレードオフ関係を改善でき、飛躍的に低オン抵抗化が可能である。

【0004】

GaNやAlGaNなどの窒化物半導体を用いた素子で、低オン抵抗が得られやすい素子として、例えば、AlGaN/GaNヘテロ構造を用いたヘテロ接合電界効果トランジスタ(HFET)が挙げられる。このHFETは、ヘテロ界面チャネルの高移動度と、分極により発生する高電子濃度により、低オン抵抗を実現する。これにより、素子のチップ面積が小さくとも低オン抵抗が得られる。

10

【0005】

しかし、HFETは分極により電子を発生させるため、ゲート電極下にも高濃度の電子が存在する。このため、通常、ゲートしきい値電圧がマイナスとなるノーマリーオン型素子となる。パワー半導体素子では、安全動作上、ゲートしきい値電圧がプラスとなるノーマリーオフ型素子が望ましい。ノーマリーオフ型素子を実現するには、ゲート電極下のみ選択的に電子濃度をゼロにするような構造が必要となる。

【先行技術文献】

【特許文献】

【0006】

20

【特許文献1】特開2013-74280号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明は、上記事情を考慮してなされたものであり、その目的とするところは、ノーマリーオフ動作を実現させる半導体装置を提供することにある。

【課題を解決するための手段】

【0008】

本発明の一態様の半導体装置は、 $Al_xGa_{1-x}N$ ($0 < x < 1$) を材料とする第1の半導体層と、前記第1の半導体層上に設けられ、ノンドープ又はn型の $Al_yGa_{1-y}N$ ($0 < y < 1$, $x < y$) を材料とする第2の半導体層と、前記第2の半導体層上に設けられる第1の電極と、前記第2の半導体層上に設けられる第2の電極と、前記第2の半導体層上の前記第1の電極と前記第2の電極との間に、前記第1の電極および前記第2の電極と離間して設けられ、p型の $Al_zGa_{1-z}N$ ($0 < z < 1$) を材料とする第3の半導体層と、前記第3の半導体層上に設けられる制御電極と、前記第3の半導体層上の前記第1の電極と前記制御電極との間に、前記制御電極と離間して設けられ、n型の $Al_uGa_{1-u}N$ ($0 < u < 1$) を材料とする第4の半導体層と、前記第3の半導体層上の前記制御電極と前記第2の電極との間に、前記制御電極と離間して設けられ、n型の $Al_vGa_{1-v}N$ ($0 < v < 1$) を材料とする第5の半導体層と、を備える。

30

【図面の簡単な説明】

40

【0009】

【図1】第1の実施形態の半導体装置の模式断面図。

【図2】第1の実施形態の第1の変形例の半導体装置の模式断面図。

【図3】第1の実施形態の第2の変形例の半導体装置の模式断面図。

【図4】第1の実施形態の第3の変形例の半導体装置の模式上面図。

【図5】第1の実施形態の第3の変形例の半導体装置の模式断面図。

【図6】第2の実施形態の半導体装置の模式断面図。

【図7】第2の実施形態の第1の変形例の半導体装置の模式断面図。

【図8】第2の実施形態の第2の変形例の半導体装置の模式断面図。

【図9】第3の実施形態の半導体装置の模式断面図。

50

【図10】第3の実施形態の第1の変形例の半導体装置の模式断面図。

【図11】第3の実施形態の第2の変形例の半導体装置の模式断面図。

【図12】第4の実施形態の半導体装置の模式断面図。

【図13】第4の実施形態の変形例の半導体装置の模式断面図。

【発明を実施するための形態】

【0010】

本明細書中、同一または類似する部材については、同一の符号を付し、重複する説明を省略する場合がある。

【0011】

本明細書中、「ノンドープ」とは、不純物が意図的に導入されていないことを意味する。

10

【0012】

本明細書中、例えば、「 $Al_xGa_{1-x}N$ ($0 < X < 1$) を材料とする」との表現は、「 $Al_xGa_{1-x}N$ ($0 < X < 1$)」以外の材料または不純物をまったく含有しないことを意味する表現ではない。

【0013】

(第1の実施形態)

本実施形態の半導体装置は、 $Al_xGa_{1-x}N$ ($0 < X < 1$) を材料とする第1の半導体層と、第1の半導体層上に設けられ、ノンドープ又はn型の $Al_yGa_{1-y}N$ ($0 < Y < 1$, $X < Y$) を材料とする第2の半導体層と、第2の半導体層上に設けられる第1の電極と、第2の半導体層上に設けられる第2の電極と、第2の半導体層上の第1の電極と第2の電極との間に、第1の電極および第2の電極と離間して設けられ、p型の $Al_zGa_{1-z}N$ ($0 < Z < 1$) を材料とする第3の半導体層と、第3の半導体層上に設けられる制御電極と、第3の半導体層上の第1の電極と制御電極との間に、制御電極と離間して設けられ、n型の $Al_uGa_{1-u}N$ ($0 < U < 1$) を材料とする第4の半導体層と、第3の半導体層上の制御電極と第2の電極との間に、制御電極と離間して設けられ、n型の $Al_uGa_{1-u}N$ ($0 < U < 1$) を材料とする第5の半導体層と、を備える。

20

【0014】

図1は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置は、H F E Tである。

30

【0015】

図1に示すように、チャンネル層(第1の半導体層)10上に、バリア層(第2の半導体層)12が設けられる。また、バリア層(第2の半導体層)12上にソース電極(第1の電極)14およびドレイン電極(第2の電極)16が設けられる。

【0016】

また、バリア層12上のソース電極14とドレイン電極16との間に、p型キャップ層(第3の半導体層)18が設けられる。p型キャップ層18は、ソース電極14およびドレイン電極16と離間して設けられる。すなわち、p型キャップ層18は、ソース電極14およびドレイン電極16と物理的にも、電気的にも接続されていない。

【0017】

そして、p型キャップ層18上にゲート電極(制御電極)20が設けられる。また、ソース電極14とゲート電極20との間のp型キャップ層18上に、第1のn型キャップ層(第4の半導体層)22が設けられる。さらに、ゲート電極20とドレイン電極16との間のp型キャップ層18上に、第2のn型キャップ層(第5の半導体層)24が設けられる。

40

【0018】

ソース電極14およびドレイン電極16は、例えば、バリア層12表面に互いに平行なストライプ状に形成される。そして、ソース電極14およびドレイン電極16の間のp型キャップ層18表面にゲート電極20が、ソース電極14およびドレイン電極16に平行なストライプ状に形成される。

50

【0019】

チャンネル層（第1の半導体層）10は、ノンドープの $Al_x Ga_{1-x} N$ （ $0 < x < 1$ ）を材料とする。例えば、チャンネル層10は、ノンドープの GaN である。なお、チャンネル層10に、 n 型または p 型の不純物が含有されていてもかまわない。

【0020】

バリア層（第2の半導体層）12は、ノンドープ又は n 型の $Al_y Ga_{1-y} N$ （ $0 < y < 1$ 、 $x < y$ ）を材料とする。バリア層12は、例えば、ノンドープの $Al_{0.25} Ga_{0.75} N$ である。バリア層12は、チャンネル層10よりもアルミニウム（ Al ）の濃度が高い。

【0021】

ソース電極（第1の電極）14およびドレイン電極16は、金属電極である。ソース電極（第1の電極）14およびドレイン電極16は、例えば、アルミニウム（ Al ）を主成分とする。ソース電極16およびドレイン電極18と、バリア層12との間は、オーミックコンタクトであることが望ましい。

【0022】

ゲート電極（制御電極）20は、例えば、金属電極である。ゲート電極20は、例えば、白金（ Pt ）、または、窒化チタン（ TiN ）である。ゲート電極20と p 型キャップ層18との間は、オーミックコンタクトであることが望ましい。

【0023】

p 型キャップ層（第3の半導体層）18は、 p 型の $Al_z Ga_{1-z} N$ （ $0 < z < 1$ ）を材料とする。 p 型キャップ層18は、例えば、 Mg （マグネシウム）を p 型不純物として含有する p 型 GaN である。

【0024】

第1の n 型キャップ層（第4の半導体層）22と第2の n 型キャップ層（第5の半導体層）24は、 n 型の $Al_u Ga_{1-u} N$ （ $0 < u < 1$ ）を材料とする。第1の n 型キャップ層22と第2の n 型キャップ層24は、同一の化学組成を備える。第1の n 型キャップ層22と第2の n 型キャップ層24は、例えば、 Si （シリコン）を n 型不純物として含有する n 型 GaN である。

【0025】

次に、本実施形態の半導体装置の製造方法の一例について説明する。図示しない支持基板、例えば、 Si 基板を準備する。次に、例えば、 Si 基板上にエピタキシャル成長により、チャンネル層10となるノンドープの GaN 、バリア層12となるノンドープの $Al_{0.25} Ga_{0.75} N$ 、 p 型キャップ層18となる p 型 GaN 、第1の n 型キャップ層22および第2の n 型キャップ層24となる n 型 GaN を成膜する。

【0026】

次に、 p 型 GaN と n 型 GaN をエッチングし、ノンドープの $Al_{0.25} Ga_{0.75} N$ を一部露出させる。露出したノンドープの $Al_{0.25} Ga_{0.75} N$ 上に、金属膜の成膜とパターニングにより、ソース電極14およびドレイン電極16を形成する。

【0027】

その後、ソース電極14とドレイン電極16の間の n 型 GaN を一部エッチングし、 p 型 GaN を一部露出させる。このエッチングにより、第1の n 型キャップ層（第4の半導体層）22と第2の n 型キャップ層（第5の半導体層）24を形成する。その後、露出した p 型 GaN 上に、金属膜の成膜とパターニングにより、ゲート電極20を形成する。

【0028】

上記、製造方法により図1に示す半導体装置が製造される。

【0029】

次に、本実施形態の半導体装置の作用および効果について説明する。

【0030】

本実施形態のHFEETでは、ゲート電極20直下では、 p 型キャップ層18が存在することにより、バリア層12の分極が弱められることと、ビルトインポテンシャルが発生す

10

20

30

40

50

ることで、バリア層 12 およびチャネル層 10 が空乏化される。したがって、チャネル層 10 とバリア層 12 の間のヘテロ界面での 2 次元電子ガスの発生が抑制される。よって、ノーマリーオフ動作の H F E T が実現される。

【0031】

一方、ソース電極 14 およびドレイン電極 16 とゲート電極 20 との間には、p 型キャップ層 18 上に第 1 の n 型キャップ層 22 および第 2 の n 型キャップ層 24 が設けられる。第 1 の n 型キャップ層 22 および第 2 の n 型キャップ層 24 に空乏層が伸びることで、p 型キャップ層 18 のビルトインポテンシャルのバリア層 12 およびチャネル層 10 への影響が抑制される。したがって、チャネル層 10 とバリア層 12 の間のヘテロ界面に高濃度の 2 次元電子ガスが発生する。よって、低オン抵抗の H F E T が実現される。

10

【0032】

また、本実施形態では、p 型キャップ層 18 は、ソース電極 14 およびドレイン電極 16 と離間して設けられる。したがって、ソース電極 14 およびドレイン電極 16 とゲート電極 20 間のリーク電流が抑制される。よって、低消費電力の H F E T が実現される。

【0033】

例えば、ゲート電極 20 直下のみに選択的に p 型キャップ層 18 を設けても、ノーマリーオフ動作の低オン抵抗の H F E T を実現することは可能である。しかしながら、この方法では、ソース電極 14 およびドレイン電極 16 とゲート電極 20 間の p 型キャップ層 18 をエッチングにより除去することが必要となる。

【0034】

p 型キャップ層 18 のエッチングの際、p 型キャップ層 18 下のバリア層 12 表面がエッチングに晒され、エッチングダメージが生ずる恐れがある。また、露出したバリア層 12 表面が酸化される恐れがある。

20

【0035】

エッチングダメージや酸化等のプロセスダメージがバリア層 12 表面に生ずると、バリア層 12 とパッシベーション膜との界面に準位が発生する。この準位にキャリアがトラップされることで、過渡的なオン抵抗の増加である電流コラプスや、信頼性の劣化が生ずる。

【0036】

本実施形態では、ソース電極 14 およびドレイン電極 16 とゲート電極 20 間では、第 1 の n 型キャップ層 22 および第 2 の n 型キャップ層 24 が存在し、バリア層 12 表面が露出しない。また、第 1 の n 型キャップ層 22 および第 2 の n 型キャップ層 24 はエッチングにさらされない。したがって、バリア層 12 や、第 1 の n 型キャップ層 22 および第 2 の n 型キャップ層 24 とパッシベーション膜との界面に準位が発生することが抑制される。したがって、半導体層とパッシベーション膜の界面でのキャリアのトラップが抑制される。よって、電流コラプスや、信頼性の劣化が抑制される。

30

【0037】

以上のように、本実施形態によれば、ノーマリーオフ動作、低オン抵抗、低消費電力、電流コラプス抑制、信頼性の向上を実現する H F E T が提供される。

【0038】

本実施形態において、第 1 の n 型キャップ層（第 4 の半導体層）22 と第 2 の n 型キャップ層（第 5 の半導体層）24 の n 型不純物のシート不純物濃度が、p 型キャップ層（第 3 の半導体層）18 の p 型不純物のシート不純物濃度よりも高いことが望ましい。この構成により、ソース電極 14 およびドレイン電極 16 とゲート電極 20 間の p 型キャップ層 18 直下では、バリア層 12 およびチャネル層 10 の空乏化が完全に抑制される。したがって、さらに低いオン抵抗が実現される。

40

【0039】

なお、シート不純物濃度は、半導体層の不純物量を S I M S (S e c o n d a r y I o n M a s s S p e c t r o m e t r y) 分析により測定することで導出することが可能である。

50

【0040】

また、本実施形態において、第1のn型キャップ層（第4の半導体層）22と第2のn型キャップ層（第5の半導体層）24のAl濃度が、p型キャップ層（第3の半導体層）18のAl濃度よりも高いことが望ましい。第1のn型キャップ層22と第2のn型キャップ層24へのAlのドーピングは、n型不純物のドーピングと等価に機能する。したがって、この構成により、バリア層12およびチャネル層10の空乏化を抑制することが可能となる。

【0041】

なお、第1のn型キャップ層（第4の半導体層）22と第2のn型キャップ層（第5の半導体層）24に相当する領域に、n型の $Al_{1-u}Ga_{1-u}N$ ($0 < u < 1$)にかえて、ノンドープの $Al_sGa_{1-s}N$ ($0 < s < 1$)を材料とする半導体層とする構成とすることも可能である。この構成によっても、Alの濃度を最適化することにより、バリア層12およびチャネル層10の空乏化を抑制することが可能となる。

10

【0042】

（第1の変形例）

図2は、本実施形態の第1の変形例の半導体装置の模式断面図である。本変形例では、第2のn型キャップ層（第5の半導体層）24がドレイン電極（第2の電極）16に電氣的に接続されている。具体的には、例えば、第2のn型キャップ層24上にストライプ状の電極26をさらに設け、電極26とドレイン電極16を電氣的に接続する。

20

【0043】

なお、図2中、電極26とドレイン電極16を結ぶ実線は、電極26とドレイン電極16が電氣的に接続されることを模式的に示している。本明細書中の他の図面においても、同様の実線は、電氣的な接続を模式的に示すものである。

【0044】

具体的な電極26とドレイン電極16との接続方法は、特に、その構造を限定するものではない。例えば、電極26とドレイン電極16のそれぞれのストライプ末端部を、上層の金属配線を用いて接続することが可能である。

【0045】

本変形例によれば、第2のn型キャップ層24中に蓄積される電子をドレイン電極16に速やかに排出することが可能となる。したがって、HFEETのスイッチング時の動作が安定する。

30

【0046】

また、本変形例において、第2のn型キャップ層（第5の半導体層）24直下のチャネル層（第1の半導体層）10とバリア層（第2の半導体層）12との界面の2次元電子ガスのシートキャリア濃度が、p型キャップ層（第3の半導体層）18のp型不純物のシート不純物濃度および第2のn型キャップ層（第5の半導体層）24のn型不純物のシート不純物濃度よりも低いことが望ましい。この構成により、HFEETのオフ時にドレイン電極16に高電圧が印加された場合のアバランシェ降伏が、チャネル層10ではなく、p型キャップ層18と第2のn型キャップ層との中で発生させることが可能となる。

【0047】

したがって、アバランシェ降伏により発生した電子を、電極26を介してドレイン電極16に速やかに排出することが可能となる。また、アバランシェ降伏により発生した正孔を、ゲート電極20に速やかに排出することが可能となる。よって、HFEETのアバランシェ耐量を向上させることが可能となる。

40

【0048】

なお、2次元電子ガスのシートキャリア濃度は、チャネル層（第1の半導体層）10とバリア層（第2の半導体層）12の組成を、例えば、SIMS分析により求め、バリア層12の膜厚を、例えば、TEM (Transmission Electron Microscope) 解析により求め、求めた組成と膜厚を理論式に当てはめて計算することで、導出することが可能である。シート不純物濃度は、半導体層の不純物量をSIMS分

50

析により測定することで導出することが可能である。

【0049】

(第2の変形例)

図3は、本実施形態の第2の変形例の半導体装置の模式断面図である。本変形例では、第1のn型キャップ層(第4の半導体層)22がソース電極(第1の電極)14に電氣的に接続されている。具体的には、例えば、第1のn型キャップ層22上にストライプ状の電極28をさらに設け、電極28とソース電極14を電氣的に接続する。本変形例は、第1のn型キャップ層22がソース電極14に電氣的に接続される点で、第1の変形例と異なっている。

【0050】

本変形例によれば、第1のn型キャップ層22中に蓄積されるキャリアをソース電極14に速やかに排出することが可能となる。したがって、H F E Tのスイッチング時の動作が安定する。

【0051】

(第3の変形例)

図4は、本実施形態の第3の変形例の半導体装置の模式上面図である。図5は、本実施形態の第3の変形例の半導体装置の模式断面図である。図5(a)は図4のA A断面図、図5(b)は図4のB B断面図である。

【0052】

本変形例では、第1のn型キャップ層(第4の半導体層)22および電極28が島状に設けられる点で第2の変形例と異なっている。

【0053】

本変形例によれば、第1のn型キャップ層22が選択的に、島状に設けられる。この構成により、第1のn型キャップ層22がない領域直下は、電子が存在しないことから正孔がドレイン電極16側からソース電極14へと抜ける際の障壁が低くなる。したがって、アバランシェ降伏が生じた際に、発生した正孔を速やかにソース電極14に排出させることが可能となる。よって、H F E Tのアバランシェ耐量を、さらに向上させることが可能となる。

【0054】

(第2の実施形態)

本実施形態の半導体装置は、 $Al_xGa_{1-x}N$ ($0 < x < 1$)を材料とする第1の半導体層と、第1の半導体層上に設けられ、ノンドープ又はn型の $Al_yGa_{1-y}N$ ($0 < y < 1$, $x < y$)を材料とする第2の半導体層と、第2の半導体層上に設けられる第1の電極と、第2の半導体層上に設けられる第2の電極と、第2の半導体層上の第1の電極と第2の電極との間に設けられ、第1の溝と第2の溝を有し、p型の $Al_zGa_{1-z}N$ ($0 < z < 1$)を材料とする第3の半導体層と、第3の半導体層上の第1の溝と第2の溝との間に設けられる制御電極と、第3の半導体層上の第1の電極と第1の溝との間に、制御電極と離間して設けられ、n型の $Al_uGa_{1-u}N$ ($0 < u < 1$)を材料とする第4の半導体層と、第3の半導体層上の第2の溝と第2の電極との間に、制御電極と離間して設けられ、n型の $Al_uGa_{1-u}N$ ($0 < u < 1$)を材料とする第5の半導体層と、を備える。

【0055】

本実施形態の半導体装置は、第3の半導体層に第1の溝と第2の溝が設けられる点、および、第1の電極と第4の半導体層、第2の電極と第5の半導体層が必ずしも離間していない点で第1の実施形態と異なる。以下、第1の実施形態と重複する内容については、記述を省略する。

【0056】

図6は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置は、H F E Tである。

【0057】

10

20

30

40

50

図6に示すように、p型キャップ層(第3の半導体層)18に、第1の溝30および第2の溝32が設けられる。そして、ゲート電極20は、p型キャップ層18上の第1の溝30と第2の溝32との間に設けられる。

【0058】

言い換えれば、ゲート電極20の両脇のp型キャップ層18に第1の溝30と第2の溝32が設けられる。第1の溝30と第2の溝32の底部は、p型キャップ層18中にある。

【0059】

第2のn型キャップ層(第5の半導体層)24がドレイン電極(第2の電極)16に電氣的に接続されている。具体的には、例えば、第2のn型キャップ層24上にストライプ状の電極26をさらに設け、電極26とドレイン電極16を電氣的に接続する。

10

【0060】

図6では、p型キャップ層18が、ソース電極14およびドレイン電極16と離間して設けられる構成を示す。p型キャップ層18が、ソース電極14およびドレイン電極16と接続される構成とすることも可能である。

【0061】

本実施形態によれば、第1の溝30と第2の溝32を設けることで、ゲート電極20にゲート電圧が印加された際に、ソース電極14とゲート電極20との間、および、ゲート電極20とドレイン電極16の間のキャリアがp型キャップ層18を介して変調されにくくなる。一方、ゲート電極20直下の電子濃度は効率的に変調されて、高い相互コンダクタンスが得られる。また、ゲート容量も小さくなる。したがって、高速のスイッチング動作が可能となる。

20

【0062】

以上、本実施形態によれば、ノーマリーオフ動作、低オン抵抗、低消費電力、電流コラプス抑制、信頼性の向上を実現するHFETが提供される。加えて、高速のスイッチング動作を実現するHFETが提供される。

【0063】

(第1の変形例)

図7は、本実施形態の第1の変形例の半導体装置の模式断面図である。本変形例では、第1の溝30および第2の溝32の底部がバリア層(第2の半導体層)12中にある点で第2の実施形態と異なっている。

30

【0064】

本変形例によれば、第2の実施形態と比較して、ゲート電極20にゲート電圧が印加された際に、ソース電極14とゲート電極20との間、および、ゲート電極20とドレイン電極16の間のキャリアがp型キャップ層18を介して、一層変調されにくくなる。一方、ゲート電極20直下の電子濃度は、一層効率的に変調されて、高い相互コンダクタンスが得られる。また、ゲート容量も、一層小さくなる。したがって、更に高速なスイッチング動作が可能となる。

【0065】

(第2の変形例)

図8は、本実施形態の第2の変形例の半導体装置の模式断面図である。本変形例では、バリア層(第2の半導体層)12とp型キャップ層(第3の半導体層)18との間に、ノンドープの $Al_{1-w}Ga_wN$ ($0 < w < 1$)を材料とするi型キャップ層(第6の半導体層)34を、さらに備え、第1の溝30および第2の溝32の底部がi型キャップ層(第6の半導体層)34中にある点で第1の変形例と異なっている。

40

【0066】

本変形例によれば、第1の溝30および第2の溝32をエッチングにより形成する際に、バリア層12の表面が露出することが回避される。したがって、バリア層12とパッシベーション膜の界面でのキャリアのトラップが抑制される。よって、電流コラプスや、信頼性の劣化が抑制される。

50

【 0 0 6 7 】

(第 3 の 実 施 形 態)

本実施形態の半導体装置は、第 1 の電極と、第 2 の溝と第 2 の電極との間の第 3 の半導体層とが、電氣的に接続される点で、第 2 の実施形態の第 1 の変形例と異なる。以下、第 2 の実施形態と重複する内容については、記述を省略する。

【 0 0 6 8 】

図 9 は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置は、H F E T である。

【 0 0 6 9 】

図 9 に示すように、ソース電極 (第 1 の電極) 1 4 と、第 2 の溝 3 2 とドレイン電極 (第 2 の電極) 1 6 との間の p 型キャップ層 (第 3 の半導体層) 1 8 とが、電氣的に接続される。具体的には、例えば、p 型キャップ層 1 8 上にストライプ状の電極 3 6 をさらに設け、電極 3 6 とソース電極 1 4 を電氣的に接続する。

10

【 0 0 7 0 】

本実施形態によれば、ゲート電極 2 0 とドレイン電極 1 6 間の p 型キャップ層 1 8 が、ソース電極 1 4 に接続されることにより、ドレイン電極 1 6 に高電圧が印加される際に p 型キャップ層 1 8 内に発生する正孔を、ソース電極 1 4 に速やかに排出することが可能となる。したがって、一層安定したスイッチング動作が実現できる。

【 0 0 7 1 】

また、p 型キャップ層 1 8 と第 2 の n 型キャップ層 2 4 との接合容量は、ゲート・ドレイン間容量ではなく、ゲート・ソース間容量となる。したがって、一層高速なスイッチング動作が実現できる。

20

【 0 0 7 2 】

以上、本実施形態によれば、ノーマリーオフ動作、低オン抵抗、低消費電力、電流コラプス抑制、信頼性の向上を実現する H F E T が提供される。加えて、一層スイッチング動作が安定し、高速なスイッチング動作を実現する H F E T が提供される。

【 0 0 7 3 】

(第 1 の 変 形 例)

図 1 0 は、本実施形態の第 1 の変形例の半導体装置の模式断面図である。本変形例は、ソース電極 (第 1 の電極) 1 6 と、ソース電極 (第 1 の電極) 1 6 と第 1 の溝 3 0 との間の p 型キャップ層 (第 3 の半導体層) 1 8 、および第 1 の n 型キャップ層 (第 4 の半導体層) 2 2 とが、電氣的に接続される点で、第 3 の実施形態と異なっている。

30

【 0 0 7 4 】

本変形例によれば、ゲート電極 2 0 にゲート電圧が印加された際に、p 型キャップ層 1 8 と第 1 の n 型キャップ層 2 2 との間でキャリアが移動しない。したがって、更に安定したスイッチング動作が実現できる。

【 0 0 7 5 】

(第 2 の 変 形 例)

図 1 1 は、本実施形態の第 2 の変形例の半導体装置の模式断面図である。本変形例は、ソース電極 (第 1 の電極) 1 4 と第 2 の n 型キャップ層 (第 5 の半導体層) 2 4 とが、ショットキー接続される点で、第 1 の変形例と異なっている。具体的には、例えば、ソース電極 1 4 に接続される第 2 の n 型キャップ層 2 4 上の電極 3 6 と、第 2 の n 型キャップ層 2 4 とがショットキー接続される。

40

【 0 0 7 6 】

本変形例によれば、ソース電極 1 4 とドレイン電極 1 6 との間に、内蔵のボディーダイオードが設けられる。したがって、別途ボディーダイオードを外付けすることなく、信頼性の高い H F E T が実現可能である。

【 0 0 7 7 】

(第 4 の 実 施 形 態)

本実施形態の半導体装置は、第 1 の溝と第 2 の溝との間の第 3 の半導体層上に設けられ

50

、第4の半導体層と第5の半導体層と同一化学組成の第7の半導体層と、第7の半導体層上に設けられる層間絶縁膜を貫通して、制御電極が設けられること以外は第3の実施形態の第1の変形例と同様である。したがって、第3の実施形態と重複する内容については記述を省略する。

【0078】

図12は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置は、H F E Tである。

【0079】

図12に示すように、第1の溝30と第2の溝32との間のp型キャップ層18上に、第1のn型キャップ層(第4の半導体層)22および第2のn型キャップ層(第5の半導体層)24と同一化学組成の、第3のn型キャップ層(第7の半導体層)40が設けられる。さらに、第3のn型キャップ層40上には、層間絶縁膜42が設けられる。層間絶縁膜42は、例えば、シリコン酸化膜である。

10

【0080】

そして、ゲート電極(制御電極)20は、層間絶縁膜42と第3のn型キャップ層40を貫通してp型キャップ層18に接するよう設けられる。

【0081】

本実施形態によれば、第1の溝30と第2の溝32を形成するエッチングと、ゲート電極20を形成するためのエッチングを独立に行うことが可能である。したがって、ゲート電極20を形成するためのエッチングの際に、位置合わせずれが生じて、H F E Tの特性がばらつくことを抑制することが可能である。

20

【0082】

以上、本実施形態によれば、ノーマリーオフ動作、低オン抵抗、低消費電力、電流コラプス抑制、信頼性の向上を実現するH F E Tが提供される。加えて、特性ばらつきの少ないH F E Tが提供される。

【0083】

(変形例)

図13は、本実施形態の変形例の半導体装置の模式断面図である。本変形例は、層間絶縁膜42上のゲート電極(制御電極)20が、ドレイン電極(第2の電極)16側へ張り出していること以外は、第4の実施形態と同様である。

30

【0084】

本変形例によれば、フィールドプレート効果により、p型キャップ層18端部の電界集中が緩和される。したがって、耐圧が向上すると共に、更なる電流コラプスの抑制、高信頼性の確保が実現可能である。

【0085】

実施形態では、半導体層の材料としてGa NやAl Ga Nを例に説明したが、例えば、インジウム(In)を含有するIn Ga N、In Al N、In Al Ga Nを適用することも可能である。また、半導体層の材料としてAl Nを適用することも可能である。

【0086】

実施形態では、バリア層として、ノンドープのAl Ga Nを例に説明したが、n型のAl Ga Nを適用することも可能である。

40

【0087】

実施形態では、支持基板としてSi基板を例に説明したが、その他、Si C基板、Ga N基板等を適用することも可能である。また、支持基板とチャネル層との間に、格子歪を緩和させるためのバッファ層を挿入する構成とすることも可能である。

【0088】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形

50

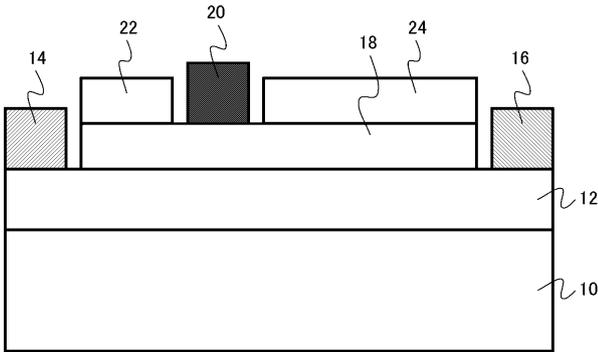
態の構成要素と置き換えまたは変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

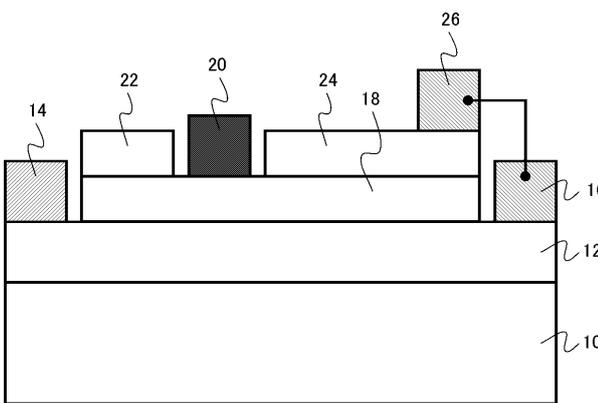
【0089】

- 10 チャネル層（第1の半導体層）
- 12 バリア層（第2の半導体層）
- 14 ソース電極（第1の電極）
- 16 ドレイン電極（第2の電極）
- 18 p型キャップ層（第3の半導体層）
- 20 ゲート電極（制御電極）
- 22 第1のn型キャップ層（第4の半導体層）
- 24 第2のn型キャップ層（第5の半導体層）
- 30 第1の溝
- 32 第2の溝
- 34 i型キャップ層（第6の半導体層）

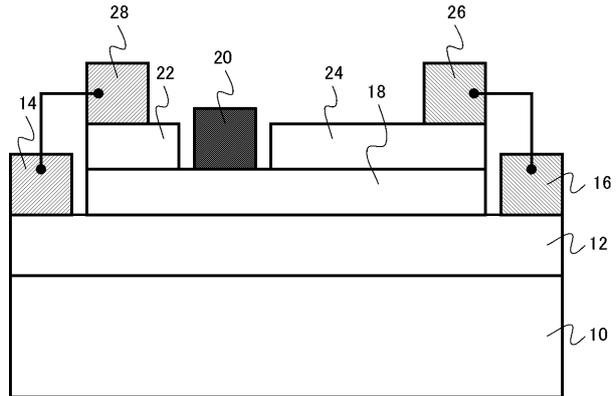
【図1】



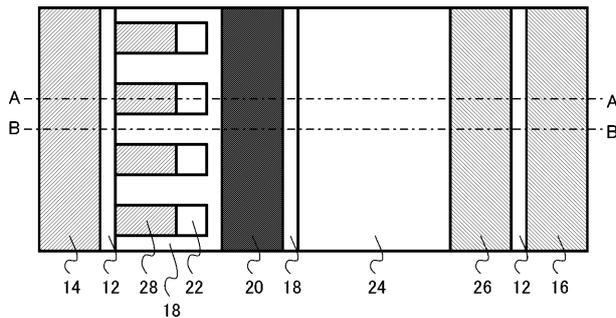
【図2】



【図3】

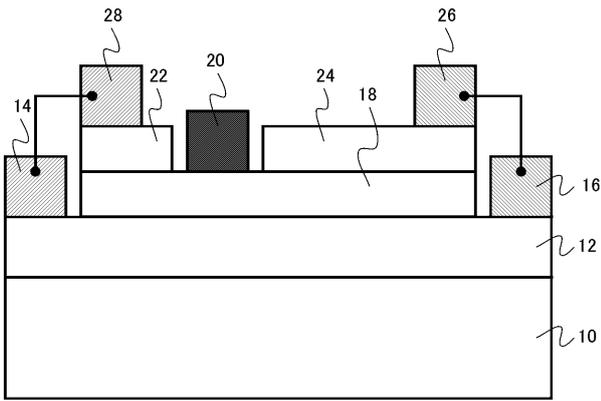


【図4】

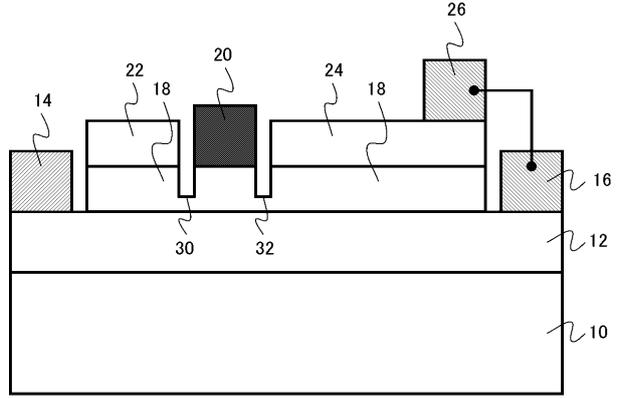


【 図 5 】

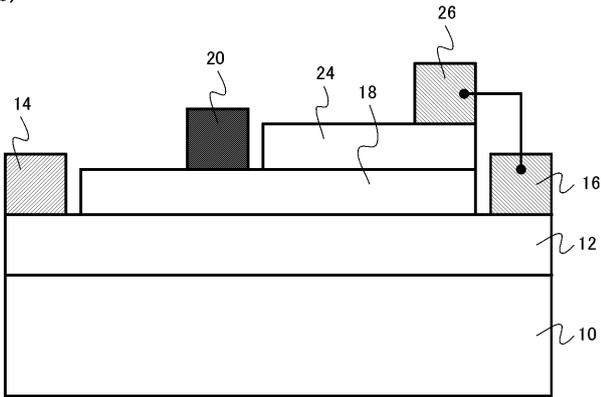
(a)



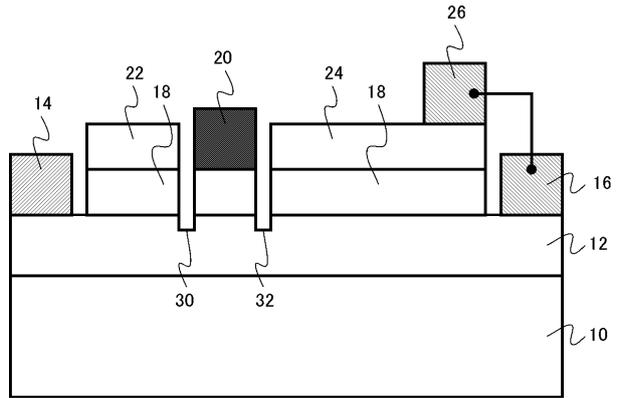
【 図 6 】



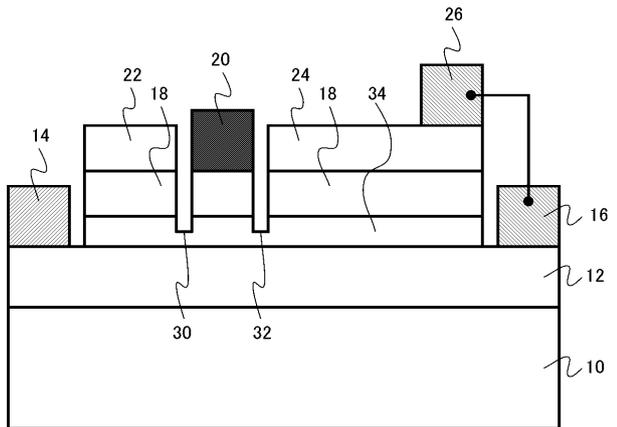
(b)



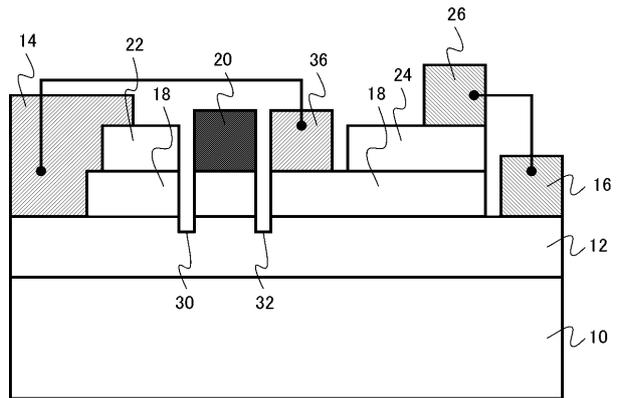
【 図 7 】



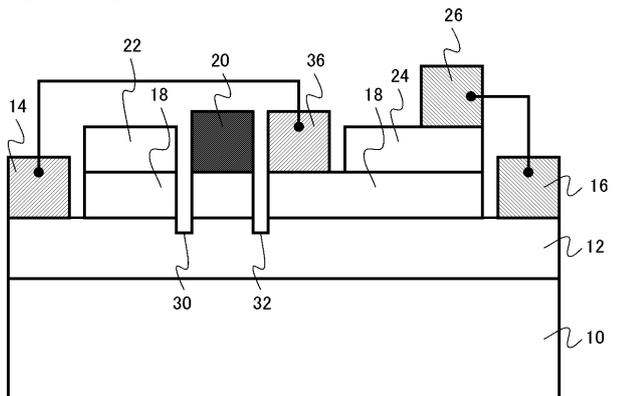
【 図 8 】



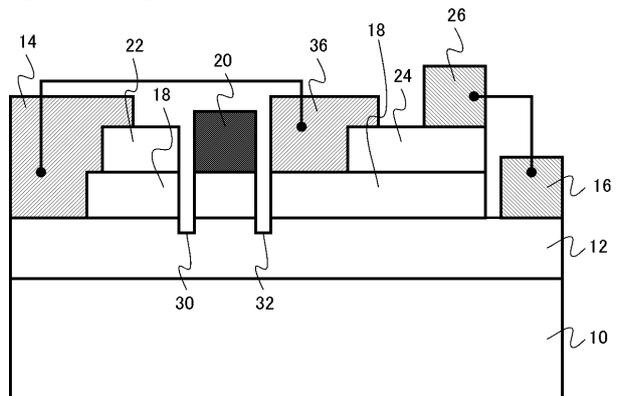
【 図 10 】



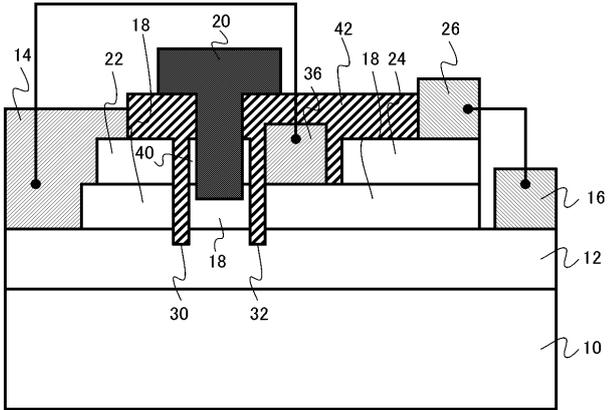
【 図 9 】



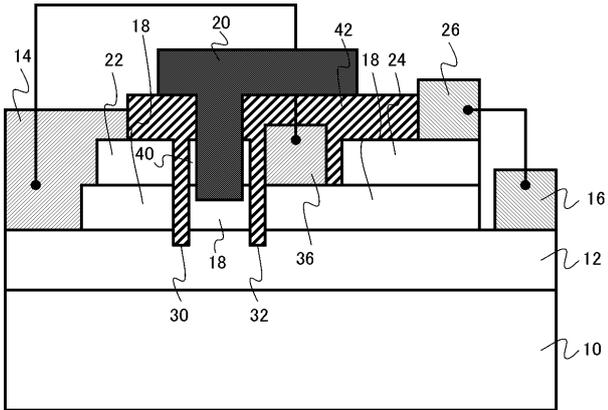
【 図 11 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

Fターム(参考) 5F102 FA02 GA14 GB01 GC01 GD04 GJ02 GJ03 GJ04 GL04 GL07
GM04 GM08 GN04 GQ01 GR03 GR04 GR12 GT01