



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201303573 A1

(43)公開日：中華民國 102 (2013) 年 01 月 16 日

(21)申請案號：101109481

(22)申請日：中華民國 101 (2012) 年 03 月 20 日

(51)Int. Cl. : **G06F1/32 (2006.01)**

(30)優先權：2011/03/21 印度 773/DEL/2011

(71)申請人：英特爾公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：費澤 艾利克 FETZER, ERIC (US)；里德林格 里德 J REIDLINGER, REID J. (US)；索提斯 唐 SOLTIS, DON (US)；鮑希爾 威廉 J BOWHILL, WILLIAM J. (US)；席瑪里 薩蒂許 SHRIMALI, SATISH (IN)；席斯特拉 克利許納肯斯 SISTLA, KRISHNAKANTH (IN)；羅坦 艾法姆 ROTEM, EFRAIM (IL)；庫瑪拉凱許 KUMAR, RAKESH (IN)；加格 維維克 GARG, VIVEK (US)；奈維 艾隆 NAVEH, ALON (IL)；夏爾瑪 洛凱許 SHARMA, LOKESH (IL)

(74)代理人：惲軼群；陳文郎

申請實體審查：無 申請專利範圍項數：30 項 圖式數：12 共 56 頁

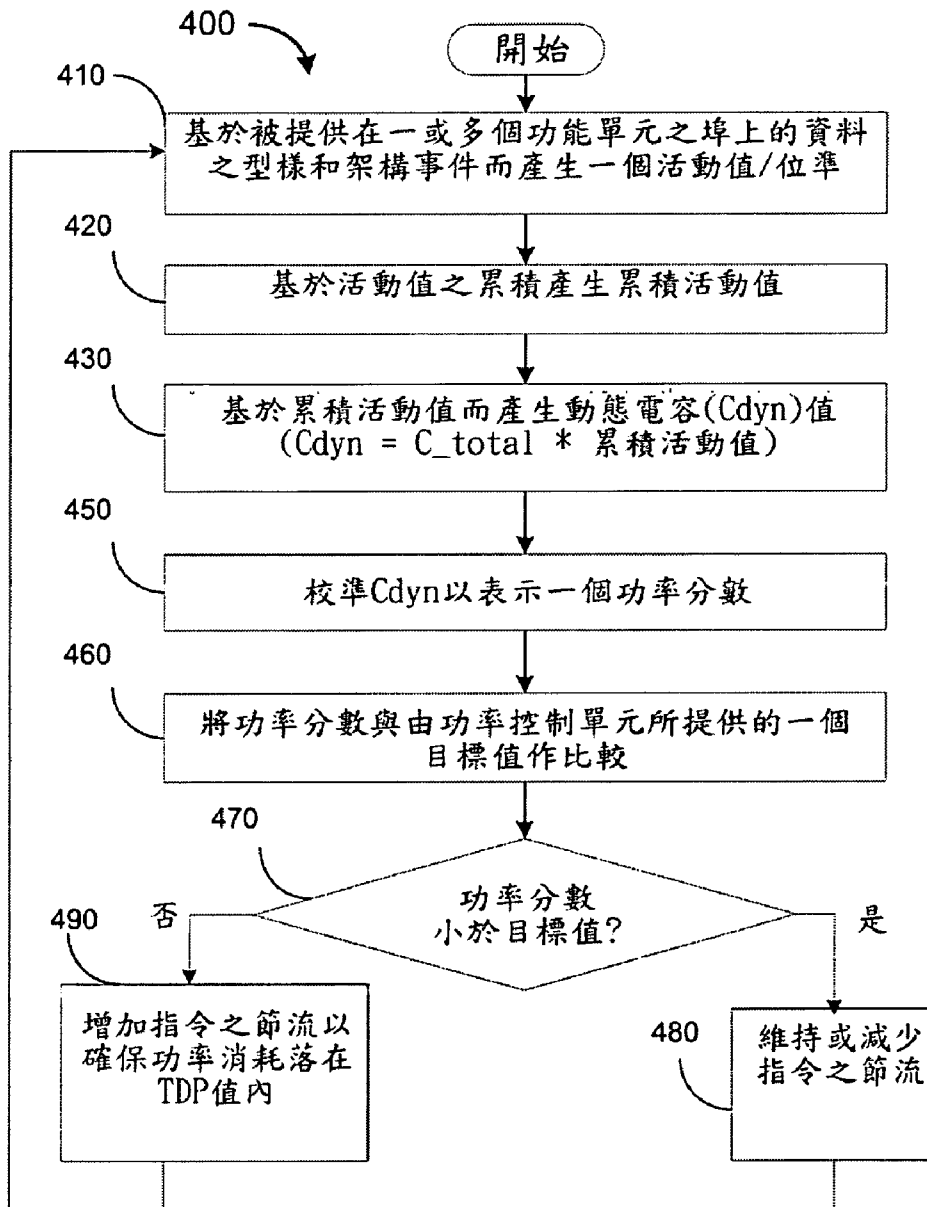
(54)名稱

管理多核心處理器中之功率消耗之技術

MANAGING POWER CONSUMPTION IN A MULTI-CORE PROCESSOR

(57)摘要

一個處理器可包括一個核心和一個非核心區域。由核心區域所消耗的功率可藉由控制處理器的 Cdyn 使得 Cdyn 落於可容許 Cdyn 值中而受到控制，無關乎由核心區域所處理的應用程式。此功率管理技術包括量測數位活動因數(DAF)、監控架構和資料活動位準、以及藉由基於活動位準而節流指令來控制功率消耗。由於節流指令之故，係可在第 3 下垂和熱設計點(TDP)中實施節流。同時，在核心區域處於深度功率節省狀態中時由非核心區域所消耗的閒置功率可藉由改變參考電壓 VR 和被提供給非核心區域的 VP 而被減少。因此，可減少由非核心區域所消耗的閒置功率。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201303573 A1

(43)公開日：中華民國 102 (2013) 年 01 月 16 日

(21)申請案號：101109481

(22)申請日：中華民國 101 (2012) 年 03 月 20 日

(51)Int. Cl. : **G06F1/32 (2006.01)**

(30)優先權：2011/03/21 印度 773/DEL/2011

(71)申請人：英特爾公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：費澤 艾利克 FETZER, ERIC (US)；里德林格 里德 J REIDLINGER, REID J. (US)；索提斯 唐 SOLTIS, DON (US)；鮑希爾 威廉 J BOWHILL, WILLIAM J. (US)；席瑪里 薩蒂許 SHRIMALI, SATISH (IN)；席斯特拉 克利許納肯斯 SISTLA, KRISHNAKANTH (IN)；羅坦 艾法姆 ROTEM, EFRAIM (IL)；庫瑪拉凱許 KUMAR, RAKESH (IN)；加格 維維克 GARG, VIVEK (US)；奈維 艾隆 NAVEH, ALON (IL)；夏爾瑪 洛凱許 SHARMA, LOKESH (IL)

(74)代理人：惲軼群；陳文郎

申請實體審查：無 申請專利範圍項數：30 項 圖式數：12 共 56 頁

(54)名稱

管理多核心處理器中之功率消耗之技術

MANAGING POWER CONSUMPTION IN A MULTI-CORE PROCESSOR

(57)摘要

一個處理器可包括一個核心和一個非核心區域。由核心區域所消耗的功率可藉由控制處理器的 Cdyn 使得 Cdyn 落於可容許 Cdyn 值中而受到控制，無關乎由核心區域所處理的應用程式。此功率管理技術包括量測數位活動因數(DAF)、監控架構和資料活動位準、以及藉由基於活動位準而節流指令來控制功率消耗。由於節流指令之故，係可在第 3 下垂和熱設計點(TDP)中實施節流。同時，在核心區域處於深度功率節省狀態中時由非核心區域所消耗的閒置功率可藉由改變參考電壓 VR 和被提供給非核心區域的 VP 而被減少。因此，可減少由非核心區域所消耗的閒置功率。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101109481

※申請日：

※IPC 分類：G06F 1/32 (2006.01)

101.3.20  
一、發明名稱：(中文/英文)

管理多核心處理器中之功率消耗之技術

MANAGING POWER CONSUMPTION IN A MULTI-CORE PROCESSOR

## 二、中文發明摘要：

一個處理器可包括一個核心和一個非核心區域。由核心區域所消耗的功率可藉由控制處理器的Cdyn使得Cdyn落於可容許Cdyn值中而受到控制，無關乎由核心區域所處理的應用程式。此功率管理技術包括量測數位活動因數(DAF)、監控架構和資料活動位準、以及藉由基於活動位準而節流指令來控制功率消耗。由於節流指令之故，係可在第3下垂和熱設計點(TDP)中實施節流。同時，在核心區域處於深度功率節省狀態中時由非核心區域所消耗的閒置功率可藉由改變參考電壓VR和被提供給非核心區域的VP而被減少。因此，可減少由非核心區域所消耗的閒置功率。

## 三、英文發明摘要：

A processor may include a core and an uncore area. The power consumed by the core area may be controlled by controlling the Cdyn of the processor such that the Cdyn is within an allowable Cdyn value irrespective of the application being processed by the core area. The power management technique includes measuring digital activity factor (DAF), monitoring architectural and data activity levels, and controlling power consumption by throttling the instructions based on the activity levels. As a result of throttling the instructions, throttling may be implemented in 3<sup>rd</sup> droop and thermal design point (TDP). Also, the idle power consumed by the uncore area while the core area is in deep power saving states may be reduced by varying the reference voltage VR and the VP provided to the uncore area. As a result, the idle power consumed by the uncore area may be reduced.

**四、指定代表圖：**

(一)本案指定代表圖為：第( 4 )圖。

(二)本代表圖之元件符號簡單說明：

410~490...方塊

**五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

## 六、發明說明：

### 【發明所屬之技術領域】

#### 發明領域

本發明係有關功率消耗，更特別係有關管理多核心處理器中之功率消耗之技術。

### 【先前技術】

#### 發明背景

一個電腦系統可包含一個處理器，其可包括一個核心區域和一個非核心區域。核心區域可包括一或多個處理核心、數個快取（例如，L1和L2）、數個填列緩衝器（line-fill buffer），且非核心區域可包含數個最末級快取、一個記憶體控制器、及此種其他方塊。處理器功率管理技術著眼於減少核心區域所消耗的功率。在一種先前途徑中，係量測在核心區域中的一個活動因數，並判定對應於此活動因數的一個功率值（實際功率消耗值）。接著，電壓和/或頻率操作點可基於在實際功率消耗值和一個可容許功率值之間所作的比較而被改變。此功率管理技術可在檢測出實際功率消耗值等於或高於可容許功率值時降低電壓和/或頻率操作點。然而，這會導致在檢測出高活動的時點與電壓和/或頻率操作點被實際降低的時點之間的一個特定時間量。在這兩個時點之間，電腦系統可能會是操作在高功率狀態以及高活動狀態中。為了避免這樣一種情況，處理器（或此部份）必須要貯藏（bin）於較低電壓和頻率點（V/F）點。

在另一種先前途徑中，可係基於處理器功率保留 (P) 狀態和啟動模式而選擇電壓和/或頻率操作點，其可係基於實際功率消耗值而調整電壓和/或頻率操作點。這些上述途徑係仰賴電壓操作範圍來透過頻率增加或減少功率和效能。隨著處理器的各個新世代迭出，電壓範圍被減少了，因為 VCCmax 由於閘氧化物可靠度的關係被降低，而 VCCmin 幾乎維持不變。這些上述途徑本質上係對過功率情況作反應。上面所討論的功率管理技術僅在處理器已達到高熱或高功率狀態時作回應。因此，回應於在熱或功率狀態中之改變而改變電壓和/或頻率操作點實際上所花的時間 (或潛時) 是很實質的，並且潛時有需要被減少。

同時，另一方面，現代的處理器係著重在許多核心設計，並且這些核心被耦接至一個共用非核心區域。隨著處理技術的演進，處理器內的非核心區域尺寸越來越大。在現代處理器中的這些非核心區域可包括許多功能性和邏輯性方塊 (例如，記憶體控制器、最末階快取、家庭代理器、路由代理器、快取代理器、功率控制單元、介面、及此種其他方塊)，並可典型上係操作於與核心區域不同的功率平面。若要合乎心意，這些處理器需要是消耗低閒置功率，例如，以減少整體消耗能量和/或增進電池壽命。然而，由此種較大的非核心區域所消耗的功率已經達到了相當大的程度 (接近處理器之整體消耗功率的 50%)。

對於非核心區域中之功率消耗的管理已變得比以往更為重要。在非核心區域中的功率管理會造成額外的挑戰，

因為並沒有像是核心區域所具有的被完善定義的睡眠狀態（例如，C0到C6/C7）存在。特別是，當核心區域是處於深度睡眠狀態，例如C3、C6/C7或任何其他類似狀態（稱為套裝C狀態（package C-state））中時，核心架構狀態是被保留在非核心區域中，並且利用每核心功率閘電晶體（power gate transistor, PGT）或內嵌式功率閘（embedded power gate, EPG）而將核心電壓減少到一個實質上最小值。在這種情況下，由核心區域所作的閒置功率消耗幾乎為零，並且由非核心區域所消耗的閒置功率是很實質的。同時，不若核心區域，非核心區域必須被作動來服務在一個特定潛時內的任何外部請求。許多這些處理器是針對多插座（multi-socket）組態而被設計，具有耦接至這複數個插座的分散記憶體。利用功率最佳化技術，例如電壓和頻率縮放，可能會影響對同級插座或系統代理器回應潛時的監聽或記憶體存取回應。因此，目前的處理器並不使用電壓/頻率縮放技術來在核心區域處於套裝C狀態中時節省非核心區域中的功率。是故，處理器套裝閒置功率高達熱設計功率（thermal design power, TDP）的20~40%。因此，有需要改善在處理器之核心和非核心區域中的功率管理技術

## 【發明內容】

### 發明概要

依據本發明之一實施例，係特地提出一種處理器，其包含：一個非核心區域，其中該非核心區域包含一個功率管理單元和一個電壓調節器，其中該電壓調節器是用於提供



經調節電壓（VR）給該非核心區域，以及一個核心區域，其中該核心區域包括多個功能方塊、多個感測器、一個活動累積邏輯、一個節流邏輯、和一個節流器，其中該等多個感測器是用於從該等多個功能方塊收集多個活動位準，及將該等多個活動位準提供給該活動累積邏輯，其中該活動累積邏輯是用於產生一個累積活動值，及將該累積活動位準提供給該節流邏輯，其中該節流邏輯是用於產生一個信號，該信號指示要基於該累積活動值與一個目標值之比較而被採用的一個節流位準，其中該節流器是用於基於該節流位準而節流被提供給數個執行單元的該等指令。

依據本發明之另一實施例，係特地提出一種處理器，其包含：一個核心區域和一個非核心區域，其中該非核心區域包含一個功率管理單元和一個電壓調節器，其中該電壓調節器是用於提供經調節電壓（VR）給該非核心區域，其中該功率管理單元是用於檢測該核心區域所據以為基礎而進入一個深度功率節省狀態的一個事件，及回應地提供一第一電壓值給該電壓調節器，其中該電壓調節器是用於基於該第一電壓值而將該經調節電壓（VR）從一個正常參考電壓值減少至一個經減縮參考電壓值，其中減少該經調節電壓（VR）會致使被提供在該非核心區域的一個供應針腳處的一個針腳電壓值減少，其中減少該針腳電壓值是為了減少由該非核心區域所消耗的功率，其中該針腳電壓值被減少至足以維持要將該處理器操作在一個指定頻率值所需之最小針腳電壓值的一個位準。

依據本發明之又一實施例，係特地提出一種在處理器之核心區域中之方法，其包含下列步驟：利用多個感測器而從多個功能方塊收集活動位準，並將該等多個活動位準提供給一個活動累積邏輯，在一個累積活動邏輯中基於該等多個活動位準而產生一個累積活動值，利用一個節流邏輯而產生一個信號，該信號指示要基於對該累積活動值之比較而被採用的一個節流位準，以及基於由該信號所提供的該節流位準而節流被提供給數個執行單元的指令，其中該處理器包含一個核心區域，該核心區域包括該等多個功能方塊、該等多個感測器、該活動累積邏輯、該節流邏輯、和該節流器。

依據本發明之再一實施例，係特地提出一種在處理器之非核心區域中之方法，其包含下列步驟：檢測一個核心區域所據以為基礎而進入一個深度功率節省狀態的一個進入事件，其中該進入事件是利用一個功率管理單元而檢測，提供一第一電壓值給一個電壓調節器，其中該第一電壓值是利用該功率管理單元而產生，基於該第一電壓值而將一個經調節電壓從一個正常參考電壓值減少至一個經減縮參考電壓值，以及將該經減縮參考電壓提供給該非核心區域，其中減少該經調節電壓（VR）會致使被提供在該非核心區域的一個供應針腳處的一個針腳電壓值減少，其中減少該針腳電壓值是為了減少由該非核心區域所消耗的功率，其中該非核心區域耦接至該核心區域，其中該非核心區域包括該功率管理單元和一個電壓調節器。

## 圖式簡單說明

於此係以隨附圖式中之範例方式而非以限制方式說明本發明。為求例示簡明，例示在這些圖中的元件並不必然係依比例繪製。例如，一些元件的尺寸可能會相對於其他元件被放大以求明晰。此外，在被認為是合適的地方，有些參考標號係於這些圖中被重複，以指出對應或類似的元件。

第1圖依據一個實施例，例示一個處理器100，其支援在核心區域中之以活動為基礎之功率節省技術以及在非核心區域中之以負載線IR壓降為基礎之功率節省技術。

第2圖依據一個實施例，例示以總電容值（ $C_{total}$ ）和動態電容值（ $C_{dyn}$ ）模示（model）的處理器核心區域。

第3圖依據一個實施例，例示 $C_{dyn}$ 相關於在應用程式之工作負載中之改變的變化的一個作圖。

第4圖依據一個實施例，例示一個流程圖，其繪示用於核心區域中的一種以活動為基礎之功率節省技術。

第5圖依據一個實施例，例示一個方塊圖，其係用於實施用於核心區域中的此以活動為基礎之功率節省技術。

第6圖依據一個實施例，例示一個活動累積邏輯的方塊圖，其係用於實施用於核心區域中的此以活動為基礎之功率節省技術。

第7圖是依據一個實施例的一個圖，其例示此以活動為基礎之功率節省技術在核心區域中之瞬時活動上的效應。

第8圖是依據一個實施例的一個圖，其例示此以活動為

基礎之功率節省技術在核心區域中之平均活動上的效應。

第9圖是依據一個實施例的一個流程圖，其例示用於非核心區域中的一種以負載線IR壓降為基礎之功率節省技術。

第10(A)、10(B)和10(C)圖依據一個實施例，例示在使用一種以負載線IR壓降為基礎之功率節省技術時，於被提供給非核心區域的電壓上之減少。

第11(a)、11(b)和11(c)圖是依據一個實施例的時序圖，其例示回應於在非核心區域中使用以負載線IR壓降為基礎之功率節省技術而在電流、電壓和功率上的變化。

第12圖依據本發明的一個實施例，例示一個電腦系統之方塊圖。

## 【實施方式】

較佳實施例之詳細說明

下面的說明描述一種用於告示微弱排序異動之方法的數個實施例。在下面的說明中，係提出許多具體細節，像是邏輯實作、資源分割、或分享、或複本實作、類型和系統部件之相互關係以及邏輯分割或整合選擇，以提供對本發明更為通盤的瞭解。然而，熟於此技者會可識出，本發明係可在不具有此等具體細節的情況下實施。在其他情況中，係並未詳細示出控制結構、閘級電路、和全軟體指令序列，以免混淆本發明。配合包含在本文中的說明，熟於此技者將能夠在不需過份實驗的情況下實施適當功能。

於本說明書中，對於「一個實施例」、「一實施例」、「一

示範實施例」的指涉係指所描述的這個實施例係可包括一個特定特徵、結構或特性，但並不必然每一個實施例都包括有這個特定特徵、結構或特性。此外，這些詞彙並不必然係指涉同一個實施例。另外，當配合一個實施例描述一個特定特徵、結構或特性時，係認為熟於此技者會知道係可配合其他無論有沒有清楚說明的實施例來實現此等特徵、結構或特性。

本發明的數個實施例係可實施在硬體、韌體、軟體或其當中之任何組合中。本發明的數個實施例可亦被實施為儲存在機器可讀媒體上的指令，這些指令可由一或多個處理器讀取和執行。一個機器可讀媒體可包括任何用於可由機器（例如，一個運算裝置）讀取之形式儲存或發送資訊的機構。

例如，機器可讀媒體可包括唯讀記憶體（read only memory, ROM）；隨機存取記憶體（random access memory, RAM）；磁碟儲存媒體；光學儲存媒體；快閃記憶體裝置；電氣式、光學、聲學或其他類似信號。此外，於本文中，係可能將韌體、軟體、常式、和指令描述為進行某些動作。然而，應可識出，如此描述僅係為便利所為，並且此等動作事實上係由執行此韌體、軟體、常式、和指令的運算裝置、處理器、控制器、和其他裝置所致。

處理器形成運算系統的一個重要部份。今日，處理器具有包含有複數個處理核心和快取的核心區域以及很大的非核心區域。由處理器所消耗的功率在運算系統所消耗的

整體功率上有著衝擊。由處理器所消耗的動態功率 (P) 可係由  $P = C_{\text{dyn}} * (V_{\text{cc}})^2 * F$  給定。在一個實施例中，由處理器之核心區域所消耗的功率係可藉由控制處理器之  $C_{\text{dyn}}$  來控制。在一個實施例中， $C_{\text{dyn}}$  可受控制以使得  $C_{\text{dyn}}$  落於一個可容許  $C_{\text{dyn}}$  值內，無關乎由核心區域所處理的應用程式 (或碼)。在一個實施例中，此功率管理技術可包括衡量數位活動因數 (digital activity factor, DAF)、監測架構和資料活動位準、以及基於活動位準而藉由節流指令來控制功率消耗。在一個實施例中，這樣的一種途徑可提供一種細緻的功率管理技術以及創造在碼被相較於啟動模式作處理時控制碼的啟動模式之能力，這可係反應於被處理的碼。在一個實施例中，啟動模式可係指以較高頻率和較高電壓操作點來操作這 (些) 碼或一個處理器，以針對較輕工作負載致能較高效能。

在一個實施例中，為了控制由核心區域所消耗的功率，處理器可包括，複數個活動感測器、一個活動累積邏輯、一個節流邏輯、以及一個節流器。在一個實施例中，這些活動感測器可感測發生在方塊 (例如，指令提取和解碼單元、執行單元、和處理核心內的此種其他單元) 內的活動，並提供活動位準 (架構和資料活動值) 給活動累積邏輯。在一個實施例中，這些活動感測器係可被提供在處理核心內之各個方塊的介面 (或埠) 中，以使得這些活動感測器能夠檢測架構和資料活動事件。在一個實施例中，活動累積邏輯可回應於收集到來自於活動感測器的活動

值，而產生一個累積活動值。在一個實施例中，此活動累積邏輯可提供累積活動位準給節流邏輯。在一個實施例中，此活動累積邏輯（activity accumulation logic, AAL）可包括加權邏輯和聚合器，並且此加權邏輯可對由活動感測器所提供的各個活動值分配一個權重，並且此聚合器可累積（或加總）這些活動值，以產生一個累積活動值。

在一個實施例中，節流邏輯可回應於接收到累積活動位準，而判定出一個Cdyn\_actual。在一個實施例中，此節流邏輯可亦將Cdyn\_actual校準成一個功率分數值。在一個實施例中，此節流邏輯可將功率分數與由一個功率控制單元所提供的一個目標值（可容許Cdyn值）作比較，並在當功率分數大於目標值時產生一第一信號，且在當功率分數小於目標值時產生一第二信號。在一個實施例中，此節流邏輯可基於第一信號判定一第一指令分散率（或值），以及基於第二信號判定一第二指令分散值。在一個實施例中，此節流邏輯提供第一或第二指令分散值其中一者給節流器。

在一個實施例中，節流器可改變（增加減少）對指令分散（或指令被提供給執行單元的速率）的節流，抑或是基於從節流邏輯所接收到的信號而維持先前節流位準。在一個實施例中，節流器可回應於接收到第一指令分散值而增加指令節流（即，較少的指令可被提供給執行單元），並且節流器可回應於接收到第二指令分散值而減少指令節流（即，容許較大量的指令抵達執行單元）。因此，在核心區

域中的（或在處理核心內的）功率消耗可藉由基於在處理核心中的活動位準來節流指令疏散而受到控制。因基於活動位準（或Cdyn\_actual）而節流指令之故，係可在不同時間域中，例如第3下垂（1微秒）和熱設計點（thermal design point, TDP）（1毫秒），實施節流，其使得長期（即，TDP）和短期（即，第3下垂）操作能控制在處理器之核心區域中的功率消耗。

在今日的處理器中，非核心區域的大小持續增加，並且由處理器之非核心區域所消耗的功率亦然。尤其是，在一個實施例中，係可藉由改變被提供給非核心區域的電壓（即，參考電壓（reference voltage）VR）來減少由非核心區域所消耗的閒置功率（即，當核心區域處於深層功率節省狀態，例如套裝C狀態，中時由非核心區域所消耗的功率）。在一個實施例中，一個電壓調節器的輸出可透過一個負載電阻（load resistor, RL）被耦接至非核心區域的一個供應針腳。在非核心區域之供應針腳的電壓（VP）比VR小相當於IR壓降（=ICC \* RL）的值，即， $VP = [VR - (ICC * RL)]$ 。

在一個實施例中，若非核心區域必須被操作在由此部份之製造商所指定的一個頻率值，則一個電壓最小值（VPmin）會被提供給非核心區域。在一個實施例中，若 $VR = X$ 且 $ICC = ICC\_peak$ ，則 $VP\_peak = (X - ICC\_peak * RL)$ 伏特。在一個實施例中，VP\_peak應至少等於VPmin，以避免設計錯誤，且不可有將VP\_peak減少至低於VPmin的



可能。在一個實施例中，若核心區域是處於套裝C狀態中，則ICC之值可係等於ICC\_idle，且於非核心區域之供應針腳的電壓（VP\_idle）可等於 $(X - ICC\_idle * RL)$ 。因為ICC\_idle小於ICC\_peak， $(ICC\_idle * RL)$ 之積會小於 $(ICC\_peak * RL)$ 之積。因此，VP\_idle將會大於VP\_peak。在一個實施例中，當核心區域處於套裝C狀態中時，在非核心之此針腳處提供一個最小電壓（VPmin）可便足夠。

但是，在欠缺於電流（ICC\_idle）正流經負載電阻RL時改變參考電壓VR之技術的情況下，大於VPmin（或VP\_peak）的電壓VP\_idle被提供給非核心區域。等於 $(VP\_idle - VP\_peak)$ 的一個額外電壓值被不必要地提供給非核心區域，即使是在ICC\_idle正流經負載電阻RL時。因此，即使是在非核心區域閒置時，非核心區域也會消耗與等於 $(VP\_idle - VP\_peak)$ 的電壓之平方成比例的一個過功率。在一個實施例中，當核心區域處於深度套裝C狀態中時，參考電壓（VR）可被改變，以減少在非核心區域之供應針腳處所提供的電壓（VP\_idle）。在一個實施例中，參考電壓VR可被減少成VP\_reduced，以使得VP\_idle減少成比VPmin（或VP\_peak）微高一點的一個值。在一個實施例中，若 $(VP\_idle - VP\_peak)$ 趨向於零，則由非核心區域所消耗的閒置功率可為最小。在一個實施例中，當核心區域處於套裝C狀態中時，參考電壓（VR）可被改變，以節省或減少由非核心區域所消耗的閒置功率。

可支援功率節省技術以減少在處理器的核心和非核心

中所消耗之功率的一個處理器100的一個實施例係例示於第1圖中。在一個實施例中，處理器100可包含一個核心區域105和一個非核心區域150。在一個實施例中，核心105和非核心150可支援一個點對點雙向匯流排，以增強在處理核心（p核心）110間的和在核心區域105與非核心區域150間的通訊。在一個實施例中，係可對核心區域105提供一個電源層195，其可包括一個電壓調節器180，並且電壓調節器180之輸出101可透過一個負載電阻RL 102被耦接至一個供應針腳104。

在一個實施例中，核心區域105可包含數個處理核心（例如p核心110-A至110-N）、分別與p核心110-A至110-N相關聯的每核心快取（per-core cache）120-A至120-N、以及分別與p核心110-A至110-N相關聯的中階快取（mid-level cache）130-A至130-N。在一個實施例中，p核心110可包括一個指令佇列（instruction queue）106、一個節流器107、一個活動累積邏輯AAL 108、一個節流邏輯（throttling logic, TL）109、一個指令提取單元（instruction fetch unit, IFU）112、一個解碼單元（decoding unit）113、一個保留站（reservation station, RS）114、一個執行單元（execution unit, EU）115、一個浮動點執行單元（floating point execution unit, FPU）116、一個重新排序緩衝器（re-order buffer, ROB）117、和一個退役單元（retirement unit）RU 118。在一個實施例中，各個處理器核心110-B至110-N係可包括有類似於繪示在處理核心110-A中之方塊的方塊，為求簡潔，並未示

出處理器核心110-B至110-N各者的內部細節。在一個實施例中，每核心快取120可包括可支援較高存取速度的記憶體技術，這可，例如，減少指令和資料提取的潛時。

在一個實施例中，活動感測器179可感測發生在方塊IFU 112、DU 113、RS 114、EU 115、FPU 116、ROB 117和RU 118內的活動，並提供活動位準（架構和資料活動值）給活動累積邏輯。在一個實施例中，活動感測器179可係提供在處理核心110-A內的各個方塊之資料路徑中，以使得這些活動感測器179能夠檢測架構和資料活動值。在一個實施例中，為了控制由核心區域105所消耗的功率，AAL 108可收集由這複數個活動感測器179所感測的活動位準，並產生一個累積活動值。在一個實施例中，活動累積邏輯AAL 108可將此累積活動值提供給節流邏輯TL 109。

在一個實施例中，TL 109可回應於接收到此累積活動位準而判定出一個Cdyn\_actual。在一個實施例中，TL 109可亦將Cdyn\_actual校準成一個功率分數值。在一個實施例中，TL 109可將此功率分數與一個目標值（可容許Cdyn值）作比較，並產生一個控制信號，其可指出是否要增加或減少或維持指令之節流位準或指令疏散率。在一個實施例中，節流器107可基於接收自TL 109的控制信號而改變（增加減少）或維持指令之節流或指令疏散率。在一個實施例中，節流器107可回應於接收到控制信號而增加指令節流（即，較少的指令可被提供給執行單元）或減少指令節流（即，較大量的指令被容許抵達執行單元）。

因此，在核心區域105中的（或在處理核心110內的）功率消耗可藉由基於在處理核心110中的活動位準（或處理核心110之Cdyn\_actual）來節流指令而受到控制。在一個實施例中，指令之節流可係直接基於活動位準（或Cdyn）而進行，控制功率消耗的能力可較快。同時，藉由將Cdyn限制在一個設定值，對核心中之功率之消耗的控制可係以一種主動式（pro-active）基礎進行，而非反應於過功率消耗情況發生。由於基於活動位準（或Cdyn\_actual）而節流指令之故，係可在不同時域，例如第3下垂（1微秒）和熱設計點（TDP）（1毫秒），實施節流，其使得長期（即，TDP）和短期（即，第3下垂）操作能控制在處理器100之核心區域105中的功率消耗。在一個實施例中，Cdyn及其相對於類型應用程式的關係係於下文中例示在第3圖中。

在核心區域105中的功率消耗可基於上文中所論述之技術，利用活動位準而受到控制或管理，而在非核心區域150中的功率消耗係可利用於下文中所說明的功率管理技術而受到管理。在一個實施例中，非核心區域150可包括一個記憶體控制器155、一個末階快取（last level cache, LLC）160、一個家庭代理器（home agent, HA）161、一個快取代理器（caching agent, CA）162、一個路由代理器（routing agent, RA）163、一個全球時鐘/PLL 164、一個介面165、和一個功率管理單元168。在一個實施例中，當核心區域105可係處於深度套裝C狀態（即，深度功率節省狀態，像是C3、C6/C7）中時，參考電壓VR可被改變，以減少，尤其

是，由非核心區域150所消耗的閒置功率。在一個實施例中，可對非核心區域150提供一個電源層197，並且此電源層197可包括一個電壓調節器195，且電壓調節器195之輸出196可透過一個負載電阻（load resistor, RL）192被耦接至非核心區域150之供應針腳194。在一個實施例中，當核心區域105處於套裝C狀態中時，在介面路徑199上的活動或異動可為零。

當核心區域105為作動中時，一個電流尖峰量（ $ICC_{peak}$ ）可流經RL 192，且於非核心區域150之供應針腳194的電壓（ $VP_{peak}$ ）可比（於電壓調節器195之輸出196處的）參考電壓VR小相當於IR壓降（ $=ICC_{peak} * RL$ ）的值，即， $VP_{peak} = [VR - (ICC_{peak} * RL)]$ 。例如，若VR=1伏特，RL 192=1.4毫歐姆，且 $ICC_{193}=ICC_{peak}=50$ 安培，則IR壓降可係等於 $(ICC * RL)=(50安培 * 1.4毫歐姆) = 70$ 毫伏特（mv）。因此，在供應針腳194處所提供的電壓（ $VP_{peak}$ ）可係等於 $[1伏特 - 70mv]=0.93$ 伏特。在一個實施例中，若非核心區域150必須被操作在由此部份（即，處理器100）之製造商所指定的一個頻率值（或貯藏頻率），電壓最小值 $VP_{min}$ （在此範例中，其等於 $VP_{peak}$ ）可被提供給非核心區域150。在一個實施例中，為了避免設計錯誤，不可有將參考電壓VR之值減少到低於一個指定值（在上面的範例中是1伏特）的可能。

在沒有改變參考電壓VR之技術的情況下，且當核心區域105係處於套裝C狀態中時，流經RL 192的電流（ $ICC_{193}$ ）

可係等於 $ICC\_idle$ ，且在非核心區域150之供應針腳194處的電壓 ( $VP\_idle$ ) 可係等於 $[VR - (ICC\_idle * RL)]$ 。由於 $ICC\_idle$ 小於 $ICC\_peak$ ， $(ICC\_idle * RL)$ 之積會小於 $(ICC\_peak * RL)$ 之積。因此， $VP\_idle$ 將會大於 $VP\_peak$ 。例如， $ICC\_idle$ 可係等於20安培，且 $VP=[1\text{伏特} - (20\text{安培} * 1.4\text{毫歐姆})]=[1\text{伏特} - 28\text{mv}]=0.972\text{伏特}$ ，這大於 $VP\_peak$  (0.93伏特)。因此，過電壓等於 $(VP\_idle - VP\_peak)=(0.972 - 0.93 = 0.042\text{伏特})$ 被不必要地提供給非核心區域150。因此，由非核心區域在閒置狀態中所消耗的功率 (即，功率  $consumed\_idle$ ) 可為  $normal\_power\_consumed\_idle$ ，其可係等於(=動態功率+漏洩功率 =  $\{[C_{dyn} * (VP\_idle)^2 * f] + [(VP\_idle)^4\text{之函數}]\}$  =  $\{[5\text{nF} * (0.972)^2 * 2.53\text{GHz}] + [5\text{瓦特}]\}$  = 16.95瓦特。

在一個實施例中，藉由基於核心區域105是否係處於深度功率節省狀態或套裝C狀態中而投機性地改變參考電壓VR可提供機會來在核心區域105的閒置狀態期間內節省功率消耗。在一個實施例中，被提供給核心區域105的電壓可利用功率閘電晶體 (PGT) 或內嵌式功率閘 (EPG) 而被實質上截斷。在一個實施例中，當核心區域105係操作於深度功率節省狀態中時，由核心區域105所注入到非核心區域150中的活動可係實質上很低。在一個實施例中，當核心區域105是處於套裝C狀態中時，於非核心區域150之供應針腳194處提供一個最小電壓 ( $VP_{min}=0.93\text{伏特}$ ) 可便足夠。為了將 $VP\_idle$ 減少成 $VP\_reduced$ ，一個值 (其可係接近

VPmin)，功率管理單元168可檢測核心區域105之套裝C狀態條件，並且可以數位格式產生一個電壓值（VID\_R）。在一個實施例中，VID\_R值可被提供給電壓調節器195。在一個實施例中，電壓調節器195可回應於從功率管理單元168接收到VID\_R而產生一個參考電壓VR，其可係小於VR\_peak（=1伏特）。

在一個實施例中，由於VR之值從VR\_peak（或VR\_normal）減少至一個VR\_reduced值，在供應針腳194處所提供的VP\_idle（或VP\_normal）可被減少。在一個實施例中，將參考電壓VR從VR\_normal值減少到VR\_reduced值可致使VP從VP\_idle減少至VP\_reduced。在一個實施例中，由非核心區域150所消耗的功率亦可回應於將VP之值從VP\_idle減少至VP\_reduced而減少。例如，回應於接收到VID，電壓調節器195可將VR從VR\_normal（1伏特）減少到VR\_reduced（0.96伏特），因此，VP可從VP\_idle減少至VP\_reduced [= 0.96 - (20安培 \* 1.4毫歐姆) = (0.96 - 0.028) = 0.932伏特]。在一個實施例中，功率consumed\_idle可被減少成Reduced\_power\_consumed\_idle（即，P\_idle\_reduced = 動態功率 + 漏洩功率 = {[Cdyn \* (VP\_reduced)<sup>2</sup> \* f] + [(VP\_reduced)<sup>4</sup>之函數]} = {例如，[5nF \* (0.932)<sup>2</sup> \* 2.53GhZ] + [4瓦特]} = 14.998瓦特）。因此，所節省的功率 = [(normal\_power\_consumed\_idle) - (Reduced\_power\_consumed\_idle) = (16.95 - 14.998) = 1.96瓦特）。因而，在一個實施例中，藉由投機性地改變參考電壓VR，由非核心區域150

所消耗的功率可反應於核心區域105進入一個套裝C狀態而從 `normal_power_consumed_idle` 被減少成 `reduced_power_consumed_idle`。

在一個實施例中，功率管理單元168可檢測核心區域105之從套裝C狀態至正常模式的離開事件之肇始。回應於檢測到此離開事件之肇始，功率管理單元168可產生對應於一個正常參考電壓的一個VID\_N值，且此VID\_N值可被提供給電壓調節器195。在一個實施例中，回應於接收到VID\_N值，電壓調節器195可將VR值從VR\_reduced增加到VR\_normal（或VR\_peak）值。因此，在非核心區域150之供應針腳104處所提供的電壓可被維持在或微高於VPmin值。在一個實施例中，參考電壓從VR\_reduced到VR\_normal的改變和VP從VP\_reduced到VP\_idle（或VP\_normal）的改變可在非核心150可看見由核心區域105所致之任何活動之前的離開潛時中良好發生。因此，最小電壓VPmin位準可被維持，而不影響處理器100之效能。

核心區域105及判定一個對應動態電容值Cdyn的一個實施例係例示在第2圖中，在一個實施例中，核心210可係由總電容值CTotal 220來表示，並且動態電容值Cdyn 240可係等於（CTotal \* 活動因數）。在一個實施例中，Cdyn 240可基於正被處理的應用程式（或碼）而改變。例如，相較於一些其他應用程式，例如主流應用程式，一些應用程式，像是功率病毒和HPC，可展現較高的活動位準。因此，Cdyn 240可為CTotal 220的一個分數。



Cdyn對多種應用程式類型之工作負載一個圖表300係繪示在第3圖中。圖表300包括一個Y軸310和一個X軸320，其可分別代表經標準化的Cdyn和基於多種應用程式類型之工作負載的可用應用程式之約略數量。在一個實施例中，圖表300包括多種應用程式，像是閒置應用程式330，其在數量上很大，接著是主流應用程式340、高效能運算（high performance computing, HPC）應用程式350、以及功率病毒應用程式360。在一個實施例中，可藉由將節流器設定至由直線345所指出的為0.55的一個較低應用程式率，而將處理器100針對主流應用程式340最佳化。然而，若處理器100係要針對HPC應用程式被最佳化，此節流器可係被設定成由直線355所指出的為0.633的一個較高應用程式率。在一個實施例中，應用程式率可係指一個給定應用程式之功率相較於由最高功率消耗應用程式所消耗之功率，例如功率病毒（power virus, PV），的一個比率。在其他實施例中，應用程式率可係指一個真實應用程式與功率病毒應用程式的比率。

在一個實施例中，若功率病毒應用程式360要被處理，則目標值（可容許Cdyn）可被設成一個值，以使得Cdyn\_actual對目標值的比較可設定一個更為緊縮的（即，更高的）節流值，以在一段給定時間中容許（相較於在處理HPC應用程式350或主流應用程式340時而言）較少的指令抵達執行單元。在一個實施例中，於上文中所論述的功率管理技術可容許功率病毒應用程式被處理器100處理，然

而，對指令之節流可設定更為緊縮的（即，更高的）節流值以容許較少的指令被處理。這樣的一種途徑避免這樣的情況，即，高功率應用程式（例如，功率病毒）限制所有應用程式可被處理的頻率。此外，藉由節流高功率應用程式，在處理此高功率應用程式時所牽引的電流會被減少，容許最低操作電壓（因而電壓亦然）被節流器位準設定。同時，這樣的一種途徑可容許使用者即時地監控處理器和藉由組配特定機器暫存器（machine specific register, MSR）111來將處理器組配成針對HPC碼或主流碼而最佳化。

繪示出當進行上文中所述之功率管理器技術時的核心區域105之操作的一個流程圖係例示在第4圖中。在方塊410中，活動感測器179或資料型樣感測器505可基於被提供在一或多個功能單元，例如IFU 510、IQ 520和EU 550，之埠或資料路徑上的資料之型樣和架構事件而產生一個活動值/位準。在一個實施例中，這些活動值可被提供給一個活動累積邏輯AAL 570。

在方塊420中，活動累積邏輯ALL 570可自資料型樣（或活動）感測器接收活動值，並產生一個累積活動值。在一個實施例中，AAL 570可包括一個加權邏輯610、加總單元630、640、650和660，以及一個累積器670。在一個實施例中，加權邏輯610可包括加權元件610-A至610-H，並且加權元件610-A至610-H各可自功能單元，例如IFU 510、IQ 520和EU 550，接收資料輸入605-A至605-D，並且被如此接收的資料輸入605-A至605-D可包括正被完成的工作。在一個

實施例中，接收自功能單元510、520和550的資料輸入605-A至605-D可在每個週期被更新，並且此等資料輸入605-A至605-D的寬度可係小於128位元。在一個實施例中，接收自這些功能單元的資料輸入605-A至605-D可係表示一個操作功率，並可，例如，包括浮點單元數位活動因數（floating point unit digital activity factor, FPUDAF）、指令提取和引導數位活動因數（instruction fetch and resteer digital activity factor, IFRDAF）、以及此種其他類似輸入值。在一個實施例中，可在將經加權輸入提供給加總單元630之前基於一個預定邏輯而對資料輸入605-A至605-D提供一個權重值。在一個實施例中，加權元件610-E至610-H可從指出被消耗之資料的暫存器檔接收資料輸入605-E至605-H。在一個實施例中，資料輸入605-E至605-H可於每128個週期被更新，並且加權元件610-E至610-H可在提供經加權輸入給加總單元640之前提供權重值給資料輸入605-E至605-H。在一個實施例中，加總單元650和660及累積器670可一起產生一個適當寬度（例如，44個位元寬）的累積活動值。在一個實施例中，加總單元650可將來自640的資料輸入總和與來自650的活動輸入總和加總。在一個實施例中，累積器拴鎖670可透過累積器加總器660反饋此值，並可產生一個適當寬度的累積活動值。

在方塊430中，節流邏輯TL 560可接收由AAL 560所提供的累積活動值，並產生一個動態電容（C<sub>dyn</sub>）值。在一個實施例中，節流邏輯TL 560可基於C<sub>Total</sub>和累積活動值判

定Cdyn\_actual。在方塊450中，節流邏輯TL 560可校準Cdyn\_actual以表示一個功率分數值。

在方塊460中，節流邏輯TL 560可將基於Cdyn\_actual值所產生的功率分數與由功率管理單元（power management unit, PMU）580所提供的一個目標值作比較。在一個實施例中，由PMU 580所提供的目標值可係表示被校準為功率分數的可容許Cdyn值。在一個實施例中，使用者可針對HPC應用程式350最佳化處理器，並且可容許Cdyn值可係等於為0.633的應用程式率，其可被校準至一個功率分數值。在一個實施例中，若核心區域105正處理一個功率病毒應用程式360，則活動位準、累積活動值、Cdyn\_actual以及功率分數可係代表一個較高的值。

在方塊470中，TL 560可將對應於可容許Cdyn的功率分數和對應於Cdyn\_actual的功率分數作比較，並且若功率分數小於目標值則控制權傳遞至方塊480，否則便傳遞至方塊490。在一個實施例中，TL 560可在當功率分數小於目標值時產生一第一信號，並在功率分數大於目標值時產生一第二信號。在上面的範例中，TL 560可將對應於功率病毒（power virus, PV）應用程式360的功率分數（即，被校準至Cdyn\_actual）與目標值作比較，此目標值可係針對對應於HPC應用程式350的一個可容許Cdyn而被設定，並且TL 560可在功率分數可係大於目標值時產生一個第二信號。

在方塊480中，節流器530可回應於接收到第一信號而維持或減少指令之節流。在一個實施例中，此第一信號可

係指出有較多指令可被處理而不超出Cdyn封套或功率分數封套，並且節流器530可減少節流（或增加指令通量）。另一方面，若第一信號指出指令通量小於目標值但非常接近目標值，則節流器530可維持指令通量而不改變節流位準。

在方塊490中，節流器530可增加對指令之節流以確保功率消耗是落在TDP封套內。在一個實施例中，若功率分數大於目標值，則指令通量被藉由增加節流位準而減少，因而容許較少的指令抵達執行單元。在上面的範例中，節流器530可快速地增加節流位準以減少指令通量。由於基於活動位準（或Cdyn\_actual）節流指令之故，係可在不同時域中，例如第3下垂（1微秒）和熱設計點（TDP）（1毫秒），實施節流，其可使得長期（即，TDP）和短期（即，第3下垂）操作能控制在處理器100之核心區域105中的功率消耗。

繪示對在有節流和無節流時之瞬時活動之作圖的一個圖表700係例示在第7圖中。圖表700包括代表應用程式率的Y軸710和代表時間（以微秒計）的X軸740。在一個實施例中，若一個突發活動（瞬時活動）（其可係發生達小於一個小型持續時間T1的期間）可在任何節流下被容許，並且可在不被節流的情況下被容許的這樣的一個突發活動750係繪示在圖表700中。然而，在一個實施例中，若發生一個持久活動（其可係超出持續時間T1的），則於上文中所述的功率管理技術可開始節流指令。圖表700繪示這樣的一個持久活動760，其可如由節流活動770所示地被節流。可觀察到，若任其不受節流，持久活動760可發生達持續時間

T2，然而，在一個實施例中，持久活動760可利用於上文中所述的功率管理技術被節流。由於節流之故，指令疏散或指令通量可被改變，且持久活動760可被散開在一段較長的持續時間T3上，並且這樣的一個經散開活動可被稱為是節流活動770。

繪示對平均需求活動和在一段時間中之平均准許活動之作圖的一個圖表800例示在第8圖中。圖表800包括代表應用程式率的Y軸810以及代表時間（以微秒計）的X軸840。在一個實施例中，平均需求活動可係由作圖830表示，並且平均准許活動可係由作圖820表示。在一個實施例中，在時段T5上的平均需求活動可係具有為1的尖峰應用程式率。然而，在一個實施例中，此尖峰應用程式率不可由在上文中所論述的功率管理技術准許。取而代之地，較低的應用程式率（例如為0.8）可被允許，並且這樣的一個節流平均准許活動820可發生的時段是T6，T6大於T5。

對於包括功率管理單元PMU 168與電壓調節器195以減少在核心區域105處於套裝C狀態中時由非核心區域150所消耗之閒置功率的功率管理路徑之操作的一個實施例係例示在第9圖中。

在方塊910中，PMU 168可檢查核心區域105是否已進入套裝C狀態，若核心區域105已進入套裝C狀態則控制權傳遞到方塊915，並且PMU 168可等待核心區域105進入深層功率節省狀態（或套裝C狀態）。

在方塊915中，PMU 168可產生要被提供給供應處理器

100之非核心區域150的一個電壓調節器195的一第一電壓值(FVID或於上文中所論述的VID\_R)。在一個實施例中，此FVID或VID\_R可表示一個數位值(9位元值)，電壓調節器195可基於此數位值產生一個參考電壓VR(=VR\_reduced)。在方塊920中，PMU 168可提供FVID給電壓調節器195。

在方塊930中，電壓調節器195可基於FVID值而將VR從一個正常參考電壓(VR\_normal)改變成一個經減縮參考電壓(VR\_reduced)。在一個實施例中，此VR可從為1伏特的VR\_normal被減少成為0.96伏特的VR\_reduced值。

在方塊940中，由於VR從VR\_normal改變成VR\_reduced之故，在供應針腳194處所提供的電壓VP可改變成VP\_reduced。在一個實施例中，VP可如於上文中所論述地回應於VR從1伏特改變至0.96伏特，而從為0.972伏特的VP\_idle被減少成0.932伏特。

在方塊945中，由於VP從VP\_dile改變至VP\_reduced(即，從0.972伏特改變至0.932伏特)之故，係可對非核心區域150之供應針腳194提供為VP\_reduced(=0.932伏特)的針腳值。由於降低被提供給非核心區域150的電壓值之故，由非核心區域150所消耗的閒置功率亦可減少(例如，從16.95瓦特至14.988瓦特，導致如於上文中所述的1.96瓦特的功率節省)。

在方塊950中，PMU 168可針對核心的套裝C狀態離開事件作檢查，並且若PMU 168檢測出一個套裝C狀態離開事

件，控制權便傳遞給方塊960。在實施例中，由PMU 168在方塊950中所進行的操作可係平行且獨立於方塊915至945的操作而進行。

在方塊960中，PMU 168可在核心區域105或核心區域105中之任何處理核心110從套裝C狀態離開進入作動狀態之前進行方塊965至990。在方塊965中，PMU 168可產生要被提供給供應處理器100之非核心區域150的電壓調節器195的一第二電壓值（SVID或於上文中所論述的VID<sub>N</sub>）。在一個實施例中，SVID或VID<sub>D</sub>可係表示一個數位值（9位元值），電壓調節器195可基於此數位值產生一個參考電壓VR(=VR<sub>reduced</sub>)。在方塊970中，PMU 168可提供SVID（或VID<sub>N</sub>）給電壓調節器195。

在方塊975中，電壓調節器195可基於SVID值而將VR從VR<sub>reduced</sub>改變成正常參考電壓（VR<sub>normal</sub>）。在一個實施例中，此VR可係從為0.96伏特的VR<sub>reduced</sub>值被加成為1伏特的VR<sub>normal</sub>值。

在方塊980中，由於VR從VR<sub>reduced</sub>改變成VR<sub>normal</sub>之故，在供應針腳194處所提供的電壓VP可改變成VP<sub>idle</sub>。在一個實施例中，VP可如於上文中所論述地回應於VR從0.96伏特改變至1伏特，而從VP<sub>reduced</sub>（0.932）伏特被增加為0.972伏特。

在方塊990中，由於VP從VP<sub>reduced</sub>改變成VP<sub>idle</sub>（即，從0.932改變至0.972伏特）且電流從ICC<sub>idle</sub>改變成ICC<sub>peak</sub>之故，流經負載電阻RL 192的電流可從ICC<sub>idle</sub>



(20安培) 改變成  $ICC_{peak}$  (=50安培)，可在非核心區域 150 之供應針腳 194 處提供電壓  $VP$  (=0.93伏特)。

在有使用和無使用於上文中所述的功率管理技術情形中電壓調節器 195 在正常和閒置情況下之操作的一個實施例係例示在第 10(A)、10(B) 和 10(C) 圖中。在第 10(A) 圖中，當非核心 150 正操作在尖峰時，參考電壓  $VR$  可係等於  $VR_{normal}$ ， $ICC$  193 可係等於  $ICC_{peak}$ ；並且針腳電壓 (pin voltage,  $VP$ ) 可係等於  $VP_{idle}$ 。在一個實施例中， $VP_{idle}$  可係等於  $\{[VR_{normal} - (ICC_{peak} * RL_{192})]\}$ 。

例如，若  $VR_{normal} = 1$  伏特， $ICC_{peak} = 50$  安培，且  $RL_{192} = 1.4$  微歐姆，則  $VP_{idle} = 1 - (50 * 1.4) = 0.93V$ 。若處理器 100 必須操作於針對此部件所指明的頻率  $F$  (例如，=2.53GHz)，則一個電壓最小值 (=0.93伏特) 會被提供作為  $VP_{idle}$ 。

然而，當核心區域 105 處於套裝 C 狀態中時，如於第 10(B) 圖中所示，流經負載電阻  $RL_{192}$  的電流  $ICC$  193 可改變成  $ICC_{idle}$  (例如，=20A)，則  $VP_{idle}$  等於  $[VR_{normal} - (ICC_{idle} * RL_{192})]$ ，即， $VP_{idle} = 1 - (20 * 1.4) = 0.972V$ 。但是，0.93V 的  $VP_{idle}$  便足以於針對此部件所指明的頻率  $F$  操作處理器 100，並且有 ( $VP_{idle} -$  電壓最小值 =  $0.972 - 0.93 = 0.042V$ ) 的過電壓被提供給非核心區域 150。此過電壓可導致對多於所需之功率的過多消耗。因此，功率消耗， $P_{normal} =$  動態功率 + 漏洩功率， $P_{normal} = C_{dyn} * V^2 * f + f(V^4)$ ， $= 5nf * (0.972 * 0.972) * 2.53Ghz + 5$

瓦特， $= (11.95 + 5) = 16.95$  瓦特。

為了減少 VR，VR 會從 VR\_normal 被減少至 VR\_reduced，如於第 10(C)圖中所示。為了減少 VR\_uncore，PMU 168 可產生一個 FVID（如於方塊 915 中所述），並將此 FVID 提供（如於方塊 920 中所述）給電壓調節器 195。回應於接收到 FVID，電壓調節器 195 可將 VR 減少至 VR\_reduced（例如， $= 0.96V$ ）。回應於 VR 從 VR\_normal 改變至 VR\_reduced，VP\_idle 變成 VP\_reduced（ $= 0.96 - (20 * 1.4) = 0.96 - 0.028 = 0.932V$ ）。因此，功率消耗  $P_{reduced} = C_{dyn} * V^2 * f + f(V^4) = 5nf * (0.932 * 0.932) * 2.53GHz + 4$  瓦特  $= (10.988 + 4) = 14.988$  瓦特。因而，所節省功率  $= P_{normal} - P_{reduced} = 16.95 - 14.988 = 1.96$  瓦特。

圖表 1100、1140 和 1160 例示出回應於核心區域 105 進入深度功率節省狀態（套裝 C 狀態）的在非核心區域 150 上之效應係分別繪示在第 11(a)、11(b) 和 11(c) 圖中。在一個實施例中，第 11(a) 圖之圖表包括表示時間的 X 軸 1101 和表示電流（ICC 193）的 Y 軸 1102。在一個實施例中，在核心區域 105 進入由先於進入點 1105 之區域所指出的套裝 C 狀態前，ICC 193 可係等於 ICC\_peak 1106（例如， $= 50$  安培）。於進入點 1105，核心區域 105 可開始進入套裝 C 狀態，並且回應於在點 1105 的進入事件，電流 ICC 193 可於點 1108 從 ICC\_peak 改變成 ICC\_idle（ $= 20$  安培），並且 ICC\_idle 位準可係由 ICC\_idle 1107 指出。在一個實施例中，於離開點 1109，ICC 193 可從 ICC\_idle 1107 改變至 ICC\_peak 1106，並

且核心區域105之離開事件可係在時間點1110完成。在一個實施例中，在點1108與1105之間的時間差可表示進入潛時，並且在點1109與1110之間的時間差可表示離開潛時。

第11(b)圖例示回應電流從ICC\_peak 1106至ICC\_idle 1107及從ICC\_idle 1107回到ICC\_peak 1106的改變而在參考電壓VR與針腳電壓VP中之變化。在一個實施例中，第11(b)圖的圖表包括表示時間的X軸1111和表示電壓（VR和VP）的Y軸1112。在進入點1105之前，電壓參考VR和VP可分別是等於VR\_normal 1113和VP\_idle或VP\_normal 1115。在離開點1109之後，電壓參考VR和VP可分別是等於VR\_normal 1113和VP\_idle 1115。回應於在點1105發生了進入事件，電壓調節器195可接收一個FVID（或VID\_R），並且參考電壓VR可從VR\_normal 1113（例如，=1伏特）改變至VR\_reduced 1114（例如，=0.96伏特）。回應於參考電壓VR從VR\_normal 1113改變至VR\_reduced 1114，在供應針腳194處的針腳電壓VP可從VP\_idle 1115（例如，=0.972伏特）減少到VP\_reduced 1116（例如，=0.932伏特）。在一個實施例中，在時間點1108與1109之間（這可代表核心區域105維持在深度功率節省狀態中的持續時間），參考電壓VR和針腳電壓VP可分別係維持在VR\_reduced 1114和VP\_reduced 1116。

第11(c)圖例示回應於針腳電壓VP從VP\_idle 1115變化到VP\_reduced 1116的在所消耗的功率中之變化。在一個實施例中，第11(c)圖的圖表包括表示時間的X軸1121和表示

消耗功率的Y軸1122。在進入點1105前，功率Consumed\_idle可係等於正常消耗功率1123。在一個實施例中，回應於核心區域105進入套裝C狀態，由非核心區域150所消耗的功率可減少至經減縮消耗功率1124（例如，= 14.988瓦特）。在一個實施例中，當針腳電壓VP從VP\_idle 1115減少至VP\_reduced 1116時，由非核心區域150所消耗的功率可亦減少，並且由非核心區域150所消耗的功率可係與被提供在供應針腳164處的針腳電壓之平方成比例。在一個實施例中，所節省的功率之量可係等於(功率Consumed\_idle - 經減縮消耗功率) = (16.95 - 14.988) = 1.95伏特。

請參考第12圖，一個電腦系統1200可包括一個一般用途處理器1202，其包括一個單指令多資料(single instruction multiple data, SIMD)處理器和一個圖形處理器單元(graphics processor unit, GPU) 1205。在一個實施例中，處理器1202可進行（除了進行各種其他任務以外）增強操作，或儲存一連串指令，以提供在一個機器可讀儲存媒體1225中的增強操作。然而，這串指令可亦係儲存在記憶體1220中，或是在任何其他合適的儲存媒體中。

雖然在第12圖中係繪示一個分立的圖形處理器單元，但在一些實施例中，舉另一個例子來說，係可使用圖形處理器單元來進行增強操作。操作電腦系統1200的處理器1202可為耦接至邏輯1230的一或多個處理器核心。邏輯1230可係耦接至一或多個I/O裝置1260，其可提供介面電腦系統1200。邏輯1230，例如，在一個實施例中，可為晶片

組邏輯。邏輯1230係耦接至記憶體1220，其可為任何類型的儲存體，包括光學、磁性、或半導體儲存體。圖形處理器單元1205係透過一個訊框緩衝器耦接至一個顯示器1240。

在一個實施例中，處理器1202可包括一個核心區域1203和一個非核心區域1204。在一個實施例中，由處理器1202之核心區域1203所消耗的功率可藉由控制處理器1202的C<sub>dyn</sub>而受到控制。在一個實施例中，C<sub>dyn</sub>可受控制而使得C<sub>dyn</sub>是落在一個可容許C<sub>dyn</sub>值內，無關乎正由核心區域1203所處理的應用程式（或碼）。在一個實施例中，此功率管理技術可包括量測數位活動因數（DAF）、監控架構和資料活動位準、以及藉由如於上文中所述地基於活動位準來節流指令而控制功率消耗。由於基於活動位準（或C<sub>dyn<sub>actual</sub></sub>）而節流指令之故，係可在不同時間域中，例如第3下垂（1微秒）和熱設計點（TDP）（1毫秒），實施節流，其使得長期（即，TDP）和短期（即，第3下垂）操作能控制在處理器之核心區域中的功率消耗。在一個實施例中，這樣的一種途徑可提供一種細緻的功率管理技術以及創造在碼被相較於啟動模式作處理時控制碼的啟動模式之能力，這可係反應於被處理的碼。

在一個實施例中，可藉由改變被提供給非核心區域1204的電壓（即，參考電壓V<sub>R</sub>）而減少由非核心區域1204所消耗的閒置功率（即，在核心區域處於深度電力節省狀態，例如套裝C狀態，中時，由非核心區域所消耗的功率）。

在一個實施例中，電壓調節器1206的輸出可透過一個負載電阻而被耦接至非核心區域1204的一個供應針腳。當核心區域處於深度套裝C狀態中時，參考電壓VR和因其所致的在非核心區域1204之供應針腳處的針腳電壓（VP）可被減少。在一個實施例中，參考電壓VR可被減少，而使得VP\_idle減少至微高於VPmin（或VP\_peak）的一個值。是故，參考電壓（VR）可被改變，以節省或減少由非核心區域1204所消耗的閒置功率。

已參考數個範例實施例描述本發明的某些特徵。然而，本說明並非意欲要被解讀成一種限制型態。對這些範例實施例之對於熟於本發明所屬技藝者而言是很明顯可見的各種修改體以及本發明的其他實施例係落於本發明的精神與範疇中。

### 【圖式簡單說明】

第1圖依據一個實施例，例示一個處理器100，其支援在核心區域中之以活動為基礎之功率節省技術以及在非核心區域中之以負載線IR壓降為基礎之功率節省技術。

第2圖依據一個實施例，例示以總電容值（Ctotal）和動態電容值（Cdyn）模示（model）的處理器核心區域。

第3圖依據一個實施例，例示Cdyn相關於在應用程式之工作負載中之改變的變化的一個作圖。

第4圖依據一個實施例，例示一個流程圖，其繪示用於核心區域中的一種以活動為基礎之功率節省技術。

第5圖依據一個實施例，例示一個方塊圖，其係用於實

施用於核心區域中的此以活動為基礎之功率節省技術。

第6圖依據一個實施例，例示一個活動累積邏輯的方塊圖，其係用於實施用於核心區域中的此以活動為基礎之功率節省技術。

第7圖是依據一個實施例的一個圖，其例示此以活動為基礎之功率節省技術在核心區域中之瞬時活動上的效應。

第8圖是依據一個實施例的一個圖，其例示此以活動為基礎之功率節省技術在核心區域中之平均活動上的效應。

第9圖是依據一個實施例的一個流程圖，其例示用於非核心區域中的一種以負載線IR壓降為基礎之功率節省技術。

第10(A)、10(B)和10(C)圖依據一個實施例，例示在使用一種以負載線IR壓降為基礎之功率節省技術時，於被提供給非核心區域的電壓上之減少。

第11(a)、11(b)和11(c)圖是依據一個實施例的時序圖，其例示回應於在非核心區域中使用以負載線IR壓降為基礎之功率節省技術而在電流、電壓和功率上的變化。

第12圖依據本發明的一個實施例，例示一個電腦系統之方塊圖。

#### 【主要元件符號說明】

100、1202...處理器	104、194...供應針腳
101、196...輸出	105...核心區域/核心
102、192...負載電阻 (RL)	106...指令佇列 (IQ)
103、193...ICC	107、530...節流器

- 108、570...活動累積邏輯 (AAL)
- 109、560...節流邏輯 (TL)
- 110、110-A~110-N...核心
- 111...特定機器暫存器 (MSR)
- 112...指令提取單元 (IFU)
- 113...解碼單元 (DU)
- 114...保留站 (RS)
- 115...執行單元 (EU)
- 116...浮動點執行單元 (FPU)
- 117...重新排序緩衝器 (ROB)
- 118...退役單元 (RU)
- 120-A~120-N...每核心快取  
(PCC)
- 130-A~130-N...中階快取  
(MLC)
- 150...非核心區域/非核心
- 155...記憶體控制器
- 160...末階快取 (LLC)
- 161...家庭代理器 (HA)
- 162...快取代理器 (CA)
- 163...路由代理器 (RA)
- 164...全球時鐘/PLL
- 165...介面
- 168...功率管理單元 (PMU)
- 179...活動感測器
- 180、195、1206...電壓調節器
- 195、197...電源層
- 199...介面路徑
- 210...核心
- 220...總電容值 (C<sub>Total</sub>)
- 240...動態電容值 (C<sub>dyn</sub>)
- 300、700、800、1100、1140、  
1160...圖表
- 310、710、810、1102、1112、  
1122...Y 軸
- 320、740、840、1101、1111、  
1121...X 軸
- 330...閒置應用程式
- 340...主流應用程式
- 345、355...直線
- 350...高效能運算 (HPC) 應用程式
- 360...功率病毒 (PV) 應用程式
- 410~490、910~990...方塊
- 505...資料型樣感測器
- 510...指令提取單元 (IFU) /  
功能單元
- 520...IQ/功能單元
- 550...執行單元 (EU) /功能單元



580...功率管理單元 (PMU)	1114...VR_reduced
605-A~605-H...資料輸入	1115...VP_idle 或 VP_normal
610...加權邏輯	1116...VP_reduced
610-A~610-H...加權元件	1123...正常消耗功率
630~650...加總單元	1124...經減縮消耗功率
660...加總單元/累積器加總器	1200...電腦系統
670...累積器/累積器拴鎖	1203...核心區域
750...突發活動	1204...非核心區域
760...持久活動	1205...圖形處理器單元 (GPU)
770...節流活動	1210...顯示引擎
820...作圖/節流平均准許活動	1220...記憶體
830...作圖	1225...機器可讀儲存媒體
1105、1108、1109、1110...點	1230...邏輯
1106...ICC_peak	1240...顯示器
1107...ICC_idle	1260...I/O 裝置
1113...VR_normal	T2、T3、T5、T6...持續時間

## 七、申請專利範圍：

### 1. 一種處理器，其包含：

一個非核心區域，其中該非核心區域包含一個功率管理單元和一個電壓調節器，其中該電壓調節器是用於提供經調節電壓（VR）給該非核心區域，以及

一個核心區域，其中該核心區域包括多個功能方塊、多個感測器、一個活動累積邏輯、一個節流邏輯、和一個節流器，其中該等多個感測器是用於從該等多個功能方塊收集多個活動位準，及將該等多個活動位準提供給該活動累積邏輯，其中該活動累積邏輯是用於產生一個累積活動值，及將該累積活動位準提供給該節流邏輯，其中該節流邏輯是用於產生一個信號，該信號指示要基於該累積活動值與一個目標值之比較而被採用的一個節流位準，其中該節流器是用於基於該節流位準而節流被提供給數個執行單元的該等指令。

2. 如申請專利範圍第1項之處理器，其中該等多個感測器被提供在該等多個功能單元的一或多個埠中，以感測該等多個功能單元的資料活動及架構活動。
3. 如申請專利範圍第1項之處理器，其中該節流邏輯是用於基於資料型樣觀察和該累積活動值而判定一個實際動態電容值。
4. 如申請專利範圍第4項之處理器，其中該節流邏輯是用於將該實際動態電容(C<sub>dyn</sub>)值校準至一個功率分數值。
5. 如申請專利範圍第4項之處理器，其中該節流邏輯是用

於將該功率分數值與由該功率管理單元所提供的一個目標值作比較，其中該目標值是基於一個可容許動態電容值而被判定。

6. 如申請專利範圍第3項之處理器，其中該節流邏輯是用於在該功率分數值大於該目標值時產生指示要增加該節流位準的該信號。
7. 如申請專利範圍第6項之處理器，其中該節流器是用於回應於接收到指示要增加該節流位準的該信號而減少指令通量，其中減少該指令通量是為了將該實際動態電容維持為低於該可容許動態電容。
8. 如申請專利範圍第3項之處理器，其中該節流邏輯是用於在該功率分數值小於該目標值時產生指示要減少該節流位準的該信號。
9. 如申請專利範圍第8項之處理器，其中該節流器是用於回應於接收到指示要減少該節流位準的該信號而增加指令通量。
10. 一種處理器，其包含：
  - 一個核心區域和一個非核心區域，
  - 其中該非核心區域包含一個功率管理單元和一個電壓調節器，其中該電壓調節器是用於提供經調節電壓（VR）給該非核心區域，
  - 其中該功率管理單元是用於檢測該核心區域所據以為基礎而進入一個深度功率節省狀態的一個事件，及回應地提供一第一電壓值給該電壓調節器，

其中該電壓調節器是用於基於該第一電壓值而將該經調節電壓（VR）從一個正常參考電壓值減少至一個經減縮參考電壓值，

其中減少該經調節電壓（VR）會致使被提供在該非核心區域的一個供應針腳處的一個針腳電壓值減少，其中減少該針腳電壓值是為了減少由該非核心區域所消耗的功率，

其中該針腳電壓值被減少至足以維持要將該處理器操作在一個指定頻率值所需之最小針腳電壓值的一個位準。

11. 如申請專利範圍第10項之處理器，其中該非核心區域會在該核心區域處於該深度功率節省狀態之前消耗經減縮量的功率。
12. 如申請專利範圍第11項之處理器，其中被提供給該核心區域的該電壓在該核心區域係操作在該深度功率節省狀態中時被實質上截斷，並且由該核心區域注入到該非核心區域的一個活動實質上為低。
13. 如申請專利範圍第10項之處理器，其中該功率控制單元是用於回應於檢測到該核心區域所藉以離開該深度功率節省狀態的一個離開事件而產生一第二電壓值，並將該第二電壓值提供給該電壓調節器。
14. 如申請專利範圍第13項之處理器，其中該電壓調節器是用於回應於接收到該第二電壓值而將該參考電壓（VR）從該經減縮參考電壓值增加至該正常參考電壓值。

15. 如申請專利範圍第14項之處理器，其中將該參考電壓增加至該正常參考電壓值是為了在該非核心區域的該供應針腳處至少提供該最小電壓值，以使得該處理器能夠被操作在該指定頻率值。
16. 一種在處理器之核心區域中之方法，其包含下列步驟：
  - 利用多個感測器而從多個功能方塊收集活動位準，並將該等多個活動位準提供給一個活動累積邏輯，
  - 在一個累積活動邏輯中基於該等多個活動位準而產生一個累積活動值，
  - 利用一個節流邏輯而產生一個信號，該信號指示要基於對該累積活動值之比較而被採用的一個節流位準，以及
  - 基於由該信號所提供的該節流位準而節流被提供給數個執行單元的指令，
  - 其中該處理器包含一個核心區域，該核心區域包括該等多個功能方塊、該等多個感測器、該活動累積邏輯、該節流邏輯、和該節流器。
17. 如申請專利範圍第16項之方法，其包含下列步驟：
  - 在該等多個功能單元的一或多個埠中提供該等多個感測器，以感測該等多個功能單元的資料活動和架構活動。
18. 如申請專利範圍第16項之方法，其包含下列步驟：
  - 在該節流邏輯中基於資料型樣觀察和該累積活動值而判定一個實際動態電容值。

19. 如申請專利範圍第18項之方法，其包含下列步驟：

在該節流邏輯中將該實際動態電容（ $C_{dyn}$ ）值校準至一個功率分數值。

20. 如申請專利範圍第18項之方法，其包含下列步驟：

在該節流邏輯中將該功率分數值與由一個功率管理單元所提供的該目標值作比較，其中該目標值是基於一個可容許動態電容值而被判定。

21. 如申請專利範圍第18項之方法，其包含下列步驟：

在該節流邏輯中產生該信號，其中若該功率分數值大於該目標值，該信號係指示要增加該節流位準。

22. 如申請專利範圍第21項之方法，其包含下列步驟：

在一個節流器中，回應於接收到指示要增加該節流位準的該信號而減少指令通量，其中減少該指令通量是為了將該實際動態電容維持為低於該可容許動態電容。

23. 如申請專利範圍第18項之方法，其包含下列步驟：

在該節流邏輯中產生該信號，其中若該功率分數值小於該目標值，該信號係指示要減少該節流位準。

24. 如申請專利範圍第23項之方法，其包含下列步驟：

在該節流器中，回應於接收到指示要減少該節流位準的該信號而增加該指令通量。

25. 一種在處理器之非核心區域中之方法，其包含下列步驟：

檢測一個核心區域所據以為基礎而進入一個深度功率節省狀態的一個進入事件，其中該進入事件是利用

一個功率管理單元而檢測，

提供一第一電壓值給一個電壓調節器，其中該第一電壓值是利用該功率管理單元而產生，

基於該第一電壓值而將一個經調節電壓從一個正常參考電壓值減少至一個經減縮參考電壓值，以及

將該經減縮參考電壓提供給該非核心區域，其中減少該經調節電壓（VR）會致使被提供在該非核心區域的一個供應針腳處的一個針腳電壓值減少，其中減少該針腳電壓值是為了減少由該非核心區域所消耗的功率，

其中該非核心區域耦接至該核心區域，其中該非核心區域包括該功率管理單元和一個電壓調節器。

26. 如申請專利範圍第25項之方法，其包含下列步驟：

判定該第一電壓值，該第一電壓值是要將該針腳電壓值減少至足以維持要將該處理器操作在一個指定頻率值所需之最小針腳電壓值的一個位準。

27. 如申請專利範圍第26項之方法，其中該非核心區域會在該核心區域處於該深度功率節省狀態之前消耗經減縮量的功率。

28. 如申請專利範圍第27項之方法，其中在該核心區域係操作在深度功率節省狀態中時，由該核心區域注入到該非核心區域的一個活動實質上為低。

29. 如申請專利範圍第26項之方法，其包含下列步驟：

回應於檢測到該核心區域所藉以離開該深度功率節省狀態的一個離開事件而產生一第二電壓值，以及

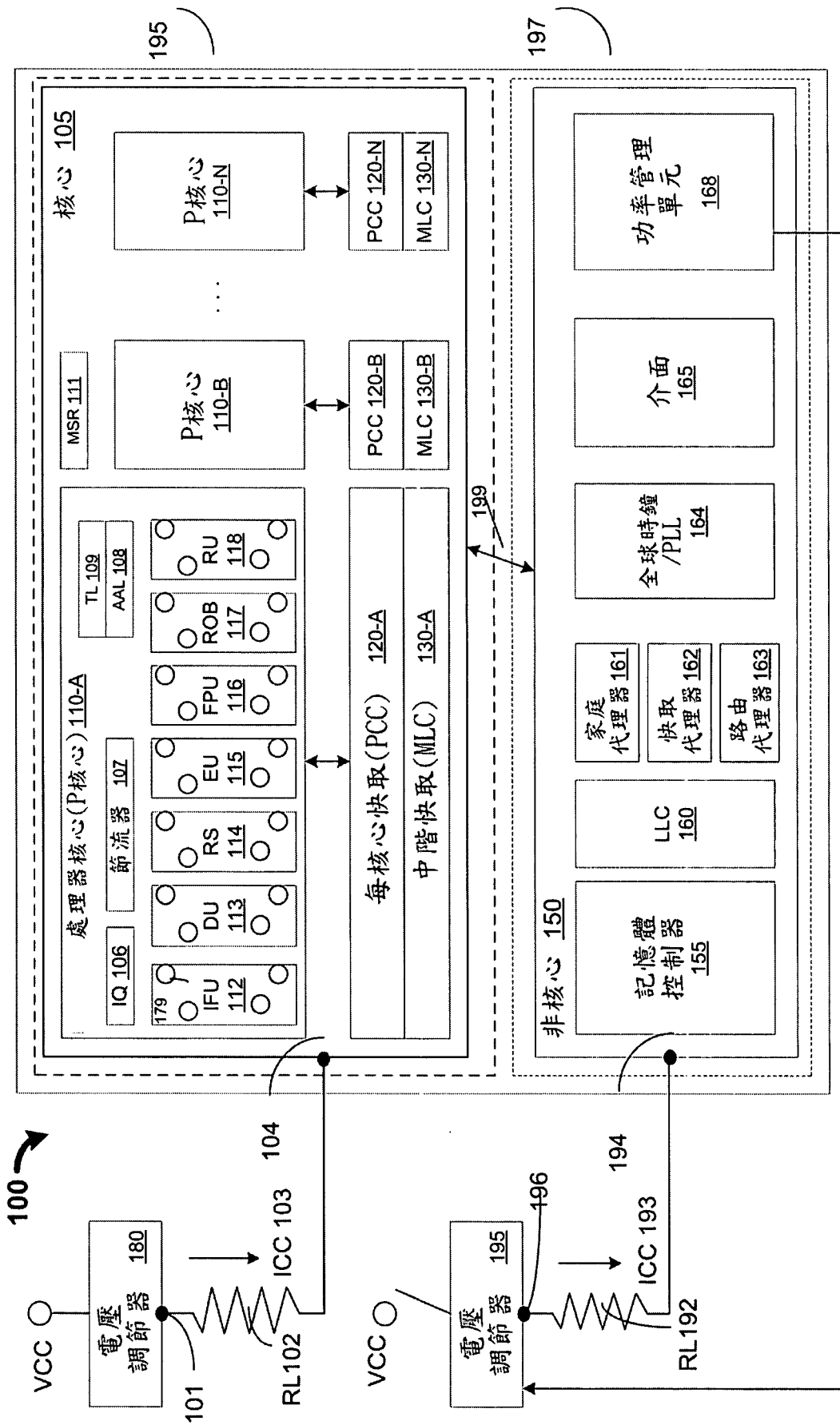
將該第二電壓值提供給該電壓調節器。

30. 如申請專利範圍第28項之方法，其包含下列步驟：

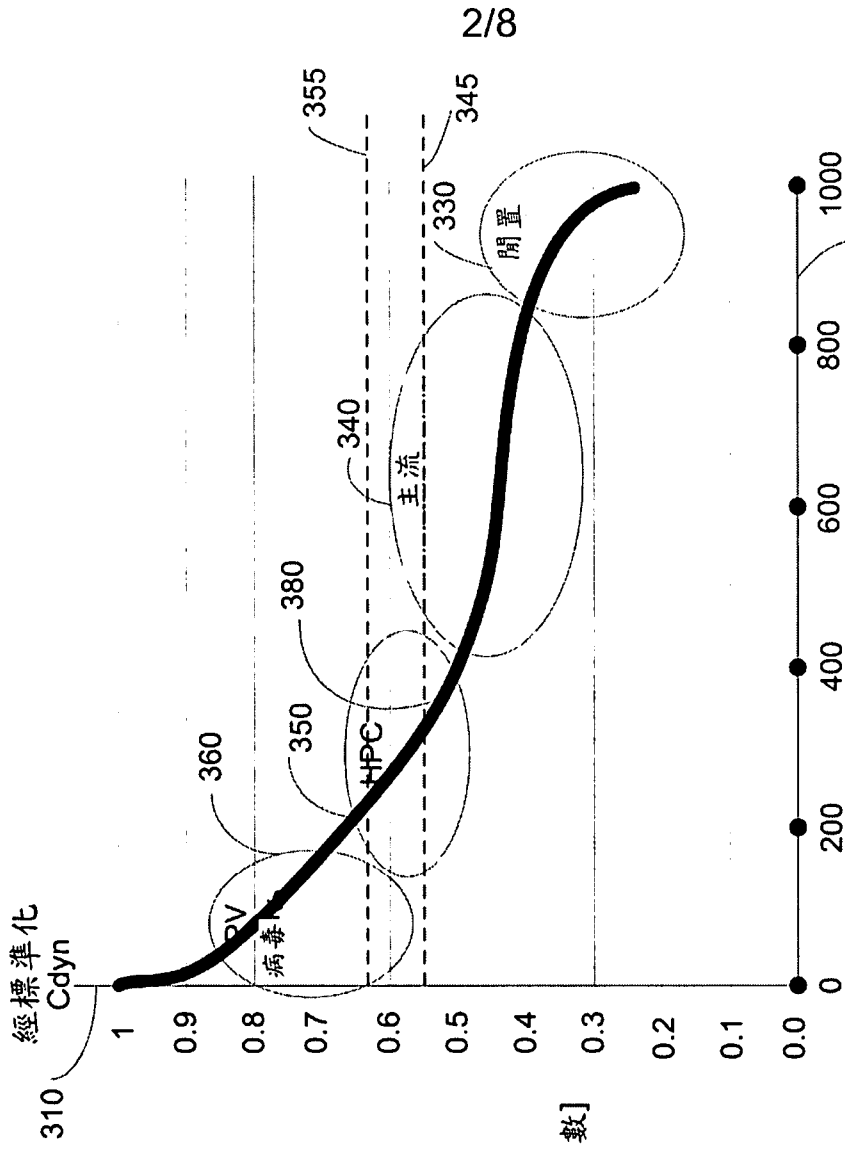
回應於接收到該第二電壓值而將該參考電壓 (VR)

從該經減縮參考電壓值增加至該正常參考電壓值。

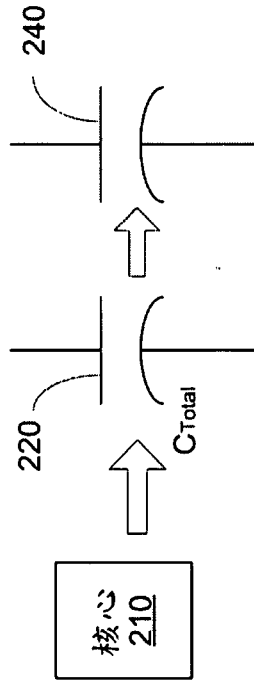




第1圖

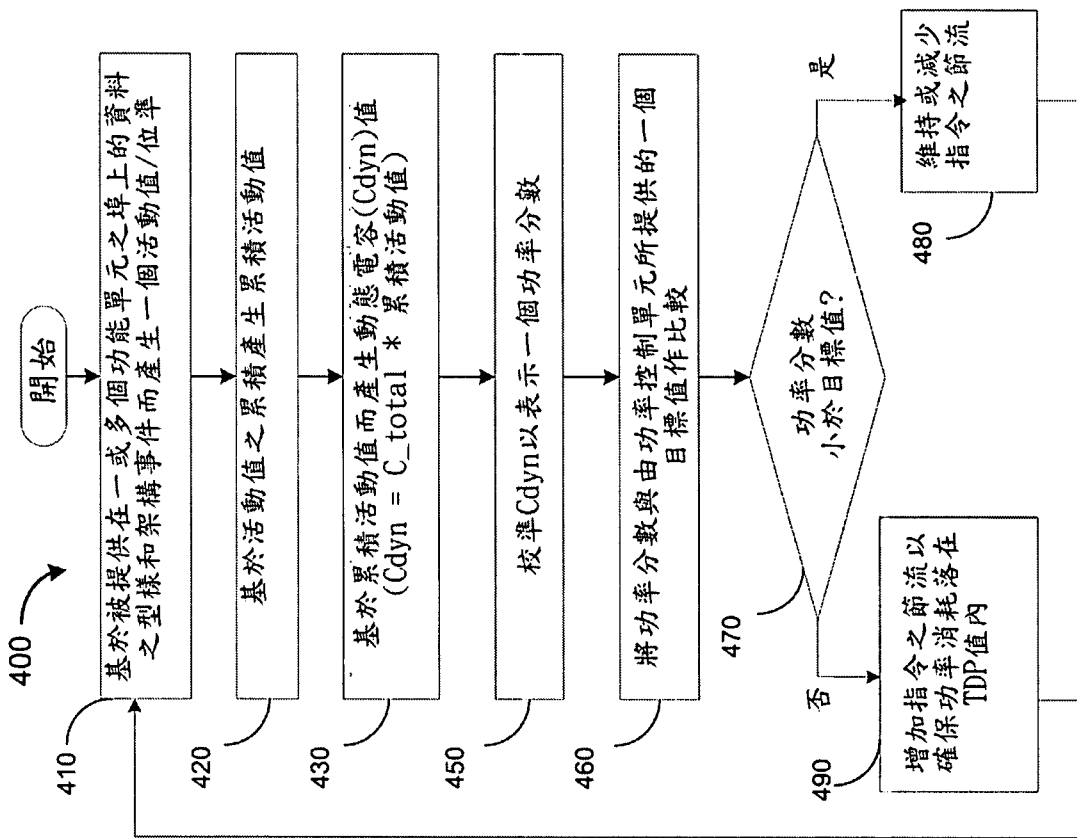


第3圖

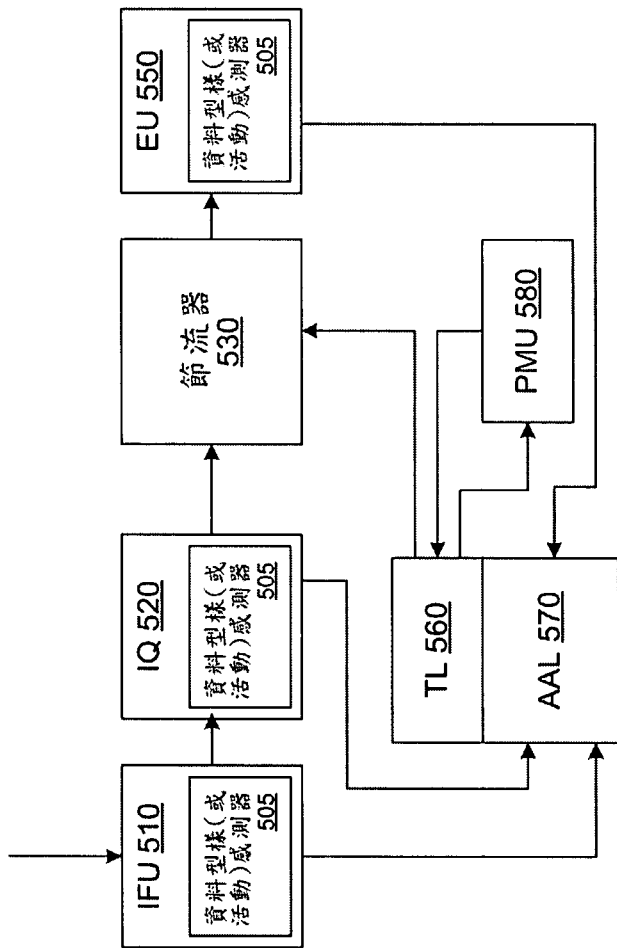


$C_{dyn} = [C_{total} * \text{活動因數}]$

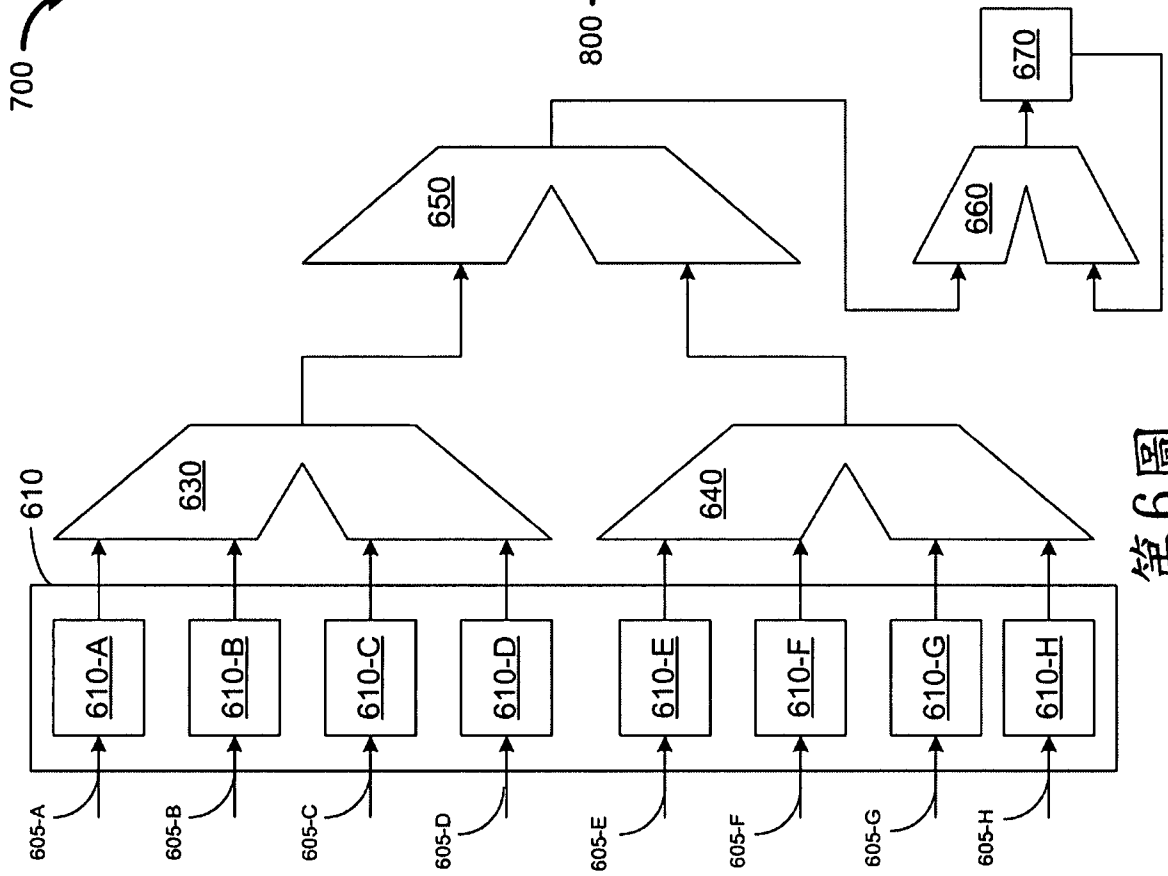
第2圖



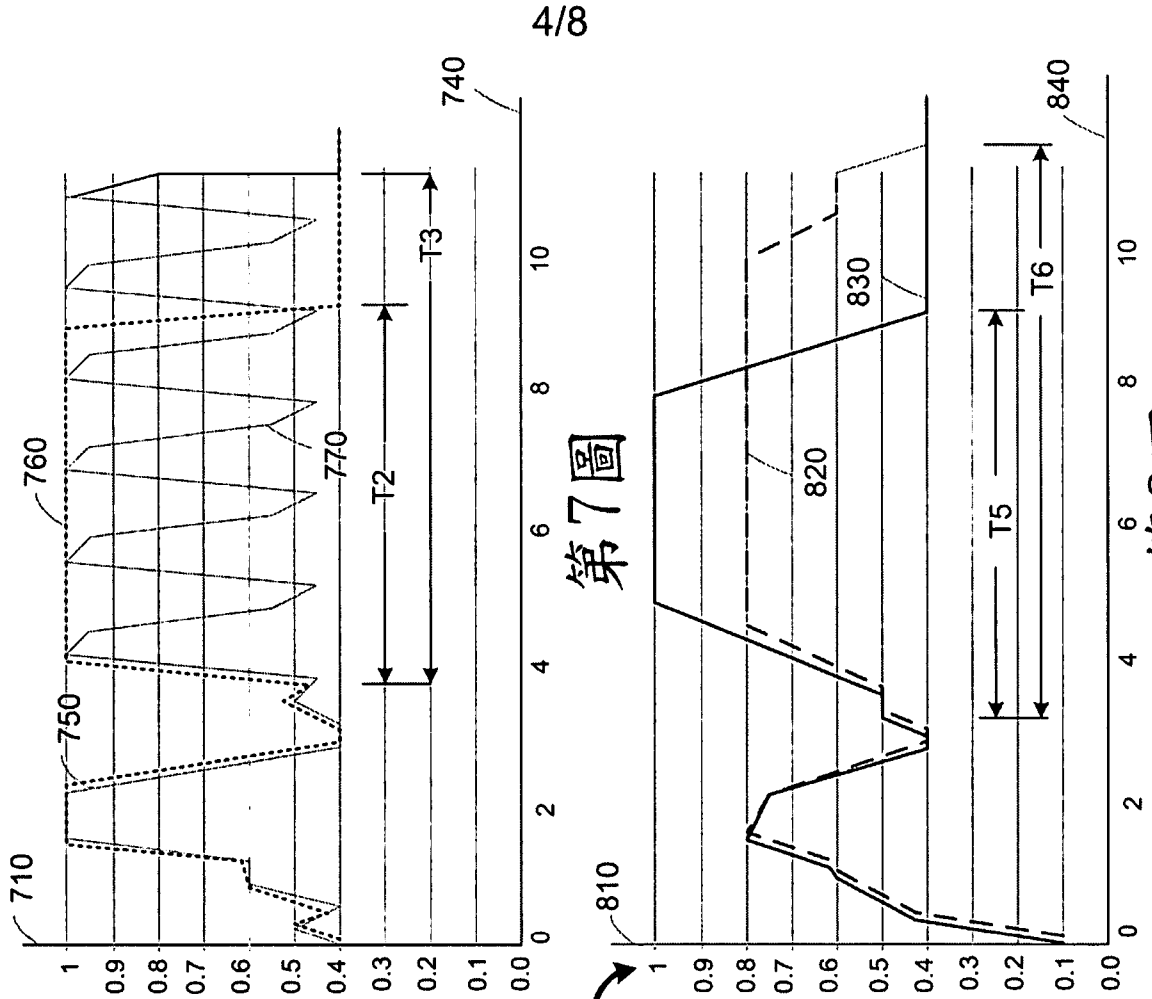
第4圖



第5圖

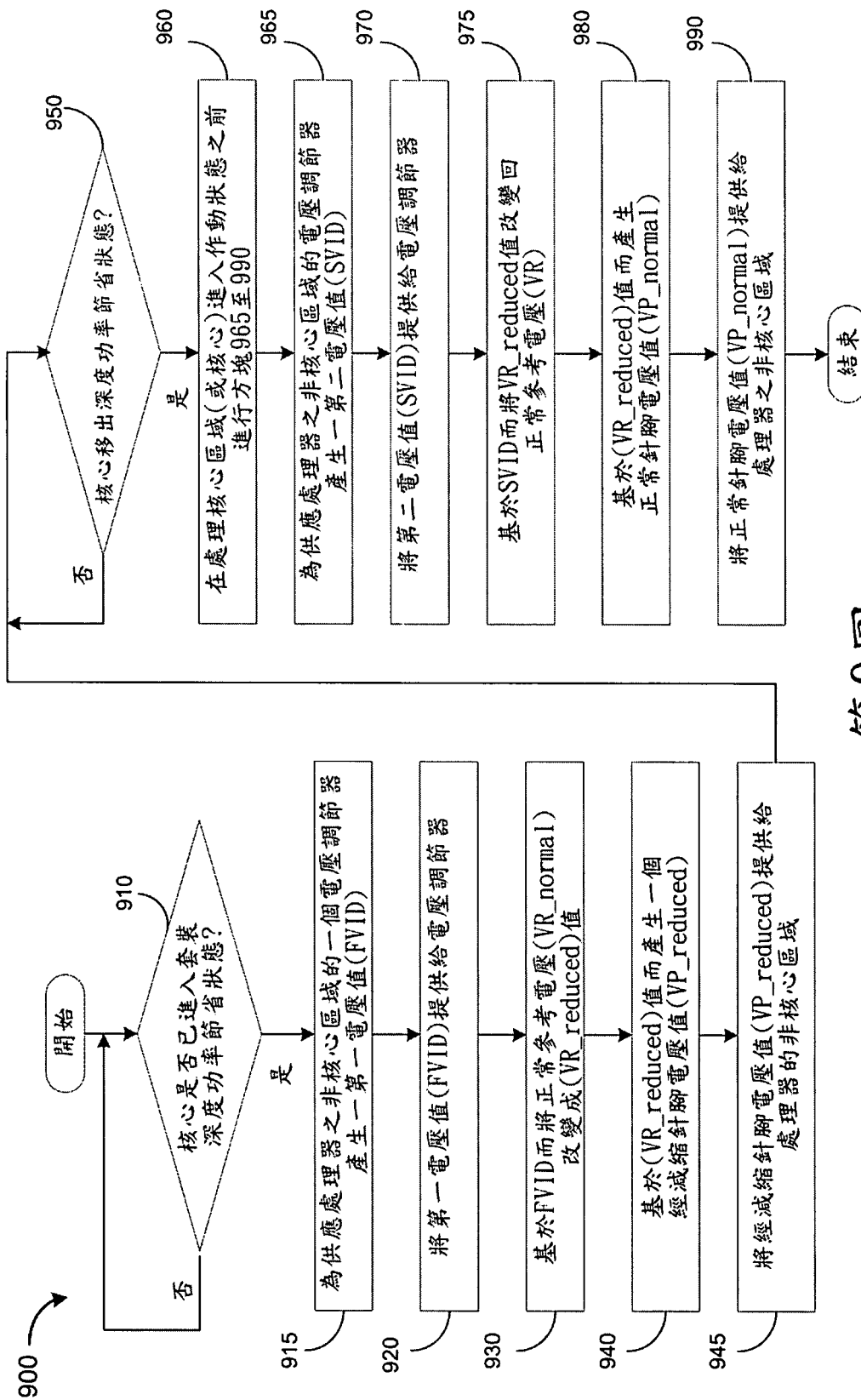


第6圖

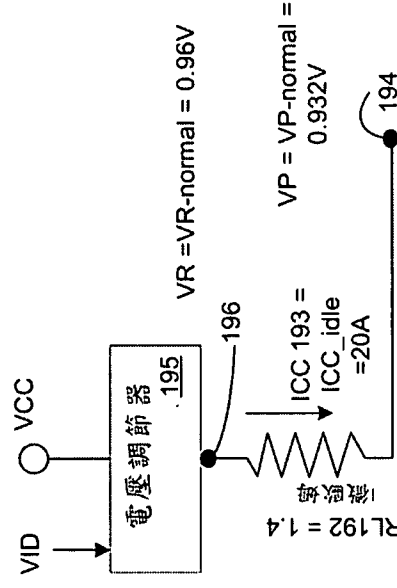


第7圖

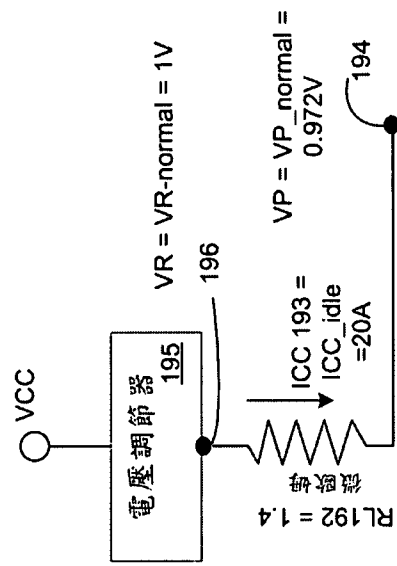
第8圖



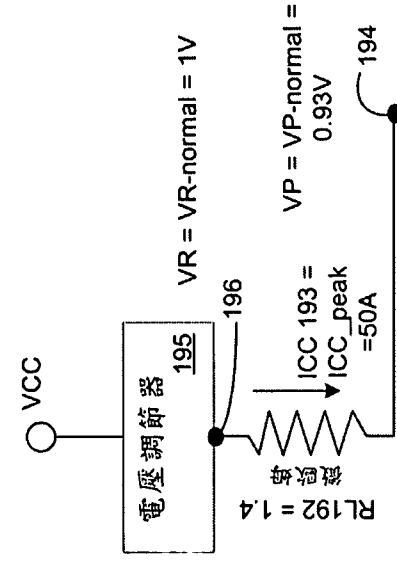
第9圖



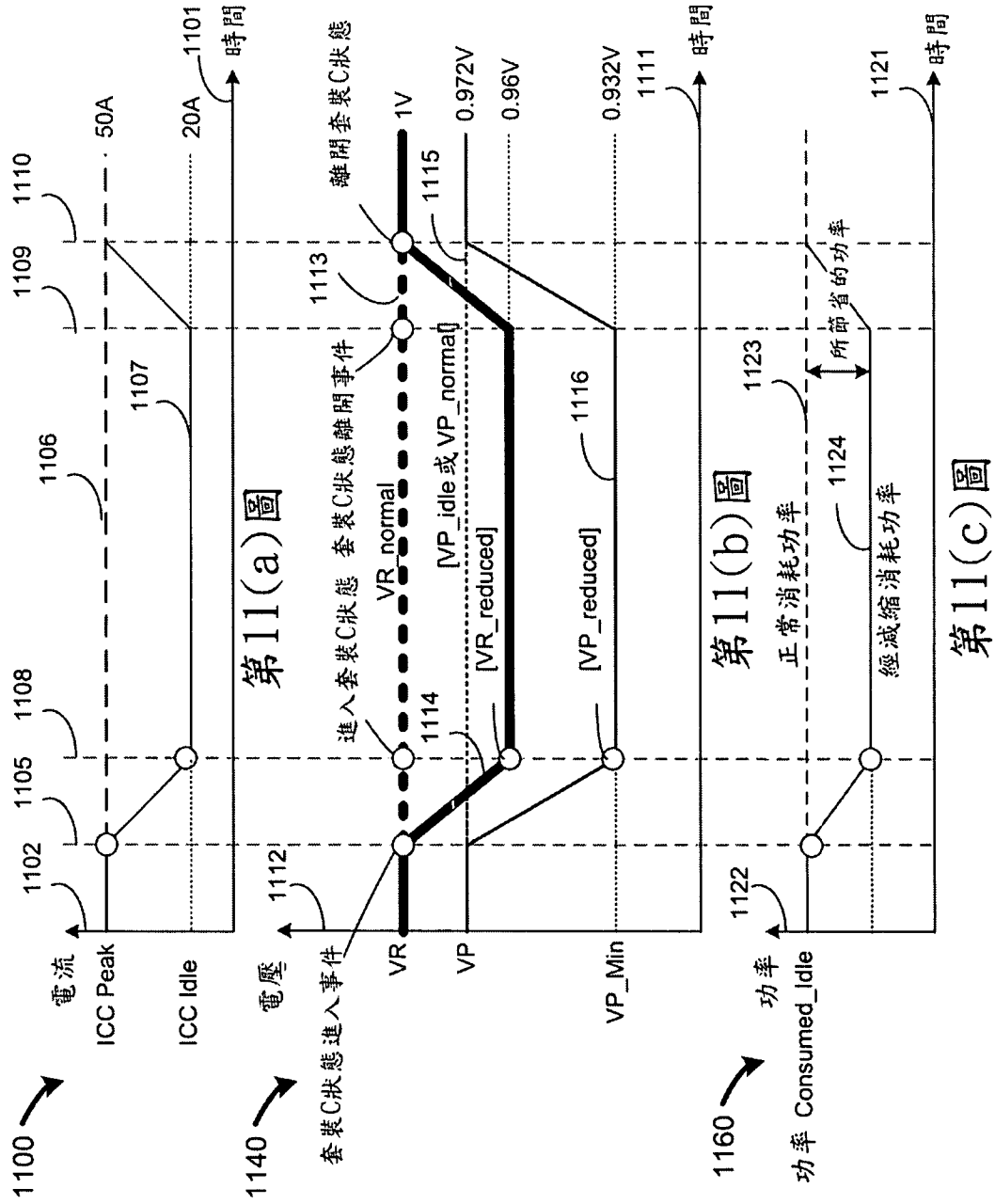
第10(C)圖

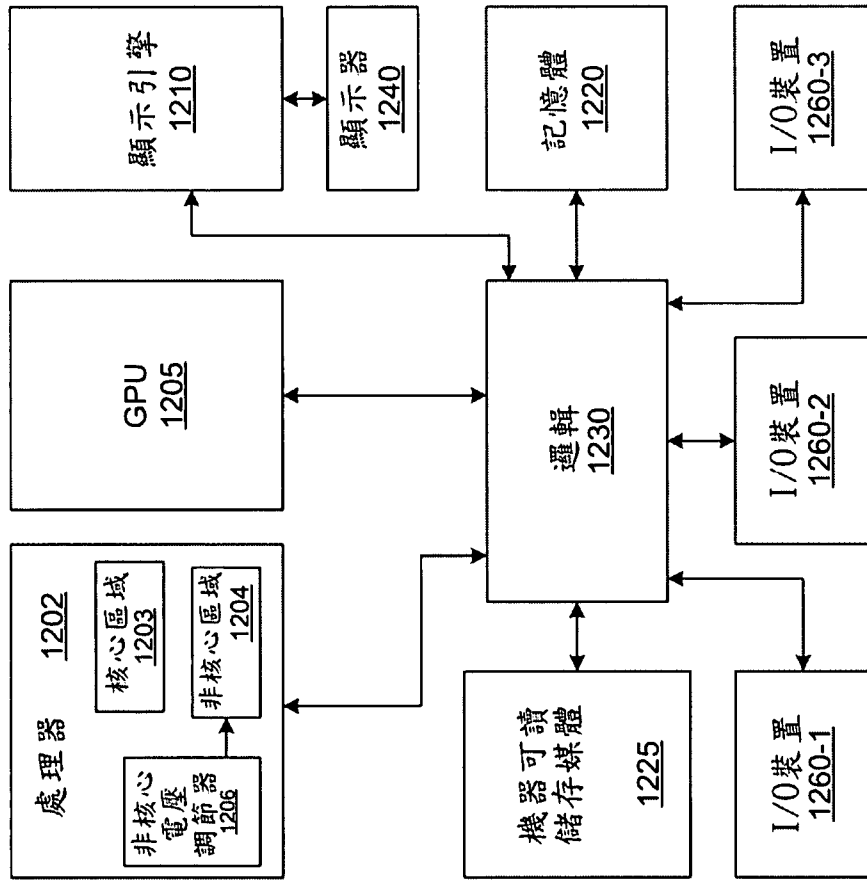


第10(B)圖



第10(A)圖





第12圖

1200