



(12) 发明专利

(10) 授权公告号 CN 102544089 B

(45) 授权公告日 2015.06.17

(21) 申请号 201010577852.9

US 2005/0164460 A1, 2005.07.28,

(22) 申请日 2010.12.08

US 2009/0181504 A1, 2009.07.16,

(73) 专利权人 中国科学院微电子研究所  
地址 100029 北京市朝阳区北土城西路3#

US 6087231 A, 2000.07.11,

US 2007/0141798 A1, 2007.06.21,

(72) 发明人 罗军 赵超

审查员 谢正旺

(74) 专利代理机构 北京蓝智辉煌知识产权代理  
事务所(普通合伙) 11345

代理人 陈红

(51) Int. Cl.

H01L 29/78(2006.01)

H01L 29/06(2006.01)

H01L 21/336(2006.01)

H01L 21/768(2006.01)

(56) 对比文件

US 6812106 B1, 2004.11.02,

US 2010/0237435 A1, 2010.09.23,

JP 特开 2009-152342 A, 2009.07.09,

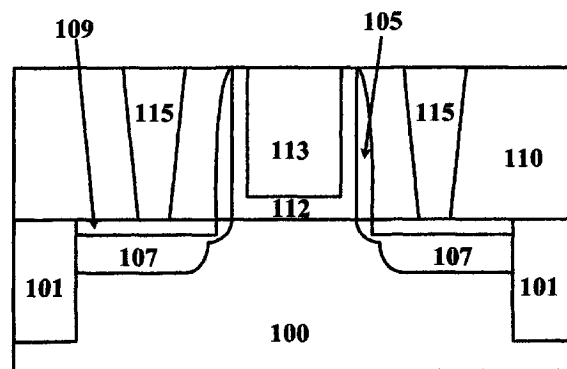
权利要求书2页 说明书6页 附图6页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明公开了一种新型 MOSFET 器件及其实现方法,包括,衬底;栅极堆叠结构,位于沟道上;隔离侧墙位于栅极堆叠结构两侧;源漏区,位于隔离侧墙两侧的衬底区;外延生长的金属硅化物,位于源漏区上;其特征在于:隔离侧墙是减薄的或细长的,外延生长的金属硅化物直接与该减薄的或细长的隔离侧墙下的沟道区接触,从而消除了传统的厚隔离侧墙下面的高阻区。依照本发明的 MOSFET,大大减小了寄生电阻电容,从而降低了 RC 延迟,使得 MOSFET 器件开关性能达到大幅提升。



1. 一种半导体器件,包括:  
衬底;  
栅极堆叠结构,位于所述衬底上;  
减薄的隔离侧墙,位于所述栅极堆叠结构两侧,所述减薄的隔离侧墙的厚度为 1 至 20nm;  
源漏区,位于所述减薄的隔离侧墙的两侧且嵌入所述衬底中;  
外延生长的金属硅化物,位于所述源漏区上;  
其特征在于:  
所述外延生长的金属硅化物直接与所述减薄的隔离侧墙下的沟道区接触,所述金属硅化物具有良好的热稳定性,能够承受大于 600 并且小于 850℃ 的高温退火。
2. 如权利要求 1 所述的半导体器件,其中,所述源漏区为轻掺杂源漏结构。
3. 如权利要求 1 所述的半导体器件,其中,所述外延生长的金属硅化物的厚度为 1 至 15nm,所述外延生长的金属硅化物的材质是  $\text{NiSi}_{2-y}$ 、 $\text{Ni}_{1-x}\text{Pt}_x\text{Si}_{2-y}$ 、 $\text{CoSi}_{2-y}$  或  $\text{Ni}_{1-x}\text{Co}_x\text{Si}_{2-y}$ , 其中  $x$  均大于 0 小于 1,  $y$  均大于等于 0 小于 1。
4. 如权利要求 1 所述的半导体器件,其中,还包括层间介质层与金属接触结构,所述层间介质层位于所述外延生长的金属硅化物上以及所述减薄的隔离侧墙周围,所述金属接触结构位于所述层间介质层中且与所述外延生长的金属硅化物电连接,所述金属接触结构包括接触沟槽埋层以及填充金属层。
5. 如权利要求 4 所述的半导体器件,其中,所述接触沟槽埋层的材质包括 TiN、Ti、TaN 或 Ta 中的任一种或组合,所述填充金属层的材质包括 W、Cu、TiAl 或 Al 中的任一种或组合。
6. 一种半导体器件的制造方法,包括:  
在衬底上的虚拟栅极两侧形成第一隔离侧墙,所述第一隔离侧墙的厚度为 1 至 20nm;  
在所述第一隔离侧墙两侧形成第二牺牲隔离侧墙;  
在所述第一隔离侧墙和第二牺牲隔离侧墙两侧形成源漏区;  
去除所述第二牺牲隔离侧墙;  
在所述源漏区上形成外延生长的金属硅化物,所述外延生长的金属硅化物直接与所述第一隔离侧墙下的沟道区接触;  
去除所述虚拟栅极;  
形成栅极堆叠结构。
7. 如权利要求 6 所述的半导体器件的制造方法,其中,所述虚拟栅极为多晶硅、非晶硅或者氧化硅以及这些材料的组合,所述第一隔离侧墙为氮化硅,所述第二牺牲隔离侧墙为二氧化硅、锗或锗化硅以及这些材质的组合。
8. 如权利要求 6 所述的半导体器件的制造方法,其中,通过湿法刻蚀去除所述第二牺牲隔离侧墙,所述湿法刻蚀的刻蚀液仅刻蚀第二牺牲隔离侧墙而不刻蚀虚拟栅极、第一隔离侧墙和硅衬底。
9. 如权利要求 6 所述的半导体器件的制造方法,其中,形成外延生长的金属硅化物的步骤包括,在所述衬底、所述源漏区、所述虚拟栅极以及所述第一隔离侧墙上沉积金属薄层,进行第一退火形成外延生长的金属硅化物并剥除未反应的所述金属薄层,所述第一退火温度为 500 到 850℃。

10. 如权利要求 9 所述的半导体器件的制造方法,其中,所述金属薄层的材质包括钴、镍、镍铂合金、镍钴合金或者镍铂钴三元合金,其厚度小于等于 5nm。
11. 如权利要求 6 所述的半导体器件的制造方法,其中外延生长的金属硅化物材质是  $\text{NiSi}_{2-y}$ 、 $\text{Ni}_{1-x}\text{Pt}_x\text{Si}_{2-y}$ 、 $\text{CoSi}_{2-y}$  或  $\text{Ni}_{1-x}\text{Co}_x\text{Si}_{2-y}$ ,其中  $x$  均大于 0 小于 1,  $y$  均大于等于 0 小于 1,厚度为 1 至 15nm。
12. 如权利要求 6 所述的半导体器件的制造方法,其中,通过离子注入形成轻掺杂源漏结构的源漏区。
13. 如权利要求 6 所述的半导体器件的制造方法,其中,形成栅极堆叠结构的步骤包括,沉积高  $k$  栅介电材料层,进行第二退火,所述第二退火温度为 600 到 850℃,再沉积栅极金属层。
14. 如权利要求 6 所述的半导体器件的制造方法,还包括,去除所述虚拟栅极之前在所述外延生长的金属硅化物上形成层间介质层,以及形成所述栅极堆叠结构之后形成金属接触,其中,所述层间介质层位于所述外延生长的金属硅化物上以及所述第一隔离侧墙周围,所述金属接触结构位于所述层间介质层中且与所述外延生长的金属硅化物电连接。
15. 如权利要求 14 所述的半导体器件的制造方法,其中,所述金属接触结构包括接触沟槽埋层以及填充金属层。
16. 如权利要求 15 所述的半导体器件,其中,所述接触沟槽埋层的材质包括 TiN、Ti、TaN 或 Ta 中的任一种或组合,所述填充金属层的材质包括 W、Cu、TiAl 或 Al 中的任一种或组合。
17. 如权利要求 6 所述的半导体器件的制造方法,其中,使用四甲基氢氧化铵或者氢氟酸来湿法刻蚀去除所述虚拟栅极。

## 半导体器件及其制造方法

### 技术领域

[0001] 本发明涉及一种半导体器件及其制造方法,特别是涉及一种可有效减小 RC 延迟并因此提高器件性能的新型半导体器件结构及其制造方法。

### 背景技术

[0002] IC 集成度不断增大需要器件尺寸持续按比例缩小,然而电器工作电压有时维持不变,使得实际 MOS 器件内电场强度不断增大。高电场带来一系列可靠性问题,使得器件性能退化。

[0003] 例如栅氧化层不断减薄时,电场强度过大会引起氧化层击穿,形成栅极氧化层漏电,破坏栅介电层的绝缘性。为了减小栅极泄漏,采用高 k 栅介电材料来替代  $\text{SiO}_2$  作为栅极介电层。但是,高 k 栅介电材料与多晶硅栅极工艺不兼容,因此栅极常采用金属材料制成。

[0004] MOSFET 源漏区之间的寄生串联电阻会使得等效工作电压下降。为了减小接触电阻率以及源漏串联电阻,深亚微米小尺寸 MOSFET 常采用硅化物自对准结构 (Salicide) 来配合 LDD 工艺,例如对于  $\text{TiSi}_2$  的 Salicide 工艺,接触电阻率甚至可降低至  $10^{-9} \Omega/\text{cm}^2$  以下。

[0005] 此外,电场强度增大还可能产生能量显著高于平衡时平均动能的热电子,引起器件阈值漂移、跨导退化,造成器件中非正常电流。尺寸缩小后的 MOSFET 具有短沟道效应,进一步加剧了热电子效应。常用轻掺杂漏 (LDD) 结构来降低沟道中最大电场强度,从而抑制热电子效应。

[0006] 考虑了以上问题的一种典型的小尺寸 MOSFET 结构,公开在美国专利申请 US 2007/0141798 A 中。如附图 1 所示,衬底的 p 阱 10 中(或是在衬底中浅沟槽隔离 (STI) 之间)形成有源漏区 11,源漏区之间的沟道区 12 上方形成有高 k 栅介电栅极 13 和金属栅极 14 构成的栅极结构,栅极结构周围形成有隔离侧墙 15,整个结构上覆盖有层间介质层 16,在层间介质层 16 中对应于源漏区 11 位置刻蚀形成接触孔,沉积并退火形成镍硅化物 17,在镍硅化物 17 上沉积金属的接触部 18。这种器件结构中,接触孔和隔离侧墙之间有一定间距,也即镍硅化物 17 和隔离侧墙 15 之间有一定距离,并且源漏区 11 延伸超过隔离侧墙 15,也即隔离侧墙 15 乃至栅极结构 13/14 下方至少具有部分延伸的源漏区 11,或者如附图 1 中虚线所示为 LDD 结构。

[0007] 由于接触孔和隔离侧墙之间存在一定间距,在该间距中未形成能降低寄生串联电阻的金属硅化物,并且在隔离侧墙下也没有金属硅化物,因此在这些区域内会存在很大的寄生电阻。由于沟道电阻随着器件尺寸的变小会逐渐变小,该寄生电阻在整个 MOSFET 等效电路的总电阻中所占比重越来越大。同时,由于金属栅极和源漏之间存在隔离侧墙,也会带来寄生电容。MOSFET 结构中这些寄生的电阻电容会使得器件的 RC 延迟时间增大,降低器件开关速度,大大影响性能。因此,降低寄生电阻和栅极与源漏之间的寄生电容是减小 RC 延迟的关键。

[0008] 一种传统的解决方法是尽可能地对源漏重掺杂,以减小电阻率从而减小寄生电阻。但是,由于固溶度极限以及抑制短沟道效应所需的浅掺杂结构,提高源漏掺杂浓度变得

不再实际。

[0009] 同时,栅极和源漏之间的电容虽然也可以通过减小隔离侧墙厚度大幅减小甚至于消除,但是当前的 Salicide 工艺需要隔离侧墙作为掩模形成金属硅化物,隔离侧墙必须具有相当的厚度,故寄生电容的减小是有局限的。

[0010] 因此,传统的 MOSFET 由于隔离侧墙较厚且与接触孔之间的间距过大而使得寄生电阻、电容很大,从而导致极大的 RC 延迟,器件性能大幅下降。

## 发明内容

[0011] 因此,本发明的目的在于减小源漏串联电阻以及栅极和源漏之间的寄生电容,从而有效降低 RC 延迟。

[0012] 本发明提供了一种半导体器件,包括:衬底;栅极堆叠结构,位于衬底上;隔离侧墙,位于栅极堆叠结构周围;源漏区,位于隔离侧墙的两侧且嵌入衬底中;外延生长的金属硅化物,位于源漏区上;其特征在于:外延生长的金属硅化物直接与隔离侧墙下的沟道区接触。

[0013] 其中,源漏区为轻掺杂源漏结构。减薄的或细长的隔离侧墙的厚度为 1 至 20nm。外延生长的金属硅化物的厚度为 1 至 15nm,外延生长的金属硅化物的材质是  $\text{NiSi}_{2-y}$ 、 $\text{Ni}_{1-x}\text{Pt}_x\text{Si}_{2-y}$ 、 $\text{CoSi}_{2-y}$  或  $\text{Ni}_{1-x}\text{Co}_x\text{Si}_{2-y}$ ,其中  $x$  均大于 0 小于 1,  $y$  均大于等于 0 小于 1。还包括层间介质层与金属接触结构,层间介质层位于外延生长的金属硅化物上以及隔离侧墙周围,金属接触结构位于层间介质层中且与外延生长的金属硅化物电连接,金属接触结构包括接触沟槽埋层以及填充金属层。

[0014] 本发明还提供了一种半导体器件的制造方法,包括:

[0015] 在衬底上的虚拟栅极两侧形成减薄或细长的第一隔离侧墙;

[0016] 在减薄或细长的第一隔离侧墙两侧形成第二牺牲隔离侧墙;

[0017] 在第一隔离侧墙和第二牺牲隔离侧墙两侧形成源漏区;

[0018] 去除第二牺牲隔离侧墙;

[0019] 在源漏区上形成外延生长的金属硅化物,外延生长的金属硅化物直接与第一隔离侧墙下的沟道区接触;

[0020] 去除所述虚拟栅极;

[0021] 形成栅极堆叠结构。

[0022] 其中,第一隔离侧墙的厚度为 1 至 20nm。虚拟栅极为多晶硅、非晶硅或者氧化硅以及这些材料的组合,第一隔离侧墙为氮化硅,第二牺牲隔离侧墙为二氧化硅、锆或锆化硅以及这些材质的组合。通过湿法刻蚀去除第二牺牲隔离侧墙,湿法刻蚀的刻蚀液仅刻蚀第二牺牲隔离侧墙而不刻蚀虚拟栅极、第一隔离侧墙以及硅衬底。

[0023] 形成外延生长的金属硅化物的步骤包括,在衬底、源漏区、虚拟栅极以及第一隔离侧墙上沉积金属薄层,进行第一退火形成外延生长的金属硅化物并剥除未反应的金属薄层,第一退火温度为 500 到 850℃。金属薄层的材质包括钴、镍、镍铂合金、镍钴合金或者镍铂钴三元合金,其厚度小于等于 5nm。得到的外延生长的金属硅化物材质是  $\text{NiSi}_{2-y}$ 、 $\text{Ni}_{1-x}\text{Pt}_x\text{Si}_{2-y}$ 、 $\text{CoSi}_{2-y}$  或  $\text{Ni}_{1-x}\text{Co}_x\text{Si}_{2-y}$ ,其中  $x$  均大于 0 小于 1,  $y$  均大于等于 0 小于 1,厚度为 1 至 15nm。

[0024] 其中,通过离子注入形成轻掺杂源漏结构的源漏区。

[0025] 形成栅极堆叠结构的步骤包括,沉积高 k 栅介电材料层,进行第二退火,所述第二退火温度为 600 到 850°C,再沉积栅极金属层。

[0026] 还包括,去除虚拟栅极之前在外延生长的金属硅化物上形成层间介质层,以及形成栅极堆叠结构之后形成金属接触,其中,层间介质层位于外延生长的金属硅化物上以及第一隔离侧墙周围,金属接触结构位于层间介质层中且与外延生长的金属硅化物电连接。金属接触结构包括接触沟槽埋层以及填充金属层。接触沟槽埋层的材质包括 TiN、Ti、TaN 或 Ta 中的任一种或组合,填充金属层的材质包括 W、Cu、TiAl 或 Al 中的任一种或组合。

[0027] 其中,使用四甲基氢氧化铵或者氢氟酸等来湿法刻蚀去除虚拟栅极。

[0028] 依照本发明制造的新型 MOSFET,栅极堆叠结构周围仅有极薄的隔离侧墙,因而大大减小了栅极与源漏之间的寄生电容,并且外延生长的超薄金属硅化物与栅极控制下的沟道区紧密接触,因此减小了寄生电阻,减小的寄生电阻电容大大降低了 RC 延迟,使得 MOSFET 器件开关性能得到大幅提升。此外,由于合理选择金属薄层的材质厚度以及第一退火温度,使得生成的外延生长的超薄金属硅化物具有良好的热稳定性,能够经受为了提高高 k 栅材料性能进行的高温第二退火,进一步提升了器件的性能。

[0029] 本发明所述目的,以及在此未列出的其他目的,在本申请独立权利要求的范围内得以满足。本发明的实施例限定在独立权利要求中,具体特征限定在其从属权利要求中。

## 附图说明

[0030] 以下参照附图来详细说明本发明的技术方案,其中:

[0031] 图 1 显示了现有技术的小尺寸 MOSFET 的剖面示意图;以及

[0032] 图 2 至 10 显示了依照本发明的减薄了隔离侧墙 MOSFET 的制作方法的各步骤的剖面示意图;以及

[0033] 图 11 显示了依照本发明的减薄了隔离侧墙 MOSFET 的剖面示意图。

## 具体实施方式

[0034] 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果,公开了可有效减小 RC 延迟的新型半导体器件结构及其制造方法。需要指出的是,类似的附图标记表示类似的结构,本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构。这些修饰除非特别说明并非暗示所修饰器件结构的空间、次序或层级关系。

[0035] 首先,形成带有减薄的第一侧墙的基础结构。如图 2 所示为基础结构的剖面示意图。在具有浅沟槽隔离 (STI) 101 的衬底 100 上沉积垫氧化层 102,其中衬底 100 可以是体硅、绝缘体上硅 (SOI) 或者是其他化合物半导体衬底,例如 GaAs、SiGe、SiC 等等,以及这些物质的组合;垫氧化层 102 例如是氧化硅,特别是二氧化硅 (SiO<sub>2</sub>)。在垫氧化层 102 上沉积虚拟栅极层 103,虚拟栅极层 103 的材质可为多晶硅 (poly Si)、非晶硅 (a-Si) 甚至是氧化物例如是氧化硅特别是二氧化硅,也可以是这些物质组合的叠层或混合物。在虚拟栅极层 103 上沉积盖层 104,其材质通常是氮化物,例如氮化硅 (SiN),用于稍后刻蚀的掩模层。采用常用的光刻掩模刻蚀工艺形成由垫氧化层 102、虚拟栅极层 103 以及盖层 104 重叠构成

的虚拟栅极堆叠结构。随后沉积一层第一绝缘隔离层,采用常用的刻蚀工艺在虚拟栅极堆叠结构两侧形成减薄的第一隔离侧墙 105,所谓减薄是相对于传统的栅极隔离侧墙以及稍后要形成的第二牺牲隔离侧墙而言,第一隔离侧墙的厚度比这两者都要小。减薄的第一隔离侧墙 105 厚度为 1 至 20nm,其材质可为氮化物例如氮化硅 (SiN),也可为氧化物,例如掺有 C 或 H 的 SiGeO。当第一绝缘隔离层材质为掺有 C 或 H 的 SiGeO 时,采用热磷酸来刻蚀形成第一隔离侧墙 105。

[0036] 其次,形成带有第二牺牲隔离侧墙的 LDD 结构。如图 3 所示,利用第一隔离侧墙 105 以及虚拟栅极堆叠结构作为掩模,进行第一离子注入,在衬底 100 中第一隔离侧墙 105 两侧形成掺杂浓度较低的源漏区。在整个结构上沉积额外的第二牺牲绝缘隔离层,该第二牺牲绝缘隔离层的材质可以是二氧化硅 (SiO<sub>2</sub>)、锗 (Ge) 或锗化硅 (SiGe) 以及这些材质的组合,其中优选为 SiO<sub>2</sub>。此外,特别地,第二牺牲侧墙可以采用含 Si、Ge 和 O 的薄膜,优选地掺有 C、H、N 之一或组合,这种材料的牺牲侧墙可以在较传统氮化物的侧墙短的时间内被热磷酸刻蚀且难被硫酸 / 过氧化氢混合液侵蚀,从而不会使得后续工艺中形成的金属硅化物因为长时间刻蚀而也被部分地侵蚀,从而进一步消除了可能的电阻增大的问题。采用常用工艺刻蚀该第二牺牲绝缘隔离层,在第一隔离侧墙 105 的两侧 (外侧) 形成第二牺牲隔离侧墙 106。第二牺牲隔离侧墙 106 的厚度可以大于减薄的第一隔离侧墙 105,但其高度可以小于第一隔离侧墙 105,如图 3 所示,第一隔离侧墙 105 与通常的较厚的第二牺牲隔离侧墙 106 相比显得细长,因此也可以将减薄的第一隔离侧墙 105 称为细长隔离侧墙。利用第二牺牲隔离侧墙 106 作为掩模进行第二牺牲离子注入,在衬底 100 中第二牺牲隔离侧墙 106 的两侧形成掺杂浓度较高的源漏区。退火以激活掺杂离子,最终形成 LDD 结构的源漏区 107,其中,第一隔离侧墙和第二牺牲隔离侧墙下方的源漏区 107 中掺杂浓度较低,而第二牺牲隔离侧墙 106 外侧的源漏区 107 中掺杂浓度较高。

[0037] 再次,去除第二牺牲隔离侧墙。如图 4 所示,采用湿法刻蚀第二牺牲隔离侧墙 106,留下第一隔离侧墙 105 以及虚拟栅极堆叠结构。湿法刻蚀的刻蚀液可以是任何能刻蚀第二牺牲隔离侧墙 106 但是不会刻蚀第一隔离侧墙 105 或者衬底 100 的化学试剂。例如当第一隔离侧墙 105 为氮化硅且第二牺牲隔离侧墙 106 为二氧化硅时,湿法刻蚀的刻蚀液可以为氢氟酸 (HF) 或氢氧化钾 (KOH),HF 刻蚀液中还可以加入氟化氨作为缓冲剂,此外,还可以采用硫酸和过氧化氢的混合溶液来刻蚀二氧化硅的第二牺牲隔离侧墙 106。若第一隔离侧墙 105 是含 C 或 H 的 SiGeO 薄膜,且第二牺牲隔离侧墙采用二氧化硅,湿法刻蚀的刻蚀液采用硫酸和过氧化氢的混合溶液。特别地,刻蚀液也能刻蚀第一隔离侧墙,例如当第一隔离侧墙 105 是氮化硅,而第二牺牲隔离侧墙 106 是含 C 或 H 的 SiGeO 薄膜时,采用热磷酸不仅能快速去除第二牺牲隔离侧墙 106,还能进一步减薄第一隔离侧墙 105,从而使得寄生电阻、电容进一步减小,只是此时需要较严格控制刻蚀时间以及刻蚀液浓度。

[0038] 然后,沉积金属薄层。如图 5 所示,在整个结构也即衬底 100、STI101、LDD 107、第一隔离侧墙 105 以及虚拟栅极堆叠结构上沉积用于形成外延生长的超薄金属硅化物的金属薄层 108。金属薄层 108 的材质可以是钴 (Co)、镍 (Ni)、镍铂合金 (Ni-Pt, 其中 Pt 含量小于等于 8%)、镍钴合金 (Ni-Co, 其中 Co 含量小于等于 10%) 或镍铂钴三元合金,厚度可以小于 5nm 并优选地小于等于 4nm。具体地,金属薄层 108 可以是厚度小于 5nm 的 Co、厚度小于等于 4nm 的 Ni、厚度小于等于 4nm 的 Ni-Pt 或厚度小于等于 4nm 的 Ni-Co。

[0039] 接着,退火形成外延生长的超薄金属硅化物并剥除未反应的金属薄层。如图 6 所示,在 500 至 850°C 下进行第一退火,沉积的金属薄层 108 与 LDD 107 中的硅反应而外延生成相应的外延生长的超薄金属硅化物,剥除未反应的金属薄层 108 的那部分,在 LDD 107 上第一隔离侧墙 105 两侧留下超薄的外延生长的超薄金属硅化物 109。由图中可知,超薄金属硅化物 109 与减薄的或细长的第一隔离侧墙 105 下的沟道区接触,具体地也即金属硅化物 109 与沟道区的界面与第一隔离侧墙 105 的侧面平行,优选地为共面。外延生成的超薄金属硅化物 109 依照金属薄层 108 材质不同而相应的可以是  $\text{NiSi}_{2-y}$ 、 $\text{Ni}_{1-x}\text{Pt}_x\text{Si}_{2-y}$ 、 $\text{CoSi}_{2-y}$  或  $\text{Ni}_{1-x}\text{Co}_x\text{Si}_{2-y}$ , 其中  $x$  均大于 0 小于 1,  $y$  均大于等于 0 小于 1。外延生长的超薄金属硅化物 109 厚度为 1 至 15nm。

[0040] 值得注意的是,外延生长的超薄金属硅化物 109 的过程中进行的较高温的第一退火,除了促使金属薄层 108 与 LDD 107 中的 Si 反应之外,还消除了 LDD 107 表面层中缺陷导致的非本征表面态,因此抑制了自对准镍基硅化物工艺通常具有的钉扎效应 (piping effect)。此外,由于合理控制了金属薄层 108 的材质以及厚度,并采用了较高温的第一退火,因此形成的外延生长的超薄金属硅化物 109 可以经受后续工艺中为了提高高  $k$  栅介电性能而进行的高温第二退火。

[0041] 接着,沉积并平坦化层间介质层 110。如图 7 所示,采用常用工艺沉积厚的介质材料层,材料优选为氧化物,例如二氧化硅。采用化学机械抛光 (CMP) 对介质材料层进行平坦化,直至露出虚拟栅极层 103,最终形成层间介质层 110。

[0042] 随后,去除虚拟栅极层 103 以及垫氧化层 102。如图 8 所示,采用常用的湿法刻蚀工艺,去除虚拟栅极层 103 以及垫氧化层 102,在层间介质层 110 中留下栅极孔 111。其中,当虚拟栅极层 103 材质为多晶硅或非晶硅时,可以采用强碱来刻蚀硅,优选为四甲基氢氧化铵 (TMAH),不含金属杂质离子从而不会污染 CMOS 器件,腐蚀速度和选择比高,腐蚀表面效果好,TMAH 不会腐蚀二氧化硅和氮化硅,从而不会造成氮化硅的第一隔离侧墙 105 和氧化硅的层间介质层 110 受到腐蚀。当垫氧化层 102 的材质为氧化硅时,采用浓度为 5% 的 HF 刻蚀液。

[0043] 然后,形成栅极堆叠结构。如图 9 所示,在栅极孔 111 中以及层间介质层 110 上沉积高  $k$  栅介电材料层 112 并在 600 至 850°C 温度下进行第二退火,以修复高  $k$  栅介电材料中的缺陷从而改善可靠性。在高  $k$  栅介电材料层 112 上沉积栅极金属层 113。高  $k$  栅介电材料层 112 和栅极金属层 113 构成栅极堆叠结构,其中高  $k$  栅介电材料层 112 不仅位于栅极金属层 113 下方,还位于其侧面周围。

[0044] 接着,平坦化栅极堆叠结构。如图 10 所示,采用 CMP 平坦化栅极堆叠结构,直至露出层间介质层 110。

[0045] 最后,形成源漏接触孔。如图 11 所示,在层间介质层 110 中光刻并刻蚀后形成接触孔直达外延生长的超薄金属硅化物 109,在接触孔中以及层间介质层 109 上依次填充薄的接触沟槽埋层 114 (未示出) 以及厚的填充金属层 115, CMP 平坦化接触沟槽埋层 114 以及填充金属层 115 直至露出层间介质层 110 和栅极金属层 113。接触沟槽埋层 114 的材质可为 TiN、Ti、TaN 或 Ta 及其组合,其作用是增强填充金属层 115 与外延生长的超薄金属硅化物 109 之间的粘合力并阻挡杂质扩散。填充金属层 115 的材质可为 W、Cu、TiAl 或 Al 及其组合,材质选择依照整体电路连线布局的需要,优先选用导电性能良好的材料。



[0046] 依照本发明的如上所述的制造方法形成的新型 MOSFET 器件结构如图 11 所示。衬底 100 中具有浅沟槽隔离 (STI) 101 ;衬底 100 中 STI 101 之间的有源区内形成有 LDD 的源漏区 107 ;衬底 100 上形成的栅极堆叠结构位于 LDD 107 之间,栅极堆叠结构包括高 k 栅介电材料层 112 和栅极金属层 113,其中高 k 栅介电材料层 112 不仅位于栅极金属层 113 下方,还位于其侧面周围 ;高 k 栅介电材料层 112 两侧具有减薄细长的第一隔离侧墙 105 ;LDD 107 上具有外延生长的超薄金属硅化物 109,外延生长的超薄金属硅化物 109 与减薄的第一隔离侧墙 105 下的沟道区接触,第一隔离侧墙 105 厚度为 1 至 20nm ;由图中可知,超薄金属硅化物 109 与减薄的或细长的第一隔离侧墙 105 下的沟道区接触,具体地也即金属硅化物 109 与沟道区的界面与第一隔离侧墙 105 的侧面平行,优选地为共面 ;外延生长的超薄金属硅化物 109 材质可以是  $\text{NiSi}_{2-y}$ 、 $\text{Ni}_{1-x}\text{Pt}_x\text{Si}_{2-y}$ 、 $\text{CoSi}_{2-y}$  或  $\text{Ni}_{1-x}\text{Co}_x\text{Si}_{2-y}$ ,其中 x 均大于 0 小于 1, y 均大于等于 0 小于 1 ;外延生长的超薄金属硅化物 109 上以及第一隔离侧墙 105 周围具有层间介质层 110 ;金属接触结构贯穿层间介质层 110,与外延生长的超薄金属硅化物 109 电连接,包括接触沟槽埋层 114 以及填充金属层 115,接触沟槽埋层 114 的材质可为 TiN、Ti、Ta<sub>2</sub>N 或 Ta 及其组合,填充金属层 115 的材质可为 W、Cu、TiAl 或 Al 及其组合。

[0047] 依照本发明制造的新型 MOSFET,栅极堆叠结构周围仅有极薄的隔离侧墙,因而大大减小了栅极与源漏之间的寄生电容,并且外延生长的超薄金属硅化物与栅极控制下的沟道区紧密接触,因此减小了寄生电阻,减小的寄生电阻电容大大降低了 RC 延迟,使得 MOSFET 器件开关性能得到大幅提升。此外,由于合理选择金属薄层的材质厚度以及第一退火温度,使得生成的外延生长的超薄金属硅化物具有良好的热稳定性,能够经受为了提高高 k 栅介电材料性能进行的高温第二退火,进一步提升了器件的性能。

[0048] 尽管已参照一个或多个示例性实施例说明本发明,本领域技术人员可以知晓无需脱离本发明范围而对器件结构做出各种合适的改变和等价方式。此外,由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此,本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例,而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

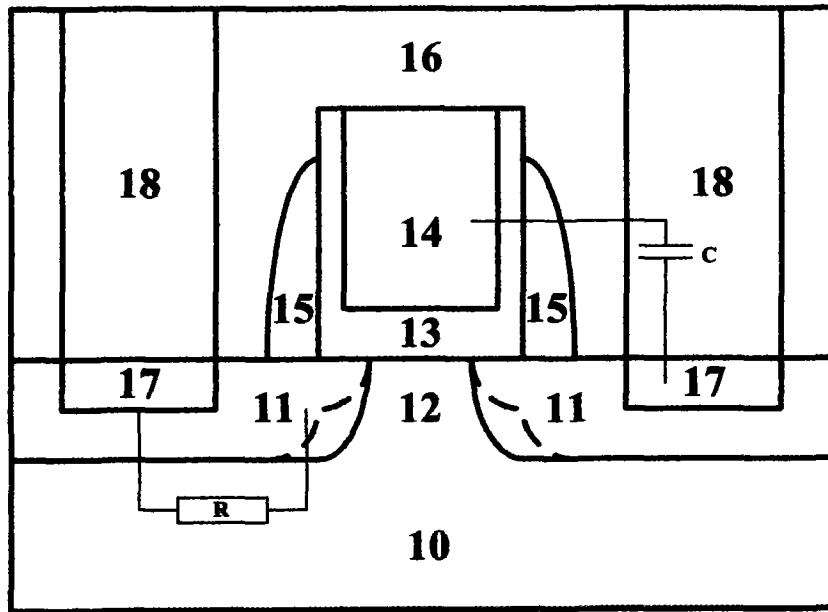


图 1

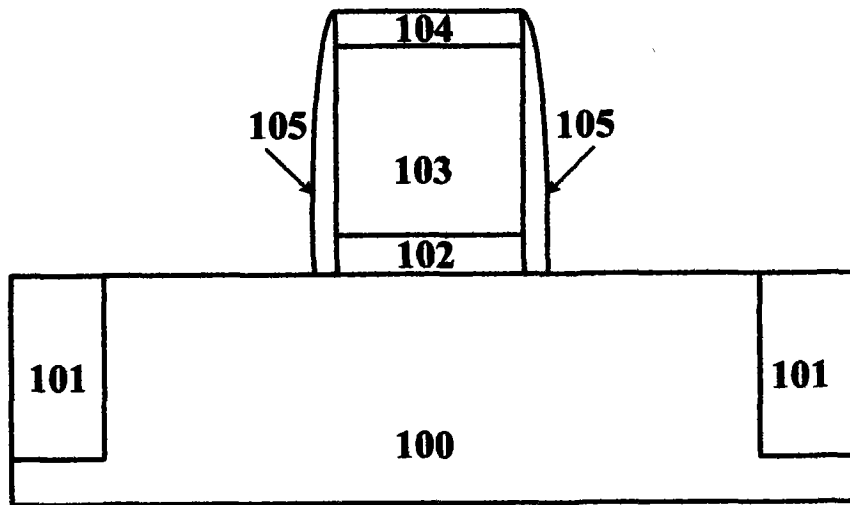


图 2

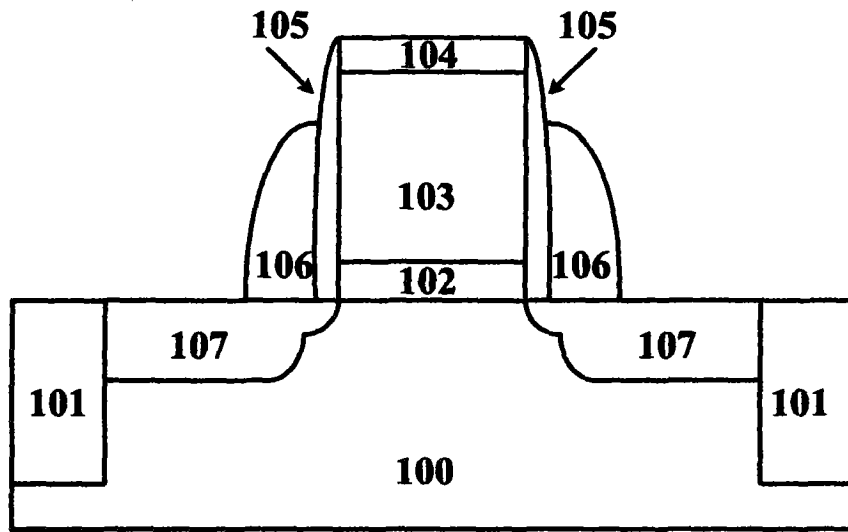


图 3

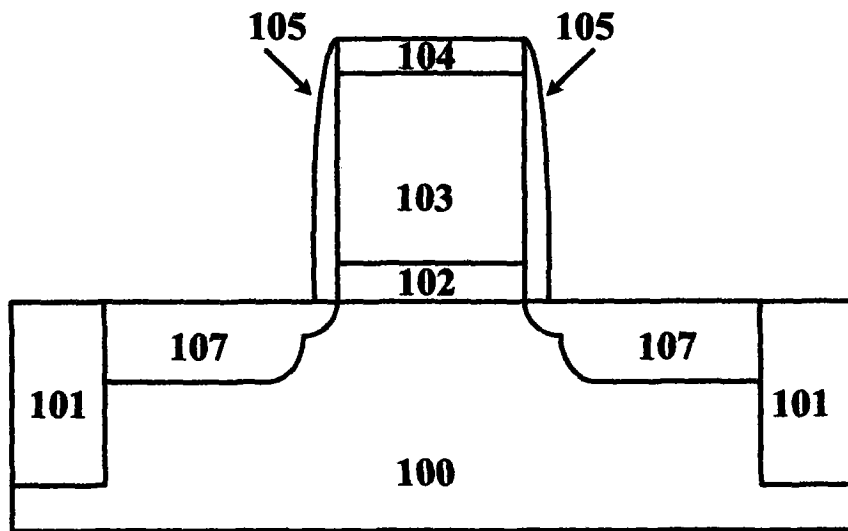


图 4

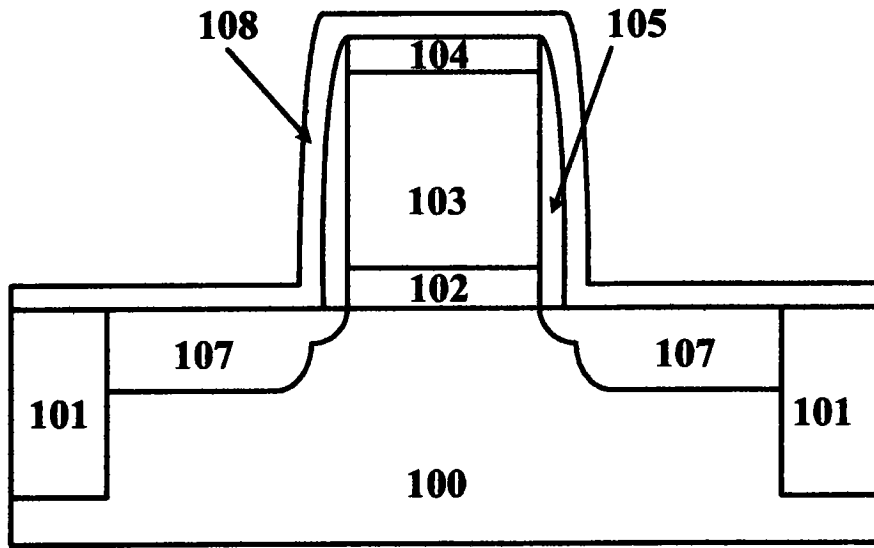


图 5

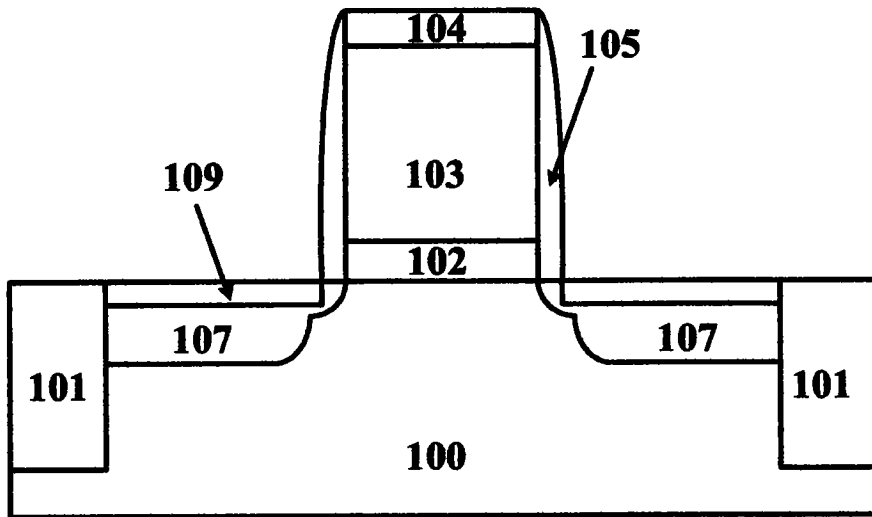


图 6

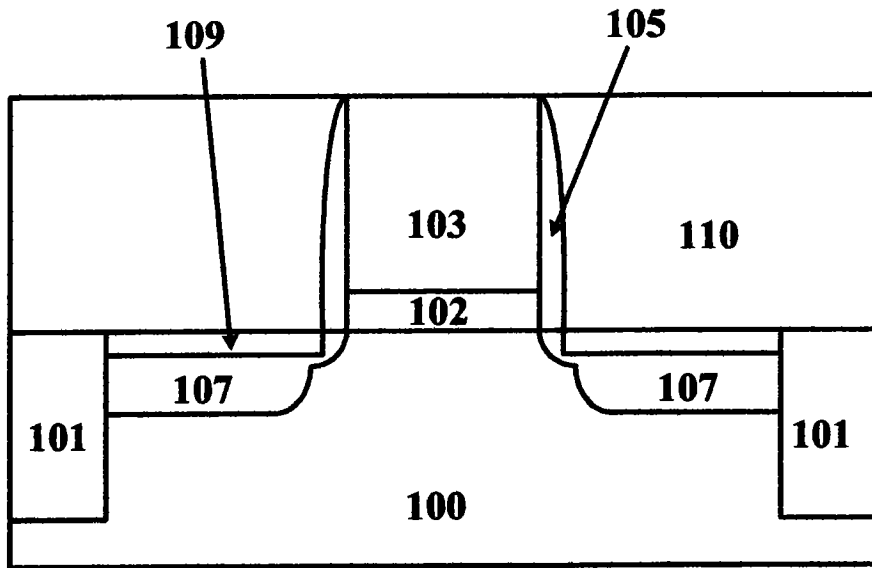


图 7

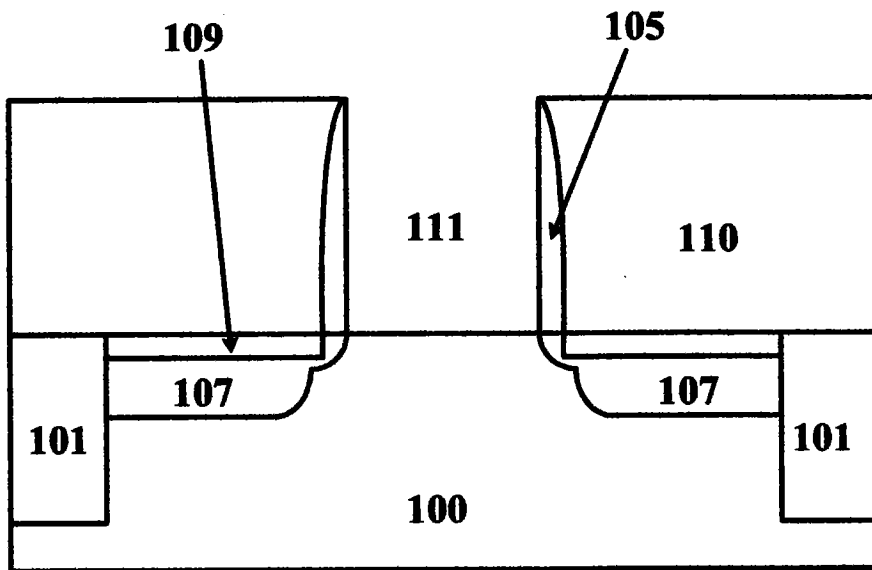


图 8

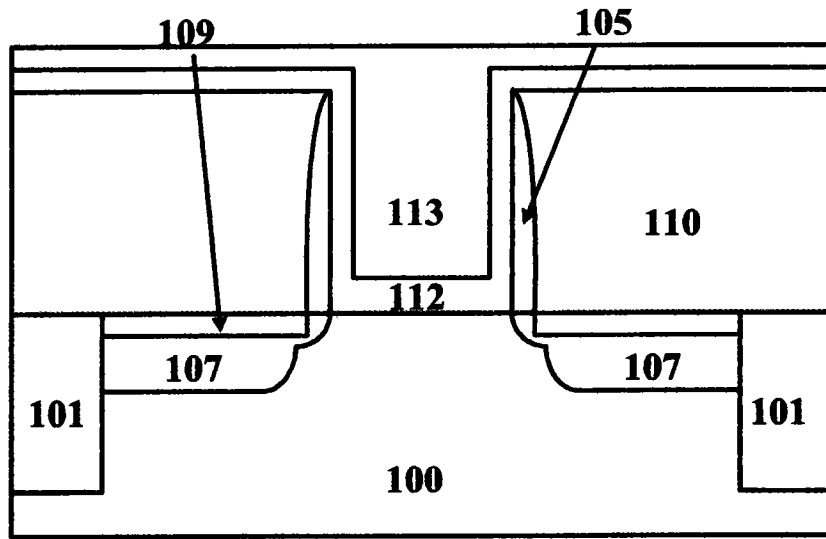


图 9

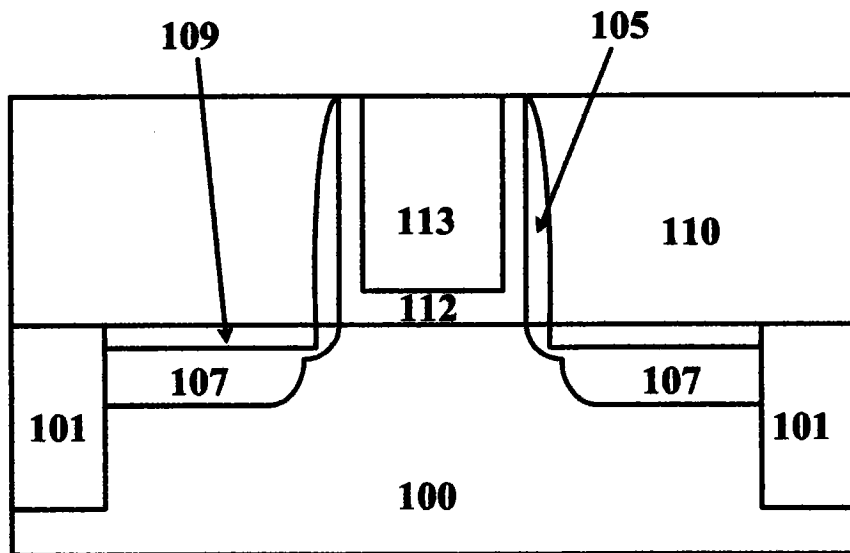


图 10

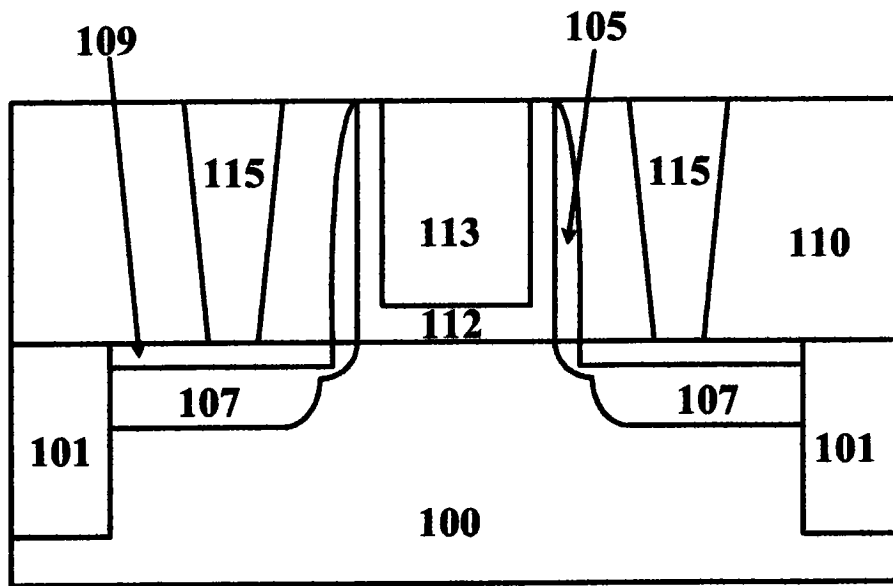


图 11