

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3559554号  
(P3559554)

(45) 発行日 平成16年9月2日(2004.9.2)

(24) 登録日 平成16年5月28日(2004.5.28)

(51) Int. Cl.<sup>7</sup>

F I

HO 1 L 21/66	HO 1 L 21/66	E
HO 1 L 21/60	HO 1 L 27/04	E
HO 1 L 21/822	HO 1 L 27/04	H
HO 1 L 25/065	HO 1 L 25/08	B
HO 1 L 25/07	HO 1 L 21/92	6 O 3 A

請求項の数 9 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2002-206443 (P2002-206443)  
 (22) 出願日 平成14年7月16日(2002.7.16)  
 (65) 公開番号 特開2003-124274 (P2003-124274A)  
 (43) 公開日 平成15年4月25日(2003.4.25)  
 審査請求日 平成14年7月16日(2002.7.16)  
 (31) 優先権主張番号 特願2001-240845 (P2001-240845)  
 (32) 優先日 平成13年8月8日(2001.8.8)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005821  
 松下電器産業株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100077931  
 弁理士 前田 弘  
 (74) 代理人 100094134  
 弁理士 小山 廣毅  
 (74) 代理人 100110939  
 弁理士 竹内 宏  
 (74) 代理人 100110940  
 弁理士 嶋田 高久  
 (74) 代理人 100113262  
 弁理士 竹内 祐二  
 (74) 代理人 100115059  
 弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の集積回路と、上記第1の集積回路に接続された第1の電極パッドと、上記第1の電極パッド上に形成された第1の突起電極とを有する第1の半導体チップと、第2の集積回路と、上記第2の集積回路に接続された第2の電極パッドと、上記第2の電極パッド上に形成された第2の突起電極とを有する第2の半導体チップとを備え、  
 上記第1の半導体チップの側端面には、上記第1の電極パッドに接続される検査用配線の切断面が露出しており、  
 上記第1の突起電極と上記第2の突起電極とは、電氣的に接続されていることを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置において、  
 上記第1の半導体チップには、プローブパッドが設けられていないことを特徴とする半導体装置。

【請求項3】

請求項1に記載の半導体装置において、  
 上記第2の半導体チップの周辺部には、外部回路と接続するための外部電極パッドが形成されていることを特徴とする半導体装置。

【請求項4】

請求項1に記載の半導体装置において、

上記第1の半導体チップと上記第2の半導体チップとの間には、絶縁性樹脂が介在していることを特徴とする半導体装置。

【請求項5】

請求項1に記載の半導体装置において、

上記第1の半導体チップおよび上記第2の半導体チップは、封止樹脂によって封止されていることを特徴とする半導体装置。

【請求項6】

それぞれが第1の半導体チップとなる複数の第1の半導体チップ領域と、上記複数の第1の半導体チップ領域をそれぞれ第1の半導体チップに分離するための切断領域とを備え、上記複数の第1の半導体チップ領域には、第1の集積回路と、上記第1の集積回路に接続された第1の電極パッドとが設けられ、上記切断領域には、上記第1の電極パッドに接続されたプローブパッドが設けられている第1の半導体ウェハーを用意する工程(a)と、上記プローブパッドにプローブ針を接触させて上記複数の第1の半導体チップの検査を行なう工程(b)と、

上記第1の電極パッド上に第1の突起電極を形成する工程(c)と、

上記第1の半導体ウェハーの上記切断領域を除去することによって、上記複数の第1の半導体チップ領域から複数の第1の半導体チップを形成する工程(d)と、

第2の集積回路と、上記第2の集積回路に接続された第2の電極パッドとを有し、それぞれが第2の半導体チップとなる複数の第2の半導体チップ領域を備える第2の半導体ウェハーを用意する工程(e)と、

上記複数の第2の半導体チップ領域のそれぞれに形成された上記第2の電極パッド上に第2の突起電極を形成する工程(f)と、

上記第1の突起電極と上記第2の突起電極とを、加熱および押圧することにより電氣的に接続する工程(g)と、

上記第2の半導体ウェハーを上記複数の第2の半導体チップ領域ごとに切断する工程(h)と、

を含む半導体装置の製造方法。

【請求項7】

請求項6に記載の半導体装置の製造方法において、

上記工程(g)では、上記第1の半導体チップと上記第2の半導体チップとの間に絶縁性樹脂を供給することを特徴とする半導体装置の製造方法。

【請求項8】

請求項6に記載の半導体装置の製造方法において、

上記工程(c)および上記工程(f)では、電解めっき法、無電解めっき法、印刷法、ディップ法またはスタッドバンプ法のいずれかによって上記第1の突起電極および上記第2の突起電極を形成することを特徴とする半導体装置の製造方法。

【請求項9】

請求項6に記載の半導体装置の製造方法において、

上記工程(c)では、錫および銀を含む合金、錫および鉛を含む合金、錫、ニッケル、銅、インジウムおよび金のうちのいずれか1つから上記第1の突起電極を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、上面上に半導体集積回路がそれぞれ形成された2つの半導体チップがフリップチップボンディングにより互いに接合されてなるCOC(Chip On Chip)型の半導体装置に関する。

【0002】

【従来の技術】

近年、集積回路が設けられた半導体装置の低コスト化、小型化および高性能化(高速化、

10

20

30

40

50

低消費電力化)が図るため、様々な工夫がなされている。例えば、互いに異なる機能を有するLSI、あるいは互いに異なるプロセスにより形成されたLSIを備える、2つの半導体チップがフリップチップボンディングにより互いに接合されたCOC型の半導体装置が提案されている。

【0003】

以下、2つの半導体チップがフリップチップボンディングにより互いに接合された従来の半導体装置およびその製造方法について説明する。

【0004】

図11(a)は、それぞれが従来の半導体装置に搭載される半導体チップとなる複数の半導体チップ領域を有する半導体ウェハ-を示す模式図である。図11(b)は、図11(a)の半導体ウェハ-の上面を拡大して示した平面図である。

10

【0005】

図11(a)および(b)に示すように、半導体ウェハ-1には、複数の半導体チップ領域2が形成されている。各半導体チップ領域2は、分離ライン3によって区切られ、各半導体チップ領域2には複数の電極パッド4が形成されている。各半導体チップ領域2は、分離ライン3に沿って切断されることによって、従来の半導体装置に搭載される半導体チップとなる。

【0006】

ここで、半導体チップ領域2に形成されている電極パッド4は、外部との電気的な接続を行なうための外部電極パッドとして用いられる場合と、それぞれの半導体チップの電気的な検査を行なうためのプローブパッドとして用いられる場合とがある。つまり、1つの電極パッドが、外部電極パッドと検査電極パッドとを兼ねている。なお、それぞれの半導体チップ領域2の表面には、電極パッド4のみ図示しており、その他の配線等の図示は省略している。

20

【0007】

図12(a)は、従来の半導体装置が備える半導体ウェハ-1から切り出された半導体チップ2aと、別の半導体チップ5とを示す模式図であり、図12(b)は、従来の半導体装置の断面図である。

【0008】

図12(a)および(b)に示すように、半導体チップ5の上面には電極パッド8上に形成された突起電極6および外部電極パッド7が形成されている。また、半導体チップ2aの上面の電極パッド4上に突起電極9が形成されている。従来の半導体装置200では、突起電極6と突起電極9とが接続されることによって、半導体チップ5と半導体チップ2aとがフリップチップボンディングにより接合されている。このとき、図12(a)に示すように、半導体チップ2aは、半導体チップ5の上面上の破線で示す領域上に搭載される。

30

【0009】

図12(b)に示すように、従来の半導体装置200では、半導体チップ5と半導体チップ2aとの間には絶縁性樹脂10が充填されている。また、半導体チップ5は、リードフレームのダイパッド11上に固定されている。さらに、半導体チップ5の外部電極パッド7とリードフレームのインナーリード12とは、金属細線13により電気的に接続されている。半導体チップ5、半導体チップ2a、ダイパッド11、インナーリード12および金属細線13は、封止樹脂14により封止されている。

40

【0010】

次に、従来の半導体装置200の製造方法を説明する。

【0011】

まず、半導体チップ5上の中央部に絶縁性樹脂を塗布する。続いて、半導体チップ2aを半導体チップ5に押圧して、半導体チップ5の突起電極6と半導体チップ2aの突起電極9とを接続する。なお、半導体チップ5と半導体チップ2aとをフリップチップボンディングにより接続した後に、絶縁性樹脂を注入してもよい。

50

## 【 0 0 1 2 】

次に、半導体チップ5の外部電極パッド7とリードフレームのインナーリード12とを金属細線13により接続した後、半導体チップ2a、半導体チップ5、ダイパッド11、インナーリード12および金属細線13を封止樹脂14で封止する。続いて、封止樹脂14より突出したリードフレームの OUTER-リードを成形することにより半導体装置200が得られる。

## 【 0 0 1 3 】

## 【 発明が解決しようとする課題 】

しかしながら、従来の半導体装置200では、半導体チップ2aを搭載する半導体チップ5の周囲に、金属細線13を接続するための外部電極パッド7を設ける必要がある。しかも、外部電極パッド7が設けられる位置は、図12(a)に示すように、半導体チップ2aが搭載される領域5の外側である必要がある。このため、半導体チップ5のサイズが半導体チップ2aのサイズよりも大きくなければならない。

10

## 【 0 0 1 4 】

従って、半導体チップ2aのサイズを小さくすることによって、半導体チップ5のサイズを小さくし、その結果、半導体装置のサイズを小さくすることが考えられる。しかしながら、以下に述べる事情から、半導体チップ2aのサイズを小さくすることが難しいという不具合がある。

## 【 0 0 1 5 】

半導体ウェハ1に形成された半導体チップ領域2は、プロービングによる電氣的検査の後には良品のみがピックアップされる。次いで、ピックアップされた半導体チップ領域2を分離することによって得られた半導体チップ2aが、半導体チップ5にフリップチップボンディングにより接合される。

20

## 【 0 0 1 6 】

プロービングによる電氣的検査を行なうためには、プローブパッドが必要であり、半導体チップ領域2(半導体チップ2a)の電極パッド4のいくつかは、プローブパッドとなっている。プローブ針はプローブパッドである電極パッド4に接触した後にスライドすることがある。このため、プローブ針をプローブパッドである電極パッド4に確実に接触させるためには、プローブパッドである電極パッド4は、1辺が70 $\mu$ m以上の正方形よりも大きなサイズで形成されている必要がある。従って、半導体チップ2aのサイズが必然的に大きくなる。このため、半導体チップ2aのサイズを小さくすることが難しい。

30

## 【 0 0 1 7 】

また、半導体装置が高性能化(高速化、低消費電力化)するにつれて、半導体チップ領域2(半導体チップ2a)内にプローブパッドを形成することによる、プローブパッド、電極パッド、電極パッドの保護回路、突起電極および配線のそれぞれの静電容量およびインダクタンス等の影響を無視できなくなるという不具合もある。

## 【 0 0 1 8 】

本発明の半導体装置は、上記従来の不具合を解決するためになされたものであり、小型で高性能な半導体装置を提供することを目的とする。

## 【 0 0 1 9 】

## 【 課題を解決するための手段 】

## 【 0 0 2 9 】

本発明の半導体装置は、第1の集積回路と、上記第1の集積回路に接続された第1の電極パッドと、上記第1の電極パッド上に形成された第1の突起電極とを有する第1の半導体チップと、第2の集積回路と、上記第2の集積回路に接続された第2の電極パッドと、上記第2の電極パッド上に形成された第2の突起電極とを有する第2の半導体チップとを備え、上記第1の半導体チップの側端面には、上記第1の電極パッドに接続される検査用配線の切断面が露出しており、上記第1の突起電極と上記第2の突起電極とは、電氣的に接続されている。

## 【 0 0 3 0 】

40

50

本発明によれば、第1の半導体チップは、検査後に不要となる検査用配線が切断により除去されており、検査用配線が設けられた領域も除去されている。このため、第1の半導体チップのサイズは従来の半導体チップよりも小さい。従って、従来の半導体装置よりも小型の半導体装置が得られる。また、第1の半導体チップは、検査用配線が切断によって除去されているので、検査用配線の静電容量およびインダクタンスを考慮する必要がない。従って、本発明の半導体装置の電極パッド等の配線の静電容量およびインダクタンスは、従来の半導体装置の電極パッド等の配線の静電容量およびインダクタンスよりも小さくなる。

【0031】

本発明によれば、上記第1の半導体チップには、プローブパッドが設けられていない構成とすることができる。

10

【0032】

上記第2の半導体チップの周辺部には、外部回路と接続するための外部電極パッドが形成されていてもよい。

【0033】

上記第1の半導体チップと上記第2の半導体チップとの間には、絶縁性樹脂が介在している構成としてもよい。

【0034】

上記第1の半導体チップおよび上記第2の半導体チップは、封止樹脂によって封止されていてもよい。

20

【0035】

本発明の半導体装置の製造方法は、それぞれが第1の半導体チップとなる複数の第1の半導体チップ領域と、上記複数の第1の半導体チップ領域をそれぞれ第1の半導体チップに分離するための切断領域とを備え、上記複数の第1の半導体チップ領域には、第1の集積回路と、上記第1の集積回路に接続された第1の電極パッドとが設けられ、上記切断領域には、上記第1の電極パッドに接続されたプローブパッドが設けられている第1の半導体ウェハーを用意する工程(a)と、上記プローブパッドにプローブ針を接触させて上記複数の第1の半導体チップの検査を行なう工程(b)と、上記第1の電極パッド上に第1の突起電極を形成する工程(c)と、上記第1の半導体ウェハーの上記切断領域を除去することによって、上記複数の第1の半導体チップ領域から複数の第1の半導体チップを形成する工程(d)と、第2の集積回路と、上記第2の集積回路に接続された第2の電極パッドとを有し、それぞれが第2の半導体チップとなる複数の第2の半導体チップ領域を備える第2の半導体ウェハーを用意する工程(e)と、上記複数の第2の半導体チップ領域のそれぞれに形成された上記第2の電極パッド上に第2の突起電極を形成する工程(f)と、上記第1の突起電極と上記第2の突起電極とを、加熱および押圧することにより電氣的に接続する工程(g)と、上記第2の半導体ウェハーを上記複数の第2の半導体チップ領域ごとに切断する工程(h)とを含む。

30

【0036】

本発明によれば、第1の半導体チップは、検査後に不要となるプローブパッドが切断により除去される。このため、第1の半導体チップのサイズは従来の半導体チップよりも小さい。従って、従来の半導体装置よりも小型の半導体装置が得られる。また、第1の半導体チップは、プローブパッドが切断によって除去されるので、得られた半導体装置においてプローブパッドの静電容量およびインダクタンスを考慮する必要がない。従って、本発明によれば、電極パッド等の配線の静電容量およびインダクタンスが、従来の半導体装置の電極パッド等の配線の静電容量およびインダクタンスよりも小さい半導体装置が得られる。

40

【0037】

上記工程(g)では、上記第1の半導体チップと上記第2の半導体チップとの間に絶縁性樹脂を供給してもよい。

【0038】

50

上記工程(c)および上記工程(f)では、電解めっき法、無電解めっき法、印刷法、ディップ法またはスタッドパンプ法のいずれかによって上記第1の突起電極および上記第2の突起電極を形成してもよい。

【0039】

上記工程(c)では、錫および銀を含む合金、錫および鉛を含む合金、錫、ニッケル、銅、インジウムおよび金のうちのいずれか1つから上記第1の突起電極を形成してもよい。

【0040】

【発明の実施の形態】

以下、本発明の実施形態の半導体ウェハーおよびそれを用いた半導体装置について、図を参照しながら説明する。

10

【0041】

まず、本実施形態の半導体ウェハーについて説明する。図1(a)は、半導体チップとなる複数の半導体チップ領域が形成された半導体ウェハーを示す模式図であり、図1(b)は、図1(a)の半導体ウェハーの上面を拡大して示した平面図である。

【0042】

図1(a)および(b)に示すように、本実施形態の半導体ウェハー15は、第1の分離ライン16で区切られる複数のバルクチップ領域17が形成されている。バルクチップ領域17には、集積回路(不図示)と、電極パッド18と、プローブパッド19とが形成されており、集積回路および電極パッド18と、プローブパッド19との間には第2の分離ライン20が通っている。第2の分離ライン20は、バルクチップ領域17の表面で第1の分離ライン16の内側に位置し、バルクチップ領域17を、半導体チップとなる半導体チップ領域17aと、第1の分離ライン16と第2の分離ライン20との間の切断領域17bとに分離している。つまり、バルクチップ領域17は、第2の分離ライン20の内側に位置し、半導体チップとなる複数の半導体チップ領域17aと、第1の分離ライン16と第2の分離ライン20との間の切断領域17bとを有する。

20

【0043】

なお、ここで、第2の分離ライン20は、説明を容易にするために想定したラインであり、実際に半導体ウェハー15に形成されている訳ではない。また、本実施形態では、第2の分離ライン20は直線であるが、勿論曲線であっても構わない。

【0044】

いくつかのプローブパッド19は、第2の分離ライン20を横切る配線21を介して電極パッド18と接続されている。

30

【0045】

電極パッド18は、半導体装置を構成する際に、半導体チップ領域17aから得られる半導体チップと、別の半導体チップの電極パッドとを接続するためのものであり、2つの半導体チップ間で高速に信号伝達を行なうために設けられている。なお、電極パッド18は、半導体チップ領域17a内の配線および拡散層等の直上に形成され、電極パッド18までの配線長が短くなるように設けられていることが好ましい。

【0046】

図2は、第2の分離ライン20に沿って回転ブレードで切断して分離された半導体チップ17cを示す平面図である。

40

【0047】

図2に示すように、プローブパッド19が形成された切断領域は除去されて、半導体チップ17cには集積回路(不図示)と電極パッド18と配線21とが残っている。また、半導体チップ17cの側端面には、配線21の切断面が露出している。

【0048】

このように、本実施形態の半導体ウェハー15では、プローブパッド19にプローブ針を接触させることによって各バルクチップ領域17の検査した後、検査後に不要となるプローブパッド19が形成された切断領域17bが切断により除去される。このため、半導体チップ領域17aのサイズは、従来の半導体チップ領域2よりも小さくなる。つまり、本

50

実施形態の半導体ウェハー15から得られる半導体チップ17cのチップサイズを、従来の半導体チップ2aよりも小さくすることができる。

【0049】

次に、上述の半導体ウェハーに設けられるバルクチップ領域17の他の例を図を参照しながら説明する。図3(a)、図3(b)、図4(a)、図4(b)、図5(a)および図5(b)は、半導体チップ22に搭載される半導体チップ17cとなる、バルクチップ領域17の別の例を示す平面図である。

【0050】

図3(a)に示すバルクチップ領域17では、半導体チップ領域17aの内部にBIST等のための検査回路(不図示)が設けられている。このことによって、切断領域17bのプローブパッド19の個数を電極パッド18の個数より少なくすることができる。例えば、本実施形態の半導体装置100において、半導体チップ17cがDRAMであり、半導体チップ22が論理回路を含んでいる場合、図3(a)に示すバルクチップ領域17では、電極パッド18の個数が約140個必要なのに対し、データ線用パッド、アドレス線用パッド、制御用パッド、電源用パッド等として必要なプローブパッド19の個数は約50個である。

【0051】

このように、プローブパッド19の個数を少なくすることによって、プローブパッド19のピッチ32を、電極パッド18のピッチ33より大きくすることができる。例えば、半導体チップ領域17aの面積が $20\text{mm}^2$ (辺の長さ $4\text{mm} \times 5\text{mm}$ )であると仮定すると、半導体チップ領域17aには、電極パッド18のピッチ33を $80\mu\text{m}$ として、約200個の電極パッド18を配置することが可能である。これに対してプローブパッド19は、半導体チップ領域17aの面積が $20\text{mm}^2$ であると仮定すると、ピッチ32を $300\mu\text{m}$ として配置することができる。さらに、上述のようにプローブパッド19のピッチ32を大きくできるので、電極パッド18の幅34に対し、プローブパッド19の幅35を大きくすることができる。従って、例えば、電極パッド18の幅34を $50\mu\text{m}$ とした場合、プローブパッド19の幅35を $250\mu\text{m}$ とすることも可能となる。

【0052】

また、図3(a)に示すように、プローブパッド19の形状を長方形とし、各プローブパッド19の長辺を、各プローブパッド19が沿うバルクチップ領域17の各辺に平行になるように配置することができる。このことによって、バルクチップ領域17のサイズが大きくなることを抑制しながら、プロービング時にプローブ針がスライド(スクラブ)する方向(すなわち、各プローブパッド19が沿うバルクチップ領域17の各辺に平行な方向)へのプローブパッド19の形状が長くなる。このため、検査をより確実なものとすることができる。

【0053】

さらに、プローブパッド19の個数が少なくなると、図3(b)、図4(a)、図4(b)および図5(a)に示すように、必要なプローブパッド19をバルクチップ領域17の4辺を全て使用しなくても配置できる。図3(b)、図4(a)、図4(b)および図5(a)に示すバルクチップ領域17は、いずれも図3(a)に示すバルクチップ領域17とほぼ同じ構成を有しており、プローブパッド19の個数およびプローブパッド19が設けられた切断領域17bの位置が異なるのみである。具体的には、図3(b)は、プローブパッド19が設けられている切断領域17bがバルクチップ領域17の3辺に位置する例を示している。また、図4(a)および図4(b)は、切断領域17bがバルクチップ領域17の2辺に位置する例を示している。図5(a)は、切断領域17bがバルクチップ領域17の1辺に位置する例を示している。

【0054】

例えば、図5(a)に示す例において、バルクチップ領域17のサイズが $5\text{mm} \times 4.15\text{mm}$ であり、プローブパッド19のピッチが $90\mu\text{m}$ であると仮定すると、幅35が $80\mu\text{m}$ の約50個のプローブパッド19を、バルクチップ領域17の1辺に位置する切断

10

20

30

40

50

領域 17b に全て配置することができる。

【0055】

このように、プローブパッド 19 の個数を少なくすることによって、第 2 の分離ライン 20 で切断して半導体チップ領域 17a から半導体チップ 17c を得る際に除去される切断領域 17b の面積が小さくなる。このため、1 枚の半導体ウェハ 15 から得られる半導体チップ 17c の個数を増やすことができ、半導体チップ 17c の製造コストも削減される。

【0056】

また、本実施形態では、上述のようにプローブパッド 19 のサイズを、電極パッド 18 のサイズよりも非常に大きくできる。プローブパッド 19 は、切断によって除去されるので、プローブパッド 19 の静電容量およびインダクタンスを考慮する必要がない。一方、従来の半導体チップ 2a では、電極パッド 4 がプローブパッドを兼ねているので、電極パッド 4 のサイズを小さくすることは難しい。従って、本実施形態の半導体チップ 17c の電極パッド 18 に起因する静電容量およびインダクタンスは、従来の半導体チップ 2a の電極パッド 4 に起因する静電容量およびインダクタンスよりも格段に小さくなる。例えば、従来の半導体チップ 2a の各電極パッド 4 のサイズが  $75 \mu\text{m}$  角であり、本実施形態の半導体チップ 17c の各電極パッド 18 のサイズが  $15 \mu\text{m}$  角であると仮定すると、電極パッドの面積は  $1/25$  に縮小し、電極パッドに起因する静電容量も半導体チップ領域全体で  $0.1 \text{ pF}$  以上減少する。

【0057】

また、本実施形態では、半導体チップ領域 17a の内部に BIST 等のための検査回路（不図示）が設けられている。このため、電極パッド 18 のいくつかは、接続のためののみ使用され、プロービングが行なわれない。このような接続のみに使用される電極パッド 18 を集積回路からの距離ができるだけ短くなる位置に配置することができる。このことによって、電極パッドと集積回路とを接続する配線を短くことができ、この配線に起因する静電容量およびインダクタンスを低減することもできる。従来の半導体チップ 2a は、半導体チップ 2a の端部に設けられた電極パッド 4 と集積回路とを接続する配線を備える。具体的には、この従来の半導体チップ 2a に比べて、本実施形態の半導体チップ 17c の静電容量は、配線長  $1 \text{ mm}$  当たり  $0.1 \text{ pF}$  以上減少する。

【0058】

このように、本実施形態によれば、静電容量およびインダクタンスの影響が非常に小さい半導体チップが得られる。

【0059】

また、本実施形態では、プロービングの際にバルクチップ領域 17 の外部から入るサージから集積回路を保護するための保護回路 36 を、切断領域 17b 内に設けることができる。例えば、図 5 (b) に示すように、プローブパッド 19 の横に保護回路 36 を配置する。このことによって、第 2 の分離ライン 20 で半導体チップ領域 17a を分離したときの半導体チップ 17c のサイズをさらに小さくすることができる。また、保護回路 36 も切断によって除去されるので、保護回路 36 の静電容量およびインダクタンスを無視できる。

【0060】

なお、フリップチップボンディング用の電極パッドは、突起電極（パンプ）を用いて接続するため、電極パッド 18 を 1 辺が  $70 \mu\text{m}$  の正方形よりも小さくすることができる。また、フリップチップボンディングでは、電極パッドの直下への機械的ストレスも小さいので、電極パッド 18 の直下に配線や拡散層を配置することもできる。このため、本実施形態によれば、電極パッド 18、突起電極および配線の静電容量およびインダクタンスを極力小さく設計することができる。

【0061】

以上に述べたように、本実施形態によれば、半導体ウェハ 15 のバルクチップ領域 17 の構造を、プローブパッド 19 と電極パッド 18 とを別々に設け、プローブパッドが切断

10

20

30

40

50

により除去される構造とすることによって、バルクチップ領域に形成されるプローブパッドおよび電極パッドの個数、サイズ、ピッチ等の配線設計に対する制約の多くを取り除くことができる。また、各電極パッドに接続される配線および電極パッドの配置等の配線設計に対する制約の多くも取り除くことができる。

【0062】

次に、上述の半導体ウェハから得られた半導体チップを用いて得られる本実施形態の半導体装置を、図6を参照しながら説明する。図6(a)は、本実施形態の半導体装置を作製する際に、半導体ウェハ15から分離した半導体チップ17cを、もう1つの半導体チップ22に搭載する様子を示す図であり、図6(b)は、本実施形態の半導体装置の断面図である。

10

【0063】

図6(a)に示すように、本実施形態の半導体装置100では、第2の分離ライン20で切断されることによって分離された半導体チップ17cが、半導体チップ22の上にフェースダウンの状態を搭載されている。

【0064】

図6(a)および(b)に示すように、半導体チップ22は、その上面上に形成された内部電極パッド26および外部電極パッド24と、内部電極パッド26および外部電極パッド24に接続された内部回路(不図示)とを備えている。内部電極パッド26上には、突起電極23が形成されている。ここでは、半導体チップ17cの電極パッド18の上面上にも突起電極25が形成されている。本実施形態の半導体装置100では、突起電極23と突起電極25とが接続された状態で、半導体チップ22と半導体チップ17cとがフリップチップボンディングにより接合されている。

20

【0065】

本実施形態では、半導体チップ17cの電極パッド18の上面上に形成された突起電極25は、錫-銀合金で形成されている。錫-銀合金の組成は、錫に対して銀が3.5%含まれており、錫-銀合金の厚さは30 $\mu$ m程度である。錫-銀合金は、銅、ビスマスをさらに含んでもよい。また、突起電極25を錫-銀合金に代えて、錫-鉛合金、錫、インジウムを用いて形成してもよい。

【0066】

また、本実施形態では、半導体チップ17cの電極パッド18と突起電極25との密着性向上や金属拡散防止を目的として、電極パッド18上にアンダーバリアメタル層(不図示)が形成されている。アンダーバリアメタル層は、電極パッド18側から順に、チタン、銅、ニッケル、錫-銀合金の順に積層された積層膜から形成されている。

30

【0067】

また、本実施形態では、突起電極23はニッケル膜で形成されているが、錫-銀合金、錫-鉛合金、錫、インジウム、金または銅のいずれかで形成されていてもよい。本実施形態では、ニッケル膜の厚さは8 $\mu$ m程度であるが、ニッケル膜の表面に、酸化防止を目的として0.05 $\mu$ m程度の金箔を形成してもよい。

【0068】

図6(b)に示すように、半導体チップ22と半導体チップ17cとの間には絶縁性樹脂27が充填されている。ここで、絶縁性樹脂27の材料は、本実施形態ではエポキシ系熱硬化型樹脂であり、室温における粘度が0.3~10Pa $\cdot$ sである。なお、硬化後の絶縁性樹脂27の特性を確保することを目的として、球形フィラーを絶縁性樹脂27の材料に添加してもよい。また、絶縁性樹脂27の材料として例えばアクリル系、フェノール系樹脂でもよい。

40

【0069】

半導体チップ22は、リードフレームのダイパッド28に固定されている。また、半導体チップ22の外部電極パッド24とリードフレームのインナーリード29とは、金属細線30により電氣的に接続されている。半導体チップ22、半導体チップ17c、ダイパッド28、インナーリード29および金属細線30は、封止樹脂31により封止されている

50

。

#### 【0070】

上述のように、本実施形態では、半導体ウェハ－15から得られる半導体チップ17cのチップサイズが、従来の半導体チップ2aよりも小さい。従って、本実施形態の半導体装置100では、半導体チップ22のサイズを小さくすることが可能である。つまり、本実施形態によれば、従来の半導体装置200よりも小型の半導体装置が得られる。

#### 【0071】

また、本実施形態によれば、半導体チップ17cとして、図3(a)から図5(b)に示されるいずれかを用いることによって、半導体装置の製造コストを削減することができる。

。

#### 【0072】

さらに、本実施形態によれば、半導体チップ17cの静電容量およびインダクタンスの影響が非常に小さい半導体装置が得られる。

#### 【0073】

次に、バルクチップ領域17におけるプローブパッド19、電極パッド18および各配線層の構造について説明する。図7および図8は、バルクチップ領域17におけるプローブパッド19、電極パッド18および各配線層の構造を示す部分的な断面図である。

#### 【0074】

図7(a)に示すように、本実施形態のバルクチップ領域17には、上面上に形成された拡散層39を有する基板54と、基板54上に形成された絶縁膜51、52および53とを備える。絶縁膜53の開口部53a内に露出するように設けられたプローブパッド19と電極パッド18(突起電極25)とを接続する配線21は、基板54上に形成された拡散層39に接続する配線44に、絶縁膜52に形成されたスルーホール38を通じて接続されている。

#### 【0075】

また、図7(b)に示すように、プローブパッド19と電極パッド18(突起電極25)とを接続する配線21を絶縁膜52および53により分離し、第2の分離ライン20の直下に位置するポリシリコンから形成された配線41で接続してもよい。このことによって、ブレードにより切断された後にバリの発生を抑制でき、電気的なショートを防止することができる。

#### 【0076】

さらに、図7(c)に示すように、電極パッド18(突起電極25)と拡散層39とを接続する配線42を、プローブパッド19と電極パッド18とを接続する配線43より下層の配線層に形成してもよい。このことによって、上記図7(a)および図7(b)に比べて、集積回路から電極パッド18までの配線長を短くすることができる。従って、配線容量を低減することができる。

#### 【0077】

また、図8に示すように、プローブパッド19の直下に拡散層39'を形成し、プローブパッド19と拡散層39'とを、プラグ38'を介して直接接続する配線構造としてもよい。

#### 【0078】

次に、本発明の半導体装置の製造方法を、図9および図10を参照しながら説明する。図9および図10は、本実施形態の半導体装置の製造方法の各工程を示す断面図である。

#### 【0079】

まず、図9(a)に示す工程で、第1の分離ライン16で区切られる複数のバルクチップ領域17を有する半導体ウェハ－15を用意する。バルクチップ領域17には、集積回路(不図示)と、電極パッド18と、プローブパッド19とが形成されている。いくつかのプローブパッド19は、第2の分離ライン20を横切る配線21を介して電極パッド18と接続されている。続いて、半導体ウェハ－15の上面上のプローブパッド19にプローブ針44をコンタクトさせることによって、各バルクチップ領域17の検査を行なう。

10

20

30

40

50

## 【0080】

次に、図9(b)に示す工程で、半導体ウェハ15に形成された複数のバルクチップ領域17の表面上の電極パッド18上に突起電極25を形成する。ここでは、突起電極25を溶融金属材料である錫-銀合金で形成する。錫-銀合金の組成は、錫に対して銀が3.5%含まれており、錫-銀合金の厚さは30 $\mu$ m程度である。錫-銀合金からなる突起電極25の形成方法として、例えば電解めっき法、無電解めっき法、印刷法、ディップ法およびスタッドバンプ法等がある。また、電極パッド18と突起電極25との密着性向上および金属拡散防止を目的として、電極パッド18上にアンダーバリアメタル層(不図示)として、チタン、銅、ニッケル、錫-銀合金の順に積層された積層膜を形成する。なお、錫-銀合金は、銅、ビスマスを含んでいてもよい。また、突起電極25を錫-銀合金に代えて、錫-鉛合金、錫、インジウムを用いて形成してもよい。

10

## 【0081】

次に、図9(c)に示す工程で、ダイシングテープ45を半導体ウェハ15の下面上に貼り付けた後、第2の分離ライン20に沿って回転ブレードによりダイシング切断し、プローブパッド19が形成されている切断領域17bと、電極パッド18および集積回路(不図示)が形成されている半導体チップ領域17aとを分離することによって、半導体チップ17cを形成する。

## 【0082】

次に、図9(d)に示す工程で、半導体チップ17cをピックアップする。

## 【0083】

次に、図10(a)を示す工程で、分離ライン(不図示)で区切られ、分離されて半導体チップ22となる複数のバルクチップ領域22aを有する半導体ウェハ(不図示)を用意する。なお、ここでは、簡単のためにバルクチップ領域22aを代表的に示している。各バルクチップ領域22aには、表面上に形成された内部電極パッド26および外部電極パッド24と、内部電極パッド26および外部電極パッド24に接続された内部回路(不図示)とが形成されている。続いて、各バルクチップ領域22aの表面上の内部電極パッド26上に突起電極23を形成する。本実施形態ではニッケル膜を用いて突起電極23を形成する。このときニッケル膜の厚さは、8 $\mu$ m程度で、ニッケルの表面に酸化防止を目的に金を0.05 $\mu$ m程度の厚さで形成してもよい。ニッケルおよび金からなる突起電極25の形成方法として、例えば電解めっき法、無電解めっき法、印刷法、ディップ法およびスタッドバンプ法等を用いる。また、突起電極23を形成する溶融金属材料としては、ニッケルの他に錫-銀合金、錫-鉛合金、錫、インジウム、金または銅のいずれかを用いてもよい。

20

30

## 【0084】

次に、図10(b)に示す工程で、バルクチップ領域22aの表面上に絶縁性樹脂27を塗布する。本実施形態では、絶縁性樹脂27の材料としてエポキシ系熱硬化型樹脂を塗布する。絶縁性樹脂27の材料は、室温における粘度が0.3~10Pa $\cdot$ sであるものを用いることが好ましい。なお、硬化後の絶縁性樹脂27の特性を確保することを目的として、球形フィラーを絶縁性樹脂27の材料に添加してもよい。また、絶縁性樹脂27の材料として例えばアクリル系、フェノール系樹脂でもよく、熱硬化性樹脂、熱可塑性樹脂、2液混合の常温硬化性樹脂、UV硬化性樹脂と熱硬化性樹脂との併用、のいずれを用いてもよい。本実施形態では、絶縁性樹脂27の供給方法として、ディスペンサ装置を用いてシリンジ46からバルクチップ領域22aの突起電極23の上に絶縁性樹脂27を滴下する。バルクチップ領域22aの形状や大きさによっては複数回に分けて滴下してもよい。絶縁性樹脂27の他の供給方法としては、転写法や印刷法によるものでもよい。

40

## 【0085】

次に、図10(c)に示す工程で、バルクチップ領域22aの突起電極23の融点温度と半導体チップ17cの突起電極25の融点温度のうち、低い方の融点温度以上の温度で加熱しながら、半導体チップ17cをバルクチップ領域22aに押圧する。このことによって、溶融した突起電極23または25が機械的な変形を生じ、突起電極23または25の

50

表面酸化膜が破れ、突起電極 2 5 と突起電極 2 3 とが金属拡散によって容易に接合される。

【 0 0 8 6 】

本実施形態では、パルス加熱ツール 4 7 を用いて 2 2 1 ~ 3 0 0 の温度で 1 ~ 3 秒加熱および押圧を行なう。バルクチップ領域 2 2 a の突起電極 2 3 が錫 - 鉛合金で形成されている場合、パルス加熱ツール 4 7 によって 1 8 3 ~ 2 5 0 の温度で加熱および押圧することによって、半導体チップ 1 7 c をバルクチップ領域 2 2 a に接合することが好ましい。バルクチップ領域 2 2 a の突起電極 2 3 が錫で形成されている場合、パルス加熱ツール 4 7 により 2 9 0 ~ 4 0 0 の温度で加熱および押圧することによって、半導体チップ 1 7 c をバルクチップ領域 2 2 a に押圧することが好ましい。バルクチップ領域 2 2 a の突起電極 2 3 がインジウムで形成されている場合、パルス加熱ツール 4 7 により 1 9 0 ~ 2 5 0 の温度で加熱および押圧することによって、半導体チップ 1 7 c をバルクチップ領域 2 2 a に押圧することが好ましい。

10

【 0 0 8 7 】

続いて、パルス加熱ツール 4 7 による加熱および押圧を解除した後、熱硬化炉にて絶縁性樹脂 2 7 を熱硬化する。この後、ダイシングテープを半導体ウェハーの下面上に貼り付けた後、分離ライン 2 0 に沿って回転ブレードによりダイシング切断し、バルクチップ領域 2 2 a をそれぞれ分離することによって、半導体チップ 1 7 c が接合された半導体チップ 2 2 を形成する。

【 0 0 8 8 】

次に、図 1 0 ( d ) に示すように、半導体チップ 2 2 の外部電極パッド 2 4 とリードフレームのインナーリード 2 9 とを金属細線 3 0 により接続した後、半導体チップ 1 7 c 、半導体チップ 2 2 、ダイパッド 2 8 、インナーリード 2 9 および金属細線 3 0 を封止樹脂 3 1 で封止する。続いて、封止樹脂 3 1 から突出したリードフレームの OUTER リードを成形することによって、半導体装置 1 0 0 が得られる。

20

【 0 0 8 9 】

なお、本実施形態では、図 1 0 ( c ) に示す工程で、バルクチップ領域 2 2 a をそれぞれ分離したが、これに限定されない。例えば、図 1 0 ( a ) に示す工程において、バルクチップ領域 2 2 a をそれぞれ分離することによって半導体チップ 2 2 を形成した後、図 1 0 ( b ) 以降の工程を同様に行なってもよい。

30

【 0 0 9 0 】

本実施形態で得られる半導体チップ 1 7 c と半導体チップ 2 2 との C O C 型の半導体装置 1 0 0 を、リードフレーム、プリント配線基板等に搭載することによって、半導体パッケージを形成することも可能である。

【 0 0 9 1 】

なお、本実施形態では、半導体チップ 1 7 c と半導体チップ 2 2 との組み合わせとして、例えば、D R A M 等のメモリーを含む半導体チップと、マイコン等の論理回路を含む半導体チップとの組み合わせ、互いに異なる論理回路を含む半導体チップ同士の組み合わせ、あるいは化合物半導体基板を用いて作製された半導体チップとシリコン基板を用いて作製された半導体チップとの組み合わせ等が挙げられる。また、互いに異なるプロセスにより形成された半導体チップ同士、あるいは 1 つのプロセスにより作製された大面積の 1 つの半導体チップを 2 分割して、2 つの半導体チップとして組み合わせたものであってもよい。

40

【 0 0 9 2 】

【 発明の効果 】

本発明によれば、小型で高性能な半導体装置を提供することができる。

【 図面の簡単な説明 】

【 図 1 】 図 1 ( a ) は、複数の半導体チップが形成された半導体ウェハーを示す模式図であり、図 1 ( b ) は、図 1 ( a ) の半導体ウェハーの上面を拡大して示した平面図である。

50

【図 2】図 2 は、本発明の半導体チップを示す平面図である。

【図 3】図 3 は、本発明の半導体チップの別の例を示す平面図である。

【図 4】図 4 は、本発明の半導体チップの別の例を示す平面図である。

【図 5】図 5 は、本発明の半導体チップの別の例を示す平面図である。

【図 6】図 6 は、本発明の半導体装置の構成を示す図である。

【図 7】図 7 は、半導体チップのプロープパッド、電極パッドおよび各配線層の構造を示す部分的な断面図である。

【図 8】図 8 は、半導体チップのプロープパッド、電極パッドおよび各配線層の構造を示す部分的な断面図である。

【図 9】図 9 は、本発明の半導体装置の製造方法の各工程を示す断面図である。

10

【図 10】図 10 は、本発明の半導体装置の製造方法の各工程を示す断面図である。

【図 11】図 11 ( a ) は、複数の半導体チップが形成された半導体ウェハーを示す模式図であり、図 11 ( b ) は、図 11 ( a ) の半導体ウェハーの上面を拡大して示した平面図である。

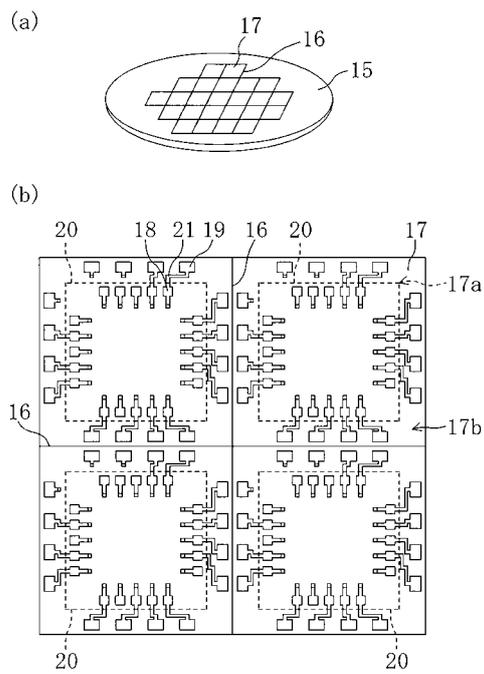
【図 12】図 12 は、従来の半導体装置の構成を示す図である。

【符号の説明】

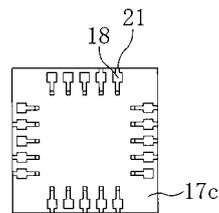
- |           |            |    |
|-----------|------------|----|
| 1、15      | 半導体ウェハー    |    |
| 2、17a     | 半導体チップ領域   |    |
| 2a、17c、22 | 半導体チップ     |    |
| 3         | 分離ライン      | 20 |
| 4、18      | 電極パッド      |    |
| 5         | 半導体チップ     |    |
| 6         | 突起電極       |    |
| 7         | 外部電極パッド    |    |
| 9         | 突起電極       |    |
| 10        | 絶縁性樹脂      |    |
| 11        | ダイパッド      |    |
| 12        | インナーリード    |    |
| 13        | 金属細線       |    |
| 14        | 封止樹脂       | 30 |
| 16        | 第 1 の分離ライン |    |
| 17、22a    | バルクチップ領域   |    |
| 17b       | 切断領域       |    |
| 19        | プロープパッド    |    |
| 20        | 第 2 の分離ライン |    |
| 21        | 配線         |    |
| 23、25     | 突起電極       |    |
| 24        | 外部電極パッド    |    |
| 26        | 内部電極パッド    |    |
| 27        | 絶縁性樹脂      | 40 |
| 28        | ダイパッド      |    |
| 29        | インナーリード    |    |
| 30        | 金属細線       |    |
| 31        | 封止樹脂       |    |
| 32、33     | ピッチ        |    |
| 34、35     | 幅          |    |
| 36        | 保護回路       |    |
| 37        | 突起電極       |    |
| 38        | スルーホール     |    |
| 38'       | プラグ        | 50 |

- 3 9、3 9' 拡散層
- 4 1 配線
- 4 2 配線層
- 4 3 配線層
- 4 4 プローブ針
- 4 5 ダイシングテープ
- 4 6 シリンジ
- 4 7 パルス加熱ツール
- 5 1、5 2、5 3 絶縁膜
- 5 3 a 開口部
- 5 4 基板
- 1 0 0、2 0 0 半導体装置

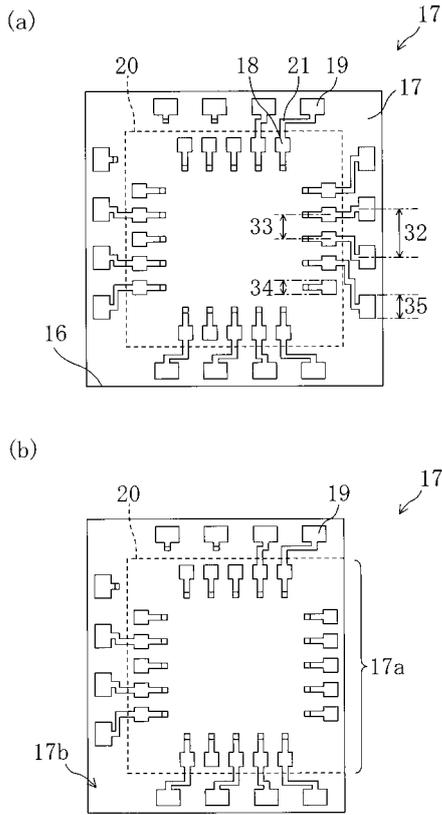
【 図 1 】



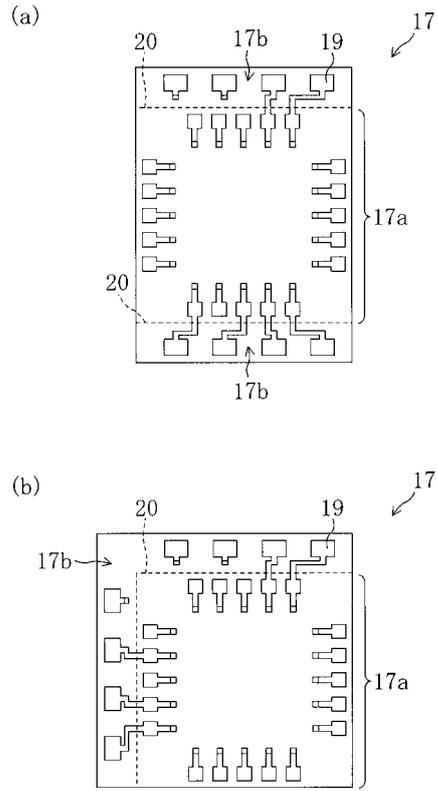
【 図 2 】



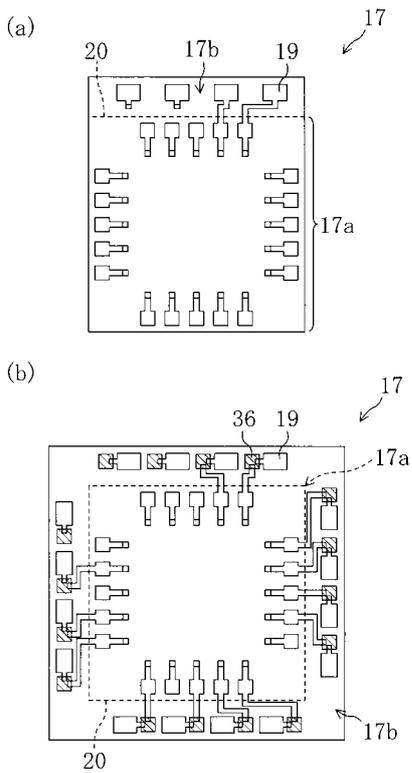
【 図 3 】



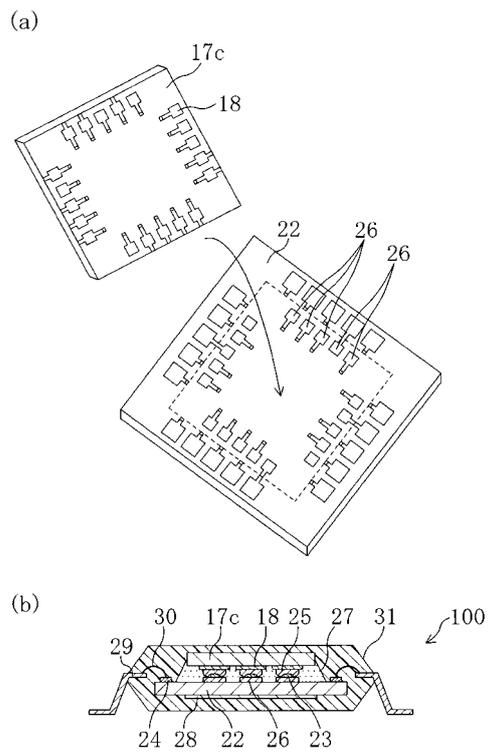
【 図 4 】



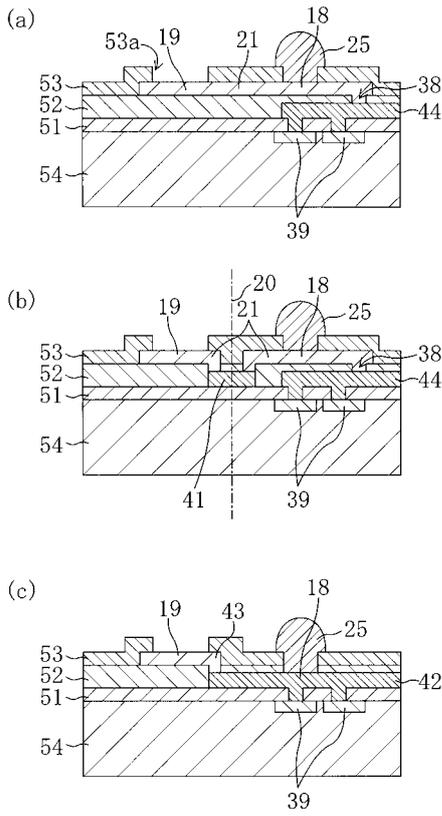
【 図 5 】



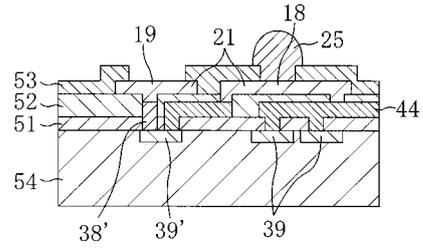
【 図 6 】



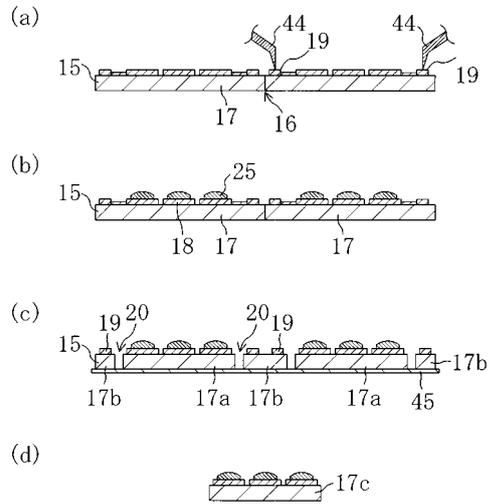
【 図 7 】



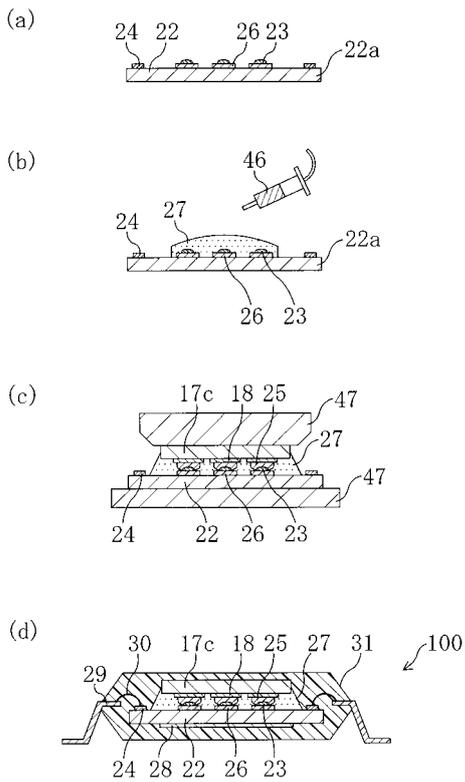
【 図 8 】



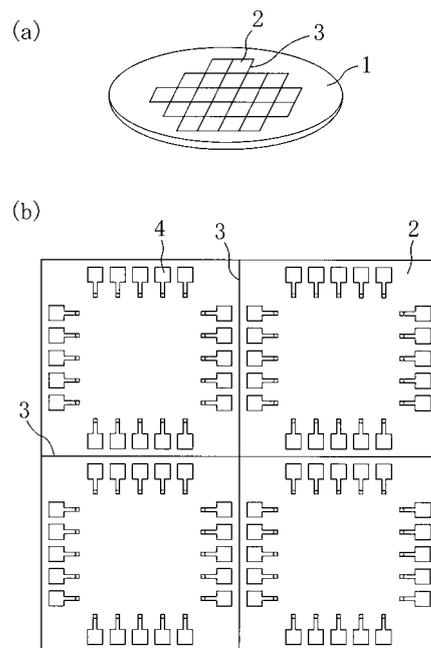
【 図 9 】



【 図 1 0 】

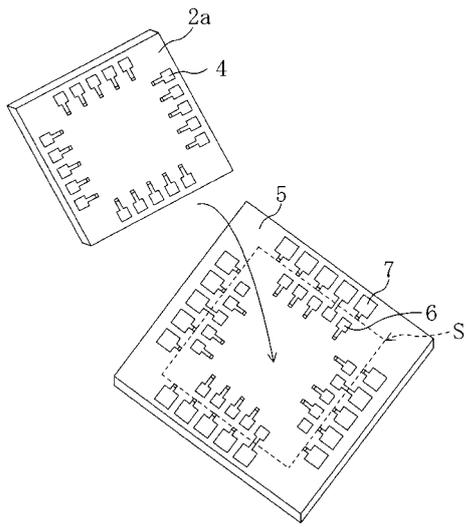


【 図 1 1 】

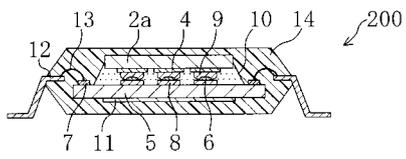


【 図 1 2 】

(a)



(b)



## フロントページの続き

- (51)Int.Cl.<sup>7</sup> F I  
H 0 1 L 25/18  
H 0 1 L 27/04
- (74)代理人 100115510  
弁理士 手島 勝
- (74)代理人 100115691  
弁理士 藤田 篤史
- (72)発明者 長尾 浩一  
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 藤本 博昭  
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 田代 吉成

- (56)参考文献 特開平08-306751(JP,A)  
特開平02-235356(JP,A)  
特開平02-144931(JP,A)  
特開昭56-010943(JP,A)  
特開2000-236005(JP,A)  
特開2002-033361(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01L 21/66  
H01L 21/60  
H01L 21/822  
H01L 21/822  
H01L 25/065  
H01L 25/07  
H01L 25/18  
H01L 27/04