

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁵ H03K 4/48	(11) 공개번호 특 1991-0015114	(43) 공개일자 1991년08월31일
(21) 출원번호	특 1991-0001080	
(22) 출원일자	1991년01월23일	
(30) 우선권주장	12975 1990년01월23일 일본(JP)	
(71) 출원인	니뽀 덴끼 가부시끼가이샤 세끼모또 다다히로 일본국 도오쿄도 미나또꾸 시바 5쵸메 7반 1고	
(72) 발명자	고무로 또시오 일본국 도오쿄도 미나또꾸 시바 5쵸메 7반 1고 니뽀 덴끼 가부시끼가이샤 나이	
(74) 대리인	이병호, 최달용	

심사청구 : 있음

(54) 반도체 디지털 회로

요약

내용 없음

대표도

도1

명세서

[발명의 명칭]

반도체 디지털 회로

[도면의 간단한 설명]

제1도는 본 발명의 반도체 디지털 회로의 제1실시에 도시도, 제2도는 본 발명의 반도체 디지털 회로의 제2실시에 도시도, 제3도는 본 발명의 반도체 디지털 회로의 제3실시에 도시도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

제1의 전원 단자와 접지 단자와 사이에 트랜지스터가 상보 접속되어 이루는 인버터를 가지는 제1회로부와 제2의 전원 단자와 사이에 트랜지스터가 상보 접속되어 이루며 상기 인버터의 전원 전압보다 높은 전원전압으로 동작하는 인버터를 가지는 제2회로부와, 상기 제1회로부의 출력단과 상기 제2회로부의 입력단과 사이에 개삽되며 회로의 상태 천이시에 전하의 총방전 경로를 형성하는 제1의 스위치와, 상기 제2회로부의 입력단과 상기 제2의 전원 단자와 사이에 개삽되던 상기 제2회로부의 출력 신호에 의해서 도통 제어되는 제2의 스위치를 포함하는 반도체 디지털 회로.

청구항 2

제1항에 있어서, 상기 제2회로부의 출력단과 접지 단자와 사이에 개삽되며 상기 제1회로부의 출력 신호에 의해서 제어되는 제3스위치를 포함하는 반도체 디지털 회로.

청구항 3

제2항에 있어서, 입력단이 상기 제2회로부의 출력단과 접지 단자와 사이에 상기 제3의 스위치와 직렬로 접속된 제4의 스위치와 상기 제2회로부의 출력 신호를 지연시켜서 상기 제4의 스위치의 제어 입력에 공급하는 지연 회로를 포함하는 반도체 디지털 회로.

청구항 4

제1항에 있어서, 상기 제2회로부의 입력단에 출력단이 접속되게 상기 제2의 스위치와 직렬 접속되며 상기 제1회로부로의 입력 신호에 의해서 제어되는 제5의 스위치를 포함하는 반도체 디지털 회로.

청구항 5

제1항에 있어서, 상기 제2회로부의 출력단과 접지 단자와 사이에 개삽되며 상기 제1회로부의 출력 신호에 의해서 제어되는 제3의 스위치와 상기 제2회로부의 입력단에 출력단이 접속되게 상기 제2의 스위치와 직렬 접속되며 상기 제1회로부의 입력 신호에 의해서 제어되는 제5의 스위치를 포함하는 반도체 디지털 회로.

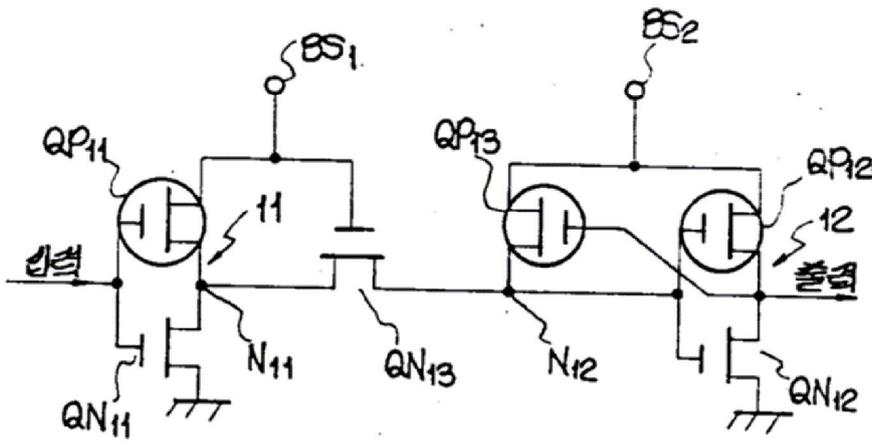
청구항 6

제1항에 있어서, 상기 상보 접속된 트랜지스터는 P 채널 MOS트랜지스터와 N 채널 MOS 트랜지스터인 반도체 디지털 회로.

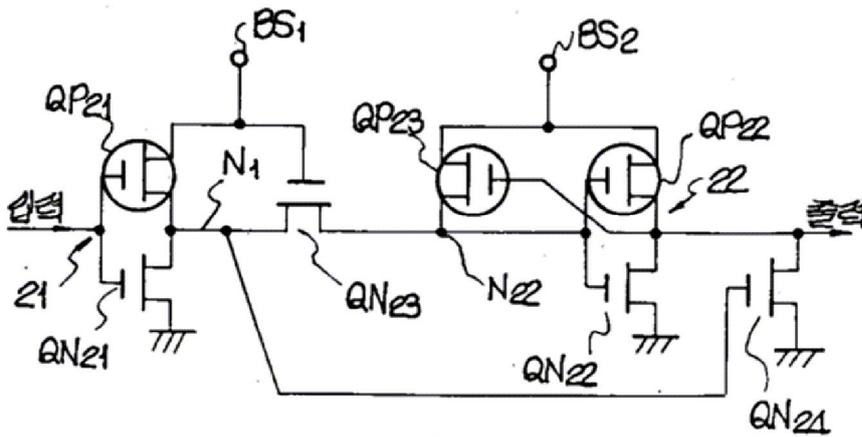
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2



도면3

